



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I495040 B

(45)公告日：中華民國 104 (2015) 年 08 月 01 日

(21)申請案號：099108112

(22)申請日：中華民國 99 (2010) 年 03 月 19 日

(51)Int. Cl. : H01L21/768 (2006.01)

H01L25/04 (2014.01)

H01L23/52 (2006.01)

(30)優先權：2009/03/20 美國

12/408,641

(71)申請人：星科金朋有限公司 (新加坡) STATS CHIPPAC LTD. (SG)
新加坡

(72)發明人：高燦訓 KO, CHANHOON (KR)；池嬉朝 CHI, HEEJO (KR)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

US 7122906B2

US 2009/0243100A1

審查人員：余威叡

申請專利範圍項數：10 項 圖式數：12 共 25 頁

(54)名稱

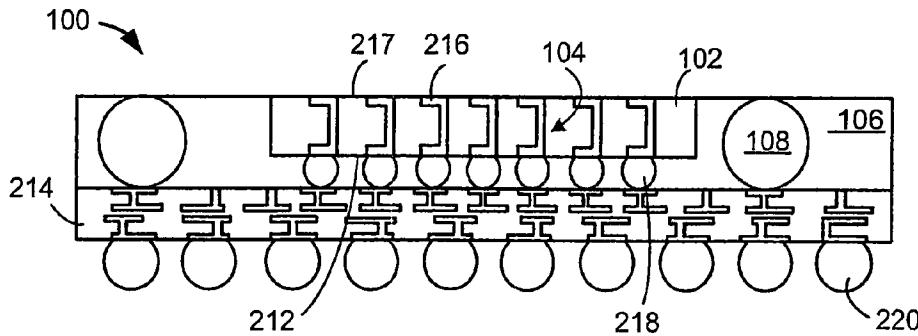
雙面連接之積體電路封裝系統及其製造方法

INTEGRATED CIRCUIT PACKAGING SYSTEM WITH DUAL SIDED CONNECTION AND
METHOD OF MANUFACTURE THEREOF

(57)摘要

一種積體電路封裝系統的製造方法，係包含：將具有通孔的積體電路接附在基板上方且該通孔耦接至該基板；將導電支承接附在該基板上方且鄰接該積體電路；在該基板上方形成封裝材料且該導電支承外露於該封裝材料；以及將外部互連接附在該基板之下。

A method of manufacture of an integrated circuit packaging system includes: attaching an integrated circuit having a through via over a substrate with the through via coupled to the substrate; attaching a conductive support over the substrate and adjacent to the integrated circuit; forming an encapsulation over the substrate with the conductive support exposed from the encapsulation; and attaching an external interconnect under the substrate.



- 100 ··· 積體電路封裝系統
- 102 ··· 積體電路
- 104 ··· 通孔
- 106 ··· 封裝材料
- 108 ··· 導電支承
- 212 ··· 主動面
- 214 ··· 基板
- 216 ··· 安裝墊
- 217 ··· 非主動面

第 2 圖

I495040

TW I495040 B

218 · · · 第一裝置互
連
220 · · · 外部互連

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99108112

H01L 21/268 12006.01

※申請日：99.3.19

※IPC分類：

H01L 25/07 12006.01

一、發明名稱：(中文/英文)

H01L 23/13 12006.01

雙面連接之積體電路封裝系統及其製造方法

INTEGRATED CIRCUIT PACKAGING SYSTEM WITH DUAL SIDED
CONNECTION AND METHOD OF MANUFACTURE THEREOF

二、中文發明摘要：

一種積體電路封裝系統的製造方法，係包含：將具有通孔的積體電路接附在基板上方且該通孔耦接至該基板；將導電支承接附在該基板上方且鄰接該積體電路；在該基板上方形成封裝材料且該導電支承外露於該封裝材料；以及將外部互連接附在該基板之下。

三、英文發明摘要：

A method of manufacture of an integrated circuit packaging system includes: attaching an integrated circuit having a through via over a substrate with the through via coupled to the substrate; attaching a conductive support over the substrate and adjacent to the integrated circuit; forming an encapsulation over the substrate with the conductive support exposed from the encapsulation; and attaching an external interconnect under the substrate.

四、指定代表圖：

(一)本案指定代表圖為：第（2）圖。

(二)本代表圖之元件符號簡單說明：

100	積體電路封裝系統
102	積體電路
104	通孔
106	封裝材料
108	導電支承
212	主動面
214	基板
216	安裝墊
217	非主動面
218	第一裝置互連
220	外部互連

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明是大致關於積體電路封裝系統，且特別是雙面連接之積體電路封裝系統。

【先前技術】

組件的愈趨微型化、積體電路(「IC」)的較大封裝密度、較高效能、與較低成本是電腦工業的前進目標。半導體封裝件結構持續朝微型化前進，以增加封裝於其中的組件的密度，同時縮小由該封裝結構所製成的產品的尺寸。這是回應對於尺寸、厚度與成本持續減小且效能持續增加的資訊與通訊產品之不斷增加的需求。

這些微型化的需求增加是特別顯著，例如在可攜式資訊與通訊裝置(例如行動電話、免持行動電話耳機、個人資料助理(「PDA」)、攝錄像機、筆記型電腦等等)中。所有這些裝置持續被作得更小與更薄，以增進它們的可攜性。因此，併入這些裝置的大型 IC(「LSI」)封裝件需要作得更小與更薄。收容與保護 LSI 的封裝件組構也需要作得更小與更薄。

許多習知半導體(或「晶片」)封裝件是以樹脂(例如環氧樹脂模造化合物(epoxy molding compound))將半導體晶粒模造至封裝件中的形式。許多封裝方法堆疊複數個積體電路晶粒或封裝內封裝(package in package，簡稱 PIP)或組合。其他方法包含封裝級堆疊(package level stacking)或層疊封裝(package on package，簡稱 POP)。

因此，對於提供高連接性、低成本製造、與尺寸縮減的積體電路封裝系統的需求仍持續。鑑於節省成本與增進效率需求的持續增加，找到這些問題的答案是愈來愈重要。鑑於愈趨增加的商業競爭壓力、以及成長的消費者期待與在市場中有意義的產品差異性的機會減少，找到這些問題的答案是重要的。此外，減低成本、增進效率與效能、及應付競爭壓力的需求將會使得找到這些問題的答案的重要性變得更加迫切。

已經尋找這些問題的答案許久，但是先前的發展並未教示或建議任何答案，而因此這些問題的答案一直長期困擾本發明所屬技術領域中具有通常知識者。

【發明內容】

本發明提供一種積體電路封裝系統的製造方法，係包含：將具有通孔的積體電路接附在基板上方且該通孔耦接至該基板；將導電支承接附在該基板上方且鄰接該積體電路；在該基板上方形成封裝材料且該導電支承外露於該封裝材料；以及將外部互連接附在該基板之下。

本發明提供一種積體電路封裝系統，係包含：基板；具有通孔的積體電路，係位在該基板上方，且該通孔耦接至該基板；導電支承，係位在該基板上方，且該導電支承外露於該封裝材料；以及外部互連，係接附在該基板之下。

本發明的一些實施例具有除上述提及的那些之外或代替上述提及的那些其他步驟或元件。該等步驟或元件對於閱讀下列實施方式並參照所附圖式後的本發明所屬技術領

域中具有通常知識者將變得顯而易見。

【實施方式】

為了使本發明所屬技術領域中具有通常知識者能夠製造與使用本發明，下列實施例是以充分的細節來描述。應了解，基於本揭露內容，其他實施例將是顯而易見的，在不背離本發明的範圍下，可進行系統、製程、或機構的改變。

在下列描述中將提供許多具體細節，以徹底了解本發明。然而，應明白，可不需這些具體細節來實施本發明。為了避免模糊本發明，一些習知的電路、系統組構、與製程步驟將不詳細揭露。

顯示系統實施例的圖式是部份圖解而非按照比例，特別是一些尺寸為了清楚表示而在圖式中誇大顯示。同樣地，雖然圖式中的圖樣為了描述方便而一般顯示為相似的方向，但是圖式中所示大部分是沒有限定的。一般來說，本發明可操作在任意方向上。

在所有圖式中使用相同的元件符號來敘述相同的元件。為了描述方便，實施例已經被標號成第一實施例、第二實施例等等，而並非意欲有任何其他意義或用以限制本發明。

為了說明的目的，在此使用的用語「水平的(horizontal)」是定義成平行於積體電路的平面或表面的平面，而不論其方向。用語「垂直的(vertical)」是關於垂直於剛才定義的該水平的方向。例如「上方(above)」「下

方(below)」、「底部(bottom)」、「頂部(top)」、「側邊(side)」(如「側壁(sidewall)」)、「較高(higher)」、「較低(lower)」、「上面的(upper)」、「在…上方(over)」、與「在…之下(under)」的用語是相對圖式中的該水平面來定義。用語「在…上(on)」是在元件之間有直接接觸的意思。

在此使用的用語「加工(processing)」包含形成所述結構所需的材料或光阻的沉積、圖案化、曝光、顯影、蝕刻、清潔、及/或該材料或光阻的移除。

現在參照第 1 圖，其顯示在本發明的第一實施例中的積體電路封裝系統 100 的俯視圖。該俯視圖描述具有通孔(through via)104(例如填有導電材料、銅、焊料、或鎔的電性連接)的積體電路 102(例如積體電路晶粒或倒裝晶片(flip chip))。

封裝材料(encapsulation)106(例如包含環氧樹脂模
造化合物的覆蓋物(cover))可外露出該積體電路 102 與該
通孔 104。該封裝材料 106 也可外露出鄰接該積體電路 102
的導電支承(conductive support)108(例如焊料球、導電
柱(conductive post)、或導電支柱(conductive column))。

現在參照第 2 圖，其顯示沿著第 1 圖的線 2--2 的積體
電路封裝系統 100 的剖視圖。該積體電路封裝系統 100 的
剖視圖描述面對基板 214(例如壓合基板(laminated
substrate)或印刷電路板)的積體電路 102 的主動面 212。
該主動面 212 包含於其上的主動電路系統。

該通孔 104 可包含在該積體電路 102 的該主動面 212
處的接觸墊 215 以及非主動面 217 處的安裝墊(mounting

pad) 216。該非主動面 217 不包含於其上的主動電路系統。該通孔 104 從該主動面 212 穿過該積體電路 102 至該非主動面 217 並與該接觸墊 215 和該安裝墊 216 耦接。該接觸墊 215 可嵌入該積體電路 102 中且外露於該主動面 212。該安裝墊 216 可嵌入該積體電路 102 中且從該非主動面 217 和該封裝材料 106 外露。該通孔 104 可耦接至該基板 214。該導電支承 108 可安裝在該基板 214 上方且鄰接該積體電路 102。

該積體電路 102 可在該通孔 104 與該基板 214 之間包含第一裝置互連 218(例如焊料球、導電凸塊、或導電柱)。該第一裝置互連 218 也可以不接附(attach)至該通孔 104 的方式接附在該主動面 212 與該基板 214 之間。

該封裝材料 106 可與該非主動面 217 共平面，而提供用於安裝表面的平面表面。例如焊料球或導電凸塊的外部互連 220 可接附在該基板 214 之下。

已經發現本發明提供具有雙連線(dual connectivity)與小型佔板面積(compact footprint)的積體電路封裝系統 100。該導電支承 108 與該通孔 104、連同該外部互連 220 從該積體電路封裝系統 100 的上方與下方提供雙連線。該通孔 104 與鄰接該積體電路 102 的該導電支承 108 的密集佈置消除了獨立連接結構(例如可能需要額外佔板面積空間的插入物(interposer))的需要。

現在參照第 3 圖，其顯示在本發明的第二實施例中的積體電路封裝系統 300 的俯視圖。該積體電路封裝系統 300 的俯視圖描述封裝材料 306(例如包含環氧樹脂模造化合物的覆蓋物)。

該封裝材料 306 可外露出朝向該封裝材料 306 內部的第二裝置互連 322(例如焊料球或導電柱)。該封裝材料 306 也可外露出朝向該封裝材料 306 周圍的導電支承 308(例如焊料球、導電柱、或導電支柱)。

為了說明的目的，該積體電路封裝系統 300 是顯示為具有陣列組構的第二裝置互連 322，但應了解到該積體電路封裝系統 300 也可以是具有不同組構的該第二裝置互連 322。舉例來說，該第二裝置互連 322 可形成周圍組構或某些陣列位置減少(depopulate)的陣列組構。

現在參照第 4 圖，其顯示沿著第 3 圖的線 4--4 的積體電路封裝系統 300 的剖視圖。該積體電路封裝系統 300 的剖視圖描述面對基板 414(例如壓合基板或印刷電路板)的積體電路 402(例如積體電路晶粒或倒裝晶片)的主動面 412。

通孔 404 可包含在該積體電路 402 的非主動面 417 處的安裝墊 416。該通孔 404 從該主動面 412 穿過該積體電路 402 至該非主動面 417。該安裝墊 416 可接附至該第二裝置互連 322。該通孔 404 可耦接至該基板 414。該導電支承 308 可安裝在該基板 414 上方並鄰接該積體電路 402。

該積體電路 402 可在該通孔 404 與該基板 414 之間包含第一裝置互連 418，例如焊料球、導電凸塊、或導電柱。該第一裝置互連 418 也可以不接附至該通孔 404 的方式接附在該主動面 412 與該基板 414 之間。

該封裝材料 306 可與該第二裝置互連 322 及該導電支

承 308 共平面。該封裝材料 306 可提供用於安裝表面的平面表面。例如焊料球或導電凸塊的外部互連 420 可接附在該基板 414 之下。

現在參照第 5 圖，其顯示在本發明的第三實施例中的積體電路封裝系統 500 的俯視圖。該積體電路封裝系統 500 的俯視圖係描述非壓合重新分配結構 (non-laminated redistribution structure) 526。該非壓合重新分配結構 526 的例子包含介電層，該介電層藉由電鍍複數種導電金屬(例如銅、鋁、或鎳)來金屬化、並藉由例如光微影的方法來蝕刻。該非壓合重新分配結構 526 可附著至該積體電路晶粒或該封裝材料的上方。該非壓合重新分配結構 526 可包含安裝觸點 528。

為了說明的目的，該積體電封裝系統 500 是顯示有陣列組構的安裝觸點 528，但應了解到該積體電路封裝系統 500 也可以是具有不同組構的安裝觸點 528。舉例來說，該安裝觸點 528 可形成周圍組構或一些陣列位置減少 (depopulate) 的陣列組構。

現在參照第 6 圖，其顯示沿著第 5 圖的線 6--6 的積體電路封裝系統 500 的剖視圖。該積體電路封裝系統 500 的剖視圖描述該非壓合重新分配結構 526 接附在封裝材料 606(例如包含環氧樹脂模造化合物的覆蓋物)上方。

該剖視圖也描述面對基板 614(例如壓合基板或印刷電路板)的積體電路 602(例如積體電路晶粒或倒裝晶片)的主動面 612。

通孔 604 可包含在該積體電路 602 的非主動面 617 處的安裝墊 616。該通孔 604 從該主動面 612 穿過該積體電路 602 至該非主動面 617。該安裝墊 616 可接附至第二裝置互連 622。該通孔 604 可耦接至該基板 614。例如焊料球、導電柱、或導電支柱的導電支承 608 可安裝在該基板 614 上方並鄰接該積體電路 602。

該積體電路 602 可在該通孔 604 與該基板 614 之間包含第一裝置互連 618(例如焊料球、導電凸塊、或導電柱)。該第一裝置互連 618 也可以不接附至該通孔 604 的方式接附在該主動面 612 與該基板 614 之間。

該封裝材料 606 可與該第二裝置互連 622 及該導電支承 608 共平面。該封裝材料 606 可提供用於安裝表面的平面表面。例如焊料球或導電凸塊的外部互連 620 可接附在該基板 614 之下。

該非壓合重新分配結構 526 的重新分配邊緣 (redistribution edge) 629 可與該封裝材料 606 的垂直面 630 及該基板 614 的基板邊緣 632 共平面。該導電支承 608 可接附至該非壓合重新分配結構 526。該導電支承 608 可耦接至該安裝觸點 528。該第二裝置互連 622 可接附至該安裝墊 616，該安裝墊 616 耦接至在該非主動面 617 處的通孔 604。該第二裝置互連 622 可耦接至該安裝觸點 528。

現在參照第 7 圖，其顯示在本發明的第四實施例中的沿著第 5 圖的線 6--6 的積體電路封裝系統 700 的剖視圖。該積體電路封裝系統 700 的剖視圖描述該非壓合重新分配

結構 726(例如包含絕緣體、銅、鋁、或其他導電線的非壓合結構)接附在封裝材料 706(例如包含環氧樹脂模造化合物的覆蓋物)上方。

該剖視圖也描述面對基板 714(例如壓合基板或印刷電路板)的積體電路 702(例如積體電路晶粒或倒裝晶片)的主動面 712。

通孔 704 可包含在該積體電路 702 的非主動面 717 處的安裝墊 716。該通孔 704 從該主動面 712 穿過該積體電路 702 至該非主動面 717。該安裝墊 716 可接附至該非壓合重新分配結構 726 且可耦接至安裝觸點 728。該通孔 704 可耦接至該基板 714。例如焊料球、導電柱、或導電支柱的導電支承 708 可安裝在該基板 714 上方並鄰接該積體電路 702。

該積體電路 702 可在該通孔 704 與該基板 714 之間包含第一裝置互連 718(例如焊料球、導電凸塊、或導電柱)。該第一裝置互連 718 也可以不接附至該通孔 704 的方式接附在該主動面 712 與該基板 714 之間。

該封裝材料 706 可與該導電支承 708 及該非主動面 717 共平面。該非壓合重新分配結構 726 可接附至該非主動面 717。例如焊料球或導電凸塊的外部互連 720 可接附在該基板 714 之下。

該非壓合重新分配結構 726 的重新分配邊緣 729 可與該封裝材料 706 的垂直面 730 及該基板 714 的基板邊緣 732 共平面。該導電支承 708 可接附至該非壓合重新分配結構

726。

現在參照第 8 圖，其顯示在本發明的第五實施例中具有第 4 圖的積體電路封裝系統 300 的積體電路層疊封裝系統 800 的俯視圖。該俯視圖描述安裝裝置 834，例如積體電路晶粒或已封裝之積體電路。

現在參照第 9 圖，其顯示沿著第 8 圖的線 9--9 的積體電路層疊封裝系統 800 的剖視圖。該剖視圖描述安裝在該積體電路封裝系統 300 上方的該安裝裝置 834。該安裝裝置 834 的安裝互連 836 可接附至該第二裝置互連 322 與該導電支承 308。

現在參照第 10 圖，其顯示在本發明的第六實施例中具有第 2 圖的積體電路封裝系統 100 的積體電路層疊封裝系統 1000 的俯視圖。該俯視圖描述裝置堆疊 1034。

現在參照第 11 圖，其顯示沿著第 10 圖的線 11--11 的積體電路層疊封裝系統 1000 的剖視圖。該剖視圖描述安裝在該積體電路封裝系統 100 上方的該裝置堆疊 1034。

該裝置堆疊 1034 可包含具有第一貫穿通道(first through channel)1140 的第一裝置 1138(例如積體電路晶粒或倒裝晶片)。該裝置堆疊 1034 也可包含具有第二貫穿通道 1144 的第二裝置 1142(例如積體電路晶粒或倒裝晶片)。該裝置堆疊 1034 復可包含具有第三貫穿通道 1148 的第三裝置 1146(例如積體電路晶粒或倒裝晶片)。

該第二裝置 1142 可在該第一裝置 1138 上方。該第三裝置 1146 可在該第二裝置 1142 上方。該第一裝置 1138 可

在該積體電路封裝系統 100 上方。

為了說明的目的，該積體電路層疊封裝系統 1000 是顯示有實質上相同的該第一裝置 1138、該第二裝置 1142、與該第三裝置 1146，但應了解到該積體電路層疊封裝系統 1000 可以是具有不同組構的裝置堆疊 1034。舉例來說，該第一裝置 1138、該第二裝置 1142、與該第三裝置 1146 可為不同尺寸、具有不同數量的輸入/輸出、以不同技術製造、以及執行不同功能。

該裝置堆疊 1034 的安裝互連 1136 可接附至該安裝墊 216 與該導電支承 108。該安裝互連 1136 也可連接該第一貫穿通道 1140 與該第二貫穿通道 1144。該安裝互連 1136 復可連接該第二貫穿通道 1144 與該第三貫穿通道 1148。

現在參照第 12 圖，其顯示在本發明的實施例中的積體電路封裝系統 100 的製造方法 1200 的流程圖。該方法 1200 包含：在方塊 1202 中將具有通孔的積體電路接附在基板上方且該通孔耦接至該基板；在方塊 1204 中將導電支承接附在該基板上方且該導電支承外露於該封裝材料；在方塊 1206 中在該基板上方形成封裝材料且該導電支承外露於該封裝材料；以及在方塊 1208 中將外部互連接附在該基板之下。

所產生的方法、裝置、或系統是直接的、有成本效益的、不複雜的、高度多元的、且有效的，並可藉由改造已知技術來出人意外地和不明顯地實作，而因此是立即地適合高效率地與經濟地製造積體電路封裝系統。

本發明的另一重要態樣是它大大地支持並幫助降低成本、簡化系統、及增進效能的歷史趨勢。

本發明的這些與其他重要態樣因此將該技術的水平提升至至少下一層次。

雖然本發明已經連結具體最佳模式來敘述，但是應了解，許多替代、修改、與變化型式對於已按照先前的描述的本發明所屬技術領域中具有通常知識者將是顯而易知的。據此，本發明是要涵蓋落入所附申請專利範圍的範疇內的所有此種替代、修改、與變化型式。在此提出或在所附圖式中顯示的所有內容應解讀成例示及非限制的意思。

【圖式簡單說明】

第 1 圖係在本發明的第一實施例中的積體電路封裝系統的俯視圖；

第 2 圖係沿著第 1 圖的線 2--2 的積體電路封裝系統的剖示圖；

第 3 圖係在本發明的第二實施例中的積體電路封裝系統的俯視圖；

第 4 圖係沿著第 3 圖的線 4--4 的積體電路封裝系統的剖視圖；

第 5 圖係在本發明的第三實施例中的積體電路封裝系統的俯視圖；

第 6 圖係沿著第 5 圖的線 6--6 的積體電路封裝系統的剖視圖；

第 7 圖係在本發明的第四實施例中的沿著第 5 圖的線

6--6 的積體電路封裝系統的剖視圖；

第 8 圖係在本發明的第五實施例中具有第 4 圖的積體電路封裝系統的積體電路層疊封裝系統的俯視圖；

第 9 圖係沿著第 8 圖的線 9--9 的積體電路層疊封裝系統的剖視圖；

第 10 圖係在本發明的第六實施例中具有第 2 圖的積體電路封裝系統的積體電路層疊封裝系統的俯視圖；

第 11 圖係沿著第 10 圖的線 11--11 的積體電路層疊封裝系統的剖視圖；以及

第 12 圖係在本發明的進一步實施例中的積體電路封裝系統的製造方法的流程圖。

【主要元件符號說明】

2--2、4--4、6--6、9--9、11--11 線

100、300、500、700 積體電路封裝系統

102、402、602、702 積體電路

104、404、604、704 通孔

106、306、606、706 封裝材料

108、308、608、708 導電支承

212、412、612、712 主動面

214、414、614、714 基板

216、416、616、716 安裝墊

217、417、617、717 非主動面

218、418、618、718 第一裝置互連

220、420、620、720 外部互連

322、622	第二裝置互連
526、726	非壓合重新分配結構
528、728	安裝觸點
629、729	重新分配邊緣
630、730	垂直面
632、732	基板邊緣
800、1000	積體電路層疊封裝系統
834、1034	安裝裝置
836、1136	安裝互連
1138	第一裝置
1140	第一貫穿通道
1142	第二裝置
1144	第二貫穿通道
1146	第三裝置
1148	第三貫穿通道
1200	方法
1202、1204、1206、1208	方塊

七、申請專利範圍：

1. 一種積體電路封裝系統的製造方法，係包括：

將具有通孔的積體電路接附在基板上方，且該通孔耦接至該基板，該通孔具有嵌入於該積體電路中外露於該積體電路之非主動面的安裝墊以及嵌入於該積體電路中外露於該積體電路之主動面的接觸墊；

將導電支承接附在該基板上方並鄰接該積體電路；

在該基板上方形成封裝材料，且該導電支承外露於該封裝材料；以及

將外部互連接附在該基板之下。

2. 如申請專利範圍第 1 項所述之方法，其中：

接附該積體電路包含將該積體電路的主動面面對該基板；以及

形成該封裝材料包含在該積體電路的非主動面處外露出耦接至該通孔的安裝墊。

3. 如申請專利範圍第 1 項所述之方法，復包括：

將第二裝置互連接附至安裝墊，且該安裝墊在該積體電路的非主動面處耦接至該通孔；以及

其中：

形成該封裝材料包含將該第二裝置互連外露於該封裝材料。

4. 如申請專利範圍第 1 項所述之方法，復包括將非壓合重新分配結構接附在該封裝材料上方，且包含在該積體電路的非主動面處將該導電支承與該通孔電性耦接至該

非壓合重新分配結構。

5. 如申請專利範圍第 1 項所述之方法，復包括：

將第二裝置互連接附至安裝墊，且該安裝墊在該積體電路的非主動面處耦接至該通孔；以及

將非壓合重新分配結構接附至該封裝材料上方包含電性耦接該導電支承與該第二裝置互連。

6. 一種積體電路封裝系統，包括：

基板；

具有通孔的積體電路，係位在該基板上方，且該通孔耦接至該基板，該通孔具有嵌入於該積體電路中外露於該積體電路之非主動面的安裝墊以及嵌入於該積體電路中外露於該積體電路之主動面的接觸墊；

導電支承，係位在該基板上方並鄰接該積體電路；封裝材料，係位在該基板上方，且該導電支承外露於該封裝材料；以及

外部互連，係接附在該基板之下。

7. 如申請專利範圍第 6 項所述之系統，其中：

該積體電路包含面對該基板的主動面；以及

該封裝材料外露出安裝墊，且該安裝墊在該積體電路的非主動面處耦接至該通孔。

8. 如申請專利範圍第 6 項所述之系統，復包括：

第二裝置互連，係接附至在該積體電路的非主動面處耦接至該通孔的安裝墊；以及

其中：

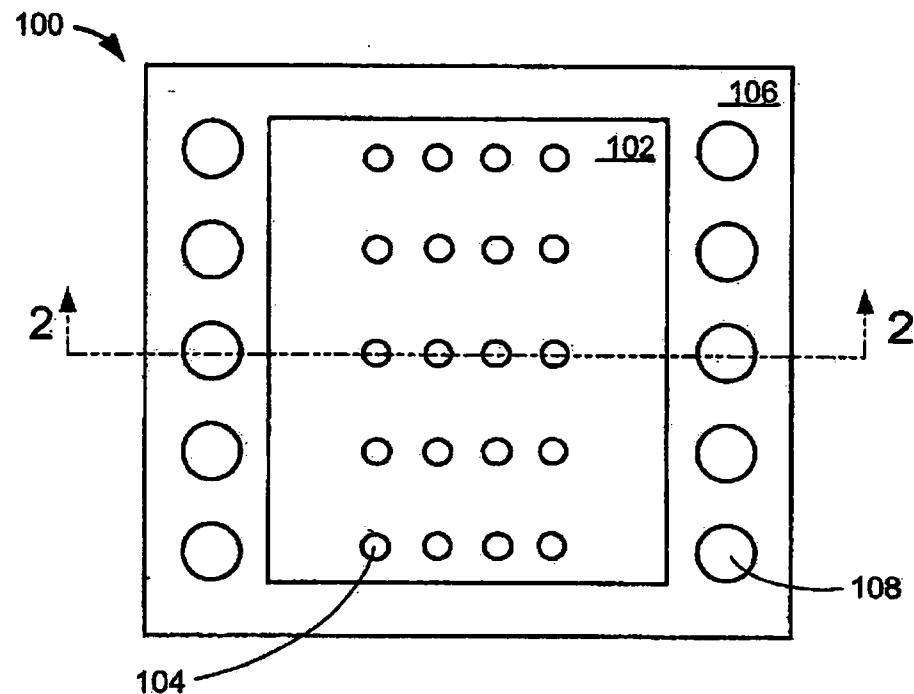
該封裝材料外露出該第二裝置互連。

9. 如申請專利範圍第 6 項所述之系統，復包括非壓合重新分配結構，係接附在該封裝材料上方，且包含在該積體電路的非主動面處接附至該非壓合重新分配結構的該導電支承與該通孔。
10. 如申請專利範圍第 6 項所述之系統，復包括：

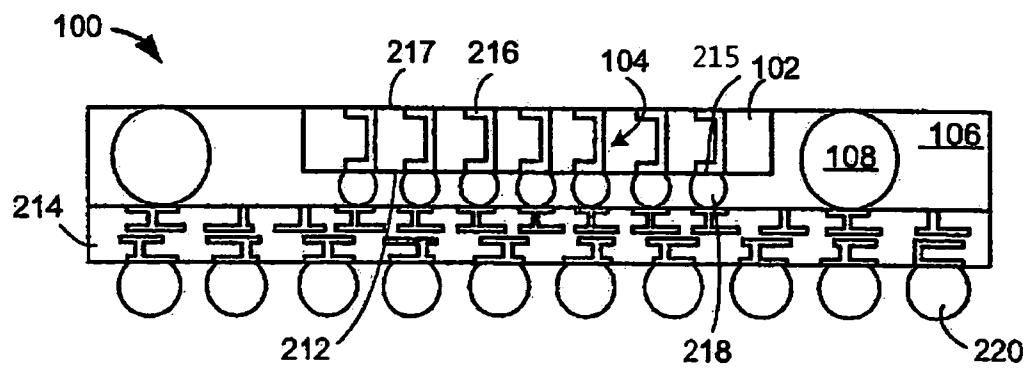
第二裝置互連，係接附至在該積體電路的非主動面處耦接至該通孔的安裝墊；以及

非壓合重新分配結構，係接附至該封裝材料，且包含電性耦接至該第二裝置互連的該導電支承。

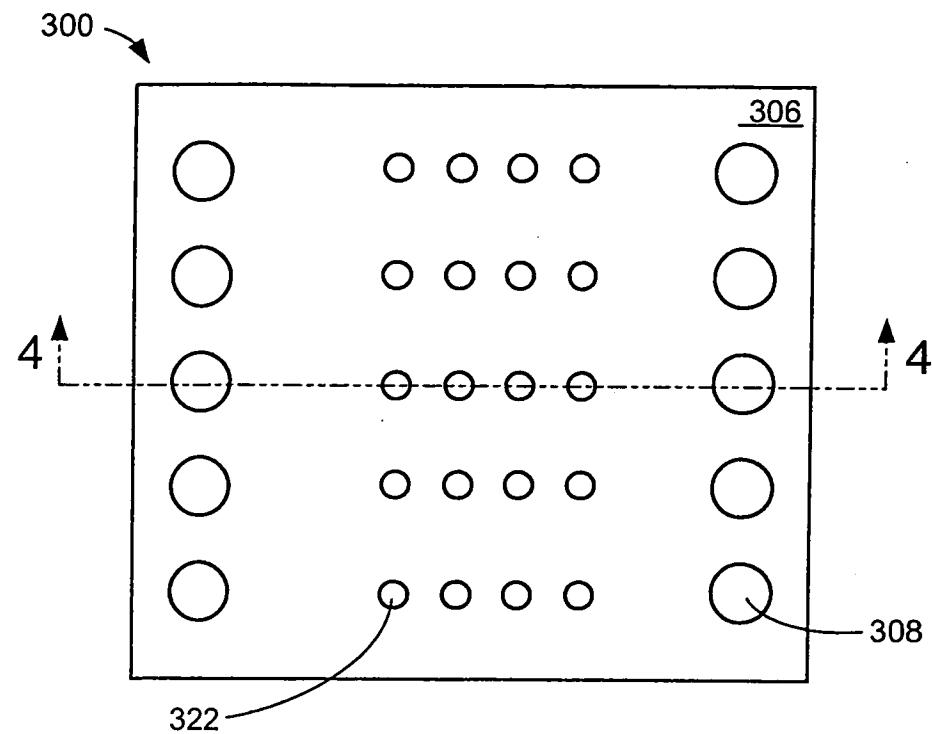
八、圖式：



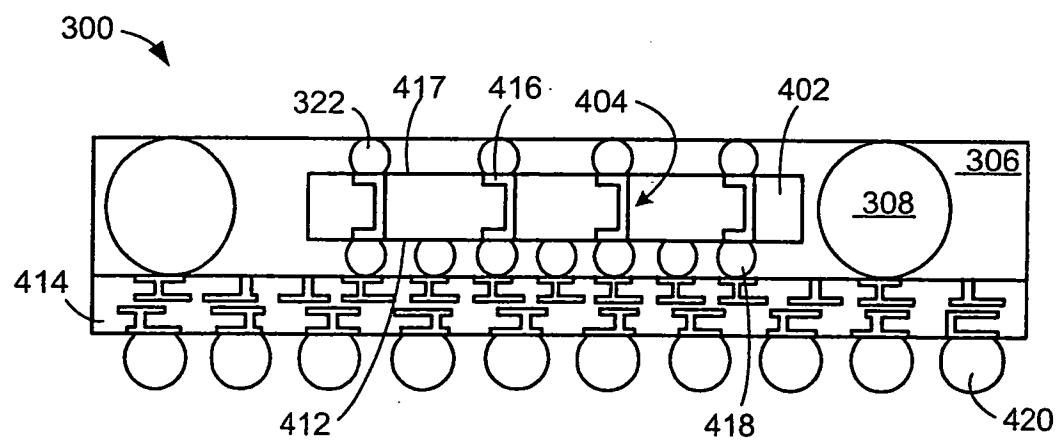
第 1 圖



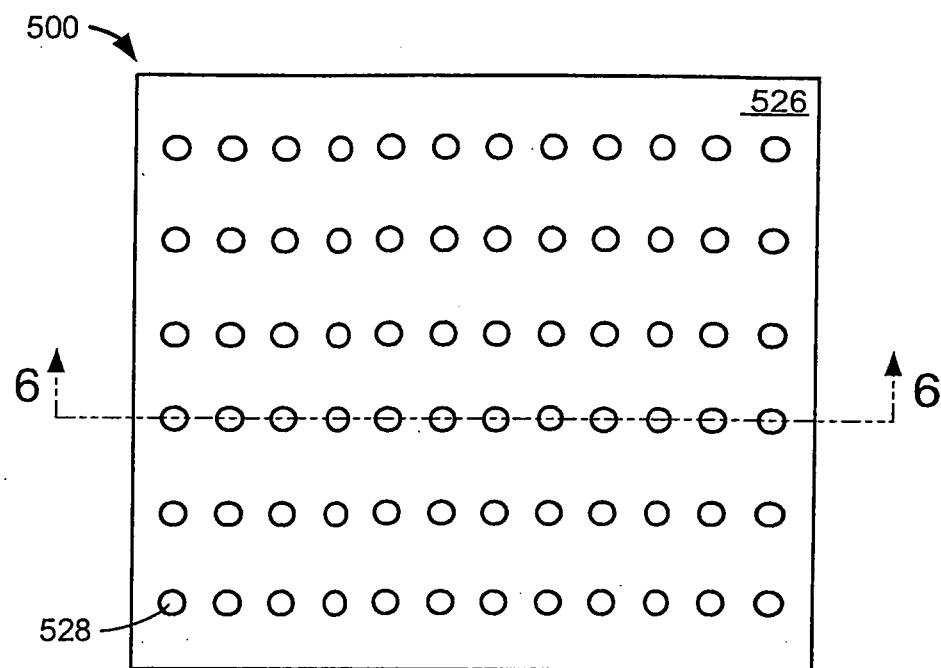
第 2 圖



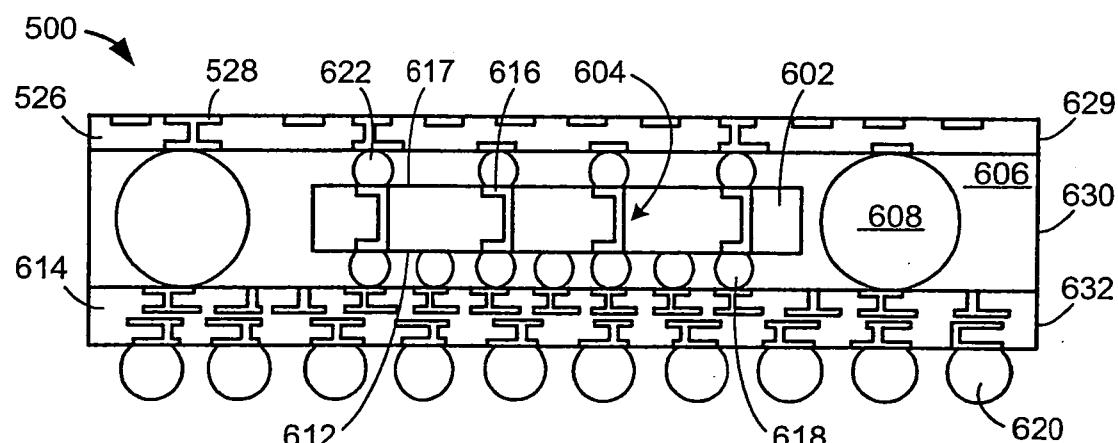
第 3 圖



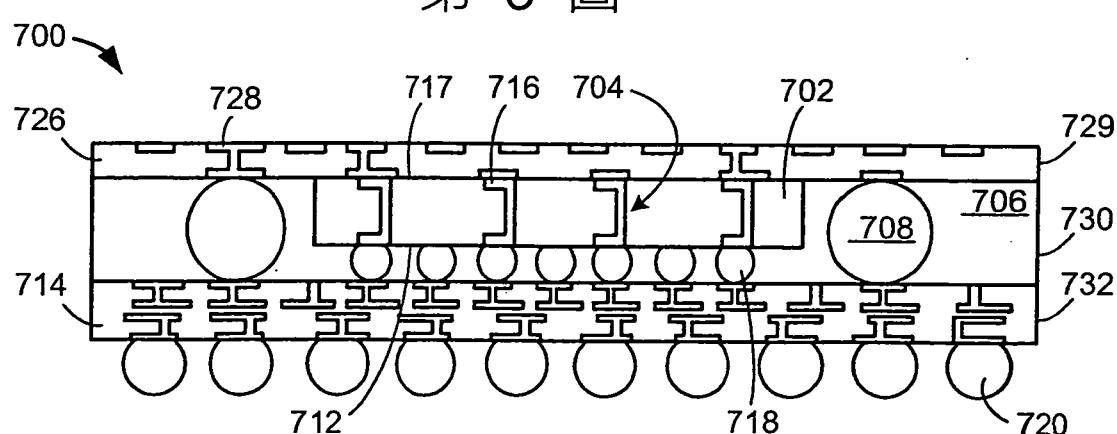
第 4 圖



第 5 圖

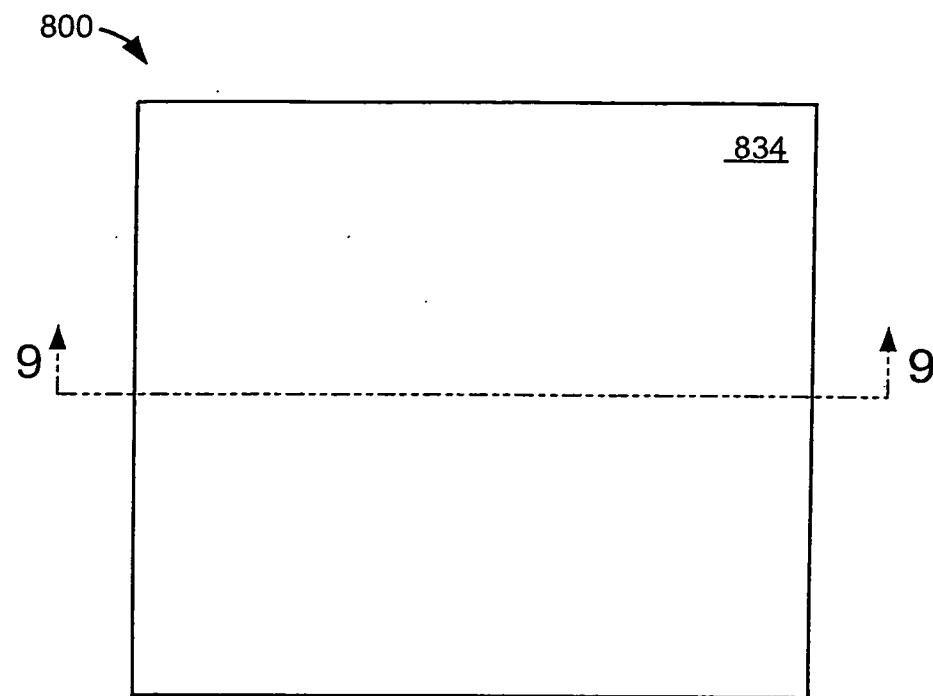


第 6 圖

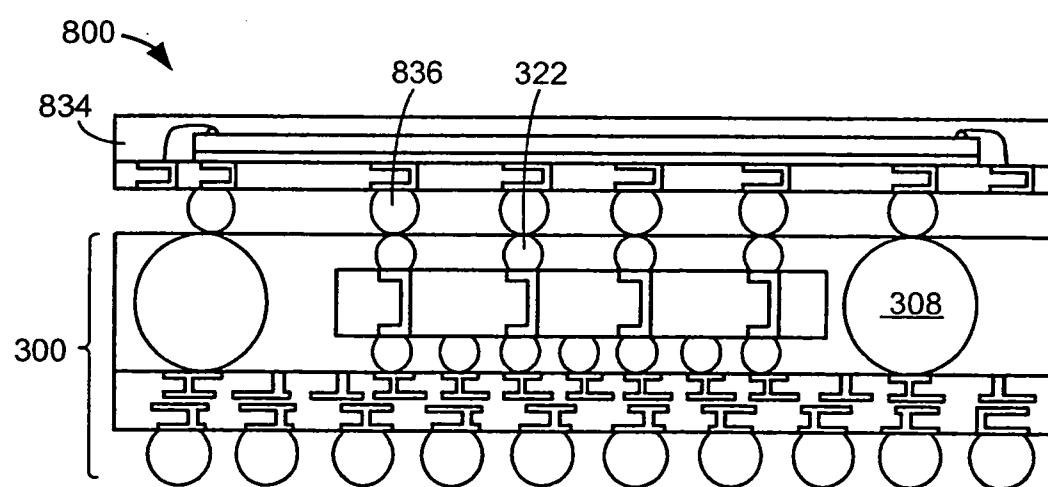


第 7 圖

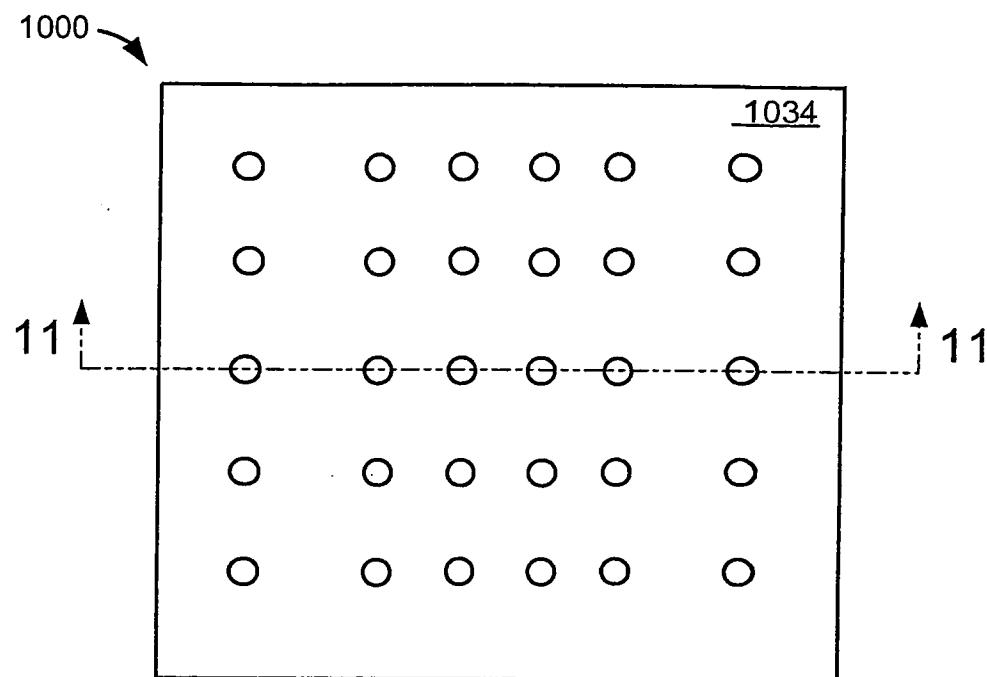
I495040



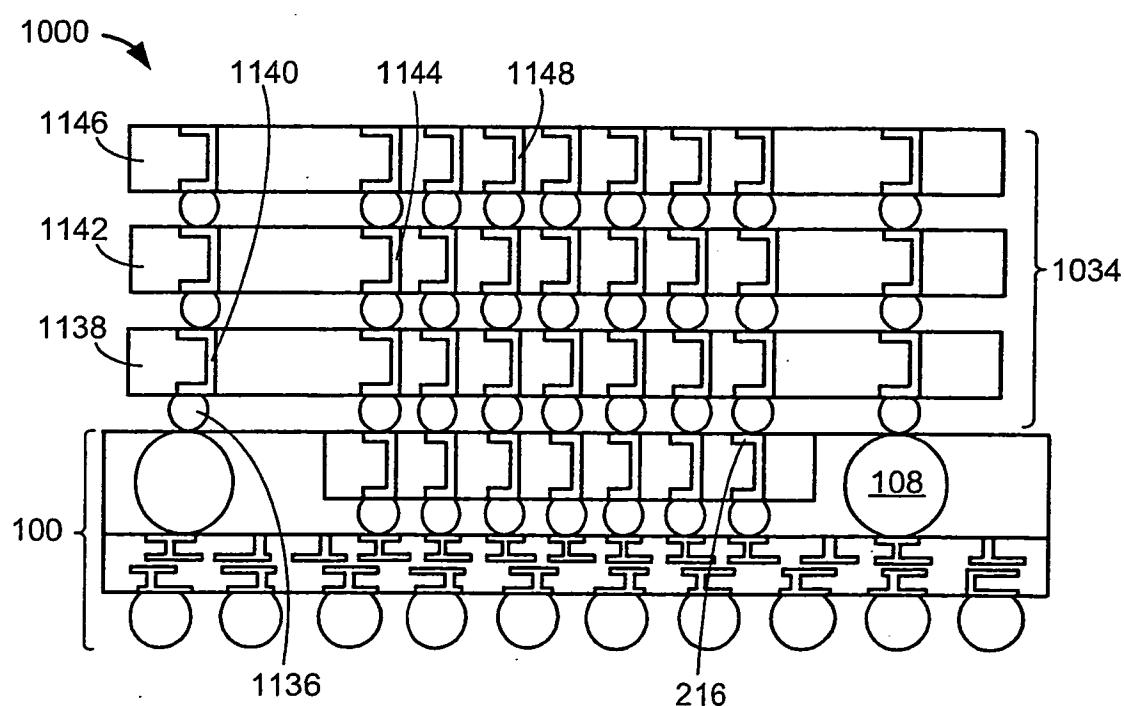
第 8 圖



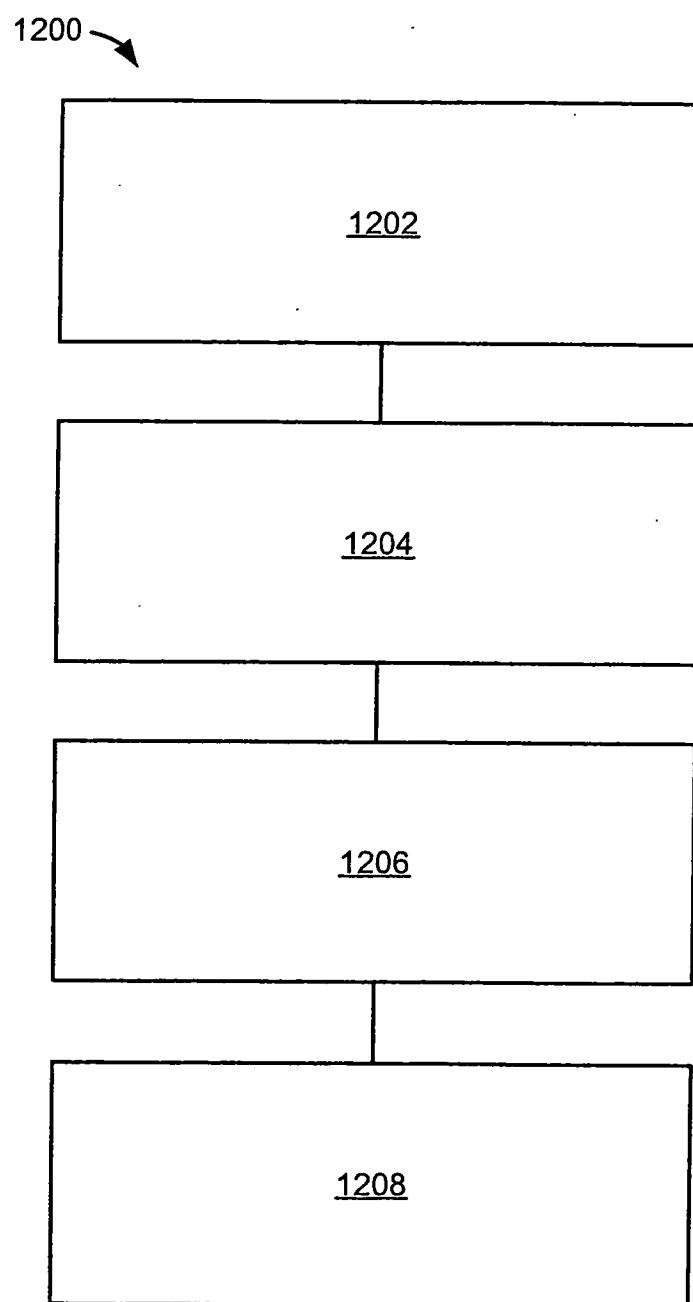
第 9 圖



第 10 圖



第 11 圖



第 12 圖