

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)



(10) 国際公開番号

WO 2025/017415 A1

(51) 国際特許分類:

H01L 21/205 (2006.01) C23C 16/455 (2006.01)
C23C 14/08 (2006.01) H01L 21/203 (2006.01)
C23C 14/34 (2006.01) H01L 21/265 (2006.01)
C23C 16/40 (2006.01) H01L 21/477 (2006.01)

(21) 国際出願番号: PCT/IB2024/056604

(22) 国際出願日: 2024年7月8日(08.07.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-116005 2023年7月14日(14.07.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

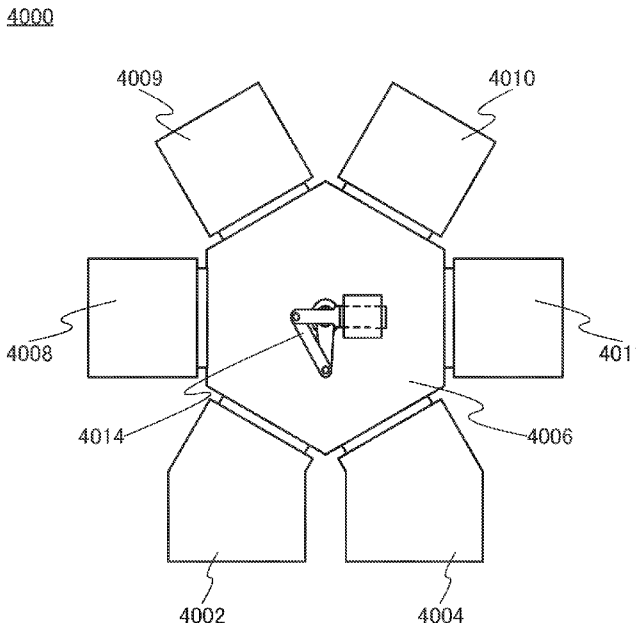
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 井坂史人 (ISAKA, Fumito); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 佐藤優一 (SATO, Yuichi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 恵木勇司 (EGI, Yuji); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 大野敏和 (OHNO, Toshikazu); 〒2430036 神奈川県厚木市長谷398株式会社

(54) Title: MANUFACTURING APPARATUS AND METHOD FOR MANUFACTURING OXIDE SEMICONDUCTOR LAYER

(54) 発明の名称: 製造装置、及び酸化物半導体層の作製方法

図1



(57) Abstract: Provided is a manufacturing apparatus capable of forming an oxide semiconductor layer. The apparatus comprises first to third film formation chambers, a first treatment chamber, and a transfer chamber, wherein the first film formation chamber and the third film formation chamber have a function of performing film formation by an ALD method and have a means for supplying a precursor containing indium, the second film formation chamber has a function of performing film formation by a sputtering method and has a means for attaching a sputtering target containing indium,

[続葉有]



WO 2025/017415 A1

半導体エネルギー研究所内 Kanagawa (JP).
國武寛司(KUNITAKE, Hitoshi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 村川努(MURAKAWA, Tsutomu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

the first treatment chamber has a function of performing heat treatment, and the first to third film formation chambers and the first treatment chamber are connected through the transfer chamber.

(57) 要約: 酸化物半導体層を成膜可能な製造装置を提供する。第1乃至第3の成膜室と、第1の処理室と、搬送室と、を有し、第1の成膜室及び第3の成膜室は、ALD法による成膜を行う機能を有し、且つインジウムを含むプリカーサを供給する手段を有し、第2の成膜室は、スパッタリング法による成膜を行う機能を有し、且つインジウムを含むスパッタリングターゲットを取り付ける手段を有し、第1の処理室は、加熱処理を行う機能を有し、第1乃至第3の成膜室、及び第1の処理室は、搬送室を介して接続されている。

明細書

発明の名称

製造装置、及び酸化物半導体層の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、記憶装置、表示装置、及び電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げることができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSI (Large Scale Integration)、CPU (Central Processing Unit)、メモリなどが主に半導体装置に用いられている。CPUは、半導体ウェハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSI、CPU、メモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）、表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、オフ状態において極めてリーク電流が小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている。また、例えば、特許文献2には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献3及び非特許文献1では、酸化物半導体膜を用いる第1のトランジスタと、酸化物半導体膜を用いる第2のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。また、特許文献4では、酸化物半導体膜を用いるトランジスタのチャンネルを縦方向に配置し、集積回路の高密度化を図る技術が開示されている。

[0009]

また、非特許文献2では、結晶性酸化物半導体として、CAAC-IGZOが開示されている。また、非特許文献2では、CAAC-IGZOの成長メカニズムなども開示されている。

[先行技術文献]

[特許文献]

[0010]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

[特許文献3] 国際公開第2021/053473号

[特許文献4] 特開2013-211537号公報

[非特許文献]

[0011]

[非特許文献1] M. Oota et al., "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72 nm", IEDM Tech. Dig., 2019, pp. 50-53

[非特許文献2] Noboru Kimizuka and Shunpei Yamazaki, "PHYSICS AND TECHNOLOGY OF CRYSTALLINE OXIDE SEMICONDUCTOR CAAC-IGZO: FUNDAMENTALS", (米国), Wiley-SID Series in Display Technology, 2017, pp. 50-150

発明の概要

発明が解決しようとする課題

[0012]

本発明の一態様は、トランジスタ等の半導体装置に適用可能な酸化物半導体層を提供することを課題の一とする。または、本発明の一態様は、良好な電気特性を有する半導体装置に適用可能な酸化物半導体層を提供することを課題の一とする。または、本発明の一態様は、信頼性が高い半導体装置に適用可能な酸化物半導体層を提供することを課題の一とする。または、本発明の一態様は、上記酸化物半導体層を成膜可能な製造装置を提供することを課題の一とする。または、本発明の一態様は、新規の酸化物半導体層を提供することを課題の一とする。または、本発明の一態様は、新規の酸化物半導体層の作製方法を提供することを課題の一とする。または、本発明の一態様は、新規の製造装置を提供することを課題の一とする。

[0013]

本発明の一態様は、電気特性が良好なトランジスタを提供することを課題の一とする。または、本発明の一態様は、オン電流が大きいトランジスタを提供することを課題の一とする。または、本発明

の一態様は、寄生容量が小さいトランジスタを提供することを課題の一とする。または、本発明の一態様は、微細化または高集積化が可能なトランジスタ、半導体装置、または記憶装置を提供することを課題の一とする。または、本発明の一態様は、高精細または高開口率の表示装置を提供することを課題の一とする。または、本発明の一態様は、信頼性の高いトランジスタ、半導体装置、表示装置、または記憶装置を提供することを課題の一とする。または、本発明の一態様は、消費電力の低い半導体装置、表示装置、または記憶装置を提供することを課題の一とする。または、本発明の一態様は、動作速度が速い記憶装置を提供することを課題の一とする。または、本発明の一態様は、上記トランジスタ、半導体装置、表示装置、または記憶装置の作製方法を提供することを課題の一とする。

[0014]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0015]

本発明の一態様は、第1乃至第3の成膜室と、第1の処理室と、搬送室と、を有し、第1の成膜室及び第3の成膜室は、ALD法による成膜を行う機能を有し、且つインジウムを含むプリカーサを供給する手段を有し、第2の成膜室は、スパッタリング法による成膜を行う機能を有し、且つインジウムを含むスパッタリングターゲットを取り付ける手段を有し、第1の処理室は、加熱処理を行う機能を有し、第1乃至第3の成膜室、及び第1の処理室は、搬送室を介して接続されている、製造装置である。

[0016]

また、上記態様において、スパッタリングターゲットは、インジウム及び亜鉛を含む、ことが好ましい。

[0017]

また、上記態様において、第1の処理室は、加熱機構を有し、加熱機構は、350℃以上550℃以下の温度範囲にて、加熱する機能を有する、ことが好ましい。

[0018]

また、上記態様において、第1の処理室は、LRTA装置を有する、ことが好ましい。

[0019]

また、上記態様において、搬送室に接続された第2の処理室を有し、第2の処理室は、マイクロ波処理を行う機能を有する、ことが好ましい。

[0020]

本発明の他の一態様は、第1の成膜室において、インジウムを含むプリカーサを用いたALD法によって、第1の金属酸化物を成膜し、第2の成膜室において、インジウムを含むスパッタリングターゲットを用いたスパッタリング法によって、第1の金属酸化物上に第2の金属酸化物を成膜し、第3の成膜室において、インジウムを含むプリカーサを用いたALD法によって、第2の金属酸化物上に第3の金属酸化物を成膜し、第1の処理室において、第1の金属酸化物乃至第3の金属酸化物に加熱処理を行い、第1乃至第3の成膜室、及び第1の処理室は、搬送室を介して接続されている、酸化物半導体層の作製方法である。

[0021]

また、上記態様において、スパッタリングターゲットは、インジウム及び亜鉛を含む、ことが好ましい。

[0022]

また、上記態様において、スパッタリング法は、酸素を含む雰囲気で行われる、ことが好ましい。

[0023]

また、上記態様において、ALD法における、基板加熱の温度は100℃以上350℃以下である、ことが好ましい。

[0024]

また、上記態様において、加熱処理は、350℃以上550℃以下の温度で行われる、ことが好ましい。

[0025]

また、上記態様において、加熱処理は、LRTA装置を用いて行われる、ことが好ましい。

[0026]

また、上記態様において、加熱処理の後に、第2の処理室において、マイクロ波処理を行い、第2の処理室は、搬送室に接続されている、ことが好ましい。

[0027]

また、上記態様において、酸化物半導体層の透過電子顕微鏡を用いた断面観察において、被形成面と平行な方向に層状に並んだ輝点が、第1の金属酸化物、第2の金属酸化物、及び第3の金属酸化物のそれぞれで確認される、ことが好ましい。

[0028]

また、上記態様において、第1の金属酸化物と第2の金属酸化物との間に明確な境界が観察されず、第2の金属酸化物と第3の金属酸化物との間に明確な境界が観察されない、ことが好ましい。

発明の効果

[0029]

本発明の一態様により、トランジスタ等の半導体装置に適用可能な酸化物半導体層を提供できる。または、本発明の一態様により、良好な電気特性を有する半導体装置に適用可能な酸化物半導体層を提供できる。または、本発明の一態様により、信頼性が高い半導体装置に適用可能な酸化物半導体層を提供できる。または、本発明の一態様により、上記酸化物半導体層を成膜可能な製造装置を提供できる。または、本発明の一態様により、新規の酸化物半導体層を提供できる。または、本発明の一態様により、新規の酸化物半導体層の作製方法を提供できる。または、本発明の一態様により、新規の製造装置を提供できる。

[0030]

本発明の一態様により、電気特性が良好なトランジスタを提供できる。または、本発明の一態様により、オン電流が大きいトランジスタを提供できる。または、本発明の一態様により、寄生容量が小さいトランジスタを提供できる。または、本発明の一態様により、微細化または高集積化が可能なトランジスタ、半導体装置、または記憶装置を提供できる。または、本発明の一態様により、高精細または高開口率の表示装置を提供できる。または、本発明の一態様により、信頼性の高いトランジスタ、半導体装置、表示装置、または記憶装置を提供できる。または、本発明の一態様により、消費電力の低い半導体装置、表示装置、または記憶装置を提供できる。または、本発明の一態様により、動作速度が速い記憶装置を提供できる。または、本発明の一態様により、上記トランジスタ、半導体装置、

表示装置、または記憶装置の作製方法を提供できる。

[0031]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0032]

図1は、製造装置を説明する模式図である。

図2は、製造装置を説明する模式図である。

図3A及び図3Bは、成膜装置を説明する断面図である。

図4A乃至図4Cは、成膜装置を説明する断面図である。

図5は、成膜装置を説明する断面図である。

図6A乃至図6Dは、酸化物半導体の作製方法の一例を示す断面図である。

図7A乃至図7Dは、酸化物半導体の一例を示す断面図である。

図8A乃至図8Eは、本発明の一態様に係る金属酸化物の成膜方法を説明する断面図である。

図9A乃至図9Dは、本発明の一態様に係る金属酸化物の断面図である。

図10A乃至図10Dは、本発明の一態様に係る金属酸化物の成膜方法を説明する断面図である。

図11A乃至図11Cは、本発明の一態様に係る金属酸化物の成膜方法を説明する断面図である。

図12Aは、半導体装置の一例を示す平面図である。図12B及び図12Cは、半導体装置の一例を示す断面図である。

図13は、半導体装置の一例を示す断面図である。

図14A及び図14Bは、半導体装置の一例を示す断面図である。

図15Aは、半導体装置の一例を示す平面図である。図15B及び図15Cは、半導体装置の一例を示す断面図である。

図16Aは、半導体装置の一例を示す平面図である。図16Bは、半導体装置の一例を示す断面図である。

図17Aは、半導体装置の一例を示す平面図である。図17Bは、半導体装置の一例を示す断面図である。

図18A乃至図18Cは、半導体装置の一例を示す断面図である。

図19Aは、半導体装置の一例を示す平面図である。図19B及び図19Cは、半導体装置の一例を示す断面図である。

図20Aは、半導体装置の一例を示す平面図である。図20B及び図20Cは、半導体装置の一例を示す断面図である。

図21A乃至図21Cは、半導体装置の作製方法の一例を示す断面図である。

図22Aは、記憶装置の一例を示す平面図である。図22B及び図22Cは、記憶装置の一例を示す断面図である。

図23A及び図23Bは、記憶装置の一例を示す断面図である。

図24Aは、記憶装置の一例を示す平面図である。図24Bは、記憶装置の一例を示す断面図である。

図25は、記憶装置の一例を示す断面図である。

図26は、記憶装置の一例を示す断面図である。

図 2 7 A は、半導体装置の一例を示す平面図である。図 2 7 B 乃至図 2 7 D は、半導体装置の一例を示す断面図である。

図 2 8 A 及び図 2 8 B は、半導体装置の一例を示す断面図である。

図 2 9 は、半導体装置の構成例を説明するブロック図である。

図 3 0 A 乃至図 3 0 H は、メモリセルの回路構成例を説明する図である。

図 3 1 A 及び図 3 1 B は、半導体装置の構成例を説明する斜視図である。

図 3 2 は、CPU を説明するブロック図である。

図 3 3 A 及び図 3 3 B は、半導体装置の斜視図である。

図 3 4 A 及び図 3 4 B は、半導体装置の斜視図である。

図 3 5 A 及び図 3 5 B は、各種の記憶装置を階層ごとに示す図である。

図 3 6 A 及び図 3 6 B は、表示装置の一例を示す斜視図である。

図 3 7 は、表示装置の一例を示す断面図である。

図 3 8 は、表示装置の一例を示す断面図である。

図 3 9 A 乃至図 3 9 C は、表示装置の構成例を示す図である。

図 4 0 A 及び図 4 0 B は、電子部品の一例を示す図である。

図 4 1 A 乃至図 4 1 C は、大型計算機の一例を示す図である。図 4 1 D は、宇宙用機器の一例を示す図である。図 4 1 E は、データセンターに適用可能なストレージシステムの一例を示す図である。

図 4 2 A 乃至図 4 2 F は、電子機器の一例を示す図である。

図 4 3 A 乃至図 4 3 G は、電子機器の一例を示す図である。

図 4 4 A 乃至図 4 4 F は、電子機器の一例を示す図である。

発明を実施するための形態

[0033]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0034]

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0035]

また、図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

[0036]

なお、本明細書等において、「第 1」、「第 2」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0037]

また、トランジスタは半導体素子の一種であり、電流または電圧を増幅する機能、及び、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0038]

本明細書等において、半導体層に酸化物半導体または金属酸化物を用いたトランジスタ、及び、チャネル形成領域に酸化物半導体または金属酸化物を有するトランジスタをOSトランジスタと記すことがある。また、チャネル形成領域にシリコンを有するトランジスタをSiトランジスタと記すことがある。

[0039]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネルが形成される領域（チャネル形成領域ともいう）を有しており、チャネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

[0040]

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、または回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0041]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1 atomic %未満の元素は不純物といえる。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、または結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがある。具体的には、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損 (V_O とも記す) が形成される場合がある。

[0042]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

[0043]

膜に含まれる水素、酸素、炭素、窒素などの元素の含有量の分析には、例えば、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry)、またはX線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いることができる。目的の元素の含有率が高い（例えば、0.5 atomic %以上、または1 atomic %以上）場合は、XPSが適している。一方、目的の元素の含有率が低い（例えば0.5 atomic %以下、または1 atomic %以下）場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの両方の分析手法を用いた複合解析を行うことがより好ま

しい。

[0044]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

[0045]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「略平行」とは、二つの直線が -20 度以上 20 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「略垂直」とは、二つの直線が 70 度以上 110 度以下の角度で配置されている状態をいう。

[0046]

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極または配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、その他の各種機能を有する素子などが含まれる。

[0047]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースドレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、 n チャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（ p チャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0048]

本明細書等において、ノーマリーオン特性とは、ゲートに電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れてしまう状態のことをいう。また、ノーマリーオフ特性とは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに電流が流れない状態のことをいう。

[0049]

本明細書等において、ある構成要素の上面形状とは、平面視における当該構成要素の輪郭形状のことをいう。また平面視とは、当該構成要素の被形成面、または当該構成要素が形成される支持体（例えば基板）の表面の法線方向から見ることをいう。

[0050]

本明細書等において「上面形状が略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、または上層が下層の外側に位置することもあり、この場合も「上面形状が略一致」という場合がある。また、上面形状が一致または略一致している場合、端部が揃っている、もしくは略揃っている、または側端部が一致している、もしくは略一致している、ということもできる。

[0051]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（テーパ角ともいう）が0度より大きく90度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

[0052]

本明細書等において、AはBと接する、と記載されている場合、Aの少なくとも一部がBと接する。そのため、例えば、AはBと接する領域を有する、と言い換えることができる。

[0053]

本明細書等において、AはB上に位置する、と記載されている場合、Aの少なくとも一部がB上に位置する。そのため、例えば、AはB上に位置する領域を有する、と言い換えることができる。

[0054]

本明細書等において、AはBを覆う、と記載されている場合、Aの少なくとも一部がBを覆う。そのため、例えば、AはBを覆う領域を有する、と言い換えることができる。

[0055]

本明細書等において、AはBと重なる、と記載されている場合、Aの少なくとも一部がBと重なる。そのため、例えば、AはBと重なる領域を有する、と言い換えることができる。

[0056]

本明細書等において、メタルマスク、またはFMM（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、またはFMMを用いずに作製されるデバイスをMML（メタルマスクレス）構造のデバイスと呼称する場合がある。

[0057]

本明細書等では、発光波長が異なる発光素子（発光デバイスともいう）で発光層を作り分ける構造をSBS（Side By Side）構造と呼ぶ場合がある。SBS構造は、発光素子ごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

[0058]

本明細書等において、正孔または電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層または電子注入層を「キャリア注入層」といい、正孔輸送層または電子輸送層を「キャリア輸送層」といい、正孔ブロック層または電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、明確に区別できない場合がある。また、1つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち2つまたは3つの機能を兼ねる場合がある。

[0059]

本明細書等において、発光素子は、一対の電極間にEL層を有する。EL層は、少なくとも発光層を有する。ここで、EL層が有する層（機能層ともいう）としては、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及び、キャリアブロック層（正孔ブロック層及び電子ブロック層）などが挙げられる。本明細書等において、受光素子（受光デ

バイスともいう)は、一对の電極間に少なくとも光電変換層として機能する活性層を有する。本明細書等では、一对の電極の一方を画素電極と記し、他方を共通電極と記すことがある。

[0060]

本明細書等において、犠牲層(マスク層と呼称してもよい)とは、少なくとも発光層(より具体的には、EL層を構成する層のうち、島状に加工される層)の上方に位置し、製造工程中において、当該発光層を保護する機能を有する。

[0061]

本明細書等において、島状とは、同一工程で形成された同一材料を用いた2以上の層が、物理的に分離されている状態であることを示す。例えば、島状のEL層とは、当該EL層と、隣接するEL層とが、物理的に分離されている状態であることを示す。

[0062]

本明細書等において、段切れとは、層、膜、または電極が、被形成面の形状(例えば段差など)に起因して分断される現象を示す。

[0063]

なお、本明細書に係る図面等において、X方向、Y方向、及びZ方向を示す矢印を付す場合がある。なお、本明細書等において、「X方向」とはX軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Y方向」及び「Z方向」についても同様である。また、X方向、Y方向、及びZ方向は、それぞれが互いに交差する方向である。例えば、X方向、Y方向、及びZ方向は、それぞれが互いに直交する方向である。

[0064]

(実施の形態1)

本実施の形態では、本発明の一態様の酸化物半導体層について説明する。本発明の一態様の酸化物半導体層は、トランジスタの半導体層として用いることが好ましい。本発明の一態様の酸化物半導体層をトランジスタの半導体層として用いる場合、酸化物半導体層は、チャネル形成領域を有する。また、酸化物半導体層は、ソース領域及びドレイン領域を有することが好ましい。

[0065]

[酸化物半導体層]

本発明の一態様の酸化物半導体層は、結晶性を有する金属酸化物を有することが好ましい。結晶性を有する金属酸化物の構造としては、例えば、CAAC(c-axis aligned crystal)構造、多結晶(Poly-crystal)構造、及び、微結晶(nc:nano-crystal)構造が挙げられる。結晶性を有する金属酸化物を酸化物半導体層に用いることにより、酸化物半導体層中の欠陥準位密度を低減できる。よって、本発明の一態様の酸化物半導体層を用いたトランジスタの信頼性を高めることができ、トランジスタが搭載された半導体装置の信頼性を高めることができる。

[0066]

本発明の一態様の酸化物半導体層は特に、CAAC構造を有する金属酸化物を有することが好ましい。CAAC構造とは、複数の微結晶(代表的には、複数の、六方晶系の結晶構造を有する微結晶)がc軸配向を有し、かつa-b面においては、上記複数の微結晶が配向せずに連結した結晶構造である。高分解能の透過電子顕微鏡(TEM:Transmission Electron Microscope)像を用いて、CAAC構造を有する酸化物半導体層の断面を観察すると、結晶部にお

いて、金属原子が層状に配列していることを確認できる。よって、CAAC構造を有する酸化物半導体層は、層状の結晶部を有する構造ともいえる。

[0067]

多結晶構造は、結晶粒界（グレインバウンダリ）を有する。また、多結晶構造の酸化物半導体層を形成したのち熱処理を行うと、結晶部と、結晶部との、間に微小な隙間（ナノクラックあるいはマイクロクラックともいう）または微小な空間（ナノスペースあるいはマイクロスペースともいう）が形成される。酸化物半導体層内に微小な隙間または微小な空間が形成されると、酸化物半導体層の電気抵抗が高くなる。これは、微小な隙間または微小な空間の電気抵抗が非常に高く、例えば無限大であることに起因する。微小な隙間または微小な空間を有する酸化物半導体層を、トランジスタのチャネル形成領域に用いる場合、酸化物半導体層と、ソース電極及びドレイン電極の一方または双方との接触抵抗が高くなる。そのため、トランジスタの初期特性または信頼性に悪影響を与えてしまう。CAAC構造は、a-b面において結晶粒界（グレインバウンダリ）が明確に観測されないため信頼性の高い半導体装置を実現できる。また、結晶粒界が少ないため、トランジスタのチャネルのキャリア伝導に対するエネルギー障壁が小さく、オン電流の向上が見込まれる。

[0068]

酸化物半導体層の結晶性は、例えば、X線回折（XRD: X-Ray Diffraction）、TEM、または電子線回折（ED: Electron Diffraction）により解析できる。または、これらの手法を複数組み合わせることで分析を行ってもよい。

[0069]

なお、酸化物半導体層が有する半導体材料の結晶性は特に限定されない。例えば、酸化物半導体層は、非晶質（アモルファス）半導体（非晶質構造を有する半導体）、単結晶半導体（単結晶構造を有する半導体）、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）の一以上を含む場合がある。酸化物半導体層が結晶性を有することにより、トランジスタ特性の劣化を抑制できる場合がある。

[0070]

本発明の一態様の酸化物半導体層が有する金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。本発明の一態様に係る金属酸化物は、少なくともインジウム（In）または亜鉛（Zn）を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、錫、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、錫、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。金属酸化物が有する元素Mがガリウムである場合、本発明の一態様に係る金属酸化物は、インジウム、ガリウム、及び亜鉛の中から選ばれるいずれか一または複数種を有することが好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0071]

本発明の一態様に係る金属酸化物として、例えば、インジウム亜鉛酸化物（In-Zn酸化物）、インジウム錫酸化物（In-Sn酸化物）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウム錫酸化物（In-Ga-Sn酸化物、IGTOとも記す）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す）、インジウム錫亜鉛酸化物（In-Sn-Zn酸化物、ITZO（登録商標）とも記す）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す）、インジウムガリウム錫亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZOまたはIAGZOとも記す）などを用いることができる。または、シリコンを含むインジウム錫酸化物（ITSOともいう）、ガリウム錫酸化物（Ga-Sn酸化物）、アルミニウム錫酸化物（Al-Sn酸化物）などが挙げられる。

[0072]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

[0073]

なお、金属酸化物は、インジウムに代えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。又は、金属酸化物は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、元素周期表における周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。元素周期表における周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、錫、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0074]

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0075]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0076]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されるのを抑制できる。したがって、酸素欠損に起因す

るキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0077]

本実施の形態では、金属酸化物として、 $In-Ga-Zn$ 酸化物を例に挙げて説明する場合がある。

[0078]

本発明の一態様の酸化物半導体層は、2種の成膜方法を用いて金属酸化物を形成することにより作製することができる。例えば、本発明の一態様の酸化物半導体層は、第1の成膜方法と、第2の成膜方法と、を用いて金属酸化物を形成することにより作製することができる。なお、2種の成膜方法を用いて形成された酸化物半導体層をHybrid OSと呼称してもよい。

[0079]

本発明の一態様の酸化物半導体層は、結晶性を有する。また、本発明の一態様の酸化物半導体層は、好ましくはCAAC構造を有する。

[0080]

本発明の一態様の酸化物半導体層の作製では、第1の成膜方法を用いて、結晶性を有する金属酸化物を成膜する。また、このとき成膜される金属酸化物は、CAAC構造を有することが特に好ましい。例えば、スパッタリング法を用いて成膜された金属酸化物は、結晶性を有しやすい。

[0081]

第1の成膜方法を用いて金属酸化物を形成する場合には、当該金属酸化物と被形成面である層との界面において混合層が形成される場合がある。例えば、第1の成膜方法としてスパッタリング法を用いる場合、ターゲットなどから放出される粒子（スパッタリング粒子ともいう）、又はスパッタリング粒子等により基板側に与えられるエネルギー等によって、当該混合層が形成される場合がある。当該混合層は、金属酸化物の結晶化を阻害する懸念がある。

[0082]

例えば、被形成面としてシリコンを有する絶縁層、一例として酸化シリコンを用いる場合には、第1の成膜方法を用いて酸化シリコン上に金属酸化物を形成する際に、金属酸化物中にシリコンが混入する恐れがある。シリコンなどの不純物の金属酸化物への混入により、金属酸化物の結晶化が阻害される懸念がある。

[0083]

そこで、本発明の一態様では、第1の成膜方法を用いて金属酸化物を形成する前に、第2の成膜方法を用いて金属酸化物を形成する。すなわち、第1の層として、第2の成膜方法を用いて金属酸化物を形成した後、第1の層上に、第2の層として、第1の成膜方法を用いて金属酸化物を形成する。このとき、第2の成膜方法として、第1の成膜方法と比較して、被形成面へのダメージが小さい成膜方法を用いることが好ましい。第2の成膜方法として被形成面へのダメージが小さい成膜方法を用いることにより、酸化物半導体層と、当該酸化物半導体層の被形成面である層との界面における混合層の形成を抑制することができる。また、第2の層において、シリコンなどの不純物の混入が抑制できるため、結晶性をより高くできる可能性がある。例えば、原子層堆積（ALD: Atomic Layer Deposition）法及び化学気相堆積（CVD: Chemical Vapor Deposition）法は、スパッタリング法と比較して、被形成面へのダメージを抑制することができるため、第2の成膜方法として好適である。

[0084]

また、第1の層としては例えば、CAAC構造よりも結晶性の低い、微結晶構造または非晶質構造の金属酸化物が形成される場合がある。結晶性の低い第1の層上に、結晶性の高い第2の層を形成することにより、あるいは形成し、その後、熱処理を加えることにより、第2の層を核として、第1の層の結晶性が高まる場合がある。これにより、被形成面との界面の近傍を含めた酸化物半導体層の全体において、結晶性を高めることができる場合がある。

[0085]

本発明の一態様の酸化物半導体層では、まず、被形成面上に第2の成膜方法を用いて金属酸化物を形成した後、その上方に、第1の成膜方法を用いて金属酸化物を形成することが好ましい。

[0086]

第1の成膜方法として例えば、スパッタリング法、パルスレーザー堆積(PLD:Pulsed Laser Deposition)法等が挙げられる。

[0087]

第2の成膜方法として例えば、ALD法、プラズマCVD(PECVD:Plasma Enhanced CVD)法、熱CVD法、光CVD法、有機金属CVD(MOCVD:Metal Organic CVD)法、分子線エピタキシー(MBE:Molecular Beam Epitaxy)法等が挙げられる。MBE法は、基板の結晶系を反映した結晶構造の薄膜を成長させる成膜方法であり、被形成面へのダメージが少ない成膜方法の1つと言える。また、第2の成膜方法として、湿式法を用いることが可能である。湿式法は、被形成面へのダメージが少ない成膜方法の1つである。湿式法として例えば、スプレーコート法等が挙げられる。

[0088]

一例として、本発明の一態様の酸化物半導体層は、第1層として、第2の成膜方法を用いて金属酸化物を形成した後、第2層として、第1の成膜方法を用いて金属酸化物を形成することにより、作製することができる。具体的には、第2の成膜方法としてALD法を用いることができ、第1の成膜方法としてスパッタリング法を用いることができる。また、第1の成膜方法を用いて形成される金属酸化物は、CAAC構造を有することが好ましい。

[0089]

また、第2の層上に、さらに第3の層を形成することもできる。第2の層は高い結晶性を有することから、第3の層は、第2の層の結晶を核または種として、結晶成長することができる。よって、第3の層の成膜方法として、結晶性を有しやすい成膜方法を用いなかった場合においても、第3の層を結晶化させることができる。ここで例えば、第3の層として、第2の層と比較して被覆性の高い成膜方法を用いることにより、酸化物半導体層は、層全体において、高い結晶性と高い被覆性の両方を備えることができる。また例えば、第3の層として、第2の層と比較してダメージの少ない成膜方法を用いることにより、第2の層に対するダメージが低減され、酸化物半導体層全体において、高い結晶性を備えることができる。

[0090]

また、第2の層は、第1の層を設けることによって被形成面の影響を小さくすることにより、その結晶性が高まり、極めて優れた結晶性を有する。よって、第2の層を核または種として結晶化する第3の層においても、極めて優れた結晶性を有する層が形成されると期待できる。

[0091]

なお、第3の層は、酸化物半導体層の最上層であり、酸化物半導体層を後述するトランジスタの半

導体層として用いる場合には例えば、ゲート絶縁層と接する層である。ゲート絶縁層と接する層の結晶性を高めることにより、トランジスタがオン状態において、キャリア移動度を高めることができる。

[0092]

一例として、本発明の一態様の酸化物半導体層は、第1層として、第2の成膜方法を用いて金属酸化物を形成した後、第2層として、第1の成膜方法を用いて金属酸化物を形成し、第3層として、第2の成膜方法を用いて金属酸化物を形成することにより、作製することができる。具体的には、第2の成膜方法としてALD法を用いることができ、第1の成膜方法としてスパッタリング法を用いることができる。また、第1の成膜方法を用いて形成される金属酸化物は、CAAC構造を有することが好ましい。ALD法はスパッタリング法と比較して被覆性の優れた成膜方法であり、第1の層及び第3の層の成膜方法としてALD法を用いることにより、酸化物半導体層の被覆性を高めることができる。よって、アスペクト比の高い段差、開口部、等の上に酸化物半導体層を良好に被覆することができる。

[0093]

スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルスの電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0094]

ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、及び、プラズマ励起されたリアクタントを用いるプラズマALD (PEALD: Plasma Enhanced ALD) 法などが挙げられる。

[0095]

ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造、又は段差の大きい表面への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び低温での成膜が可能、などの効果がある。また、PEALD法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素または塩素などの元素を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素または塩素などの元素を多く含む場合がある。なお、これらの元素の定量は、XPSまたはSIMSを用いて行うことができる。なお、本発明の一態様の金属酸化物の成膜方法では、ALD法を用いるが、成膜時の基板温度が高い条件の採用、及び、不純物除去処理の実施の一方または双方を適用するため、これらを適用せずにALD法を用いる場合に比べて、膜中に含まれる炭素及び塩素の量が少ないことがある。

[0096]

ALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。

[0097]

PECVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0098]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送または圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0099]

[酸化物半導体層の作製方法]

酸化物半導体層230は例えば、被形成面である層229上に酸化物半導体層230aをALD法により形成し、酸化物半導体層230a上に酸化物半導体層230bをスパッタリング法により形成し、酸化物半導体層230b上に酸化物半導体層230cをALD法により形成することにより、作製することができる。さらに、酸化物半導体層230を形成した後、熱処理を行うことが好ましい。熱処理を行うことで、酸化物半導体層230の結晶性を高めることができる。ここでいう熱処理は、加熱処理に限定されない。例えば、作製工程中に加わる熱などであってもよい。層229は絶縁性の膜であり例えば、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウムなどの絶縁膜である。また、層229として、半導体装置が有する絶縁体として後述する膜を用いることができる。

[0100]

あるいは、層229は導電性の膜の場合もある。例えば、半導体装置の電極として機能する導電膜上に、酸化物半導体層230を形成することもできる。

[0101]

層229は結晶性を有さなくてもよい。言い換えると、層229は非晶質構造であってもよい。また、層229が結晶性を有する場合においては、酸化物半導体層230が有する金属酸化物と、格子整合性が低い結晶構造であってもよい。

[0102]

図6A乃至図7Dを用いて、酸化物半導体層230の作製方法の一例を説明する。

[0103]

まず、層229上に酸化物半導体層230aを形成する(図6A)。続いて、酸化物半導体層230a上に、酸化物半導体層230bを形成する(図6B)。

[0104]

酸化物半導体層230bは、スパッタリング法を用いて形成することが好ましい。また、酸化物半導体層230bは、CAAC構造を形成するために好適な組成にすることが好ましい。

[0105]

酸化物半導体層230aは酸化物半導体層230bの成膜方法と比較して、被形成面へのダメージが少ない成膜方法を用いて形成することが好ましい。ここでは、酸化物半導体層230aを、ALD法を用いて形成する。

[0106]

金属酸化膜をスパッタリング法により成膜する場合には、被形成面へのダメージにより、金属酸化膜に含まれる成分と、被形成面である層に含まれる成分とのアロイ化が生じる場合がある。アロイ化が生じた場合、後述する熱処理を行った場合においても、アロイ化した領域の結晶性を高めることは困難である。また、アロイ化した領域を有する酸化物半導体層をトランジスタに用いることで、トランジスタの初期特性または信頼性に悪影響を与えるが懸念される。よって、金属酸化膜に含まれる成分と、被形成面である層に含まれる成分とのアロイ化を抑制することが好ましい。

[0107]

本発明の一態様の酸化物半導体層の作製方法においては、層229上に酸化物半導体層230aを形成した後、スパッタリング法により、酸化物半導体層230bを形成する。このとき、酸化物半導体層230aは、被形成面へのダメージが小さい成膜方法を用いて形成することが好ましい。酸化物半導体層230bと層229との間に、被形成面へのダメージが小さい成膜方法を用いて酸化物半導体層230aを形成することにより、酸化物半導体層230に含まれる成分と、層229に含まれる成分とのアロイ化を抑制し、酸化物半導体層230の結晶性をより高くすることができる。

[0108]

上記構成にすることで、アロイ化した領域の厚さを薄くする、あるいはアロイ化した領域が観察できない程度に薄くすることができる。例えば、アロイ化した領域の厚さを、0nm以上3nm以下、好ましくは0nm以上2nm以下、より好ましくは0nm以上1nm以下、さらに好ましくは0nm以上0.3nm未満とすることができる。なお、図6A及び図6Bでは、層229と酸化物半導体層230aとの間にアロイ化した領域が形成されていない例を示している。

[0109]

なお、アロイ化した領域の厚さは、当該領域およびその周辺に対して、SIMS、又はエネルギー分散型X線分光法(EDX:Energy Dispersive X-ray Spectroscopy)による組成のライン分析を行うことで、算出することができる場合がある。

[0110]

例えば、酸化物半導体層230aの被形成面に対して垂直な方向を深さ方向として、上記領域およびその周辺に対してEDXのライン分析を行う。次に、当該分析で得られる、深さ方向に対する各元素の定量値のプロファイルにおいて、酸化物半導体層230aの主成分であり、かつ、被形成面となる層(ここでは層229)の主成分ではない金属(酸化物半導体層230aがInを含む場合はIn)の定量値が半値になる深さを、上記領域と酸化物半導体層230aとの界面の深さ(位置)と定義する。また、被形成面となる層の主成分であり、かつ、酸化物半導体層230aの主成分ではない元素(例えばSi)の定量値が半値になる深さを、上記領域と被形成面となる層との界面の深さ(位置)と定義する。以上により、アロイ化した領域の厚さを算出することができる。

[0111]

本発明の一態様の酸化物半導体層において、アロイ化した領域の厚さをEDX分析により観察する場合には例えば、厚さは0nm以上3nm以下、好ましくは0nm以上2nm以下、より好ましくは0nm以上1nm以下、さらに好ましくは0nm以上0.3nm未満である。

[0112]

また例えば、層229として酸化シリコン層を用い、層229上に形成された酸化物半導体層230のSIMS分析を行う場合において、シリコンの濃度が層229の濃度の最大値から50%の強度となる深さを界面とし、シリコンの濃度が $1.0 \times 10^{21} \text{ atoms/cm}^3$ 、好ましくは $5.0 \times$

$1.0 \times 10^{20} \text{ atoms/cm}^3$ 、より好ましくは $1.0 \times 10^{20} \text{ atoms/cm}^3$ まで減少する深さと界面との距離を厚さ t_{s2} とする。厚さ t_{s2} は、3 nm 以下が好ましく、2 nm 以下がより好ましい。

[0113]

厚さ t_{s2} を上記の範囲の値とすることにより、アロイ化した領域の厚さを薄くすることで、厚さ t_{s2} を上記の範囲の値とすることができる。

[0114]

なお、アロイ化した領域の厚さを低減することで、CAAC構造を被形成面近傍に形成することが可能となる。ここで、被形成面近傍とは、例えば、酸化物半導体層230の被形成面から略垂直に0 nmを超えて3 nm以下、好ましくは0 nmを超えて2 nm以下、より好ましくは1 nm以上2 nm以下の領域を指す。

[0115]

なお、被形成面近傍のCAAC構造は、TEMを用いた観察において確認することができる場合がある。例えば、酸化物半導体層230の高分解能TEMを用いた断面観察において、被形成面と平行な方向に層状に並んだ輝点が被形成面近傍に確認される。

[0116]

または、被形成面近傍のCAAC構造は、結晶配向性を示すマップから評価することができる場合がある。結晶配向性を示すマップは、例えば、断面TEM像を取得し、断面TEM像内を領域ごとに高速フーリエ変換 (FFT: Fast Fourier Transform) 処理を行うことでFFTパターンを作成し、各領域の結晶軸の方向を算出することにより、取得することができる。FFTパターンは、電子線回折パターンと同様の逆格子空間情報を反映する。例えば、算出した各領域の結晶軸 (c 軸) の方向が、被形成面に対して 70° 以上 100° 以下である領域をCAAC構造とみなすことができる。

[0117]

なおALD法を用いて酸化物半導体層230aを形成する場合、CAAC構造よりも結晶性の低い、微結晶構造または非晶質構造の酸化物半導体層が形成される場合がある。すなわち、図6Aに示す作製段階においては、酸化物半導体層230aは、酸化物半導体層230bよりも結晶性が低い領域を有する場合がある。

[0118]

ここで、酸化物半導体層230aとして、ALD法を用いてIn-M-Zn酸化物を形成する方法について説明する。なお、ALD法を用いた金属酸化物の形成の詳細については、後述する。

[0119]

まず、インジウムを有するプリカーサを含む原料ガスをチャンバーに導入し、層229の表面に当該プリカーサを吸着させる。ここで、基板加熱の温度は、プリカーサの分解温度に対応した温度とすることが好ましい。

[0120]

次に、原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。次に、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、インジウムを基板に吸着させたままインジウム以外の成分を脱離させることで、インジウムと酸素とが結合した層（以下、第1の層）を形成する。酸化剤として、オゾン、酸

素、水などを用いることができる。次に、酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

[0121]

次に、元素Mを有するプリカーサを含む原料ガスをチャンバーに導入し、第1の層上に吸着させる。ここで、基板加熱の温度は、プリカーサの分解温度に対応した温度とすることが好ましい。

[0122]

次に、原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。次に、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、元素Mを基板に吸着させたまま元素M以外の成分を脱離させることで、元素Mと酸素とが結合した層（以下、第2の層）を形成する。次に、酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

[0123]

次に、亜鉛を有するプリカーサを含む原料ガスをチャンバーに導入し、第2の層上に吸着させる。ここで、基板加熱の温度は、プリカーサの分解温度に対応した温度とすることが好ましい。

[0124]

ここで、インジウムを有するプリカーサとしてトリエチルインジウムを用い、ガリウムを有するプリカーサとしてトリエチルガリウムを用い、亜鉛を有するプリカーサとしてジエチル亜鉛を用いる熱ALD法の場合には例えば、基板加熱の温度は100℃以上350℃以下、好ましくは150℃以上300℃以下である。

[0125]

次に、原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。次に、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、亜鉛を基板に吸着させたまま亜鉛以外の成分を脱離させることで、亜鉛と酸素とが結合した層（以下、第3の層）を形成する。次に、酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

[0126]

次に第3の層上に再度、上述した方法で第1の層を形成する。以上の方法を繰り返すことで、層229上に酸化物半導体層230aとして、ALD法を用いてIn-M-Zn酸化物を形成することができる。

[0127]

ALD法は、原料ガスの導入量によって、得られる膜の組成を制御することができる。例えば、ALD法では、原料ガスの導入量、導入回数（パルス回数ともいう）、1パルスに要する時間（パルス時間ともいう）などを調節することによって、任意の組成の膜を成膜することができる。また、例えば、ALD法では、成膜しながら原料ガスを変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスを変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送及び圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0128]

ALD法を用いて酸化物半導体層230aを形成後、酸化物半導体層230a上に、酸化物半導体層230bとして、スパッタリング法を用いてIn-M-Zn酸化物を形成する。

[0129]

ここで、スパッタリング法を用いて酸化物半導体層230bを形成する際に、酸化物半導体層230aの表面、または表面近傍に、混合層231が形成される。また、酸化物半導体層230b形成時の、スパッタリング粒子、又はスパッタリング粒子等により基板側に与えられるエネルギー等によって、混合層231には微細な結晶領域が形成される場合がある。以後の熱処理工程において、混合層231、又は混合層231に形成される微細な結晶領域が核となり、酸化物半導体層230aの少なくとも一部が結晶化する場合がある。

[0130]

スパッタリング法のターゲットとして、In-Mn-Zn酸化物を用いることができる。金属酸化物をスパッタリング法で形成する場合、スパッタリングガスとして、酸素、または、酸素と貴ガスの混合ガスを用いることができる。また、スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。

[0131]

また、形成時に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）が高いほど、結晶性の高い金属酸化物を形成できる場合がある。

[0132]

金属酸化物をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の金属酸化物が形成される場合がある。酸素過剰型の酸化物半導体層をチャンネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の金属酸化物が形成される。酸素欠乏型の金属酸化物をチャンネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

[0133]

金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0134]

スパッタリング法を用いた酸化物半導体層230bの成膜において、基板の加熱を行うことが好ましい。金属酸化物の形成において、金属酸化物の形成時の基板温度（ステージ温度）を高めることにより、結晶性の高い金属酸化物を形成できる場合がある。スパッタリング法を用いた酸化物半導体層230bの成膜において、基板加熱の温度は例えば、100℃以上400℃以下であることが好ましく、200℃以上300℃以下であることがより好ましい。

[0135]

以上により、図6Bに示すように、層229上に、酸化物半導体層230aと、酸化物半導体層230a上の酸化物半導体層230bと、を形成することができる。

[0136]

次に、酸化物半導体層230b上に酸化物半導体層230cを形成する（図6C）。ここでは、ALD法を用いて、酸化物半導体層230cを形成する。ALD法を用いた酸化物半導体層230cの形成は、酸化物半導体層230aの形成方法を参照できる。

[0137]

CAAC構造を有する酸化物半導体層230b上に、ALD法を用いて、CAAC構造よりも結晶性の低い酸化物半導体層230cを形成すると、酸化物半導体層230bを核として、酸化物半導体層230cがエピタキシャル成長する場合がある。よって、酸化物半導体層230cの形成時に、酸化物半導体層230cがCAAC構造を有する領域を有する場合がある。また、CAAC構造を有する当該領域は、酸化物半導体層230c全体にわたって形成されることが好ましい。

[0138]

次に、熱処理工程を行ってもよい。

[0139]

熱処理の温度は例えば、100℃以上800℃以下、好ましくは250℃以上650℃以下、さらに好ましくは350℃以上550℃以下で行えばよい。代表的には400℃±25℃(375℃以上425℃以下)にすることができる。また処理時間は、10時間以下、あるいは1分以上5時間以下、あるいは1分以上2時間以下、にすることができる。また、RTA装置を用いる場合には処理時間は例えば、1秒以上5分以下にすることができる。当該熱処理により、酸化物半導体層230bのCAAC構造が有する原子レベルの結晶部の隙間を、酸化物半導体層230c(別言すると、ALD法を用いて形成した各結晶分子)により修復することが期待される。

[0140]

熱処理に用いる加熱装置に特別な限定はなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置であってもよい。例えば、電気炉、またはLRTA(Lamp Rapid Thermal Anneal)装置、GRTA(Gas Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

[0141]

当該熱処理工程により、酸化物半導体層230cにおいて、CAAC構造を有する当該領域の結晶性が高まる場合がある。また、ALD法による成膜後に、当該領域が酸化物半導体層230cの下方のみに形成されている場合には、当該熱処理工程により、当該領域が上方に広がる場合がある(図6D)。すなわち、当該熱処理を行うことで、酸化物半導体層230cにおいて、CAAC構造を有する領域が層全体にわたって形成される場合がある。

[0142]

また、当該熱処理工程により、酸化物半導体層230bのCAAC構造が有する原子レベルの結晶部の隙間を埋める酸化物半導体層230c(別言すると、ALD法を用いて形成した各結晶分子)により、酸化物半導体層230bがさらに修復される場合がある。

[0143]

また当該熱処理工程により、酸化物半導体層230aの少なくとも一部がCAAC化することが好ましい(図6D)。CAAC化は、酸化物半導体層230bの成膜において酸化物半導体層230aの中に形成された混合層231が核または種となり、生じやすくなると期待される。酸化物半導体層230aにおいてCAAC化する領域は広いことが好ましく、層229近傍までCAAC化すること

が好ましい。

[0144]

また、酸化物半導体層230aの上部から下部に向かってCAAC化するため、層229の材料又は結晶性に限られることなく、層229の近傍までCAAC化することができる。例えば、層229が非晶質構造を有していても、結晶性の高い酸化物半導体層230aを形成することができる。よって、本発明の一態様の酸化物半導体層の作製方法は、被形成面である層が非晶質構造を有する場合に、特に好適である。

[0145]

また、上記熱処理工程の後に、マイクロ波処理を行うことが好ましい。当該マイクロ波処理は、酸素を含む雰囲気で行うことが好ましい。マイクロ波処理を行うことで、酸化物半導体層230中の、水素、炭素などの不純物を低減させることができる。

[0146]

ここで、図6A乃至図6Dに係る工程を、外気にさらさずに連続して行うことが好ましい。例えば、ALD装置と、スパッタリング装置と、加熱装置が接続されたマルチチャンバー型の製造装置を用いることが好ましい。このようなマルチチャンバー型の製造装置を用いることで、不純物の混入を抑制しながら、酸化物半導体層230の成膜と結晶化を行うことができる。よって、不純物濃度の低い酸化物半導体層230を形成することができる。また、不純物に依る結晶成長の阻害を防ぐことができるため、酸化物半導体層230の結晶性の向上を図ることができる。

[0147]

なお、図6A乃至図6Dは、本発明の一態様の金属酸化物の成膜方法を説明する断面図である。また、図6A乃至図6Dは、本発明の一態様の金属酸化物の成膜モデルを示す概念図として捉えることもできる。図6A乃至図6Dに示すように、酸化物半導体層230a、及び酸化物半導体層230cは、それぞれ結晶性の高い酸化物半導体層230bを核または種として、結晶性が高くなる。具体的には、酸化物半導体層230aの結晶性は、酸化物半導体層230bの成膜時または酸化物半導体層230c成膜後の熱処理により、高くなる場合がある。また、酸化物半導体層230cの結晶性は、酸化物半導体層230cの成膜時または酸化物半導体層230c成膜後の熱処理により、高くなる場合がある。なお、上記熱処理は、結晶性を高めるアシスト作用の機能を有する。

[0148]

このように、本発明の一態様の金属酸化物の成膜方法においては、結晶性の高い酸化物半導体層230b（すなわち、CAAC）を核または種として、上下の酸化物半導体（ここでは酸化物半導体層230a、及び酸化物半導体層230c）の結晶性を高くすることができる。これにより、酸化物半導体全体の結晶性を高くすることができる。別言すると、酸化物半導体層230bを核または種として、上下の酸化物半導体を固相成長させ、結晶性の高い酸化物半導体を形成することができる。このような成膜方法を用いて形成された酸化物半導体、ここではCAAC膜を、Axial Growth CAAC（AG CAAC）と呼称することができる。

[0149]

酸化物半導体層230a、及び酸化物半導体層230cを含む酸化物半導体層230全体において、CAAC構造を有する領域が層全体にわたって広く存在することが好ましい。図7Aは、酸化物半導体層230a、酸化物半導体層230b、及び酸化物半導体層230cがそれぞれ結晶化している様子を示す。酸化物半導体層230aにおいて、CAAC構造を有する領域は、酸化物半導体層230

bにおいて、CAAC構造を有する領域と、結晶が連結している。酸化物半導体層230cにおいて、CAAC構造を有する領域は、酸化物半導体層230bにおいて、CAAC構造を有する領域と、結晶が連結している。これにより、酸化物半導体層230aと酸化物半導体層230bの境界は観察されない場合がある。また、酸化物半導体層230bと酸化物半導体層230cの境界は観察されない場合がある。酸化物半導体層230は、界面が明確に観測されない1つの層である、と表現できる場合がある。酸化物半導体層230は、単一の層と表現できる場合がある。

[0150]

また、酸化物半導体層230aまたは酸化物半導体層230cの一部が結晶化されない場合がある。また、酸化物半導体層230aまたは酸化物半導体層230cの一部において、CAAC構造よりも結晶性の低い領域が残存する場合がある。図7Bに示す例は、酸化物半導体層230aにおいて、層229との界面近傍が結晶化されない、あるいは界面近傍ではCAAC構造よりも結晶性の低い領域が残存している様子を示す。図7Cは、酸化物半導体層230cにおいて、表面近傍が結晶化されない、あるいは表面近傍ではCAAC構造よりも結晶性の低い領域が残存している様子を示す。図7Dは、酸化物半導体層230aの層229との界面近傍と、酸化物半導体層230cの表面近傍がそれぞれ結晶化されない、あるいは酸化物半導体層230aの層229との界面近傍と、酸化物半導体層230cの表面近傍ではCAAC構造よりも結晶性の低い領域が残存している様子を示す。

[0151]

酸化物半導体層の結晶性を高めることにより、酸化物半導体層を用いたトランジスタの半導体層の電気抵抗の増加抑制、またはトランジスタの初期特性（特にオン電流）が向上し、高速駆動に適したトランジスタとすることが期待できる。また、トランジスタの信頼性を高め、オン電流を大きくすることができる。

[0152]

本発明の一態様の酸化物半導体層の作製方法により、CAAC構造を有する金属酸化物を起点として、上下に位置する金属酸化物の結晶性を向上させ、酸化物半導体層全体を、結晶性の高い層とすることができる。

[0153]

本発明の一態様の酸化物半導体層は、層全体にわたって高い結晶性を有する。そのため、酸化物半導体層230において、酸化物半導体層230a、酸化物半導体層230b、及び酸化物半導体層230cは、積層される膜同士の境界が確認されない場合がある。特に、熱処理を行った後には、積層される膜同士の境界の確認が困難な場合がある。積層される膜同士の境界の有無の確認は例えば、断面TEM、断面STEM、等を用いて行うことができる。

[0154]

前述したように、Inの含有率が高い金属酸化物をトランジスタに用いることで、トランジスタの電界効果移動度を高めることができる。一方、Inの含有率が高い酸化物半導体は、多結晶化する傾向がある。多結晶構造の金属酸化物をトランジスタに用いることで、トランジスタの初期特性または信頼性に悪影響を与えてしまう。そこで、Inの含有率が高い酸化物半導体を、酸化物半導体層230a及び酸化物半導体層230cの一方又は両方に用いることで、酸化物半導体層230bが有する結晶の配向が反映された結晶が形成され、多結晶化を抑制できる。

[0155]

また、酸化物半導体層230bが有する結晶と、酸化物半導体層230a又は酸化物半導体層23

0 c が有する結晶の格子不整合度は小さいことが好ましい。これにより、酸化物半導体層 230 a 又は酸化物半導体層 230 c は、酸化物半導体層 230 b が有する結晶の配向が反映された結晶を形成することができる。このとき、例えば、酸化物半導体層 230 の高分解能 TEM を用いた断面観察において、被形成面と平行な方向に層状に並んだ輝点が、酸化物半導体層 230 a 又は酸化物半導体層 230 c で確認される。

[0156]

酸化物半導体層 230 b が有する結晶と、酸化物半導体層 230 a 又は酸化物半導体層 230 c が有する結晶の格子不整合度が小さければ、酸化物半導体層 230 a 又は酸化物半導体層 230 c の結晶構造は特に限定されない。酸化物半導体層 230 a 又は酸化物半導体層 230 c の結晶構造は、立方晶系、正方晶系、直方晶系、六方晶系、単斜晶系、三方晶系のいずれであってもよい。

[0157]

[酸化物半導体層の組成]

上述したように、酸化物半導体層 230 b は、CAAC 構造を形成するために好適な組成にすることが好ましい。酸化物半導体層 230 b の形成には例えば、スパッタリング法を用いることができる。酸化物半導体層 230 b は例えば、亜鉛を含むことが好ましい。亜鉛を含むことで、結晶性の高い金属酸化物となる。また、酸化物半導体層 230 b は、亜鉛に加えて、元素 M を含むことが好ましい。酸化物半導体層 230 b が元素 M を含むことにより例えば、金属酸化物に酸素欠損が形成されることを抑制できる。よって、酸化物半導体層を適用するトランジスタの信頼性を高めることができる。酸化物半導体層 230 b として、具体的には、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 1.2$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 0.5$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 2$ [原子数比] もしくはその近傍の組成、または $I_n : M : Z_n = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 3 : 2$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素 M として、ガリウム、アルミニウム、及び錫の一または複数を用いることが好ましい。

[0158]

酸化物半導体層 230 b は、元素 M を含まない構成としてもよい。例えば、 $I_n - Z_n$ 酸化物としてもよい。具体的には、 $I_n : Z_n = 1 : 1$ [原子数比] もしくはその近傍の組成、 $I_n : Z_n = 2 : 1$ [原子数比] もしくはその近傍の組成、または $I_n : Z_n = 4 : 1$ [原子数比] もしくはその近傍の組成とすることができる。または、インジウム酸化物を用いてもよい。また、元素 M を微量に含む構成にしてもよい。例えば、 $I_n : Ga : Z_n = 4 : 0.1 : 1$ [原子数比] もしくはその近傍の組成、または $I_n : Ga : Z_n = 2 : 0.1 : 1$ [原子数比]、もしくはその近傍の組成とすることができる。また例えば、 $I_n : Sn : Z_n = 4 : 0.1 : 1$ [原子数比] もしくはその近傍の組成、または $I_n : Sn : Z_n = 2 : 0.1 : 1$ [原子数比] もしくはその近傍の組成とすることができる。

[0159]

酸化物半導体層 230 a 及び酸化物半導体層 230 c は、 I_n の割合が多い金属酸化物とすることができる。酸化物半導体層 230 a 及び酸化物半導体層 230 c の形成には例えば、ALD 法を用いることができる。また特に、元素 M よりも I_n の割合が多い金属酸化物を用いることが好ましい。 I_n の割合が多い金属酸化物を用いることにより、酸化物半導体層をトランジスタに適用する場合にお

いて、オン電流を大きく、周波数特性を高くすることができる。

[0160]

または、酸化物半導体層230a及び酸化物半導体層230cは、元素Mを含まない構成としてもよい。例えば、In-Zn酸化物としてもよい。具体的には、In:Zn=1:1 [原子数比] もしくはその近傍の組成、In:Zn=2:1 [原子数比] もしくはその近傍の組成、またはIn:Zn=4:1 [原子数比] もしくはその近傍の組成とすることができる。または、インジウム酸化物を用いてもよい。また、酸化物半導体層230a及び酸化物半導体層230cは、元素Mを微量に含む構成にしてもよい。具体的には、In:Ga:Zn=4:0.1:1 [原子数比] もしくはその近傍の組成、In:Ga:Zn=2:0.1:1 [原子数比]、もしくはその近傍の組成、In:Sn:Zn=4:0.1:1 [原子数比] もしくはその近傍の組成、または、In:Sn:Zn=2:0.1:1 [原子数比] もしくはその近傍の組成とすることができる。

[0161]

また、酸化物半導体層230a及び酸化物半導体層230cは、酸化物半導体層230bと比較してInの割合が多い金属酸化物とすることができる。

[0162]

また例えば、酸化物半導体層230a及び酸化物半導体層230cとして、酸化物半導体層230bと比較してGaの割合が高い金属酸化物を用いることもできる。例えば、酸化物半導体層230a及び酸化物半導体層230cには、それぞれ、In:Ga:Zn=1:1:1 [原子数比] もしくはその近傍の組成である金属酸化物、In:Ga:Zn=1:3:2 [原子数比] もしくはその近傍の組成である金属酸化物、またはIn:Ga:Zn=1:3:4 [原子数比] もしくはその近傍の組成である金属酸化物を用いることが好ましい。Gaの割合を高めることにより例えば、酸化物半導体層230a及び酸化物半導体層230cのバンドギャップをそれぞれ、酸化物半導体層230bよりも大きくできる場合がある。これにより、酸化物半導体層230bが、バンドギャップが大きい酸化物半導体層230a及び酸化物半導体層230cに挟持され、酸化物半導体層230bが主に電流経路（チャンネル）として機能することとなる。酸化物半導体層230bが酸化物半導体層230a及び酸化物半導体層230cにより挟持されることで、酸化物半導体層230bの界面及びその近傍のトラップ準位を少なくすることができる。これにより、チャンネルが絶縁層界面から遠ざけられた埋め込みチャンネル型のトランジスタを実現でき、電界効果移動度を高くすることができる。また、バックチャンネル側に形成されうる界面準位の影響が低減され、トランジスタの光劣化（例えば、光負バイアス劣化）を抑制でき、トランジスタの信頼性を高めることができる。

[0163]

また、本発明の一態様の酸化物半導体層は、酸化物半導体層230a及び酸化物半導体層230cとして、単層の形成ではCAAC構造を形成しづらい組成を用いた場合においても、酸化物半導体層230bを核として結晶成長が生じることにより、酸化物半導体層230a及び酸化物半導体層230cを含めた酸化物半導体層全体において、CAAC構造を有する構成とすることができる。あるいは、酸化物半導体層230a及び酸化物半導体層230cのそれぞれの少なくとも一部を含めた領域と、酸化物半導体層230bとにわたる領域において、CAAC構造を有する構成とすることができる。

[0164]

特に、酸化物半導体層230a及び酸化物半導体層230cのInの割合が高い組成においても、

トランジスタの半導体層として好適な結晶性とすることができる。本発明の一態様の酸化物半導体層においては、Inの割合を高くすることによるトランジスタのオン特性の向上と、結晶性の高いCAAC構造とすることによる信頼性の向上と、を両立することができる。

[0165]

なお、酸化物半導体層230aと酸化物半導体層230cの組成は異なってもよい。

[0166]

また、酸化物半導体層230a及び酸化物半導体層230cは、酸化物半導体層230bと同じ組成の金属酸化物を用いてもよい。同じ組成を用いることにより、熱処理を行った後のCAAC化が生じやすくなる場合がある。

[0167]

また、上述の2種の成膜方法を用いて形成されたCAAC構造を有する酸化物半導体層は、1種の成膜方法を用いて形成されたCAAC構造の酸化物半導体層と比較して、膜の比誘電率、膜密度、及び膜の硬度のいずれか一または複数が高くなる場合がある。

[0168]

上述の2種の成膜方法を用いて形成されたCAAC構造を有する酸化物半導体層を、トランジスタのチャネル形成領域に用いることで、優れた特性を有するトランジスタ（例えば、オン電流が大きいトランジスタ、電界効果移動度が高いトランジスタ、S値が小さいトランジスタ、周波数特性（f特とも呼称する）が高いトランジスタ、信頼性の高いトランジスタなど）を実現することができる。

[0169]

酸化物半導体層230に用いる金属酸化物の組成の分析には、例えば、EDX、XPS、誘導結合プラズマ質量分析法（ICP-MS：Inductively Coupled Plasma-Mass Spectrometry）、または誘導結合高周波プラズマ発光分光法（ICP-AES：Inductively Coupled Plasma-Atomic Emission Spectrometry）を用いることができる。または、これらの手法を複数組み合わせて分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0170]

[トランジスタの酸化物半導体層]

本発明の一態様の酸化物半導体層は、トランジスタの半導体層として用いることができる。

[0171]

酸化物半導体層230をトランジスタの半導体層として用いる場合には、酸化物半導体層230の厚さは例えば、3nm以上200nm以下が好ましく、3nm以上100nm以下が好ましく、さらには5nm以上100nm以下が好ましく、さらには10nm以上100nm以下が好ましく、さらには10nm以上70nm以下が好ましく、さらには15nm以上70nm以下が好ましく、さらには15nm以上50nm以下が好ましく、さらには20nm以上50nm以下が好ましい。また、より微細な半導体装置に用いるトランジスタにおいては、酸化物半導体層230の膜厚は、1nm以上、3nm以上、または5nm以上であって、20nm以下、15nm以下、12nm以下、または10nm以下であることが好ましい。

[0172]

酸化物半導体層 230b の厚さは例えば、200 nm 以下であることが好ましい。また、酸化物半導体層 230b が層状である場合には例えば、1 nm 以上 200 nm 以下であることが好ましく、1 nm 以上 100 nm 以下であることがより好ましく、2 nm 以上 100 nm 以下であることが好ましい。

[0173]

あるいは、酸化物半導体層 230b が結晶核として機能し得るならば、酸化物半導体層 230b が層として存在せず、島状の領域の集合体となる場合もある。このような場合には例えば、酸化物半導体層 230b が有する島状の領域は、離散的に存在する。

[0174]

酸化物半導体層 230a 及び酸化物半導体層 230c の厚さはそれぞれ例えば、1 nm 以上 50 nm 以下、1 nm 以上 30 nm 以下であることが好ましく、1 nm 以上 20 nm 以下であることがより好ましく、2 nm 以上 20 nm 以下であることが好ましい。

[0175]

本発明の一態様の酸化物半導体層は、金属酸化物を有する。

[0176]

金属酸化物は、格子欠陥を有する場合がある。格子欠陥とは、原子空孔、異種原子などの点欠陥、転位などの線欠陥、結晶粒界などの面欠陥、空隙などの体積欠陥がある。また、格子欠陥の生成の要因としては、構成元素の原子数の比率のずれ（構成原子の過不足）、及び不純物などがある。

[0177]

金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成または捕獲などを引き起こす要因となりうる。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

[0178]

金属酸化物中に存在しやすい格子欠陥の種類、及び格子欠陥の存在量は、金属酸化物の構造または金属酸化物の成膜方法などによって異なる。

[0179]

よって、トランジスタの半導体層には、結晶性の高い金属酸化物を用いることが好ましい。例えば、CAAC 構造を有する金属酸化物、または単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現できる。また、信頼性の高いトランジスタを実現できる。

[0180]

また、トランジスタのチャネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物のキャリア移動度を高くすることが好ましい。金属酸化物のキャリア移動度を高くするには、キャリア（nチャネル型トランジスタの場合は、電子）の伝送を向上させる、または、キャリアの伝送に寄与する散乱因子を低減する必要がある。なお、キャリアは、チャネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャネル長方向に流れやすいチャネル形成領域を設けることで、トランジスタのオン電流を大きくすることができる。

[0181]

[酸化物半導体中の不純物]

ここで、酸化物半導体中における各不純物の影響について説明する。

[0182]

半導体層に酸化物半導体を用いるトランジスタのチャネル形成領域は、ソース領域およびドレイン領域よりも、酸素欠損が少ない、または水素、窒素、金属元素などの不純物濃度が低いことが好ましい。酸化物半導体中のチャネル形成領域に酸素欠損 (V_o) および不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が酸素欠損に水素が入った欠陥（以下、 V_oH と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、チャネル形成領域においては、 V_oH も低減されていることが好ましい。このように、トランジスタのチャネル形成領域は、キャリア濃度が低い高抵抗領域である。よってトランジスタのチャネル形成領域は、 i 型（真性）または実質的に i 型であるといえることができる。

[0183]

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。不純物としては、水素、炭素、窒素などが挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が $0.1 \text{ atom i c \%}$ 未満の元素は不純物といえる。

[0184]

酸化物半導体において、第14族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における炭素の濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、SIMSにより得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

[0185]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、 n 型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0186]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠

損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、SIMSにより得られる酸化物半導体のチャネル形成領域における水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{17} \text{ atoms/cm}^3$ 未満とする。

[0187]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0188]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0189]

[c軸配向率]

本発明の一態様の酸化物半導体層は、CAAC構造を有する。本発明の一態様の酸化物半導体層の結晶性の高さは例えば、結晶配向性を用いて評価することができる。

[0190]

結晶配向性は、TEM像の高速フーリエ変換(FFT: Fast Fourier Transform)処理を行うことでFFTパターンから得ることができる。具体的には、FFTパターンを用いて結晶軸の方向を得ることができる。FFT処理により得られるFFTパターンは、電子線回折パターンと同様の逆格子空間情報を反映する。

[0191]

酸化物半導体層のTEM像内を領域ごとにFFT処理を行うことで、各領域の結晶配向性を得ることができる。例えば、ある面積の範囲において、領域ごとに結晶配向性を得ることにより、結晶配向性を示すマップを形成することができる。具体的には、層状の結晶部を有する領域のFFTパターンにおいて、強度の高い2つのスポットが観察される。当該2つのスポットを結ぶ線分の角度から、当該領域の結晶軸の方向を得ることができる。

[0192]

結晶配向性を示すマップにおいて、c軸配向している領域の割合を算出することにより、c軸配向率を算出することができる。なお、c軸配向している領域はここでは、配向がc軸と一致する領域、及び、c軸との差が 20° 以内の領域とする。

[0193]

本発明の一態様の酸化物半導体層において、c軸配向率は例えば、酸化物半導体層の断面、あるいは平面のTEM観察を行い、算出することができる。また、FFTを行う領域(FFTウィンドウと

もいう) は例えば、直径 1.0 nm の円とすることができる。なお F F T を行う領域は円には限られない。

[0194]

本発明の一態様の酸化物半導体層において、c 軸配向率は、60%以上、好ましくは70%以上、より好ましくは80%以上、より好ましくは90%以上、さらに好ましくは95%以上である。

[0195]

また、酸化物半導体層 230a として成膜を行った領域、酸化物半導体層 230b として成膜を行った領域、及び酸化物半導体層 230c として成膜を行った領域の c 軸配向率をそれぞれ、Rc1、Rc2、及び Rc3 とする。Rc2 は 60%以上、好ましくは70%以上、より好ましくは80%以上、より好ましくは90%以上、さらに好ましくは95%以上である。また、Rc3 は 60%以上、好ましくは70%以上、より好ましくは80%以上、より好ましくは90%以上、さらに好ましくは95%以上である。Rc3/Rc1 は、1 より大きいことが好ましい。また、Rc2/Rc1 は、1 より大きいことが好ましい。

[0196]

なお、酸化物半導体層 230 は、作製後においては、酸化物半導体層 230a、230b、及び 230c の境界は明確に観察されない場合がある。

[0197]

本発明の一態様の酸化物半導体層 230 は、層 229 上から順に、第1の領域、第2の領域、及び第3の領域の3つの領域に区切ることができる。各領域は、層状の領域である。

[0198]

第1の領域、第2の領域、及び第3の領域はそれぞれ、CAAC構造を有する。また、第3の領域の c 軸配向率は第1の領域の c 軸配向率より高いことが好ましい。また、第2の領域の c 軸配向率は、第1の領域の c 軸配向率より高いことが好ましい。また、第3の領域の c 軸配向率は、80%以上、より好ましくは90%以上、さらに好ましくは95%以上である。また、第2の領域の c 軸配向率は、80%以上、より好ましくは90%以上、さらに好ましくは95%以上である。

[0199]

第1の領域は層 229 の上面から 0 nm 以上 3 nm 以下に位置し、第3の領域は、酸化物半導体層 230 の上面から 0 nm 以上 3 nm 以下に位置する。

[0200]

または、各領域の層の厚さは例えば、概略同じである。

[0201]

[ALD法を用いた金属酸化物の作製方法]

ここでは、3層の層状の結晶構造の金属酸化物を、ALD法を用いて成膜する方法の一例を、図8A乃至図8Eを用いて説明する。まず、プリカーサ 611a をチャンバーに導入し、基板 610 の表面にプリカーサ 611a を吸着させる(図8A参照。以下、当該工程を第1ステップと呼ぶ場合がある。)。ここで、図8Aに示すように、プリカーサ 611a が基板 610 の表面に吸着することにより、表面化学反応の自己停止機構が作用し、基板 610 上のプリカーサ 611a の層の上にさらにプリカーサ 611a が吸着することはない。なお、表面化学反応の自己停止機構が作用する基板温度の適正範囲を ALD Window と呼ぶ。ALD Window は、プリカーサの温度特性、蒸気圧、分解温度などによって決まるが、例えば、100℃以上600℃以下、好ましくは、200℃以上4

0 0℃以下となる場合がある。

[0202]

次に、不活性ガス（アルゴン、ヘリウム、または窒素など）などをチャンバーに導入して、余剰なプリカーサ611a及び反応生成物などをチャンバーから排出する（以下、当該工程を第2ステップと呼ぶ場合がある。）。また、不活性ガスをチャンバーに導入する代わりに、真空排気によって、余剰なプリカーサ及び反応生成物などをチャンバーから排出してもよい。第2ステップは、パーズとも呼ばれる。

[0203]

次に、リアクタント612a（例えば、酸化剤（オゾン（ O_3 ）、酸素（ O_2 ）、水（ H_2O ）、およびこれらのプラズマ、ラジカル、イオンなど）をチャンバーに導入し、基板610の表面に吸着したプリカーサ611aと反応させて、プリカーサ611aの構成分子を基板610に吸着させたままプリカーサ611aに含まれる成分の一部を脱離させる（図8B参照。以下、当該工程を第3ステップと呼ぶ場合がある。）。これにより、プリカーサ611aの一部が酸化されて形成された、酸化物613aの層が基板610の表面に形成される。

[0204]

次に、不活性ガスの導入または真空排気によって、余剰なリアクタント612a、または反応生成物などをチャンバーから排出する（以下、当該工程を第4ステップと呼ぶ場合がある。）。

[0205]

次に、プリカーサ611aとは異なる金属元素を有するプリカーサ611bを導入して、第1ステップと同様の工程を行い、酸化物613aの層の表面にプリカーサ611bを吸着させる（図8C参照。）。ここで、図8Cに示すように、プリカーサ611bが酸化物613aの層に吸着することにより、表面化学反応の自己停止機構が作用し、基板610上のプリカーサ611bの層の上にさらにプリカーサ611bが吸着することはない。

[0206]

次に、第2ステップと同様に、不活性ガスの導入または真空排気によって、余剰なプリカーサ611b及び反応生成物などをチャンバーから排出する。

[0207]

次に、第3ステップと同様に、リアクタント612bをチャンバーに導入する。ここで、リアクタント612bは、リアクタント612aと同じものを用いてもよいし、異なるものを用いてもよい（図8D参照。）。これにより、プリカーサ611bの一部が酸化されて形成された、酸化物613bの層が酸化物613aの層の上に形成される。

[0208]

次に、第4ステップと同様に、不活性ガスの導入または真空排気によって、余剰なリアクタント612b及び反応生成物などをチャンバーから排出する。

[0209]

さらに、同様に第1乃至第4ステップを行い、酸化物613cの層を酸化物613bの層の上に形成することができる。このように、酸化物613a乃至酸化物613cを形成する工程を繰り返し行うことで、酸化物613a乃至酸化物613cの積層構造が繰り返される、層状の結晶構造の金属酸化物を形成することができる（図8E参照。）。つまり、第1乃至第4ステップを1セットとして、酸化物の層を形成することができ、当該セットを繰り返すことで、複数の酸化物の層が積層された、層

状の結晶構造を形成することができる。

[0210]

なお、層状の結晶構造の金属酸化物の厚さとしては、1 nm以上100 nm未満、好ましくは3 nm以上20 nm未満にすることができる。

[0211]

また、層状の結晶構造の金属酸化物を形成するにあたって、図8に示す工程を基板加熱しながら行うことが好ましい。例えば、基板温度を100℃以上600℃以下、好ましくは100℃以上350℃以下、より好ましくは200℃以上プリカーサの分解温度以下にすることができる。なお、異なる種類の複数のプリカーサを用いてALD法による成膜を行う場合は、基板温度を、複数のプリカーサのうち、最も低いプリカーサの分解温度以下にすることが好ましい。これにより、ALD法による成膜中に、使用する複数のプリカーサを、それぞれ分解させずに、対象物（例えば、基板など）に吸着させることができる。

[0212]

このような温度範囲で基板加熱しながら上記の成膜を行うことで、ステップ1乃至ステップ4の各過程において、プリカーサ及びリアクタントなどに含まれる、水素、または炭素などの不純物を、金属酸化物中から除去することができる。例えば、金属酸化物中の炭素をCO₂およびCOとして放出させ、金属酸化物中の水素をH₂Oとして放出させることができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、各酸化物の層を秩序性高く配列させることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物を形成することができる。

[0213]

上記温度範囲で基板加熱しながら成膜を行うために、上記成膜に用いるプリカーサは分解温度が高いことが好ましい。例えば、プリカーサの分解温度が、200℃以上700℃以下であることが好ましく、250℃以上600℃以下であることがより好ましい。このような分解温度が高いプリカーサとしては、無機物で形成されるプリカーサ（以下、無機プリカーサと呼ぶ。）を用いることが好ましい。無機プリカーサは概して、有機物で形成されるプリカーサ（以下、有機プリカーサと呼ぶ。）より、分解温度が高い傾向があるため、上記のような温度範囲にALD Windowを有するものがある。また、無機プリカーサには、水素、または炭素などの不純物が含まれないため、成膜される金属酸化物中の水素、または炭素などの不純物濃度が増加するのを防ぐことができる。

[0214]

さらに、上記金属酸化物の成膜後に、加熱処理を行うことが好ましい。特に、上記ALD法による成膜後に、外気にさらさずに連続して加熱処理を行うことが好ましい。加熱処理は、図6A乃至図6Dなどで説明した条件で行うことができる。

[0215]

このように加熱処理を行うことで、金属酸化物に含まれる水素、または炭素などの不純物を除去することができる。例えば、金属酸化物中の炭素をCO₂およびCOとして放出させ、金属酸化物中の水素をH₂Oとして放出させることができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、結晶性の向上を図ることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物を形成することができる。

[0216]

また、上記金属酸化物の成膜後に、酸素を含む雰囲気マイクロ波処理を行うことで、当該金属酸

化物中の不純物濃度を低減させる処理を行うと好ましい。なお、不純物としては、特に、水素、及び炭素が挙げられる。なお、上記においては、金属酸化物に対して、酸素を含む雰囲気でマイクロ波処理を行う構成について例示したが、これに限定されない。例えば、金属酸化物近傍に位置する、絶縁膜、より具体的には酸化シリコン膜に対して、酸素を含む雰囲気でマイクロ波処理を行なってもよい。

[0217]

なお、図8においては、酸化物613a乃至酸化物613cの積層構造が繰り返される構造について説明したが、本発明はこれに限られるものではない。例えば、単層、2層、または4層以上の酸化物の層が繰り返し形成される金属酸化物としてもよい。

[0218]

また、本明細書等の記載において、特段の記載がない限り、リアクタント、または酸化剤としてオゾン、酸素、水を用いる場合、これらは、ガスまたは分子の状態に限らず、プラズマ状態、ラジカル状態、およびイオン状態のものも含むものとする。プラズマ状態、ラジカル状態、あるいはイオン状態の酸化剤を用いて成膜する場合、PEALD法を用いればよい。

[0219]

プリカーサに含まれる炭素または水素などの不純物を除去するには、当該プリカーサに酸化剤を十分反応させることが好ましい。例えば、酸化剤を導入するパルス時間を長くすることができる。または、酸化剤を複数回導入することができる。酸化剤を複数回導入する場合、同じ種類の酸化剤を導入してもよいし、異なる種類の酸化剤を導入してもよい。例えば、第1の酸化剤として、水をチャンバーに導入した後、真空排気を行い、第2の酸化剤として水素を含まないオゾンまたは酸素をチャンバーに導入し、真空排気を行なってもよい。

[0220]

このようにして、チャンバー内で酸化剤の導入と不活性ガスの導入（または真空排気）を短時間で複数回繰り返すことで、基板表面に吸着したプリカーサから、余分な水素原子、炭素原子、塩素原子などをより確実に取り除き、チャンバーの外に排除することができる。また、酸化剤の種類を2種類に増やすことにより、基板表面に吸着したプリカーサから、余分な水素原子などをより多く取り除くことができる。このように、成膜中に水素原子が膜中に取り込まれないようにすることにより形成した膜に含まれる水、水素などを低減することができる。

[0221]

ALD法は、熱エネルギーを用いてプリカーサ、およびリアクタントを反応させて行う成膜方法である。プリカーサ、およびリアクタントの反応に必要な温度は、それらの温度特性、蒸気圧、分解温度などによって決まるが、100℃以上600℃以下、好ましくは、200℃以上600℃以下である。

[0222]

さらに、上記のプリカーサ、およびリアクタントの反応に加え、第3の原料ガスとして、プラズマ励起されたリアクタントをチャンバーに導入することで処理を行うALD法をPEALD法と呼ぶことがある。この場合、第3の原料ガスの導入部には、プラズマ生成装置が設けられる。プラズマの生成には、誘導結合プラズマ（Inductively Coupled Plasma: ICP）を用いることができる。またこれに対して、プリカーサ及びリアクタントの反応を熱エネルギーで行うALD法を熱ALD法と呼ぶことがある。

[0223]

PEALD法では、第3ステップにおいてプラズマ励起されたリアクタントを導入して成膜を行う。あるいは、第1ステップ乃至第4ステップを繰り返し行うと同時に、プラズマ励起されたリアクタント（第2のリアクタント）を導入することで、成膜が行われる。この場合、第3ステップで導入されるリアクタントを第1のリアクタントと呼ぶ。PEALD法において、第3の原料ガスに用いる第2のリアクタントは、上記酸化剤と同様の材料を用いることができる。すなわち、第2のリアクタントとして、プラズマ励起されたオゾン、酸素、および水を用いることができる。また、第2のリアクタントとして、酸化剤の他に、窒化剤を用いてもよい。窒化剤としては、窒素（ N_2 ）またはアンモニア（ NH_3 ）を用いることができる。また、窒素（ N_2 ）と水素（ H_2 ）の混合ガスを窒化剤として用いることができる。例えば、窒素（ N_2 ）5%、水素（ H_2 ）95%の混合ガスを窒化剤として用いることができる。プラズマ励起された窒素またはアンモニアを導入しながら成膜を行うことで、金属窒化物膜などの窒化物膜を形成することができる。

[0224]

また、第2のリアクタントのキャリアガスとして、アルゴン（Ar）、ヘリウム（He）または窒素（ N_2 ）を用いてもよい。アルゴン、ヘリウム、または窒素などのキャリアガスを用いることで、プラズマの放電が容易になり、プラズマ励起された第2のリアクタントが容易に生成されるため、好ましい。なお、PEALD法を用いて金属酸化物膜などの酸化物膜を形成する場合、キャリアガスに窒素を用いると、膜中に窒素が混入し、所望の膜質が得られない場合がある。この場合キャリアガスとして、アルゴンまたはヘリウムを用いることが好ましい。

[0225]

ALD法は、極めて薄い膜を均一な膜厚で成膜することができる。また、凹凸を有する面に対しても、表面被覆率が高い。

[0226]

ここで、層状の結晶構造の金属酸化物が、 $In-M-Z_n$ 酸化物である場合の、結晶中の原子配列について、図9A乃至図9Dを用いて説明する。なお、図9Bおよび図9Dでは、原子を球（丸）で表し、金属原子と酸素原子の結合を線で表している。図9Bおよび図9Dにおいて、 $In-M-Z_n$ 酸化物の結晶構造におけるc軸方向は、図中の矢印で表す。また、 $In-M-Z_n$ 酸化物の結晶構造におけるa-b面方向は、図9Bおよび図9D中の矢印で表すc軸方向と垂直の方向である。

[0227]

図9Aは、構造体650に形成された $In-M-Z_n$ 酸化物を有する酸化物660を示す図である。ここで、構造体とは、トランジスタなどの半導体装置を構成する要素を指す。構造体650として、基板、ゲート電極、ソース電極、およびドレイン電極などの導電体、ゲート絶縁膜、層間絶縁膜、下地絶縁膜等の絶縁体、金属酸化物、及びシリコンなどの半導体、などが含まれる。図9Aでは、構造体650の被成膜面が基板（あるいは基体、図示しない。）に対して平行に配置される場合を示している。

[0228]

図9Bは、図9Aにおける酸化物660の一部である領域653における、結晶中の原子配列を示す拡大図である。ここで、図9Aおよび図9Bに示す酸化物660の、組成は $In:M:Z_n=1:1$ [原子数比] であり、結晶構造は $YbFe_2O_4$ 型構造とする。また、元素Mは、+3価の金属元素とする。

[0229]

図9Bに示すように、酸化物660が有する結晶は、インジウム（In）と酸素とを有する層621、元素Mと酸素とを有する層631、亜鉛（Zn）と酸素とを有する層641が順に、繰り返し積層されている。層621、層631、および層641は、構造体650の被成膜面に略平行に配置されている。すなわち、酸化物660のa-b面は、構造体650の被成膜面に対して略平行であり、酸化物660のc軸は、構造体650の被成膜面の法線方向と略平行である。

[0230]

図9Bに示すように、上記結晶が有する、層621、層631、層641のそれぞれが、一の金属元素と、酸素とで構成されることで、良好な結晶性で配列され、当該金属酸化物のキャリア移動度を高くすることができる。

[0231]

なお、 $\text{In}:\text{M}:\text{Zn}=1:1:1$ [原子数比] のIn-M-Zn酸化物は、図9Bに示す構造に限られるものではない。層621、層631、層641の積層順が変更されてもよい。例えば、層621、層641、層631の順に、繰り返し積層されてもよい。または、層621、層631、層641、層621、層641、層631の順に、繰り返し積層されてもよい。また、層631の元素Mの一部が亜鉛に置換され、層641の亜鉛の一部が元素Mに置換されてもよい。

[0232]

上記においては、組成が $\text{In}:\text{M}:\text{Zn}=1:1:1$ [原子数比] のIn-M-Zn酸化物を形成する例を示したが、組成式が $\text{In}_{(1+\alpha)}\text{M}_{(1-\alpha)}\text{O}_3(\text{ZnO})_m$ （ α は0より大きく1より小さい実数、 m は正の数）で表される、結晶性のIn-M-Zn酸化物は、同様に層状の結晶構造をとることができる。例として、図9Cおよび図9Dを用いて、組成が $\text{In}:\text{M}:\text{Zn}=1:3:4$ [原子数比] のIn-M-Zn酸化物について示す。

[0233]

図9Cは、構造体650に形成されたIn-M-Zn酸化物を有する酸化物662を示す図である。図9Dは、図9Cにおける酸化物662の一部である領域654における、結晶中の原子配列を示す拡大図である。

[0234]

図9Dに示すように、酸化物662が有する結晶は、インジウム（In）と元素Mと酸素とを有する層622、亜鉛（Zn）と酸素とを有する層641、および元素Mと酸素とを有する層631を有する。酸化物662において、複数の層は、層622、層641、層631、層641、の順に、繰り返し積層されている。層622、層631、および層641は、構造体650の被成膜面に略平行に配置されている。すなわち、酸化物662のa-b面は、構造体650の被成膜面に対して略平行であり、酸化物662のc軸は、構造体650の被成膜面の法線方向と略平行である。

[0235]

なお、 $\text{In}:\text{M}:\text{Zn}=1:3:4$ [原子数比] のIn-M-Zn酸化物は、図9Dに示す構造に限られるものではなく、 $\text{In}:\text{M}:\text{Zn}=1:3:4$ [原子数比] に従う範囲で、構造が変化してもよい。例えば、層622、層631、層641の積層順が変更されてもよい。また、層631の元素Mの一部が亜鉛に置換され、層641の亜鉛の一部が元素Mに置換されてもよい。また、層622に代わって、層621または層631が形成されてもよい。

[0236]

次に、図9Aおよび図9Bに示すIn-M-Zn酸化物を有する酸化物660の形成方法の詳細を、

図10A乃至図11Cを用いて示す。

[0237]

まず、インジウムを有するプリカーサを含む原料ガスをチャンバーに導入し、構造体650の表面に当該プリカーサを吸着させる（図10A参照。）。ここで、原料ガスには、プリカーサの他に、アルゴン、ヘリウム、または窒素などのキャリアガスが含まれる。インジウムを有するプリカーサとして、トリメチルインジウム、トリエチルインジウム、トリス（2，2，6，6-テトラメチル-3，5-ヘプタンジオン酸）インジウム、シクロペンタジエニルインジウム、インジウム（III）アセチルアセトナート、（3-（ジメチルアミノ）プロピル）ジメチルインジウムなどを用いることができる。

[0238]

また、インジウムを有するプリカーサとして、炭化水素を有しない、無機プリカーサを用いてもよい。インジウムを有する無機プリカーサとして、三塩化インジウム、三臭化インジウム、三ヨウ化インジウムなどのハロゲン系のインジウム化合物を用いることができる。三塩化インジウムは、分解温度が500℃以上700℃以下程度である。よって、三塩化インジウムを用いることで、400℃以上600℃以下程度、例えば500℃で基板加熱を行いながら、ALD法による成膜を行うことができる。

[0239]

次に、上記原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。

[0240]

次に、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、インジウムを基板に吸着させたままインジウム以外の成分を脱離させることで、インジウムと酸素とが結合した層621を形成する（図10B参照。）。酸化剤として、オゾン、酸素、水などを用いることができる。次に、上記酸化剤の導入を止めて、チャンバー内をパージして、余剰なリアクタント及び反応生成物などをチャンバーから排出する。

[0241]

次に、元素Mを有するプリカーサを含む原料ガスをチャンバーに導入し、層621上に当該プリカーサを吸着させる（図10C参照。）。原料ガスには、プリカーサの他に、アルゴン、ヘリウム、または窒素などのキャリアガスが含まれる。元素Mとしてガリウムを用いる場合、ガリウムを有するプリカーサとして、トリメチルガリウム、トリエチルガリウム、トリス（ジメチルアミド）ガリウム、ガリウム（III）アセチルアセトナート、トリス（2，2，6，6-テトラメチル-3，5-ヘプタンジオン酸）ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウム、ジメチルガリウムイソプロポキシドなどを用いることができる。

[0242]

また、ガリウムを有するプリカーサとして、炭化水素を有しない、無機プリカーサを用いてもよい。ガリウムを有する無機プリカーサとして、三塩化ガリウム、三臭化ガリウム、三ヨウ化ガリウムなどのハロゲン系のガリウム化合物を用いることができる。三塩化ガリウムは、分解温度が550℃以上700℃以下程度である。よって、三塩化ガリウムを用いることで、450℃以上650℃以下程度、例えば550℃で基板加熱を行いながら、ALD法による成膜を行うことができる。

[0243]

次に、上記原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成

物などをチャンバーから排出する。

[0244]

次に、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、元素Mを基板に吸着させたまま元素M以外の成分を脱離させることで、元素Mと酸素とが結合した層631を形成する(図10D参照。)。このとき、層641を構成する酸素の一部が層631の上に吸着する場合がある。次に、上記酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

[0245]

次に、亜鉛を有するプリカーサを含む原料ガスをチャンバーに導入し、層631上に当該プリカーサを吸着させる(図11A参照。)。このとき、亜鉛と酸素とが結合した層641の一部が形成される場合がある。原料ガスには、プリカーサの他に、アルゴン、ヘリウム、または窒素などのキャリアガスが含まれる。亜鉛を含むプリカーサとして、ジメチル亜鉛、ジエチル亜鉛、ビス(2,2,6,6-テトラメチルー3,5-ヘプタンジオン酸)亜鉛、酢酸亜鉛などを用いることができる。

[0246]

また、亜鉛を有するプリカーサとして、炭化水素を有しない、無機プリカーサを用いてもよい。亜鉛を有する無機プリカーサとして、二塩化亜鉛、二臭化亜鉛、二ヨウ化亜鉛などのハロゲン系の亜鉛化合物を用いることができる。二塩化亜鉛は、分解温度が450℃以上700℃以下程度である。よって、二塩化亜鉛を用いることで、350℃以上550℃以下程度、例えば450℃で基板加熱を行いながら、ALD法による成膜を行うことができる。

[0247]

次に、上記原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。

[0248]

次に、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、亜鉛を基板に吸着させたまま亜鉛以外の成分を脱離させることで、亜鉛と酸素が結合した層641を形成する(図11B参照。)。次に、上記酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

[0249]

次に、層641上に再度、上述した方法で層621を形成する(図11C参照。)。以上の方法を繰り返すことで、基板、あるいは構造体上に酸化物660を形成することができる。

[0250]

なお、上記プリカーサには、金属元素の他に、炭素および塩素の一方または両方を含むものがある。炭素を含むプリカーサを用いて形成された膜には炭素が含まれる場合がある。また、塩素などのハロゲンを含むプリカーサを用いて形成された膜には塩素などのハロゲンが含まれる場合がある。

[0251]

以上のように、ALD法を用いて酸化物660を形成することで、被成膜面の法線方向と略平行にc軸が配向した金属酸化物を形成することができる。例えば、後述の図12B及び図12C等を示す酸化物半導体層230において、開口部290の側壁、特に絶縁層280の側面に対して、略平行な層状の結晶を形成することができる。このような構成にすることで、トランジスタ200のチャネル長方向に対して、酸化物半導体層230の層状の結晶が略平行に形成されるため、トランジスタのオ

ン電流を大きくすることができる。

[0252]

図10A乃至図11Cに示す工程を基板加熱しながら行うことが好ましい。例えば、基板温度を100℃以上600℃以下、好ましくは100℃以上350℃以下、より好ましくは200℃以上プリカーサの分解温度以下にすることができる。

[0253]

上記温度範囲で基板加熱しながら成膜を行うために、上記成膜に用いるプリカーサは分解温度が高いことが好ましい。例えば、プリカーサの分解温度が、200℃以上700℃以下であることが好ましく、250℃以上600℃以下であることがより好ましい。このような分解温度が高いプリカーサとしては、無機プリカーサを用いることが好ましい。無機プリカーサは概して、有機プリカーサより、分解温度が高い傾向があるため、上記のように基板加熱をしながら成膜を行なっても、プリカーサが分解されにくい。

[0254]

無機プリカーサとしては、例えば、上述の三塩化インジウム、三塩化ガリウム、二塩化亜鉛を用いることができる。上述のように、これらのプリカーサは、分解温度が350℃以上700℃以下程度であり、一般的な有機プリカーサの分解温度よりかなり高温である。ただし、上述のように、三塩化インジウム、三塩化ガリウム、二塩化亜鉛の分解温度は互いに異なっている。このように、異なる種類の複数のプリカーサを用いてALD法による成膜を行う場合は、基板温度を、複数のプリカーサのうち、最も低いプリカーサの分解温度以下にすることが好ましい。上記の例では、最もプリカーサの分解温度が低い、二塩化亜鉛が分解しない範囲で基板温度を設定することができる。これにより、他の三塩化インジウム、三塩化ガリウムも分解させずに、対象物（例えば、基板など）に吸着させることができる。

[0255]

なお、図10A乃至図11Cでは、インジウムを含む層として層621を形成し、その上に元素Mを含む層として層631を形成し、さらにその上に亜鉛を含む層として層641を形成する例を示すが、本実施の形態はこれに限らない。層631および層641の一方を形成し、その上に層621を形成し、さらにその上に層631および層641の他方を形成してもよい。または、層631および層641の一方を形成し、その上に層631および層641の他方を形成し、さらにその上に層621を形成してもよい。

[0256]

また、 $In:M:Zn=1:1:1$ [原子数比] とは異なる原子数比の金属酸化物を形成する場合は、原子数比に合わせて、上記層621、層631、層641、を適宜形成することが好ましい。例えば、図11Aに示す、層631の形成前後に、層641の形成を複数回繰り返すことで、2つの層621の間に、所望の原子数、層数、および厚さを有する、層631と層641との積層を形成することができる。

[0257]

[製造装置の構成例]

AG C AAC膜を成膜することが可能な製造装置の一例について、図1乃至図5を用いて説明する。図1は、マルチチャンバー型の製造装置4000の模式図である。図2は、マルチチャンバー型の製造装置4050の模式図である。図3A及び図3Bは、上記製造装置に用いることができるAL

D装置の断面図である。図4A乃至図4Cは、上記製造装置に用いることができるALD装置の断面図である。図5は、上記製造装置に用いることができるスパッタリング装置の断面図である。なお、図1乃至図5においては、代表的な構成を示しており、一部の構成は省略している。

[0258]

図1に示すように、製造装置4000は、搬入搬出室4002と、搬入搬出室4004と、搬送室4006と、成膜室4008と、成膜室4009と、成膜室4010と、処理室4011と、を有する。搬入搬出室4002及び搬入搬出室4004は、室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替える機能を有し、基板の搬入または搬出を行うことができる。搬送室4006には、搬送アーム4014が設けられており、真空中で、各室に基板を搬送することができる。

[0259]

ここで、搬入搬出室4002、搬入搬出室4004、成膜室4008、成膜室4009、成膜室4010、及び処理室4011は、搬送室4006とそれぞれゲートバルブを介して接続されている。よって、製造装置4000は、各室の真空状態を独立して保持することができる。これにより、成膜室4008、成膜室4009、成膜室4010、及び処理室4011において大気に曝すことなく、連続処理を行うことができ、膜中に不純物が混入するのを防ぐことができる。また、基板と膜の界面、及び各膜の界面の汚染は低減され、清浄な界面が得られる。

[0260]

成膜室4008乃至成膜室4010には、ALD装置及びスパッタリング装置を用いることができる。例えば、成膜室4008及び成膜室4010にALD装置を用い、成膜室4009にスパッタリング装置を用いればよい、処理室4011には、加熱装置（代表的には、真空加熱装置）を用いることができる。なお、処理室4011には、プラズマ発生装置（代表的には、マイクロ波処理装置）などの成膜装置以外の処理装置を設ける構成にすることもできる。

[0261]

このような構成にすることで、図6Aに係る酸化物半導体層230aの形成を、成膜室4008でALD法を用いて行うことができる。さらに、図6Bに係る酸化物半導体層230bの形成を、成膜室4009でスパッタリング法を用いて行うことができる。さらに、図6Cに係る酸化物半導体層230cの形成を、成膜室4010でALD法を用いて行うことができる。さらに、図6Dに係る加熱処理を、処理室4011で行うことができる。

[0262]

このように、図6A乃至図6Dに係る工程において、酸化物半導体層230a乃至酸化物半導体層230cは、大気に曝されずに連続処理される。よって、形成された酸化物半導体層230中に不純物が混入されることを防ぐことができる。また、不純物による結晶成長の阻害が抑制されるため、結晶性の向上を図ることができる。

[0263]

酸化物半導体層の結晶性を高めることにより、酸化物半導体層を用いたトランジスタの半導体層の電気抵抗の増加抑制、またはトランジスタの初期特性（特にオン電流）が向上し、高速駆動に適したトランジスタとすることが期待できる。また、トランジスタの信頼性を高めることができる。

[0264]

搬入搬出室4002、搬入搬出室4004、搬送室4006、成膜室4008、成膜室4009、成膜室4010、及び処理室4011は、それぞれ排気手段に接続されている。排気手段としては、

ドライポンプ、メカニカルブースターポンプ、クライオポンプ、ターボ分子ポンプ等の真空ポンプが挙げられる。例えば、成膜室4008、成膜室4009、成膜室4010、及び処理室4011では、ターボ分子ポンプとドライポンプを接続することができる。また例えば、成膜室4008、成膜室4009、成膜室4010、及び処理室4011に、さらにクライオトラップを設ける構成にしてもよい。また例えば、成膜室4008及び成膜室4010にALD装置を用いる場合、ドライポンプと粉体吸着トラップを設ける構成にしてもよい。また例えば、搬入搬出室4002、搬入搬出室4004、及び搬送室4006では、クライオポンプとドライポンプを接続することができる。

[0265]

成膜室4008、成膜室4009、成膜室4010、及び処理室4011は、それぞれガス供給装置を介して、ガス精製装置と接続してもよい。また、各室は、ガス加熱機構を介してガス供給装置と接続してもよい。ガス加熱機構はガス供給装置を介してガス精製装置と接続される。処理室に導入されるガスは、露点が -80°C 以下、好ましくは -100°C 以下、さらに好ましくは -120°C 以下であるガスを用いることができ、例えば、酸素ガス、窒素ガス、および貴ガス（アルゴンガスなど）を用いることができる。また、ガス加熱機構により、処理室に導入されるガスを 40°C 以上 400°C 以下に加熱することができる。なお、ガス加熱機構、ガス供給装置、およびガス精製装置は、ガス種の数だけ設けるとよい。

[0266]

また、搬入搬出室4002、搬入搬出室4004、搬送室4006、成膜室4008、成膜室4009、成膜室4010、及び処理室4011は、水分の付着などを防ぐため、露点が管理された不活性ガス（窒素ガス等）を充填させておくことが好ましく、減圧を維持させることが望ましい。

[0267]

また、搬入搬出室4002及び搬入搬出室4004の外に基板供給室を設ける構成にすることもできる。基板供給室は、基板を収容するカセットポートと、基板のアライメントを行うアライメントポートを有する。基板供給室と搬入搬出室4002及び搬入搬出室4004とは、搬送アームを有する搬送室で接続される構成にすることができる。このような構成にすることで、基板供給室と、搬入搬出室4002及び搬入搬出室4004との間で、基板の受け渡しを行うことができる。

[0268]

また、製造装置4000は、搬入搬出室4002、搬入搬出室4004、成膜室4008、成膜室4009、及び処理室4011を有する構成としているが、本発明はこれに限られるものではない。製造装置の成膜室を2個、または4個以上にする構成としてもよい。また、製造装置の処理室を2個以上にする構成としてもよい。また、搬入搬出室を1個、または3個以上にする構成としてもよい。また、成膜室、処理室、及び搬入搬出室の個数に合わせて、搬送室及び搬送アームを適宜設けることができる。また、図1において、搬送アーム4014を1本示しているが、本発明はこれに限られるものではない。例えば、搬送室4006に2本以上の搬送アームを設ける構成にしてもよい。

[0269]

例えば、図2に示す製造装置4050のように、成膜室を4個以上、処理室を2個以上設ける構成にすることもできる。製造装置4050は、搬入搬出室4052と、搬入搬出室4054と、搬送室4056aと、搬送室4056bと、移送室4065と、成膜室4060aと、成膜室4060bと、成膜室4060cと、成膜室4060dと、成膜室4060eと、処理室4061aと、処理室4061bと、を有する。搬送室4056aには搬送アーム4064aが、搬送室4056bには搬送ア

ーム4064bが設けられている。ここで、搬入搬出室4052、搬入搬出室4054、成膜室4060a、成膜室4060b、処理室4061a、及び処理室4061bは、搬送室4056aとそれぞれゲートバルブを介して独立に接続されている。また、成膜室4060c、成膜室4060d、及び成膜室4060eは、搬送室4056bとそれぞれゲートバルブを介して独立に接続されている。

[0270]

搬入搬出室4052は搬入搬出室4002に対応し、搬入搬出室4054は搬入搬出室4004に対応し、搬送室4056a及び搬送室4056bは搬送室4006に対応し、成膜室4060a乃至成膜室4060eは成膜室4008乃至成膜室4010に対応し、処理室4061a及び処理室4061bは処理室4011に対応し、搬送アーム4064a及び搬送アーム4064bは搬送アーム4014に対応する。よって、詳細については上述の記載を参照することができる。

[0271]

移送室4065は、搬送室4056aと搬送室4056bを接続している。移送室4065を介することで、搬送アーム4064aと搬送アーム4064bとの間で基板を受け渡すことができる。なお、搬送室4056aと搬送室4056bの間に複数の移送室を設ける構成にしてもよい。また、搬送室をさらに増やす場合、搬送室の個数に応じて移送室を適宜設ければよい。

[0272]

図2に示すように成膜室の個数を増やすことで、例えば、成膜室4060a、成膜室4060b、成膜室4060d、及び成膜室4060eにALD装置を用いることができる。これにより、比較的处理時間が長いALD成膜工程について、単位時間当たりの成膜量を増やすことができる。よって、酸化物半導体層、及び酸化物半導体層を用いた半導体装置の生産性の向上を図ることができる。なお、上記に限られず、成膜室4060a乃至成膜室4060eにおいて、少なくともALD室及びスパッタリング室がそれぞれ1個ずつ設けられていれば、他の成膜室については、ALD室及びスパッタリング室を適宜設けることができる。

[0273]

また、成膜室4060a乃至成膜室4060eのいずれか一または複数において、酸化物半導体層とは異なる膜を成膜する構成にしてもよい。例えば、成膜室4060a乃至成膜室4060eの一で、層229を成膜する構成にすることもできる。これにより、層229と酸化物半導体層230を連続成膜することができる。よって、層229と酸化物半導体層230の界面における不純物を低減することができる。

[0274]

また、成膜室4060a乃至成膜室4060eのいずれか一または複数において、ALD装置またはスパッタリング装置以外の成膜装置を用いる構成としてもよい。ALD装置またはスパッタリング装置以外の成膜装置としては、例えば、プラズマCVD(PECVD: Plasma Enhanced CVD)装置、熱CVD(TCVD: Thermal CVD)装置、光CVD(PhotoCVD)装置、金属CVD(MCVD: Metal CVD)装置、有機金属CVD(MOCVD: Metal Organic CVD)装置などがある。

[0275]

また、図2に示すように処理室の個数を増やすことで、例えば、処理室4061a及び処理室4061bを加熱装置に用いることができる。これにより、比較的处理時間が長い加熱処理工程について、単位時間当たりの処理量を増やすことができる。よって、酸化物半導体層、及び酸化物半導体層を用

いた半導体装置の生産性の向上を図ることができる。

[0276]

また、処理室4061aを加熱処理に用い、処理室4061bをマイクロ波処理に用いる構成にしてもよい。これにより、酸化物半導体層230に、加熱処理とマイクロ波処理の両方を行うことができるため、酸化物半導体層230及び層229中の不純物濃度をさらに低減することができる場合がある。なお、処理室4061a及び処理室4061bをマイクロ波処理装置に用いることもできる。

[0277]

また、処理室4061a及び処理室4061bのいずれか一または複数において、加熱処理またはマイクロ波処理以外の処理を行う構成としてもよい。例えば、基板のクリーニング処理、プラズマ処理、逆スパッタリング処理、エッチング処理、アッシング処理などを行ってもよい。この場合、処理室4061a及び処理室4061bのいずれか一または複数に、ドライエッチング装置を設ける構成にしてもよい。

[0278]

また、上記製造装置は枚葉式としてもよいし、複数の基板を一括で成膜するバッチ式にしてもよい。

[0279]

<ALD装置>

次に、上記成膜室に用いることができる熱ALD装置の構成の一例について、図3Aを用いて説明する。熱ALD装置は、成膜室（チャンバー4520）と、原料供給部4521（原料供給部4521a乃至原料供給部4521c）と、原料供給部4531と、導入量制御器である高速バルブ4522a乃至高速バルブ4522dと、ガス供給部4532と、原料導入口4523と、原料排出口4524と、排気装置4525を有する。チャンバー4520内に設置される原料導入口4523は供給管及びバルブを介して原料供給部4521a、原料供給部4521b、原料供給部4521c、原料供給部4531及びガス供給部4532とそれぞれ接続されており、原料排出口4524は、排出管、バルブ、圧力調整器、粉体吸着トラップを介して排気装置4525と接続されている。

[0280]

チャンバー4520内部には基板ホルダ4526があり、基板ホルダ4526上に基板4530を配置する。基板ホルダ4526は回転機構を有していてもよい。また、チャンバー4520外壁には、ヒータ4527が設けられており、チャンバー4520内部、基板ホルダ4526、及び基板4530表面などの温度を制御することができる。ヒータ4527は、基板4530表面の温度を100℃以上600℃以下、好ましくは100℃以上350℃以下、より好ましくは200℃以上プリカーサの分解温度以下に制御することが好ましく、ヒータ4527自体の温度は100℃以上600℃以下に設定できることが好ましい。このような温度範囲で基板加熱しながら成膜を行うことで、プリカーサまたはリアクタントなどに含まれる、水素、または炭素などの不純物を、金属酸化物中から好適に低減することができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、各酸化物の層を秩序性高く配列させることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物を形成することができる。また、ヒータ4527を用いて、金属酸化物成膜後の熱処理を行ってもよい。

[0281]

原料供給部4521a、原料供給部4521b、原料供給部4521c、及び原料供給部4531では、気化器または加熱手段などによって固体の原料または液体の原料から原料ガスを形成する。ま

たは、原料供給部 4 5 2 1 a、原料供給部 4 5 2 1 b、原料供給部 4 5 2 1 c、及び原料供給部 4 5 3 1 は、気体の原料ガスを供給する構成としてもよい。

[0 2 8 2]

図 3 A に示す成膜装置では、原料供給部 4 5 2 1、及び原料供給部 4 5 3 1 で用いる原料（揮発性有機金属化合物など）を適宜選択してチャンバー 4 5 2 0 に導入することにより、金属酸化物を形成することができる。上述のように、金属酸化物として、インジウム、ガリウム、亜鉛を含む In-Ga-Zn 酸化物を形成する場合、図 3 A に示すように、少なくとも 3 つの原料供給部 4 5 2 1 a 乃至原料供給部 4 5 2 1 c と、少なくとも 1 つの原料供給部 4 5 3 1 が設けられた成膜装置を用いることが好ましい。

[0 2 8 3]

例えば、原料供給部 4 5 2 1 a からインジウムを有するプリカーサが供給され、原料供給部 4 5 2 1 b からガリウムを有するプリカーサが供給され、原料供給部 4 5 2 1 c から亜鉛を有するプリカーサが供給される構成にすることができる。インジウムを有するプリカーサ、ガリウムを有するプリカーサ、及び亜鉛を有するプリカーサとして、それぞれ前述したプリカーサを用いることができる。また、原料供給部 4 5 2 1 内の圧力は、高速バルブを開いた際に、内部のガスが配管に十分流れる程度にすることが好ましい。このため、原料供給部 4 5 2 1 の温度を適切に調整することが好ましい。例えば、原料供給部 4 5 2 1 a にトリエチルインジウムを保存し、原料供給部 4 5 2 1 b にトリエチルガリウムを保存する場合、トリエチルインジウム及びトリエチルガリウムは蒸気圧が低いため、原料供給部 4 5 2 1 a 及び原料供給部 4 5 2 1 b をヒータで加熱して保温することが好ましい。また例えば、原料供給部 4 5 2 1 c にジエチル亜鉛を保存する場合、ジエチル亜鉛は蒸気圧が高いため、原料供給部 4 5 2 1 c をペルチェ素子で冷却して保温することが好ましい。

[0 2 8 4]

また、インジウムを有するプリカーサ、ガリウムを有するプリカーサ、及び亜鉛を有するプリカーサは、分解温度が高いことが好ましい。このため、上記プリカーサとして、無機プリカーサを用いる構成にしてもよい。なお、ハロゲン系化合物などを無機プリカーサとして用いる場合、ガスの腐食性が強い場合がある。よって、チャンバー、配管、各種ガスの供給部などのガスが接触する部材に、チタンなどの耐腐食性が高い材料を用いることが好ましい。

[0 2 8 5]

また、原料供給部 4 5 3 1 からは、リアクタントが供給される。リアクタントとして、オゾン、酸素、水の少なくとも 1 つを含む酸化剤を用いることができる。

[0 2 8 6]

また、ガス供給部 4 5 3 2 からは、キャリアガスが供給される。キャリアガスとして、アルゴン (Ar)、ヘリウム (He)、または窒素 (N₂) などの不活性ガスを用いることができる。原料供給部 4 5 2 1 のプリカーサ、及び原料供給部 4 5 3 1 のリアクタントは、当該キャリアガスと混合されて、チャンバー 4 5 2 0 に導入される。

[0 2 8 7]

また、原料供給部 4 5 2 1 a、原料供給部 4 5 2 1 b、原料供給部 4 5 2 1 c、原料供給部 4 5 3 1、及びガス供給部 4 5 3 2 と、チャンバー 4 5 2 0 との間の、配管またはバルブなどを覆って、配管ヒータ 4 5 3 4 a が設けられる。また、排気装置 4 5 2 5 とチャンバー 4 5 2 0 との間の、配管またはバルブなどを覆って、配管ヒータ 4 5 3 4 b が設けられる。配管ヒータ 4 5 3 4 a 及び配管ヒータ

タ 4 5 3 4 b の温度は、例えば室温以上 3 0 0 °C 以下の範囲で適宜設定することができる。このような配管ヒータを設けることで、原料供給部 4 5 2 1 から供給されたプリカーサなどが、ガス導入系及びガス排気系の配管などの内壁に凝固するのを防ぐことができる。特に、無機プリカーサなどの分解温度が高いプリカーサは、凝固しやすい傾向があるため、このようなプリカーサを用いる場合、ガス導入系及びガス排気系の配管を覆って、配管ヒータを設ける構成にすることが好ましい。また、配管ヒータ 4 5 3 4 a、配管ヒータ 4 5 3 4 b、及びヒータ 4 5 2 7 の温度制御は、それぞれ独立に制御する構成にすることができる。配管ヒータ 4 5 3 4 a、配管ヒータ 4 5 3 4 b、及びヒータ 4 5 2 7 をそれぞれ独立に制御することで、各ヒータの温度を個別に制御できる。ただし、これに限定されず、配管ヒータ 4 5 3 4 a、配管ヒータ 4 5 3 4 b、及びヒータ 4 5 2 7 の温度制御は、それぞれ連動する構成としてもよい。この場合、温度制御を一括して調整することが可能となるため、装置部材などを安くできる。

[0 2 8 8]

高速バルブ 4 5 2 2 a 乃至高速バルブ 4 5 2 2 d は時間で精密に制御することができる。これにより、原料供給部 4 5 2 1 a、原料供給部 4 5 2 1 b、原料供給部 4 5 2 1 c、及び原料供給部 4 5 3 1 から供給される原料ガスを制御してチャンバー 4 5 2 0 に導入することができる構成となっている。

[0 2 8 9]

例えば、原料供給部 4 5 2 1 a、原料供給部 4 5 2 1 b、及び原料供給部 4 5 2 1 c に含まれるプリカーサをチャンバー 4 5 2 0 に供給する場合は、高速バルブ 4 5 2 2 a 乃至高速バルブ 4 5 2 2 c のうち対応する高速バルブを開けばよい。また、原料供給部 4 5 3 1 に含まれるリアクタントをチャンバー 4 5 2 0 に供給する場合は、高速バルブ 4 5 2 2 d を開けばよい。また、チャンバー 4 5 2 0 をパージする場合は、高速バルブ 4 5 2 2 a 乃至高速バルブ 4 5 2 2 d を閉じて、ガス供給部 4 5 3 2 に含まれるキャリアガスだけをチャンバー 4 5 2 0 に導入すればよい。

[0 2 9 0]

なお、図 3 A に示す高速バルブ 4 5 2 2 a 乃至高速バルブ 4 5 2 2 c では、それぞれ 1 個の高速バルブを介して、原料供給部 4 5 2 1 とガス供給部 4 5 3 2 を接続しているように示しているが、本発明はこれに限られるものではない。例えば、高速バルブ 4 5 2 2 a 乃至高速バルブ 4 5 2 2 c において、それぞれ 2 個の高速バルブを介して、原料供給部 4 5 2 1 とガス供給部 4 5 3 2 を接続してもよい。この場合、一方の高速バルブは、ガス供給部 4 5 3 2 のキャリアガスを原料供給部 4 5 2 1 に引き込む機能を有する。他方の高速バルブは、原料供給部 4 5 2 1 内でプリカーサとキャリアガスが混合したガスを、チャンバー側に押し出す機能を有する。

[0 2 9 1]

また、図 3 A では、原料供給部 4 5 2 1 を 3 個、原料供給部 4 5 3 1 を 1 個設けている例を示しているが本実施の形態はこれに限定されない。原料供給部 4 5 2 1 を 1 個、2 個、または 4 個以上設けてもよい。また原料供給部 4 5 3 1 を 2 個以上設けてもよい。

[0 2 9 2]

また、図 3 A において、ヒータ 4 5 2 7、原料導入口 4 5 2 3、及び原料排出口 4 5 2 4 が、チャンバー 4 5 2 0 下部に配置されているが、これに限られることなく、これらの配置を適宜設定することができる。また、図 3 A において、原料供給部 4 5 2 1 a、原料供給部 4 5 2 1 b、原料供給部 4 5 2 1 c、原料供給部 4 5 3 1 及びガス供給部 4 5 3 2 の導入口は、原料導入口 4 5 2 3 にまとめら

れているが、これに限られることはなく、それぞれ異なる導入口を設ける構成にしてもよい。

[0293]

また、製造装置4000にPEALD装置を用いる構成にすることもできる。図3Bに示すように、PEALD装置は、成膜室（チャンバー4020）と、原料供給部4021（原料供給部4021a乃至原料供給部4021c）と、原料供給部4031と、導入量制御器である高速バルブ4022a乃至高速バルブ4022dと、ガス供給部4032と、原料導入口4023と、原料導入口4033と、原料排出口4024と、排気装置4025を有する。チャンバー4020内に設置される原料導入口4023、及び原料導入口4033は、供給管及びバルブを介して原料供給部4021a、原料供給部4021b、原料供給部4021c、原料供給部4031及びガス供給部4032とそれぞれ接続されており、原料排出口4024は、排出管、バルブ、及び圧力調整器を介して排気装置4025と接続されている。また、チャンバー4020内部には基板ホルダ4026があり、その基板ホルダ4026上に基板4030を配置する。また、チャンバー外壁には、ヒータ4027が設けられており、チャンバーに接続される配管などを覆って、配管ヒータ4034a及び配管ヒータ4034bが設けられている。

[0294]

ここで、チャンバー4020はチャンバー4520と、原料供給部4021は原料供給部4521と、原料供給部4031は原料供給部4531と、高速バルブ4022a乃至高速バルブ4022dは高速バルブ4522a乃至高速バルブ4522dと、ガス供給部4032はガス供給部4532と、原料導入口4023は原料導入口4523と、原料排出口4024は原料排出口4524と、排気装置4025は排気装置4525と、基板ホルダ4026は基板ホルダ4526と、基板4030は基板4530と、ヒータ4027はヒータ4527と、配管ヒータ4034aは配管ヒータ4534aと、配管ヒータ4034bは配管ヒータ4534bと、対応しており、詳細な構成は上述の記載を参照することができる。

[0295]

PEALD装置は、図3Bに示すようにチャンバー4020にプラズマ発生装置4028を接続することにより、熱ALD法に加えて、PEALD法で成膜を行うことができる。プラズマ発生装置4028は、高周波電源に接続されたコイル4029を用いるICP型のプラズマ発生装置とするのが好ましい。高周波電源は、10kHz以上100MHz以下、好ましくは1MHz以上60MHz以下、より好ましくは2MHz以上60MHz以下の周波数を持った電力を出力することができる。例えば、13.56MHzの周波数を持った電力を出力することができる。PEALD法では、低温でも成膜レートを落とさず成膜ができるため、成膜効率の低い枚葉式の成膜装置で用いるとよい。

[0296]

原料供給部4031から排出されたリアクタントは、プラズマ発生装置4028を通過して、プラズマ状態となる。プラズマ状態となったリアクタントは、原料導入口4033からチャンバー4020に導入される。なお、図3Bでは図示していないが、原料供給部4031から排出されたリアクタントがキャリアガスと混合される構成にしてもよい。

[0297]

また、基板ホルダ4526には、一定の電位、または高周波が印加される機構が設けられていてもよい。または、基板ホルダ4526は、フローティングにされていてもよいし、接地されていてもよい。

[0298]

なお、図3Bにおいて、原料導入口4033がチャンバー4520上部に配置され、ヒータ4027及び原料導入口4023がチャンバー4520側面に配置され、原料排出口4524が、チャンバー4520下部に配置されているが、これに限られることなく、これらの配置を適宜設定することができる。

[0299]

図4A乃至図4Cは、製造装置4000に用いることができるALD装置の異なる構成について説明する。なお、図3Bに示したALD装置と同様の構成、及びその機能については詳細な説明を省略する場合がある。

[0300]

図4AはPEALD装置の一態様を示す模式図である。PEALD装置4100は、反応室4120と、反応室4120上部に、プラズマ生成室4111とが設けられている。反応室4120は、チャンバーと呼ぶことができる。または、反応室4120とプラズマ生成室4111を合わせてチャンバーと呼ぶことができる。反応室4120は、原料導入口4123と、原料排出口4124を有し、プラズマ生成室4111は、原料導入口4133を有する。また、プラズマ生成装置4128によりRF等の高周波または、マイクロ波を、プラズマ生成室4111に導入されたガスに印加し、プラズマ生成室4111内にプラズマ4131を生成することができる。マイクロ波を用いてプラズマ4131を生成する場合、代表的には周波数2.45GHzのマイクロ波が用いられる。また、このようなマイクロ波と、磁場を印加して生成されたプラズマをECR(Electron Cyclotron Resonance)プラズマと呼ぶ場合がある。

[0301]

また、反応室4120は、基板ホルダ4126を有し、その上に基板4130が配置される。原料導入口4123から導入された原料ガスは、反応室4120に設けられたヒータからの熱により分解され、基板4130上に堆積する。また、原料導入口4133から導入された原料ガスは、プラズマ生成装置4128によりプラズマ状態となる。プラズマ状態となった原料ガスは、基板4130表面に到達するまでに電子または他の分子と再結合し、ラジカル状態となり、基板4130に到達する。このように、ラジカルを利用して成膜を行うALD装置を、ラジカルALD(Radical-Enhanced ALD)装置と呼ぶ場合もある。また、PEALD装置4100では、プラズマ生成室4111を反応室4120の上部に設ける構成を示しているが、本実施の形態はこれに限定されない。プラズマ生成室4111を反応室4120の側面に隣接して設けてもよい。

[0302]

図4BはPEALD装置の一態様を示す模式図である。PEALD装置4200は、チャンバー4220を有する。チャンバー4220は、電極4213、原料排出口4224、及び基板ホルダ4226を有し、基板ホルダ4226の上に基板4230が配置される。電極4213は、原料導入口4223と、導入された原料ガスをチャンバー4220内に供給するシャワーヘッド4214とを有する。また、電極4213には、コンデンサ4217を介して高周波を印加できる電源4215が接続されている。基板ホルダ4226には、一定の電位、または高周波が印加される機構が設けられていてもよい。または、基板ホルダ4226は、フローティングにされていてもよいし、接地されていてもよい。電極4213、及び基板ホルダ4226は、それぞれプラズマ4231を生成するための上部電極、及び下部電極として機能する。原料導入口4223から導入された原料ガスは、チャンバー

4 2 2 0 に設けられたヒータからの熱により分解され、基板 4 2 3 0 上に堆積する。または、原料導入口 4 2 2 3 から導入された原料ガスは、電極 4 2 1 3、及び基板ホルダ 4 2 2 6 の間でプラズマ状態となる。プラズマ状態となった原料ガスは、プラズマ 4 2 3 1 と基板 4 2 3 0 の間に生じる電位差（イオンシースともいう）により基板 4 2 3 0 に入射する。

[0 3 0 3]

図 4 C は、図 4 B とは異なる P E A L D 装置の一態様を示す模式図である。P E A L D 装置 4 3 0 0 は、チャンバー 4 3 2 0 を有する。チャンバー 4 3 2 0 は、電極 4 3 1 3、原料排出口 4 3 2 4、及び基板ホルダ 4 3 2 6 を有し、基板ホルダ 4 3 2 6 の上に基板 4 3 3 0 が配置される。電極 4 3 1 3 は、原料導入口 4 3 2 3 と、導入された原料ガスをチャンバー 4 3 2 0 内に供給するシャワーヘッド 4 3 1 4 とを有する。また、電極 4 3 1 3 には、コンデンサ 4 3 1 7 を介して高周波を印加できる電源 4 3 1 5 が接続されている。基板ホルダ 4 3 2 6 には、一定の電位、または高周波が印加される機構が設けられていてもよい。または、基板ホルダ 4 3 2 6 は、フローティングにされていてもよいし、接地されていてもよい。電極 4 3 1 3、及び基板ホルダ 4 3 2 6 は、それぞれプラズマ 4 3 3 1 を生成するための上部電極、及び下部電極として機能する。P E A L D 装置 4 3 0 0 は、電極 4 3 1 3 と基板ホルダ 4 3 2 6 の間に、コンデンサ 4 3 2 2 を介して高周波を印加できる電源 4 3 2 1 が接続されたメッシュ 4 3 1 9 を有している点で、P E A L D 装置 4 2 0 0 と異なる。メッシュ 4 3 1 9 を設けることで、基板 4 1 3 0 からプラズマ 4 2 3 1 を離すことができる。原料導入口 4 3 2 3 から導入された原料ガスは、チャンバー 4 3 2 0 に設けられたヒータからの熱により分解され、基板 4 3 3 0 上に堆積する。または、原料導入口 4 3 2 3 から導入された原料ガスは、電極 4 3 1 3、及び基板ホルダ 4 3 2 6 の間でプラズマ状態となる。プラズマ状態となった原料ガスは、メッシュ 4 3 1 9 により電荷が除去され、ラジカルなどの電氣的に中性な状態で基板 4 1 3 0 に到達する。このため、イオンの入射及びプラズマによる損傷が抑制された成膜を行うことができる。

[0 3 0 4]

なお、図 3 B、図 4 A 乃至図 4 C に示す、P E A L D 装置を用いて、金属酸化物成膜後のマイクロ波処理を行う構成にしてもよい。

[0 3 0 5]

<スパッタリング装置>

次に、上記成膜室に用いることができるスパッタリング装置の構成の一例について、図 5 を用いて説明する。

[0 3 0 6]

スパッタリング装置は、成膜チャンバー 4 6 0 2 を有し、成膜チャンバー 4 6 0 2 内に、バックングプレート 4 6 0 8 と、基板ホルダ 4 6 1 2 とを有する。バックングプレート 4 6 0 8 は、ターゲット 4 6 1 0 を取り付けることが可能である。なお、ターゲット 4 6 1 0 は、上述の酸化物半導体層に用いることが可能なターゲットを適宜用いることができる。また、基板ホルダ 4 6 1 2 の上に基板 4 6 2 0 が配置される。図 5 に示すように、ターゲット 4 6 1 0 と基板 4 6 2 0 は対向して配置されることが好ましい。成膜チャンバー 4 6 0 2 の外には、マグネットユニット 4 6 0 6 と、バックングプレート 4 6 0 8 と電氣的に接続された D C 電源（直流電源） 4 6 1 5 と、バックングプレート 4 6 0 8 と電氣的に接続された R F 電源（高周波電源） 4 6 1 8 と、基板ホルダ 4 6 1 2 と電氣的に接続された R F 電源（高周波電源） 4 6 1 6 とを有する。なお、本明細書では、複数のマグネット（磁石）を組み合わせたものをマグネットユニットと呼ぶ。また、図示しないが、スパッタリング装置には、

成膜チャンバー4602内を排気する真空ポンプを有する排気システム、及び成膜チャンバー4602内に、ガスを導入するガス供給システムが設けられる。また、成膜チャンバー4602の内側に防着板を配置する構成としてもよい。

[0307]

RF電源4618またはDC電源4615から印加された電力は、バックングプレート4608を介してターゲット4610に印加される。このとき、成膜チャンバー4602を減圧状態にしておくことで、プラズマを発生させることができる。また、ターゲット4610付近にマグネットユニット4606を配置することで、マグネットユニット4606磁界によりプラズマ中の電子が封じ込められ、ガス分子と電子との衝突確率が高くなり、高密度化されたプラズマを得ることができる。

[0308]

ここで、RF電源4618は、10kHz以上100MHz以下、好ましくは1MHz以上60MHz以下、より好ましくは2MHz以上60MHz以下の周波数の電力を出力することが好ましい。例えば、13.56MHzの周波数を持った電力を出力する構成にすることができる。周波数の高い電力を印加することで、プラズマをより高密度にすることができる。このようにRF電源4618でターゲット4610に電力を印加することで、RFスパッタリング法を行うことができる。ターゲット4610の絶縁性が高い場合、RFスパッタリング法を行うことが好ましい。

[0309]

RFスパッタリング法を行う場合、DC電源4615は、電力を印加しない構成にしてもよい。この場合、DC電源4615を設けない構成にすることもできる。

[0310]

また、RF電源4618の電力に重畳して、DC電源4615の電力を印加する構成にしてもよい。この場合、RF重畳DCスパッタリング法を行うことができる。RF重畳DCスパッタリング法では、例えば、DC電源4615の電力を印加することで、ガス分子のイオン化率を向上し、成膜レートを向上させることができる。

[0311]

また、RF電源4618から電力を印加せず、DC電源4615から電力を印加し、DCスパッタリング法を行う構成にしてもよい。ターゲット4610の導電性が高い場合、DCスパッタリング法を行うことが好ましい。DCスパッタリング法を行う場合、RF電源4618を設けない構成にすることもできる。

[0312]

また、DC電源4615からパルス状の電力を出力し、パルスDCスパッタリング法を行う構成にしてもよい。パルスDCスパッタリング法では、酸素ガスまたは窒素ガスを反応させて成膜を行うことで、酸化物または窒化物を成膜することができる。この際に、ターゲット表面の酸化または窒化によるターゲット表面の絶縁性の向上に伴うターゲット表面の電荷の蓄積を除去しながら成膜することができる。よって、パルスDCスパッタリング法で成膜することで、比較的絶縁性の高い酸化物または窒化物も成膜することができる。

[0313]

また、上記のスパッタリング法において、さらにRF電源4616から基板ホルダ4612に電力を印加する構成にしてもよい。つまり、基板4620にバイアス電位を印加することができる。なお、RF電源4616から電力を印加しない構成にすることもできる。この場合、RF電源4616を設

けない構成にすることもできる。

[0314]

また、基板ホルダ4612は、基板4620を加熱する機能を有することが好ましい。基板ホルダ4612は、基板4620の温度を、例えば、100℃以上400℃以下に加熱できることが好ましく、200℃以上300℃以下に加熱できることがより好ましい。

[0315]

なお、図5に示すように、成膜チャンバー4602は、壁面などにおいて、接地電位と電氣的に接続されていることが好ましい。

[0316]

また、図5に示すスパッタリング装置では、基板4620を成膜チャンバー4602の下側に配置し、ターゲット4610を成膜チャンバー4602の上側に配置する、フェースアップの配置になっているが、本発明はこれに限られるものではない。例えば、ターゲット4610を成膜チャンバー4602の下側に配置し、基板4620を成膜チャンバー4602の上側に配置する、フェースダウンの配置にしてもよい。

[0317]

<加熱装置>

次に、上記処理室に用いることができる加熱装置について説明する。熱処理に用いる加熱装置に特別な限定はなく、加熱装置に用いられる加熱機構は、例えば、抵抗発熱体などを用いて加熱する機構としてもよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する機構としてもよい。例えば、電気炉、またはLRTA装置、GRTA装置などのRTA装置を用いることができる。LRTAは、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する。GRTAは、高温のガスを用いて熱処理を行う。

[0318]

上記加熱機構による加熱処理の温度は例えば、100℃以上800℃以下、好ましくは250℃以上650℃以下、さらに好ましくは350℃以上550℃以下で行えばよい。代表的には400℃±25℃（375℃以上425℃以下）にすることが好ましい。また処理時間は、10時間以下、あるいは1分以上5時間以下、あるいは1分以上2時間以下、にすることができる。また、RTA装置を用いる場合には処理時間は例えば、1秒以上5分以下にすることができる。

[0319]

また、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを20%程度にすることができる。また、加熱処理は減圧状態で行ってもよい。または、窒素ガスもしくは不活性ガスの雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気加熱処理を行ってもよい。

[0320]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量を1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすることができる。高純度化されたガスを用いて加熱処理を行うことで、金属酸化物に水分等が取り込まれることを可能な限り防ぐことができる。

[0321]

例えば、上記加熱処理として、金属酸化物を成膜した後に、窒素ガスと酸素ガスの流量比を4 s l m : 1 s l mとして、350℃以上550℃以下の温度で1時間の処理を行う。当該加熱処理によって、金属酸化物に含まれる水、水素などの不純物を低減することができる。さらに、酸化物半導体層230の結晶性の向上を図ることができる。

[0322]

<マイクロ波処理装置>

マイクロ波処理装置とは、マイクロ波を用いて高密度プラズマを発生させる電源を有する装置のことを指し、マイクロ波処理とは、マイクロ波処理装置を用いた処理のことを指す。また、本明細書などにおいて、マイクロ波とは、300MHz以上300GHz以下の周波数を有する電磁波を指すものとする。

[0323]

マイクロ波処理装置の周波数は、300MHz以上300GHz以下が好ましく、2.4GHz以上2.5GHz以下がより好ましく、例えば、2.45GHzにすることができる。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、1000W以上10000W以下が好ましく、2000W以上5000W以下が好ましい。また、マイクロ波処理装置は基板側にRF等の高周波を印加する電源を有してもよい。また、基板側にRF等の高周波を印加することで、高密度プラズマによって生成された酸素イオンを、効率よく被処理物に導くことができる。

[0324]

また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力は、10Pa以上1000Pa以下が好ましく、300Pa以上700Pa以下がより好ましい。また、処理温度は、750℃以下が好ましく、500℃以下がより好ましく、例えば250℃程度とすることができる。また、マイクロ波処理を行った後に、外気に曝すことなく、連続して加熱処理を行ってもよい。加熱処理の温度は、例えば、100℃以上750℃以下が好ましく、300℃以上500℃以下がより好ましい。

[0325]

また、例えば、上記マイクロ波処理は、酸素ガスとアルゴンガスを用いて行うことができる。ここで、酸素流量比($O_2 / (O_2 + Ar)$)は、0%より大きく、100%以下とする。好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、0%より大きく、50%以下とする。より好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、10%以上、40%以下とする。さらに好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、10%以上、30%以下とする。このように、酸素を含む雰囲気でマイクロ波処理を行うことで、酸化物半導体層のキャリア濃度を低下させることができる。また、マイクロ波処理において、チャンバーに過剰な量の酸素が導入されないようにすることで、酸化物半導体層でキャリア濃度が過剰に低下することを防ぐことができる。

[0326]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを酸化物半導体層に作用させることができる。プラズマ、マイクロ波などの作用により、酸化物半導体層におけるV_oHを酸素欠損と水素とに分断し、不純物である水素を酸化物半導体層から除去することができる。このようにして、酸化物半導体層に含まれるV_oHを低減できる。また、このとき、酸素、または水素などに結合していた炭素も除去できる場

合がある。このように、マイクロ波処理を行うことで、炭素または水素などの不純物を低減することができる。また、酸化物半導体層で形成された酸素欠損に、上記酸素プラズマで発生した酸素ラジカルを供給することで、さらに、酸化物半導体層中の酸素欠損を低減させることができる。

[0327]

酸化物半導体層中に注入される酸素は、酸素原子、酸素分子、酸素イオン、及び酸素ラジカル（オラジカルともいう、不対電子をもつ原子、分子、またはイオン）など様々な形態がある。なお、酸化物半導体層中に注入される酸素は、上述の形態のいずれか一または複数にすることが好ましく、特に酸素ラジカルであると好適である。

[0328]

以上のようにして、酸化物半導体層230中の不純物を低減することができる。これにより、酸化物半導体層230中の不純物濃度が低減した状態で、結晶成長を行うことができるため、さらに結晶性の向上を図ることができる。

[0329]

本実施の形態は、他の実施の形態及び実施例と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0330]

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置について説明する。

[0331]

本発明の一態様の半導体装置は、第1の導電層、第2の導電層、第3の導電層、酸化物半導体層、第1の絶縁層、及び、第2の絶縁層を有する。

[0332]

第1の絶縁層は、第1の導電層上に位置し、第2の導電層は、第1の絶縁層上に位置する。第1の絶縁層及び第2の導電層は、第1の導電層に達する開口部を有する。酸化物半導体層は、開口部内で、少なくとも、第1の導電層の上面、第1の絶縁層の側面、及び、第2の導電層の側面と接する。第2の絶縁層は、開口部内で、酸化物半導体層上に位置する。第3の導電層は、開口部内で、第2の絶縁層を間に挟んで、酸化物半導体層と重なる。なお、開口部は開口ともいう。

[0333]

第1の導電層は、トランジスタのソース電極及びドレイン電極の一方として機能する。第2の導電層は、トランジスタのソース電極及びドレイン電極の他方として機能する。第3の導電層は、トランジスタのゲート電極として機能し、第2の絶縁層は、ゲート絶縁層として機能する。

[0334]

なお、本明細書等では、単に、「断面視において」と記すが、具体的には、「同一方向からの断面視において」と言い換えられることがある。例えば、複数の構成の関係を説明する場合には、同一方向からの断面視における関係を説明する。このとき、当該複数の構成の関係を、1つの断面図を用いて説明することができる。

[0335]

本発明の一態様のトランジスタは、ソース電極とドレイン電極とが、異なる高さに位置し、半導体層を流れる電流は、高さ方向に流れる。すなわち、チャンネル長方向が高さ方向（縦方向）の成分を有

するといえるため、本発明の一態様のトランジスタは、VFET(Vertical Field Effect Transistor)、縦型トランジスタ、縦型チャネルトランジスタ、縦チャネル型トランジスタなどとも呼ぶことができる。

[0336]

本発明の一態様のトランジスタは、ソース電極、半導体層、及びドレイン電極を、重ねて設けることができるため、半導体層を平面状に配置した、いわゆるプレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。

[0337]

なお、本明細書等において、「端部が一致」とは、平面視において、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重ならず、上層の輪郭が下層の輪郭より内側に位置すること、または、上層の輪郭が下層の輪郭より外側に位置することもあり、この場合も「端部が一致」という。

[0338]

なお、一般に、「完全一致」と「略一致」の差を明確に区分けするのは困難な場合がある。このため、本明細書等において「一致」とは、完全に一致している場合と、略一致している場合のいずれも含む場合がある。

[0339]

<半導体装置の構成例>

図12A乃至図19Cを用いて、本発明の一態様の半導体装置の構成を説明する。図12Aは、トランジスタ200を有する半導体装置の平面図である。図12Bは、図12Aに示す一点鎖線A1-A2間の断面図である。図12Cは、図12Aに示す一点鎖線A3-A4間の断面図である。図14Aは、絶縁層280を含む、XY平面における断面図である。なお、図12Aの平面図では、図の明瞭化のために一部の要素を省いている。以降の平面図においても、一部の要素を省略することがある。

[0340]

図12A乃至図12C、及び図14Aに示す半導体装置は、基板(図示せず)上の絶縁層210と、絶縁層210上のトランジスタ200と、絶縁層210上の絶縁層280と、トランジスタ200上の絶縁層283及び絶縁層285と、を有する。絶縁層210、絶縁層280、絶縁層283、及び絶縁層285は、層間膜として機能する。

[0341]

トランジスタ200は、導電層220と、絶縁層280上の導電層240と、酸化物半導体層230と、酸化物半導体層230上の絶縁層250と、絶縁層250上の導電層260と、を有する。導電層220と、導電層240は、異なる高さに位置する。

[0342]

トランジスタ200において、酸化物半導体層230は半導体層として機能し、導電層260はゲート電極として機能し、絶縁層250はゲート絶縁層として機能し、導電層220はソース電極及びドレイン電極の一方として機能し、導電層240はソース電極及びドレイン電極の他方として機能する。

[0343]

酸化物半導体層230の、導電層220及び導電層240と接する領域は、低抵抗領域として機能

することが好ましい。

[0344]

図12B及び図12Cに示すように、絶縁層280及び導電層240には、導電層220に達する開口部290が設けられている。また、開口部290と重なる凹部が導電層220に設けられている。開口部290と、導電層220の凹部とが、ひと続きの開口部を構成している。ひと続きの該開口部の底部が、導電層220の上面となる。

[0345]

開口部290の側壁は、絶縁層280の側面、及び導電層240の側面である。開口部290は、絶縁層280が有する開口部と、導電層240が有する開口部と、を含む。別言すると、絶縁層280が導電層220と重なる領域に有する開口部は、開口部290の一部であり、導電層240が導電層220と重なる領域に有する開口部は、開口部290の別の一部である。なお、開口部290のうち、絶縁層280に設けられる開口部290を開口部290a、導電層240に設けられる開口部290を開口部290bと表す。

[0346]

トランジスタ200の構成要素の少なくとも一部は、開口部290の内側に配置される。具体的には、酸化物半導体層230、絶縁層250、及び導電層260のそれぞれは、少なくとも一部が開口部290の内側に位置するように配置される。酸化物半導体層230は、開口部290内で、導電層220の上面、絶縁層280の側面、及び、導電層240の側面と接する。

[0347]

また、絶縁層280は、絶縁層280aと、絶縁層280a上の絶縁層280bと、絶縁層280b上の絶縁層280cとを有する。絶縁層280aは、絶縁層210の上面に接する領域と、導電層220の側面に接する領域と、導電層220の上面に接する領域と、を有する。絶縁層280cは、導電層240の下面に接する領域を有する。

[0348]

酸化物半導体層230は、絶縁層280が有する開口部290の内側に設けられる。また、トランジスタ200は、ソース電極及びドレイン電極の一方（ここでは導電層220）が下方に位置し、ソース電極及びドレイン電極の他方（ここでは導電層240）が上方に位置することから、電流が上下方向に流れる構成を有する。つまり、開口部290aの側壁に沿って、チャネルが形成される。

[0349]

酸化物半導体層230は、開口部290の内部において導電層220の上面と、導電層240の側面と、に接する。酸化物半導体層230は、さらに、導電層240の上面の一部とも接する。このように、酸化物半導体層230が導電層240の側面だけでなく上面にも接することで、例えば酸化物半導体層230が導電層240の側面と接するが上面とは接しない場合と比較して、酸化物半導体層230と導電層240とが接する面積を大きくすることができる。したがって、酸化物半導体層230と導電層240との間の接触抵抗を小さくすることができる。

[0350]

導電層240は、導電層220と重なる領域に開口部290bを有する。また、導電層240は、絶縁層280が有する開口部290aの内部に設けないことが好ましい。つまり、導電層240は、開口部290aにおける絶縁層280の側面と接する領域を有さないことが好ましい。このような構成にすることで、導電層240が有する開口部290b、及び絶縁層280が有する開口部290a

を、一括で形成することができる。また、開口部 290b における導電層 240 の側面と開口部 290a における絶縁層 280 の側面とが一致するまたは略一致する構成とすることで、開口部 290 の内部に設ける酸化物半導体層 230 の膜厚分布を均一にすることができる。また、酸化物半導体層 230 が導電層 240 と絶縁層 280 の段差により分断されることを抑制できる。

[0351]

図 14A は図 12A に示す一点鎖線 A1-A2 間の断面図であり、図 12B の変形例である。また図 14B は、図 12A に示す一点鎖線 A3-A4 間の断面図であり、図 12C の変形例である。図 14A 及び図 14B に示す導電層 240 は、導電層 240a と、導電層 240a 上の導電層 240b との積層構造を有する。なお、導電層 240 は単層であってもよく、3 層以上の積層構造を有してもよい。導電層 240a 及び導電層 240b の詳細は後述する。なお、図 14A 及び図 14B、及び以降の図面では絶縁層 283 及び絶縁層 285 の記載を省く場合があるが、トランジスタ 200 上には、絶縁層 283 及び絶縁層 285 が設けられることが好ましい。

[0352]

また、図 14A 及び図 14B に示す導電層 260 は、導電層 260a と、導電層 260a 上の導電層 260b との積層構造を有する。導電層 260a は、被覆性の高い成膜方法を用いて形成することが好ましい。さらに、導電層 260a の膜厚を薄くすることにより、開口部 290 の側壁への被覆性をさらに高めることができる。導電層 260b は、導電層 260b よりも膜厚を厚くすることができる。導電層の膜厚を厚くすることにより、導電層の抵抗を低くすることができる。なお、導電層 240 は単層であってもよく、3 層以上の積層構造を有してもよい。導電層 260a 及び導電層 260b の詳細は後述する。

[0353]

開口部 290 の幅を、幅 D とする。幅 D は、深さ方向で変化する場合がある。例えば、絶縁層 280 の開口部 290 の上端の幅とすることができる。あるいは、下端の幅とすることができる。あるいは、絶縁層 280 における開口部 290 の深さの半分における幅とすることができる。あるいは、導電層 240 における開口部 290 の幅を用いることができる。

[0354]

酸化物半導体層 230 及び絶縁層 250 の、開口部 290 の内側に配置される部分は、開口部 290 の形状を反映して設けられる。具体的には、開口部 290 の底部及び側壁を覆うように酸化物半導体層 230 が設けられ、酸化物半導体層 230 を覆うように絶縁層 250 が設けられる。酸化物半導体層 230 は、開口部 290a における絶縁層 280 の側壁と接するように設けられることが好ましい。また、絶縁層 250 は、酸化物半導体層 230 を間に挟んで、開口部 290a における絶縁層 280 の側壁に面して配置される。

[0355]

導電層 260 は、開口部 290 の形状を反映した絶縁層 250 の凹部を埋め込むように設けられる。幅 D を小さくすることによりトランジスタ 200 の微細化が可能となる一方、幅 D を小さくすると、開口部 290 のアスペクト比が高い場合には、開口部の内側に配置される構成要素の形成方法または厚さ等によっては、導電層 260 の積層構造のうち、一部の層のみが開口部 290 の内側に配置される場合がある。ここでは、導電層 260a が開口部 290 の内側に配置され、導電層 260b が、開口部 290 内に配置されない例を示す。導電層 260a は、被覆性の高い方法を用いて形成されることが好ましい。

[0356]

開口部290の側壁は、導電層220の上面に対する角度が垂直、あるいは垂直に近いことが好ましい。開口部290をこのような形状とすることにより、トランジスタ200の占有面積を小さくすることができる。よって、半導体装置の微細化を行うことができる。

[0357]

開口部290の内部に設ける膜は、ALD法、スパッタリング法、CVD法、真空蒸着法、PLD法等を用いて形成することができる。

[0358]

また、図15Bに示す構成は、図12Bと比較して、開口部290の側壁がテーパ形状を有する例を示す。導電層220の上面（あるいは絶縁層210の上面）と、開口部290の絶縁層280の側壁とのなす角度 $\theta 280$ は、90度、または90度の近傍の角度であることが好ましい。例えば、角度 $\theta 280$ が、75度以上90度以下であることが好ましい。

[0359]

また、角度 $\theta 280$ は、75度未満、70度未満、65度未満、または60度未満となる場合もある。開口部290の側壁をテーパ形状にすることで、酸化物半導体層230及び絶縁層250を被覆性良く成膜することができる。

[0360]

なお、開口部290の側壁がテーパ形状である場合には特に、開口部290の側壁への被覆性を高めることができる。よって、図15Cに示す構成のように、膜厚の薄い導電層260aのみでなく、膜厚の厚い導電層260bも、開口部290内に設けられる場合がある。

[0361]

また開口部290は、上端においてのみ、テーパ形状を有してもよい。そのような場合には例えば、テーパ形状を有する領域の側壁の少なくとも一部が導電層260bに覆われる構成とすることもできる。また、開口部290は、テーパ形状を有する該領域よりも深い領域で、側壁が上端よりも急峻である領域を有することが好ましい。開口部290がこのような形状を有することにより例えば、テーパ領域においては、導電層240との接触面積が増大するため、酸化物半導体層230と導電層240との接触抵抗を低減することができる。また、絶縁層280の一部がテーパ形状を有すると例えば、該領域が導電層240と導電層260との間の電界の緩和領域として機能する場合がある。

[0362]

絶縁層250は、開口部290の側壁への被覆性が良く、かつ、導電層240と導電層260との間のショートを抑制できる構成であることが好ましい。

[0363]

絶縁層250はトランジスタ200のゲート絶縁層として機能する。ゲート絶縁層を薄くすることにより、トランジスタ200の動作時に印加するゲート電位の低減が可能となる。また、トランジスタ200を高速で動作させることが可能となる。

[0364]

図12B及び図12Cでは、開口部290の外側において、酸化物半導体層230の端部と、導電層240の端部が一致する例を示している。なお、本発明はこれに限られるものではない。例えば、図16A及び図16Bに示す半導体装置は、酸化物半導体層230の端部が、導電層240の端部よりも外側に位置する構成を有する点で、図12A及び図12Bと異なる。酸化物半導体層230の端

部を導電層 240 の端部よりも外側とし、酸化物半導体層 230 が導電層 240 の端部を覆うことにより、導電層 240 と導電層 260 との間の耐圧をさらに高め、導電層 240 と導電層 260 の間に位置する絶縁層 250 のリーク電流をさらに低減できる場合がある。また、図 17A 及び図 17B に示すように、酸化物半導体層 230 の端部が、導電層 240 の端部の内側に位置してもよい。

[0365]

<OS トランジスタ>

トランジスタ 200 は、チャネル形成領域を含む酸化物半導体層 230 に、半導体として機能する金属酸化物（酸化物半導体ともいう）を有する。つまり、トランジスタ 200 は、OS トランジスタといえる。

[0366]

酸化物半導体層 230 として、先の実施の形態に示す酸化物半導体層 230 を適用することができる。先の実施の形態に示す酸化物半導体層 230 は、酸化物半導体層 230a と、酸化物半導体層 230b と、酸化物半導体層 230c を積層することにより、形成することができる。図 13 には、図 12B に示す断面図の一部を拡大して示し、酸化物半導体層 230a、酸化物半導体層 230b、酸化物半導体層 230c を示す。なお、他の図面では、図の明瞭化のため、酸化物半導体層 230a、酸化物半導体層 230b、及び酸化物半導体層 230c を省略する場合がある。酸化物半導体層 230a は、導電層 220 の上面と、導電層 220 の凹部の側面と、絶縁層 280 の開口部 290a の側面と、導電層 240 の開口部 290b の側面と、導電層 240 の上面と、に接する。また、酸化物半導体層 230b は、酸化物半導体層 230a 上に設けられる。酸化物半導体層 230c は、酸化物半導体層 230b を間に挟んで、導電層 220 の上面、導電層 220 の凹部の側面、絶縁層 280 の開口部 290a の側面、導電層 240 の開口部 290b の側面、及び導電層 240 の上面を覆う。絶縁層 250 は、酸化物半導体層 230c に接して設けられる。導電層 260 は、絶縁層 250 を間に挟んで、酸化物半導体層 230c を覆う。

[0367]

酸化物半導体層 230 は、絶縁層 280 の開口部 290a の側面に接する領域などにおいて、導電層 220 の上面（あるいは絶縁層 210 の上面）となす角が角度 $\theta 280$ における側面に沿って設けられる。よって例えば、酸化物半導体層 230 が有する CAAC 構造の c 軸の方向は例えば、角度 $\theta 280$ の略垂直な方向となる。

[0368]

OS トランジスタは、酸化物半導体中のチャネル形成領域に酸素欠損 (V_o) 及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、 V_oH を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、OS トランジスタはノーマリーオン特性となりやすい。したがって、酸化物半導体中のチャネル形成領域では、酸素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネル形成領域は、キャリア濃度が低減され、i 型化（真性化）または実質的に i 型化されていることが好ましい。

[0369]

一方、OS トランジスタのソース領域及びドレイン領域は、チャネル形成領域よりも、酸素欠損が多い、 V_oH が多い、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域であることが好ましい。すなわち、OS トランジスタのソース領域及びド

レイン領域は、チャネル形成領域と比較して、キャリア濃度が高く、低抵抗なn型の領域であることが好ましい。

[0370]

酸化物半導体層230の、絶縁層280と接する領域とその近傍は、トランジスタ200のチャネル形成領域として機能する。酸化物半導体層230の導電層220と接する領域、及び、酸化物半導体層230の導電層240と接する領域は、一方が、ソース領域として機能し、他方がドレイン領域として機能する。つまり、チャネル形成領域は、ソース領域とドレイン領域との間に挟まれている。

[0371]

酸化物半導体層230と導電層220とが接することで、金属化合物、または酸素欠損が形成され、酸化物半導体層230の導電層220と接する領域が低抵抗化する。これにより、酸化物半導体層230と導電層220との接触抵抗を低減できる。同様に、酸化物半導体層230と導電層240とが接することで、酸化物半導体層230の導電層240と接する領域が低抵抗化する。これにより、酸化物半導体層230と導電層240との接触抵抗を低減できる。

[0372]

図15Aに示すように、絶縁層280は酸化物半導体層230の外周全体に接する。よって、トランジスタ200のチャネル形成領域は、開口部290内における酸化物半導体層230の外周全体（絶縁層280と接する領域全体）に形成されうる。なお、図15Aは、酸化物半導体層230のチャネル形成領域を含む、XY平面における断面図ともいえる。

[0373]

トランジスタ200のチャネル長は、ソース領域とドレイン領域の間の距離となる。つまり、トランジスタ200のチャネル長は、導電層220上の絶縁層280の厚さによって決定される、ということができる。図12Cでは、トランジスタ200のチャネル長Lを破線の両矢印で示している。チャネル長Lは、断面視において、酸化物半導体層230と導電層220が接する領域の端部と、酸化物半導体層230と導電層240が接する領域の端部との距離となる。つまり、チャネル長Lは、断面視における絶縁層280の開口部290側の側面の長さに相当する。

[0374]

プレーナ型のトランジスタでは、チャネル長がリソグラフィの露光限界で制限されており、さらなる微細化は困難であった。本発明の一態様の半導体装置が有するトランジスタにおいては、絶縁層280の膜厚でチャネル長を設定することができる。よって、トランジスタ200のチャネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、または10nm以下であって、0.1nm以上、1nm以上、または5nm以上）にすることができる。これにより、トランジスタ200のオン電流が大きくなり、周波数特性の向上を図ることができる。

[0375]

また、本発明の一態様の半導体装置が有するトランジスタのチャネル長は、導電層220上の絶縁層280の厚さによって決定されることから例えば、チャネル長を60nm以上と長くする場合においても、トランジスタの占有面積、具体的には例えば上面から見たトランジスタの面積は、開口部290の幅に応じて大よそ決定される。後述するように、開口部290の幅Dは、例えば、5nm以上、10nm以上、または20nm以上であって、100nm以下、60nm以下、50nm以下、40nm以下、または30nm以下が好ましい。一例として、チャネル長を150nmとする場合におい

ても、開口部 290 の幅を 150 nm より狭くすることもできる。すなわち、チャネル長よりも開口部の幅の狭いトランジスタとすることができ、トランジスタの占有面積を低減し、半導体装置を高集積化することができる。

[0376]

なお、トランジスタのチャネル長を例えば 1 μ m 以下、500 nm 以下、または 300 nm 以下とすることにより、絶縁層 280 の形成、絶縁層 280 への 290 の形成などにおいて生産性、及び歩留まりなどを高めることができる。

[0377]

よって、本発明の一態様の半導体装置が有するトランジスタのチャネル長は、0.1 nm 以上、1 nm 以上、または 5 nm 以上が好ましく、1 μ m 以下、500 nm 以下、または 300 nm 以下が好ましい。

[0378]

さらに、上記のように、開口部 290 に、チャネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャネル形成領域、ソース領域、及びドレイン領域が、XY 平面上に別々に設けられる、プレーナ型のトランジスタと比較して、トランジスタ 200 は、占有面積を低減できる。したがって、半導体装置を高集積化することができる。また、本発明の一態様の半導体装置を記憶装置に用いる場合、単位面積当たりの記憶容量を大きくすることができる。

[0379]

また、図 15A に示すように、酸化物半導体層 230、絶縁層 250、及び導電層 260 は、同心円状に設けられる。よって、中心に設けられた導電層 260 の側面は、絶縁層 250 を介して、酸化物半導体層 230 の側面と対向する。つまり、平面視において、酸化物半導体層 230 の周全体がチャネル形成領域になる。このとき、例えば、酸化物半導体層 230 の外周の長さによって、トランジスタ 200 のチャネル幅が決まる。つまり、トランジスタ 200 のチャネル幅は、開口部 290 の幅（平面視において開口部 290 が円形である場合は径）の大きさによって決定される、ということができる。図 12C 及び図 15A では、開口部 290 の幅 D を二点鎖線の両矢印で示している。図 15A では、トランジスタ 200 のチャネル幅 W を一点鎖線の両矢印で示している。開口部 290 の幅 D の大きさを大きくすることで、単位面積当たりのチャネル幅を大きくし、オン電流を大きくすることができる。

[0380]

フォトリソグラフィ法を用いて開口部 290 を形成する場合、開口部 290 の幅 D はフォトリソグラフィの露光限界で制限される。また、開口部 290 の幅 D は、開口部 290 に設ける、酸化物半導体層 230、絶縁層 250、及び導電層 260 それぞれの膜厚によって設定される。開口部 290 の幅 D は、例えば、5 nm 以上、10 nm 以上、または 20 nm 以上であって、100 nm 以下、60 nm 以下、50 nm 以下、40 nm 以下、または 30 nm 以下が好ましい。なお、平面視において開口部 290 が円形である場合、開口部 290 の幅 D は開口部 290 の直径に相当し、チャネル幅 W は“ $D \times \pi$ ”と算出することができる。

[0381]

また、トランジスタ 200 のチャネル長 L は、少なくともトランジスタ 200 のチャネル幅 W よりも小さいことが好ましい。トランジスタ 200 のチャネル長 L は、トランジスタ 200 のチャネル幅 W に対し、0.1 倍以上 0.99 倍以下が好ましく、0.5 倍以上 0.8 倍以下がより好ましい。こ

のような構成にすることで、良好な電気特性及び高い信頼性を有するトランジスタを実現できる。

[0382]

また、平面視で円形になるように開口部290を形成することで、酸化物半導体層230、絶縁層250、及び導電層260は、同心円状に設けられる。これにより、導電層260と酸化物半導体層230の距離が略均一になるため、酸化物半導体層230にゲート電界を略均一に印加することができる。

[0383]

なお、本実施の形態では、平面視において開口部290が円形である例について示したが、本発明はこれに限られるものではない。例えば、平面視において開口部290は、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状であってもよい。

[0384]

図18Aには、図12Bに示す断面において、一部を拡大して示す。図18Aに示すように、導電層220に、開口部290と重なる凹部が形成され、当該凹部を埋め込むように、酸化物半導体層230、絶縁層250、及び導電層260の少なくとも一部が形成されている。このような構成とすることで、酸化物半導体層230の導電層220近傍まで、導電層260のゲート電界を印加しやすくなることができる。導電層220が有する凹部は例えば、開口部290が形成される際のオーバーエッチングにより形成される。

[0385]

図18Aでは、開口部290と、導電層220の凹部とが、ひと続きの開口部を構成している。このような場合には例えば、ひと続きの該開口部の底部が、導電層220の上面となる。

[0386]

図18Bには、導電層220が導電層220a、導電層220a上の導電層220b、導電層220b上の導電層220cの3層積層構造を有する例を示す。導電層220が有する凹部の底面は、導電層220bの上面に相当し、当該凹部の側面が導電層220cの開口部290側の側面に相当する。ここで、絶縁層210の上面から導電層220cの絶縁層280と接する上面までの最短距離は、絶縁層210の上面から絶縁層250の上面までの最短距離よりも長いことが好ましい。これにより、導電層220cの側面と酸化物半導体層230との接触抵抗を低くすることができる。よって、トランジスタ200のオン電流の低下を抑制することができる。

[0387]

また、図18Cは図18Bの変形例である。図18Cでは、導電層220が有する凹部の底面は、導電層220bの上面よりも上方に位置する。図18Cに示すように、酸化物半導体層230は、必ずしも導電層220aまたは導電層220bと接していなくてもよい。

[0388]

なお、導電層220に凹部が設けられない場合もある。

[0389]

導電層220が酸化物半導体層230の側面と接することにより、導電層220と酸化物半導体層230との接触面積を大きくすることができ、接触抵抗を低減することができる。

[0390]

また、導電層220と導電層260とが互いに重畳する領域を有することにより例えば、酸化物半導体層230のチャネル形成領域にゲート電界がかかりやすくなり、トランジスタの電気特性を良好

にすることができる。さらに、酸化物半導体層 230 の導電層 220 と接する領域にもゲート電界がかかりやすくなるため、例えば、トランジスタのオン電流を高めることができる。

[0391]

<半導体装置の変形例>

図 19A 乃至図 19C に示す半導体装置は、絶縁層 250 上に絶縁層 283 及び絶縁層 285 が設けられ、絶縁層 285 は開口部 270 を有し、開口部 270 内に導電層 260 が設けられる。図 19A は、トランジスタ 200 を有する半導体装置の平面図である。図 19B は、図 19A に示す一点鎖線 A1-A2 間の断面図である。図 19C は、図 19A に示す一点鎖線 A3-A4 間の断面図である。

[0392]

図 19B 及び図 19C に示す半導体装置では、開口部 270 は平面視において、開口部 290 と重なる。また、導電層 260 は、絶縁層 285 に設けられる開口部 270 内に位置する領域と、絶縁層 285 の上面と接する領域と、を有する。また、絶縁層 283 は、絶縁層 250 及び酸化物半導体層 230 を間に挟んで導電層 240 の上面と重なる領域と、開口部 270 の側面と導電層 260 の側面に挟まれる領域と、を有する。導電層 240 と導電層 260 は、絶縁層 285 を間に挟んで互いに重なる。

[0393]

図 19B 及び図 19C に示す半導体装置では、導電層 240 と導電層 260 との間に絶縁層 283 及び絶縁層 285 が設けられているため、絶縁層 285 を厚くすることにより、導電層 240 と導電層 260 との間の寄生容量を小さくすることができる。

[0394]

図 20A 乃至図 20C に示す半導体装置は、絶縁層 250 上の絶縁層 283 及び絶縁層 285 を有する。絶縁層 285 は開口部 270 を有し、開口部 270 内に、導電層 260a が設けられる。図 20A は、トランジスタ 200 を有する半導体装置の平面図である。図 20B は、図 20A に示す一点鎖線 A1-A2 間の断面図である。図 20C は、図 20A に示す一点鎖線 A3-A4 間の断面図である。

[0395]

図 20B 及び図 20C に示す半導体装置では、開口部 270 は平面視において、開口部 290 と重なる。また、導電層 260a は、絶縁層 285 に設けられる開口部 270 内に位置する領域を有する。また、絶縁層 283 は、酸化物半導体層 230 を間に挟んで導電層 240 の上面と重なる領域と、開口部 270 の側面と導電層 260a の側面に挟まれる領域と、を有する。導電層 260a の上面の高さと絶縁層 285 の上面の高さは揃っている、または略揃っていることが好ましい。導電層 260b は、導電層 260a 上、絶縁層 285 上、及び絶縁層 283 上に設けられている。導電層 240 と導電層 260b は、絶縁層 285 を間に挟んで互いに重なる。また、導電層 260a は平面視において、開口部 270 より外側の領域には設けられない。

[0396]

図 20B 及び図 20C に示す半導体装置では、導電層 240 と導電層 260b との間に絶縁層 283 及び絶縁層 285 が設けられているため、絶縁層 285 を厚くすることにより、導電層 240 と導電層 260b との間の寄生容量を小さくすることができる。また、導電層 260a は平面視において、開口部 270 より外側の領域には設けられないため、導電層 240 と重なる面積が小さい。よって、導電層 260a と導電層 240 との間の寄生容量を小さくすることができる。

[0397]

<半導体装置の構成材料>

以下では、本実施の形態の半導体装置に用いることができる材料について説明する。なお、本実施の形態の半導体装置を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0398]

[絶縁層]

半導体装置が有する絶縁層（絶縁層210、絶縁層250、絶縁層280、絶縁層283、絶縁層285など）には、それぞれ、無機絶縁膜を用いることが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。酸化絶縁膜としては、例えば、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、酸化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、酸化ハフニウム膜、酸化タンタル膜、酸化セリウム膜、ガリウム亜鉛酸化物膜、及び、ハフニウムアルミネート膜が挙げられる。窒化絶縁膜としては、例えば、窒化シリコン膜、及び窒化アルミニウム膜が挙げられる。酸化窒化絶縁膜としては、例えば、酸化窒化シリコン膜、酸化窒化アルミニウム膜、酸化窒化ガリウム膜、酸化窒化イットリウム膜、及び、酸化窒化ハフニウム膜が挙げられる。窒化酸化絶縁膜としては、例えば、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜が挙げられる。また、半導体装置が有する絶縁層には、有機絶縁膜を用いてもよい。

[0399]

また、金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁層で囲むことによって、トランジスタの電気特性を安定にすることができる。不純物及び酸素の透過を抑制する機能を有する絶縁層としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及び、タンタルから選ばれた一以上を含む絶縁層を、単層で、または積層で用いることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁層の材料として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0400]

具体的には、水及び水素などの不純物と、酸素と、に対するバリア絶縁層を用いることが好ましい。

[0401]

なお、本明細書等において、バリア絶縁層とは、バリア性を有する絶縁層のことを指す。また、バリア性とは、対応する物質が拡散し難い性質、対応する物質が透過し難い性質、対応する物質の透過性が低い性質、対応する物質の拡散を抑制する機能、または、対応する物質の透過を抑制する機能とする。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及びOH⁻などの水素と結合した物質などの少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャネル形成領域または半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N₂O、NO、NO₂など）、銅原子などの少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、酸素分子などの少なくとも一を指す。

[0402]

水及び水素などの不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また例えば、窒化アルミニウム、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

[0403]

また、ゲート絶縁層などの、酸化物半導体層と接する絶縁層、または酸化物半導体層の近傍に設ける絶縁層は、加熱により脱離する酸素（以下、過剰酸素と呼ぶことがある）を含む領域を有する絶縁層であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁層が、酸化物半導体層と接する、または酸化物半導体層の近傍に位置することで、酸化物半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁層として、酸化シリコン、酸化窒化シリコン、または空孔を有する酸化シリコンなどが挙げられる。

[0404]

また例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁層の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁層に、比誘電率が高い（high-k）材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁層の等価酸化膜厚（EOT: Equivalent Oxide Thickness）の薄膜化が可能となる。また、比誘電率が高い材料を容量素子の誘電層として用いることにより、より大きな容量値を有する素子とすることができる。一方、層間膜として機能する絶縁層には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁層の機能に応じて、材料を選択することが好ましい。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

[0405]

比誘電率が高い材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物などが挙げられる。

[0406]

比誘電率が低い材料としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、及びアクリル樹脂などの樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコンなどが挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。

[0407]

また例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコンなどの無機絶縁材料は、ゲート絶縁層などの比誘電率が高い材料が好適に用いられる層と、層間膜などの比誘電率が低い材料が好適に用いられる層と、のいずれにも適用することができる。これらの材料は例えば、酸化ハフニウムなどのhigh-k材料と比較すると相対的に比誘電率が低いため、本明細書等では、比誘電率が

低い材料、と表現する場合がある。

[0408]

また、半導体装置が有する絶縁層に、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、 HfZrO_x (Xは0よりも大きい実数とする)などの金属酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素J1 (ここでの元素J1は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数)を添加した材料が挙げられる。ここで、ハフニウムの原子数と元素J1の原子数の比は適宜設定することができ、例えば、ハフニウムの原子数と元素J1の原子数の比を1:1またはその近傍にすることができる。また、強誘電性を有しうる材料としては、酸化ジルコニウムに元素J2 (ここでの元素J2は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数)を添加した材料、などが挙げられる。また、ジルコニウムの原子数と元素J2の原子数の比は適宜設定することができ、例えば、ジルコニウムの原子数と元素J2の原子数の比を1:1またはその近傍にすることができる。また、強誘電性を有しうる材料として、チタン酸鉛 (PbTiO_x)、チタン酸バリウムストロンチウム (BST)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛 (PZT)、タンタル酸ビスマス酸ストロンチウム (SBT)、ビスマスフェライト (BFO)、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0409]

また、強誘電性を有しうる材料としては、元素M1と、元素M2と、窒素と、を有する金属窒化物が挙げられる。ここで、元素M1は、アルミニウム、ガリウム、インジウムなどから選ばれた一つまたは複数である。また、元素M2は、ホウ素、スカンジウム、イットリウム、ランタン、セリウム、ネオジム、ユーロピウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロムなどから選ばれた一つまたは複数である。なお、元素M1の原子数と元素M2の原子数の比は適宜設定することができる。また、元素M1と、窒素と、を有する金属酸化物は、元素M2を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料としては、上記金属窒化物に元素M3が添加された材料が挙げられる。なお、元素M3は、マグネシウム、カルシウム、ストロンチウム、亜鉛、カドミウムなどから選ばれた一つまたは複数である。ここで、元素M1の原子数、元素M2の原子数、及び元素M3の原子数の比は適宜設定することができる。

[0410]

また、強誘電性を有しうる材料としては、 SrTaO_2N 、 BaTaO_2N などのペロブスカイト型酸窒化物、 κ アルミナ型構造の GaFeO_3 などが挙げられる。

[0411]

なお、強誘電性を有しうる材料として上記で説明した記載においては、金属酸化物、及び金属窒化物について例示したがこれに限定されない。例えば、上述の金属酸化物に窒素が添加された金属酸窒化物、または上述の金属窒化物に酸素が添加された金属窒酸化物などを用いてもよい。

[0412]

また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物または化合物を用いることができる。または、絶縁層を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、上記に列挙した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造 (特性) が変わり得る可能性があるため、本

明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有しうる材料とも呼んでいる。

[0413]

ハフニウム及びジルコニウム的一方または両方を含む金属酸化物は、数 nm といった薄膜であっても強誘電性を有しうることができる。また、ハフニウム及びジルコニウム的一方または両方を含む金属酸化物は、微小な面積でも強誘電性を有しうることができる。したがって、ハフニウム及びジルコニウム的一方または両方を含む金属酸化物を用いることで、半導体装置の微細化を図ることができる。

[0414]

なお、本明細書等において、強誘電性を有しうる材料を層状にしたものを指して、強誘電体層と呼ぶ場合がある。また、このような、強誘電体層、金属酸化物膜、または金属窒化物膜を有する装置を、本明細書等において、強誘電体デバイスと呼ぶ場合がある。

[0415]

なお、強誘電性は、外部電場により強誘電体層に含まれる結晶の酸素または窒素が変位することで、発現するとされている。また、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存すると推定される。よって、絶縁層が強誘電性を発現するには、絶縁層は結晶を含む必要がある。特に絶縁層は、直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現するため好ましい。なお、絶縁層に含まれる結晶の結晶構造としては、立方晶系、正方晶系、直方晶系、単斜晶系、及び六方晶系の中から選ばれるいずれか一または複数であってもよい。また、絶縁層は、アモルファス構造を有していてもよい。このとき、絶縁層は、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

[0416]

絶縁層 250 は、トランジスタ 200 のゲート絶縁層として機能する。絶縁層 250 として、比誘電率が高い材料を用いることが好ましい。

[0417]

また絶縁層 250 は、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、酸化半導体層 230 の水素濃度（特に、トランジスタのチャネル形成領域中の水素濃度）を低減できる。よって、チャネル形成領域中の V_{th} を低減し、チャネル形成領域を n 型または実質的に n 型とすることができる。

[0418]

水素を捕獲するまたは固着する機能を有する絶縁層の材料としては、ハフニウムを含む酸化物、アルミニウムを含む酸化物、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、マグネシウムを含む酸化物等の金属酸化物が挙げられる。また、これらの金属酸化物は、さらにジルコニウムを含んでいてもよく、例えば、ハフニウム及びジルコニウムを含む酸化物等が挙げられる。ここで、アモルファス構造を有する金属酸化物では、一部の酸素原子がダングリングボンドを有するため、水素を捕獲するまたは固着する能力が高い。したがって、これらの金属酸化物は、アモルファス構造を有することが好ましい。例えば、これらの酸化物にシリコンを含むことで、アモルファス構造を実現してもよい。例えば、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）を用いることが好ましい。なお、金属酸化物は、一部に結晶領域、及び、結晶粒界の一方または双方を有する場合がある。

[0419]

なお、対応する物質を捕獲するまたは固着する機能は、対応する物質が拡散し難い性質を有すると

もいえる。よって、対応する物質を捕獲するまたは固着する機能を、バリア性と言い換えることができる。

[0420]

絶縁層250が積層構造である場合、いずれかの層（以降、絶縁層250の第1の絶縁層と呼ぶ）に水素を捕獲及び水素を固着する機能を有する層を用いることが好ましい。また、絶縁層250が2層の積層構造である場合には酸化物半導体層230と接する層として、3層以上の積層構造である場合には、酸化物半導体層230に近い層として水素を捕獲及び水素を固着する機能を有する層を用いることにより、酸化物半導体層230に含まれる水素を、より効果的に捕獲させるまたは固着させることができる。よって、酸化物半導体層230中の水素濃度を低減できる。

[0421]

また、絶縁層250は第1の絶縁層に加えて、第2の絶縁層として、水素に対するバリア絶縁層を用いることが好ましい。水素に対するバリア絶縁層の材料としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、窒化シリコン、または窒化酸化シリコン等が挙げられる。

[0422]

絶縁層250は第1の絶縁層として、例えば、ハフニウムシリケートなどを用いるとよい。また、絶縁層250は第1の絶縁層は、アモルファス構造を有することが好ましい。アモルファス構造にすることで、結晶粒界の形成を抑制することができる。結晶粒界の形成が抑制されることで、絶縁層の平坦性を高めることができる。これにより絶縁層の膜厚分布が均一化されて、膜厚が極端に薄い部分を低減することができるため、絶縁層の耐圧を向上させることができる。また、絶縁層上に設ける膜の膜厚分布を均一化することができる。

[0423]

また、絶縁層の結晶粒界の形成を抑制することで、結晶粒界の欠陥準位に起因するリーク電流を低減することができる。よって、絶縁層をリーク電流の少ない絶縁膜として機能させることができる。

[0424]

また、酸化ハフニウムは比誘電率が高い材料であるため、ハフニウムシリケートは、シリコンの含有量によっては、比誘電率が高い材料となる。したがって、ゲート絶縁層として用いる場合、ゲート絶縁層の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁層の等価酸化膜厚（EOT）の薄膜化が可能となる。

[0425]

以上より、絶縁層250の第1の絶縁層として、アルミニウム及びハフニウムの一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウムの一方または双方を含む酸化物を用いることがより好ましく、アモルファス構造を有する酸化アルミニウムを用いることがさらに好ましい。

[0426]

また、絶縁層250の第2の絶縁層に、水素に対するバリア絶縁層を用いることで、導電層260に含まれる不純物の、酸化物半導体層230への拡散を抑制できる。窒化シリコンは水素に対するバリア性が高いため、絶縁層250として好適である。ここで第2の絶縁層は、第1の絶縁層の上層であることが好ましい。

[0427]

このような構成にすることで、良好な電気特性を有する半導体装置を提供できる。また、信頼性が

高い半導体装置を提供できる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。また、オン電流が大きい半導体装置を提供できる。

[0428]

さらに、絶縁層250は、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な構造の絶縁層を有していてもよい。

[0429]

また、絶縁層250は酸化物半導体層230に酸素を供給できる層を有することが好ましい。酸素を供給できる層として酸化物を用いることができる。絶縁層250が酸化シリコンまたは酸化窒化シリコンを有することにより、絶縁層250から酸化物半導体層230へ酸素を好適に供給することができる。

[0430]

また、絶縁層250は、一对の、水素を捕獲及び水素を固着する機能を有する絶縁層の間に、熱に対し安定な構造の絶縁層を有していてもよい。

[0431]

また、絶縁層250は、酸素に対するバリア絶縁層を有することが好ましい。これにより、導電層240及び導電層260などの酸化を抑制できる。絶縁層250が積層構造である場合、導電層240と接する層、及び、導電層260と接する層が、それぞれ、酸素に対するバリア絶縁層であることが好ましい。

[0432]

絶縁層250における導電層240と接する層は、少なくとも絶縁層280よりも酸素を透過しにくいことが好ましい。当該層が酸素に対するバリア性を有することで、導電層240の側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタ200のオン電流の低下、または電界効果移動度の低下を起こすことを抑制できる。

[0433]

例えば、前述の第2の絶縁層に、水素及び酸素に対するバリア絶縁層を用いることで、導電層260の酸化を抑制できる。また、酸化物半導体層230に含まれる酸素が導電層260に拡散し、酸化物半導体層230に酸素欠損が形成されることを抑制できる。

[0434]

酸素に対するバリア絶縁層としては、例えば、ハフニウムを含む酸化物、アルミニウムを含む酸化物、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンが挙げられる。また、アルミニウム及びハフニウムの一方または双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、並びに、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）が挙げられる。

[0435]

ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）は、酸素に対するバリア絶縁層として機能することに加えて、先に述べたように、アモルファス構造を実現しやすく水素を捕獲するまたは固着する機能をも合わせ持つ、優れた絶縁層である。

[0436]

また、窒化シリコンは、酸素に対するバリア絶縁層として機能することに加えて、先に述べたよう

に、水素に対する高いバリア性をも合わせ持つ、優れた絶縁層である。

[0437]

絶縁層250として、酸化物半導体層230側から、水素を捕獲するまたは固着する機能を有する第1の絶縁層、水素及び酸素に対するバリア性を有する第2の絶縁層の順で積層された2層構造を用いることが好ましい。

[0438]

一例として、第1の絶縁層として、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることができ、第2の絶縁層として、窒化シリコンを用いることができる。

[0439]

また、絶縁層250として、酸化物半導体層230側から、比誘電率が相対的に低い材料を有する第3の絶縁層、水素を捕獲するまたは固着する機能を有する第1の絶縁層、水素及び酸素に対するバリア性を有する第2の絶縁層の順で積層された3層構造を用いることが好ましい。第3の絶縁層が有する比誘電率が相対的に低い材料とは例えば、積層構造において、他の層のいずれか一以上より比誘電率が低い材料を指す。ここで第3の絶縁層として、酸化シリコン、または酸化窒化シリコンを用いることができる。第3の絶縁層は、酸化物半導体層230と接する層である。第3の絶縁層に酸化物を用いることで、酸化物半導体層230に酸素を供給することができる。また、第2の絶縁層を設けることで、第3の絶縁層に含まれる酸素が導電層260に拡散することを抑制し、導電層260の酸化を抑制できる。また、第3の絶縁層から酸化物半導体層230に供給される酸素量が減少することを抑制できる。

[0440]

一例として、第3の絶縁層として酸化シリコンまたは酸化窒化シリコンを用いることができ、第1の絶縁層として、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることができ、第2の絶縁層として、窒化シリコンを用いることができる。

[0441]

また絶縁層250として、酸化物半導体層230側から、酸素に対するバリア性を有する第4の絶縁層、比誘電率が相対的に低い材料を有する第3の絶縁層、水素を捕獲するまたは固着する機能を有する第1の絶縁層、水素及び酸素に対するバリア性を有する第2の絶縁層の順で積層された4層構造を用いることが好ましい。第1の絶縁層乃至第3の絶縁層については、前述の3層構造に用いる層と同様の構成を適用できる。第4の絶縁層は、酸化物半導体層230と接する層である。第4の絶縁層が、酸素に対するバリア性を有することで、酸化物半導体層230から酸素が脱離することを抑制できる。第4の絶縁層として、例えば、酸化アルミニウムを用いるとよい。酸化アルミニウムは、水素を捕獲するまたは固着する機能を有するため、酸化物半導体層230と接する第4の絶縁層として好適である。

[0442]

一例として、第4の絶縁層として酸化アルミニウムを用いることができ、第3の絶縁層として酸化シリコンまたは酸化窒化シリコンを用いることができ、第1の絶縁層として、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることができ、第2の絶縁層として、窒化シリコンを用いることができる。

[0443]

絶縁層250において特に、酸化物半導体層230のチャネル形成領域と重畳する領域の膜厚は、

0.1 nm以上30 nm以下が好ましく、0.1 nm以上20 nm以下が好ましく、0.1 nm以上10 nm以下が好ましく、0.1 nm以上8.0 nm以下がより好ましく、0.5 nm以上7.0 nm以下がより好ましい。

[0444]

トランジスタの微細化を図るにあたって、絶縁層250を構成する各層の膜厚は薄いことが好ましい。絶縁層250を構成する各層の膜厚は例えば、0.1 nm以上10 nm以下、あるいは0.1 nm以上5 nm以下、あるいは0.5 nm以上5 nm以下、あるいは1 nm以上5 nm未満、あるいは1 nm以上3 nm以下である。なお、絶縁層250を構成する各層は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0445]

代表的には、第4の絶縁層、第3の絶縁層、第1の絶縁層、及び、第2の絶縁層の膜厚をそれぞれ、1 nm、2 nm、2 nm、及び1 nmとする。このような構成にすることで、トランジスタを微細化または高集積化しても良好な電気特性を有することができる。

[0446]

絶縁層210は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜に用いることで、配線間に生じる寄生容量を低減できる。酸化シリコン及び酸化窒化シリコンは、それぞれ、熱的に安定であるため、絶縁層210として好適である。

[0447]

また、絶縁層210中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層230のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

[0448]

また、絶縁層210として、水素に対するバリア絶縁層を用いることが好ましい。酸化物半導体層230の外側に設けられる絶縁層210が水素に対するバリア性を有することで、酸化物半導体層230中への水素の拡散を抑制できる。

[0449]

水素に対するバリア絶縁層の材料としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、窒化シリコン、または窒化酸化シリコン等が挙げられる。

[0450]

例えば、絶縁層210として、窒化シリコン膜を用いることが好ましい。

[0451]

また、絶縁層210を2層積層構造としてもよい。例えば、絶縁層210の上層として、水素を捕獲するまたは固着する機能を有する絶縁層を用いることができる。これにより、酸化物半導体層230中の水素が導電層220を介して絶縁層210の上層に拡散し、当該水素を捕獲させるまたは固着させることができる。したがって、酸化物半導体層230中の水素濃度を低減できる。

[0452]

例えば、絶縁層210の下層として、窒化シリコン膜を用い、上層として、ハフニウム及びシリコンを含む酸化物膜（ハフニウムシリケート膜）を用いることが好ましい。

[0453]

絶縁層283及び絶縁層285の一以上には、水素に対するバリア絶縁層を用いることが好ましい。これにより、絶縁層283の上方から酸化物半導体層230に水素が拡散することを抑制できる。窒

化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層 283 に好適に用いることができる。

[0454]

絶縁層 283 及び絶縁層 285 の一以上としてスパッタリング法で成膜された窒化シリコンを用いることが特に好ましい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいため、絶縁層 283 の水素濃度を低減できる。また、絶縁層 283 をスパッタリング法で成膜することで、密度が高い窒化シリコンを形成することができる。

[0455]

また、絶縁層 283 及び絶縁層 285 の一以上として、水素を捕獲するまたは固着する機能を有する絶縁層を用いてもよい。このような構成にすることで、絶縁層 283 及び絶縁層 285 の上方から酸化物半導体層 230 に水素が拡散することを抑制し、さらに酸化物半導体層 230 に含まれる水素を、捕獲させるまたは固着させることができる。したがって、酸化物半導体層 230 の水素濃度を低減できる。絶縁層 283 及び絶縁層 285 の一以上としては、ハフニウムシリケートなどを用いることができる。

[0456]

また、絶縁層 283 として、水素を捕獲するまたは固着する機能を有する絶縁層と、水素に対するバリア絶縁層との積層構造としてもよい。例えば、絶縁層 283 として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0457]

また、半導体装置において、絶縁層 283 と絶縁層 285 のいずれか一方を有さない構成とすることもできる。

[0458]

また絶縁層 285 として例えば、比誘電率が低い材料を用いることができる。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

[0459]

また、絶縁層 285 中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層 230 のチャネル形成領域に、水、水素などの不純物が混入することを抑制できる。

[0460]

絶縁層 280 は、前述の、水素に対するバリア絶縁層を有することが好ましい。絶縁層 280 は、酸化物半導体層 230 を囲むように設けられている。酸化物半導体層 230 の外側に設けられる絶縁層 280 が水素に対するバリア性を有することで、酸化物半導体層 230 中への水素の拡散を抑制できる。例えば、絶縁層 280 は、窒化シリコン膜を有することが好ましい。

[0461]

なお、窒化シリコンは、酸素に対するバリア性も有する。したがって、絶縁層 280 に窒化シリコンを用いることで、酸化物半導体層 230 から酸素が引き抜かれ、酸化物半導体層 230 に過剰な量の酸素欠損が形成されることを抑制できる。

[0462]

また、絶縁層 280 に窒化シリコンを用いることで、過剰な酸素が酸化物半導体層 230 に供給されることを防ぐことができる。よって、酸化物半導体層 230 のチャネル形成領域が酸素過剰になる

ことを防ぐことができるため、トランジスタ 200 の信頼性向上を図ることができる。

[0463]

また、絶縁層 280 は、それぞれ前述した、酸化絶縁膜、酸化窒化絶縁膜、または、過剰酸素を含む領域を有する絶縁層を有することが好ましい。

[0464]

例えば、過剰酸素を含む領域を有する絶縁層は、酸素を含む雰囲気、スパッタリング法で成膜することで形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁層 280 中の水素濃度を低減できる。このように、絶縁層 280 を構成する少なくとも一部の層を成膜することで、絶縁層 280 から酸化物半導体層 230 のチャネル形成領域に酸素を供給し、酸素欠損及び V_oH の低減を図ることができる。

[0465]

また、絶縁層 280 中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層 230 のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

[0466]

なお、導電層 220 上の絶縁層 280 の膜厚が、トランジスタ 200 のチャネル長に対応するため、トランジスタ 200 のチャネル長の設計値に合わせて、絶縁層 280 の膜厚を適宜設定する。

[0467]

絶縁層 280 は例えば、絶縁層 280 a と、絶縁層 280 a 上の絶縁層 280 b と、絶縁層 280 b 上の絶縁層 280 c との積層構造とすることが好ましい。

[0468]

絶縁層 280 b は、酸化物半導体層 230 のチャネル形成領域と接する層である。絶縁層 280 b に酸素を含む絶縁層を用いることで、酸化物半導体層 230 に酸素を供給することができる。

[0469]

絶縁層 280 b は、絶縁層 280 a 及び絶縁層 280 c の少なくとも一つと比べて、酸素の含有量が多い領域を有することが好ましい。特に、絶縁層 280 b は、絶縁層 280 a 及び絶縁層 280 c のそれぞれと比べて、酸素の含有量が多い領域を有することが好ましい。絶縁層 280 b の酸素の含有量を多くすることにより、絶縁層 280 b 近傍の酸化物半導体層 230 に、i 型の領域を形成することが容易となる。

[0470]

絶縁層 280 b には、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ 200 の作製工程中にかかる熱により、絶縁層 280 b が酸素を放出することで、酸化物半導体層 230 に酸素を供給することができる。絶縁層 280 b から酸化物半導体層 230、特に酸化物半導体層 230 のチャネル形成領域に酸素を供給することで、酸化物半導体層 230 中の酸素欠損及び V_oH の低減を図ることができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0471]

また、OS トランジスタの電気特性及び信頼性を良好にするには、酸化物半導体中の水素濃度を十分に低減した上で、酸化物半導体に供給する酸素量を最適化することが重要となる。

[0472]

一例として、絶縁層 280 b の酸素分子の放出量は、 $1.0 \times 10^{14} \text{ molecules/cm}^2$ 以上、 $1.0 \times 10^{15} \text{ molecules/cm}^2$ 未満であることが好ましい。なお、酸素分子の放

出量は、昇温脱離ガス分析法によって測定することができる。

[0473]

特に、トランジスタ200のチャネル長が小さい場合、チャネル形成領域の酸素欠損及びV_oHの電気特性及び信頼性への影響が特に大きくなる。したがって、酸化物半導体層230中の水素濃度を十分に低減した上で、酸化物半導体層230に供給する酸素量を最適化することで、良好な電気特性及び高い信頼性を有するチャネル長の小さいトランジスタを実現できる。

[0474]

絶縁層280bは、スパッタリング法、またはPECVD法などの成膜方法で形成することが好ましい。特に、スパッタリング法を用いると、成膜ガスに水素ガスを用いなくてよいため、水素の含有量の極めて少ない膜とすることができる。そのため、酸化物半導体層230に水素が供給されることを抑制し、トランジスタ200の電気特性の安定化を図ることができる。

[0475]

酸化物半導体層230に供給する酸素量を多くする場合、例えば、絶縁層280bを形成した後に、酸素を含む雰囲気下における加熱処理、または、酸素を含む雰囲気下におけるプラズマ処理を行うとよい。また、絶縁層280bの上面に、スパッタリング法により、酸素雰囲気下で酸化物膜を成膜することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。このような処理を行うことで、絶縁層280bに酸素を供給し、酸化物半導体層230に供給される酸素量を増やすことができる。

[0476]

また、酸化物半導体層230の、絶縁層280aに接する領域、及び絶縁層280cに接する領域は、絶縁層280bに接する領域と比較して、供給される酸素の量が少ない。よって、酸化物半導体層230の、絶縁層280aに接する領域、及び絶縁層280cに接する領域は、低抵抗化する場合がある。つまり、絶縁層280aの膜厚を調整することで、ソース領域及びドレイン領域の一方として機能する領域の範囲を制御できる。同様に、絶縁層280cの膜厚を調整することで、ソース領域及びドレイン領域の他方として機能する領域の範囲を制御できる。このように、絶縁層280a及び絶縁層280cの膜厚は、トランジスタに求める特性に合わせて、適宜設定できる。

[0477]

また、絶縁層280bには、比誘電率が低い材料を用いることが好ましい。これにより、配線間に生じる寄生容量を低減できる。絶縁層280bとして、例えば、酸化シリコン、または酸化窒化シリコンを用いることができる。

[0478]

絶縁層280a及び絶縁層280cには、それぞれ、酸素に対するバリア絶縁層を用いることが好ましい。絶縁層280bと導電層220との間に絶縁層280aを設けることにより、導電層220が酸化され、導電層220の抵抗が高くなることを抑制できる。また、絶縁層280bと導電層240との間に絶縁層280cを設けることにより、導電層240が酸化され、導電層240の抵抗が高くなることを抑制できる。

[0479]

また、絶縁層280aとして、水素を捕獲するまたは固着する機能を有する絶縁層を用いてもよい。このような構成にすることで、絶縁層280aの下方から酸化物半導体層230に水素が拡散することを抑制し、さらに酸化物半導体層230に含まれる水素を捕獲させるまたは固着させることができ

る。よって、酸化物半導体層 230 の水素濃度を低減できる。絶縁層 280 a としては、酸化マグネシウム、酸化アルミニウム、酸化ハフニウム、またはハフニウム及びシリコンを含む酸化物などを用いることができる。また、例えば、絶縁層 280 a として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。同様に、絶縁層 280 c として、水素を捕獲するまたは固着する機能を有する絶縁層を用いてもよい。

[0480]

一例として、絶縁層 280 a 及び絶縁層 280 c に窒化シリコンを用い、絶縁層 280 b に酸化シリコンを用いることができる。

[0481]

[導電層]

半導体装置が有する導電層（導電層 220、導電層 240、導電層 260 など）には、それぞれ、タングステン、銅、アルミニウム、クロム、銀、金、白金、亜鉛、タンタル、ニッケル、チタン、鉄、コバルト、モリブデン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、または当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、窒化ルテニウム、モリブデンを含む窒化物、タングステンとチタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0482]

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、またはチタン及びアルミニウムを含む窒化物などの窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、またはランタン及びニッケルを含む酸化物などの酸素を含む導電性材料、チタン、タンタル、またはルテニウムなどの金属元素を含む材料は、酸化されにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウムスズ酸化物（ITO ともいう）、酸化チタンを含むインジウムスズ酸化物、シリコンを添加したインジウムスズ酸化物（ITSO ともいう）、インジウム亜鉛酸化物（IZO（登録商標）ともいう）、及び、酸化タングステンを含むインジウム亜鉛酸化物などが挙げられる。本明細書等では、酸素を含む導電性材料を用いて成膜される導電膜を、酸化物導電膜と呼ぶことがある。

[0483]

タングステン、銅、またはアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

[0484]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属

元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0485]

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電層には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャネル形成領域に供給されやすくなる。

[0486]

導電層260には、前述した金属元素、または前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることができる。例えばタングステンなど、導電性が高い材料を用いることが好ましい。また、導電層260として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。当該導電性材料としては、前述の通り、窒素を含む導電性材料、及び酸素を含む導電性材料などが挙げられる。これにより、導電層260の導電率が低下することを抑制できる。

[0487]

また、導電層260には、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウムスズ酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁層などから混入する水素を捕獲することができる場合がある。

[0488]

導電層260は例えば、3nm以上500nm以下にすることができる。導電層260の厚さは例えば、絶縁層250の厚さ以上にすることができる。導電層260を厚くすることにより、導電層260の抵抗を低くすることができる。

[0489]

また、導電層260として導電層260aと、導電層260a上の導電層260bと、の2層構造を用いることが好ましい。

[0490]

導電層260aとして酸素の拡散を抑制する機能を有する導電性材料を用いることにより例えば、酸化物半導体層230からの酸素の放出を抑制し、酸化物半導体層230の酸素欠損の形成を抑制することができる。

[0491]

また、導電層260aとして酸化されにくい導電性材料を用いることにより例えば、酸化物半導体層230からの酸素の放出、あるいは絶縁層250からの酸素の放出によって導電層260aが酸化して導電性が低下することを抑制することができる。

[0492]

導電層260bに用いる材料は例えば、導電層260aに用いる材料よりも導電性が高いことが好ましい。また、導電層260bを厚くすることにより、導電層260bに流れる電流をさらに高めることができる。

[0493]

導電層260aとして、被覆性の高い成膜方法を用いることにより、導電層260aを開口部290の側壁に沿って、好適に形成することができる。

[0494]

導電層260aとして例えば、窒素を含む導電性材料、酸素を含む導電性材料、等を用いることができる。また、導電層260aとして例えば、チャンネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることができる。

[0495]

導電層260aとして例えば、前述した金属元素と、窒素とを含む導電性材料を用いることができ、例えば、窒化タンタル、窒化チタン、窒化ルテニウム、モリブデンを含む窒化物、タングステンとチタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、等を用いることができる。

[0496]

また導電層260aとして例えば、前述した金属元素と、酸素とを含む導電性材料を用いることができ、例えば、酸化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることができる。

[0497]

また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウムスズ酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。

[0498]

また、導電層260aとして、チタン、タンタル、ルテニウム、及びこれらの金属元素から選ばれた一以上を含む材料は、酸化されにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0499]

導電層260bとして例えば、前述した金属元素、または前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることができる。例えば、タングステンを用いることができる。

[0500]

また、導電層260aがさらに積層構造を有してもよい。また、導電層260bがさらに積層構造を有してもよい。導電層260aを積層構造とする場合には例えば、導電層260aとして用いることのできる材料を複数、積層することができる。あるいは、本発明の一態様の導電層として用いることのできる材料から選ばれる複数を積層してもよい。導電層260bを積層構造とする場合には例えば、導電層260bとして用いることのできる材料を複数、積層することができる。あるいは、本発明の一態様の導電層として用いることのできる材料から選ばれる複数を積層してもよい。

[0501]

導電層 220 及び導電層 240 は、それぞれ、酸化物半導体層 230 と接する導電層であるため、それぞれ、酸化されにくい導電性材料、酸化されても電気抵抗が低く保たれる導電性材料、酸化物導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電層 220 及び導電層 240 の導電率が低下することを抑制できる。

[0502]

導電層 220 または導電層 240 として酸素を含む導電性材料を用いることで、導電層 220 または導電層 240 が酸素を吸収しても導電性を維持することができる。また、絶縁層 210 として酸化ハフニウムなどの酸素を含む絶縁層を用いる場合においても、導電層 220 は導電性を維持できるため好適である。導電層 220 及び導電層 240 のそれぞれとして、例えば、ITO、ITSO、IZO（登録商標）などを用いることが好ましい。

[0503]

導電層 220 を絶縁層 210 上に順に第 1 の導電層（例えば導電層 220 a）、第 2 の導電層（例えば導電層 220 b）、及び第 3 の導電層（例えば導電層 220 c）の 3 層構造とする場合には例えば、第 1 の導電層として、酸化されにくい導電性材料、または酸素の拡散を抑制する機能を有する導電性材料を用い、第 2 の導電層として、導電性が高い材料を用い、第 3 の導電層として、酸素を含む導電性材料を用いることが好ましい。具体的には、例えば、第 1 の導電層として窒化チタンを用い、第 2 の導電層としてタングステンを用い、第 3 の導電層として ITO または ITSO を用いることが好ましい。この場合、窒化チタンが絶縁層 210 に接し、ITO または ITSO が酸化物半導体層 230 に接する。このような構造にすることで、導電層 220 が酸化物半導体層 230 と接していても、導電性を維持することができる。また、絶縁層 210 に酸化物絶縁層を用いる場合、絶縁層 210 によって導電層 220 が過剰に酸化されることを抑制できる。また、第 2 の導電層として、導電性の高いタングステンを用いることで、導電層 220 の導電性を高めることができる。

[0504]

また導電層 240 を 2 層の積層構造（例えば導電層 240 a と導電層 240 b）とする場合には例えば、下層は上層よりも導電性が高い材料を用い、上層として、酸素を含む導電性材料を用いることが好ましい。具体的には、例えば、下層として、ルテニウム、タングステン、窒化チタン、または、窒化タンタルを用い、上層として、ITO または ITSO を用いることが好ましい。この場合、ITO または ITSO が酸化物半導体層 230 に接する。このような構造にすることで、導電層 240 が酸化物半導体層 230 と接していても、導電性を維持することができる。また、下層として、上層よりも導電性の高い材料を用いることで、導電層 240 の導電性を高めることができる。

[0505]

なお、導電層 240 を 2 層の積層構造とする場合において、上層（例えば導電層 240 b）に導電性が高い材料、下層（例えば導電層 240 a）に酸素を含む導電性材料をそれぞれ用いてもよい。このような場合には例えば、導電層 240 a の上面に酸化物半導体層 230 が接する構成とすることにより、導電層 240 と酸化物半導体層 230 との接触抵抗を低くすることができる。

[0506]

[酸化物半導体層 230]

酸化物半導体層 230 として、先の実施の形態に示す酸化物半導体層 230 を適用することができる。

[0507]

酸化物半導体に含まれる水素が金属原子と結合する酸素と反応して水になり、酸化物半導体中に酸素欠損 (V_O) が形成される場合がある。さらに、酸素欠損に水素が入った欠陥 (以下、 V_OH と記す) はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性 (つまり、しきい値電圧がマイナスの値) となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0508]

酸化物半導体層 230 中の V_OH をできる限り低減し、酸化物半導体層 230 を高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水、水素などの不純物を除去すること (脱水、脱水素化処理と記載する場合がある。) と、酸化物半導体に酸素を供給して酸素欠損を修復することが重要である。 V_OH などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。なお、酸化物半導体に酸素を供給して酸素欠損を修復することを、加酸素化処理と記す場合がある。

[0509]

チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0510]

ここで、金属酸化物 (酸化物半導体) 中における各不純物の影響について説明する。

[0511]

酸化物半導体において、第 14 族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、SIMS により得られる酸化物半導体のチャネル形成領域における炭素の濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、SIMS により得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

[0512]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n 型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ

準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0513]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、SIMSにより得られる酸化物半導体のチャネル形成領域における水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0514]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0515]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0516]

なお、本実施の形態の半導体装置には、チャネル形成領域に他の半導体材料を用いたトランジスタを適用してもよい。当該他の半導体材料としては、例えば、単体元素よりなる半導体、または化合物半導体が挙げられる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、及び、窒化物半導体が挙げられる。なお、前述の酸化物半導体も、化合物半導体の一種である。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0517]

トランジスタの半導体材料に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン(LTPS: Low Temperature Poly Silicon)が挙げられる。

[0518]

トランジスタの半導体層は、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合力のような、共有結合またはイオン結合よりも弱い結合を介

して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0519]

上記層状物質として、例えば、グラフェン、シリセン、カルコゲン化物などが挙げられる。カルコゲン化物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。トランジスタの半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0520]

[基板]

トランジスタを形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0521]

<半導体装置の作製方法例>

半導体装置の作製方法について図21A乃至図21Cを用いて説明する。ここでは一例として、図12A乃至図12Cに示す構成の作製方法を説明する。なお、各要素の材料及び形成方法について、先に説明した部分と同様の部分については説明を省略することがある。

[0522]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スパッタリング法、CVD法、真空蒸着法、PLD法、ALD法等を用いて形成することができる。

[0523]

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルスDCスパッタリング法がある。また、RFとDCを重畳させるRF重畳DCスパッタリング法がある。絶縁性のターゲットを用いた成膜には、RFスパッタリング法を用いることが好ましい。DCスパッ

タリング法は主に導電性のターゲットを用いて成膜する場合に用いられる。またDCスパッタリング法では、導電膜の形成のほか、反応性スパッタを行うことで、絶縁膜の形成も可能である。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。RF重畳DCスパッタリング法では、成膜中のイオンエネルギーの制御、およびターゲット側の電位制御が可能になる。よって、RFスパッタリング法と比較して、成膜によるダメージが低減される。また、質の良い膜が得られる。

[0524]

スパッタリング法として例えば、イオン化スパッタリング法、ロングスロースパッタリング法、等を用いることができる。イオン化スパッタリング法は、ターゲットから発生したスパッタリング粒子をRFなどによりイオン化し、セルフバイアスなどにより異方性を持って成膜する方法である。また、ロングスロースパッタリング法では、スパッタリングターゲットと基板の間の距離を長くすることにより、異方性を持った成膜を行うことができる。

[0525]

なお、CVD法は、PECVD法、熱を利用する熱CVD (Thermal CVD) 法、光を利用する光CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属CVD (MCVD: Metal CVD) 法、有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0526]

PECVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0527]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、プラズマ励起されたリアクタントを用いるPEALD (Plasma Enhanced ALD) 法などを用いることができる。

[0528]

また、ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。PEALD (Plasma Enhanced ALD) 法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、XPSまたはSIMSを用いて行うことができる。なお、本発明の一態様の金属酸化物の成膜方法では、ALD法を用いるが、成膜時の基板温度が高い条件の採用、及び、不純物除去処理の実施の一方または双方を適用するため、これらを適用せずにALD法を用いる場合に比べて、膜に含まれる炭素及び塩素の量が少ないことがある。

[0529]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いスパッタリング法、またはCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。例えば、金属酸化物を第1の金属酸化物と第2の金属酸化物の積層構造とする場合、スパッタリング法を用いて第1の金属酸化物を成膜し、当該第1の金属酸化物上にALD法を用いて第2の金属酸化物を成膜する方法などが挙げられる。例えば、上記第1の金属酸化物が結晶部を有する場合、上記第2の金属酸化物が当該結晶部を核として、結晶成長する場合がある。

[0530]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送及び圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0531]

また、ALD法では、原料のガス導入量、導入回数（パルス回数ともいう）、1パルスに要する時間（パルス時間ともいう）などを調節することによって、任意の組成の膜を成膜することができる。また、ALD法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜することができる。または、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

[0532]

また、半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピコート法、ディップコート法、スプレーコート法、インクジェット法、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、またはナイフコート等の湿式の成膜方法により形成することができる。

[0533]

また、半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いることができる。または、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0534]

フォトリソグラフィ法としては、代表的には以下の2つの方法がある。1つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0535]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV: Extreme Ultraviolet）光、またはX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0536]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

[0537]

まず、絶縁層210上に導電層220を形成し、導電層220上に絶縁層280を形成し、絶縁層280上に導電層240を形成する。なおここでは絶縁層280は、絶縁層280a、絶縁層280b、及び絶縁層280cの3層積層構造とする。

[0538]

なお、絶縁層280の成膜後に化学機械研磨（CMP: Chemical Mechanical Polishing）法を用いた平坦化处理（CMP処理ともいう）を行い、絶縁層280の上面を平坦化させることが好ましい。絶縁層280の平坦化处理を行うことで、配線として機能する導電層240の被形成面を平坦にでき、導電層240の段切れを抑制できる。なお、平坦化处理は行わなくてもよく、その場合、製造コストを削減することができる。

[0539]

続いて、導電層240及び絶縁層280の、導電層220と重なる位置に開口部290を形成する（図21A）。このとき、導電層220には開口部290と重なる位置に凹部が形成される。

[0540]

開口部290はアスペクト比が大きいため、異方性エッチングを用いて、導電層240の一部、及び絶縁層280の一部を加工することが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、当該加工は、層によってそれぞれ異なる条件で行ってもよい。

[0541]

ここで、導電層240及び絶縁層280cの側壁がテーパ形状となる加工条件を用いることが好ましい。また、絶縁層280bの側壁が急峻である形状となる加工条件を用いることが好ましい。

[0542]

また、絶縁層280aは、側壁がテーパ形状となる加工条件を用いて形成してもよいし、側壁が急峻である形状となる加工条件を用いて形成してもよい。

[0543]

ここで、絶縁層280cの材料と、絶縁層280bの材料とを工夫することにより、同じドライエッチング条件を用いて、絶縁層280cをテーパ形状とし、絶縁層280bを急峻な形状とすることもできる。

[0544]

続いて、加熱処理を行ってもよい。加熱処理は、例えば、 100°C 以上 800°C 以下、好ましくは 250°C 以上 650°C 以下、さらに好ましくは 350°C 以上 550°C 以下で行えばよい。例えば、 350°C 以上 550°C 以下の温度において、1分以上1時間以下、あるいは10分以上30分以下の処理時間にすることができる。

[0545]

加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを20%程度にすることが好ましい。また、加熱処理は減圧状態で行ってもよい。または、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行なってもよい。以上のような加熱処理を行うことで、酸化物半導体層230の成膜前に、絶縁層280などに含まれる、水などの不純物を低減できる。

[0546]

加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量は、1ppb以下が好ましく、0.1ppb以下がより好ましく、0.05ppb以下がさらに好ましい。高純度化されたガスを用いて加熱処理を行うことで、絶縁層280などに水分等が取り込まれることを可能な限り防ぐことができる。

[0547]

導電層240と絶縁層280とは、同じマスクを用いて開口してもよく、異なるマスクを用いて開口してもよい。

[0548]

続いて、開口部290を覆うように、酸化物半導体層230を形成する。酸化物半導体層230は、導電層220の上面、絶縁層280の側面、並びに、導電層240の上面及び側面に接して形成される。

[0549]

酸化物半導体層230は、複数の層を積層して成膜することにより、形成することができる。ここでは、第1の層乃至第3の層を順に成膜することにより、酸化物半導体層230を形成する。

[0550]

第1の層として、絶縁層280へのダメージが少なく、絶縁層280とのアロイ化が生じない成膜方法を用いることが好ましい。例えば、ALD法、PECVD法、熱CVD法、MOCVD法、MBE法などを用いて第1の層を形成することが好ましい。

[0551]

また、酸化物半導体層230は、アスペクト比が高く、開口径の微小な開口部290の側壁、及び底部への被覆性が高いことが好ましい。よって、酸化物半導体層230として成膜される複数の層の少なくとも一部の層は、被覆性に優れる方法を用いて形成されることが好ましい。特に、ALD法を用いることにより、開口部290内で、導電層220の上面、絶縁層280の側面、及び、導電層240の側面に沿って、厚さのばらつきの小さい膜を形成することができる。

[0552]

また、酸化物半導体層230は、結晶性が高いことが好ましい。酸化物半導体層230の結晶性を高めることにより、酸化物半導体層230中の不純物の拡散が抑制されるため、トランジスタの電気

特性が変動しにくく、信頼性を高めることができる。例えば、スパッタリング法を用いた金属酸化物は、高い結晶性を有しやすい。よって、酸化物半導体層 230 として成膜される複数の層の少なくとも一部の層を、スパッタリング法を用いて形成することにより、酸化物半導体層 230 が結晶性を有する構成とすることができる。

[0553]

一方、スパッタリング法では、ALD法などの手法と比較して、被覆性が低い場合がある。よって、開口部 290 の側壁、及び底部への被覆性を鑑みると、酸化物半導体層 230 として成膜される複数の層のうちの層としてスパッタリング法を用いる場合には、他の層として、被覆性に優れる方法を用いて成膜される層を組み合わせる用いることが好ましい。

[0554]

酸化物半導体層 230 の形成方法は、先の実施の形態を参照することができる。ここではまず、酸化物半導体層 230 a を形成する（図示せず）。

[0555]

次に、スパッタリング法を用いて、酸化物半導体層 230 b を形成する（図示せず）。

[0556]

次に、ALD法を用いて、酸化物半導体層 230 c を形成する（図示せず）。

[0557]

酸化物半導体層 230 c の形成に続いて、加熱処理を行ってもよい。加熱処理を行うことにより例えば、酸化物半導体層 230 の結晶性を高めることができる。特に、酸化物半導体層 230 a、及び酸化物半導体層 230 c の結晶性を高めることができる。加熱処理として例えば、実施の形態 1 に示す加熱処理条件、及び加熱処理方法を用いることができる。また、酸化物半導体層 230 c の形成に続いて、加熱処理を行わなくてもよい。例えば、加熱処理は、後述する絶縁層 250 の形成後に行ってもよい。あるいは例えば、後述する導電層 260 の形成時の熱を用いて、酸化物半導体層 230 の結晶性を高めることもできる。

[0558]

ここで、酸化物半導体層 230 a 乃至酸化物半導体層 230 c の形成及びその後の熱処理を、実施の形態 1 に示すマルチチャンバー型の製造装置を用いて行うことが好ましい。実施の形態 1 に示すマルチチャンバー型の製造装置を用いることで、不純物の混入を抑制しながら、酸化物半導体層 230 の成膜と結晶化を行うことができる。よって、不純物濃度の低い酸化物半導体層 230 を形成することができる。また、不純物に依る結晶成長の障害を防ぐことができるため、酸化物半導体層 230 の結晶性の向上を図ることができる。

[0559]

続いて、導電層 240 及び酸化物半導体層 230 を島状に加工する（図 21 B）。ここで、導電層 240 と、酸化物半導体層 230 は、同じマスクを用いて一括で加工することができる。

[0560]

なお、導電層 240 を島状に加工する工程と、酸化物半導体層 230 を島状に加工する工程とをそれぞれ独立に行ってもよい。この場合には例えば、導電層 240 を島状に加工する工程と、導電層 240 に開口部 290 を設ける工程とは、それぞれ独立に行うことができ、その場合の順序は問わない。また、方形の島状に加工するためのマスクを用いた露光と、円形の開口部を設けるためのマスクを用いた露光と、を行った後に、エッチングを行うことで、島状の加工と開口部の形成を一度に行っても

よい。また、多階調マスク（代表的にはハーフトーンマスク、またはグレートーンマスク）を用いた露光を利用してもよい。

[0561]

続いて、酸化物半導体層230上及び絶縁層280上に絶縁層250を形成する。絶縁層250は、酸化物半導体層230に接して形成される。

[0562]

絶縁層250の形成における熱を用いて、酸化物半導体層230の結晶性を高めることができる場合がある。絶縁層の成膜温度を例えば、250℃以上、より好ましくは350℃以上とすることにより、絶縁層の成膜時の熱により、酸化物半導体層230の結晶性が高まる場合がある。

[0563]

また絶縁層250の形成に続いて、加熱処理を行ってもよい。加熱処理を行うことにより例えば、酸化物半導体層230の結晶性を高めることができる。特に、酸化物半導体層230c、及び酸化物半導体層230bの結晶性を高めることができる。また、絶縁層250の形成に続いて、加熱処理を行わなくてもよい。

[0564]

加熱処理を行う場合には例えば、100℃以上800℃以下、好ましくは250℃以上650℃以下、さらに好ましくは350℃以上550℃以下で行えばよい。例えば、350℃以上550℃以下の温度において、1分以上1時間以下、あるいは10分以上30分以下の処理時間にすることができる。

[0565]

加熱処理を行う際に用いるガスとして、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを用いることができる。例えば、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガス10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。酸素ガスを含む加熱処理によって、酸化物半導体層230中の炭素、水、水素などの不純物を低減できる。

[0566]

また、加熱処理は、減圧下において行ってもよい。

[0567]

また、絶縁層280が酸素を含む場合、加熱処理により、絶縁層280から酸化物半導体層230のチャンネル形成領域に酸素を供給することが好ましい。これにより、酸素欠損及びV_oHの低減を図ることができる。

[0568]

続いて、絶縁層250上に導電層260aとなる導電層を形成する。導電層260aとなる導電層は、間に酸化物半導体層230及び絶縁層250を挟んで、導電層220の上面、絶縁層280の側面、並びに、導電層240の上面及び側面を覆うように形成される。続いて、導電層260bとなる導電層を形成する。

[0569]

導電層260a及び導電層260bは、アスペクト比の大きい開口部290に設けられた絶縁層250に接して形成される。よって、導電層260aとなる導電層及び導電層260bとなる導電層の成膜はそれぞれ、被覆性が良好な成膜方法を用いることが好ましく、ALD法、金属CVD法などを用いることがより好ましい。

[0570]

ここで、導電層260となる導電層の成膜における熱を用いて、酸化物半導体層230の結晶性を高めることができる場合がある。導電層260のとなる導電層の成膜温度を例えば、250℃以上、より好ましくは350℃以上とすることにより、導電層の成膜時の熱により、酸化物半導体層230の結晶性が高まる場合がある。ここでは例えば、250℃以上の温度を用いて、金属CVD法により導電層を形成する。

[0571]

続いて、マスクを用いて導電層260bとなる導電層、及び導電層260aとなる導電層のそれぞれ一部を除去して、導電層260b及び導電層260aを形成する(図21C)。

[0572]

次に、導電層260上に、絶縁層283を形成する。続いて、絶縁層283上に、絶縁層285を形成する。

[0573]

ここで、絶縁層283及び絶縁層285の形成における熱を用いて、酸化物半導体層230の結晶性を高めることができる場合がある。絶縁層の成膜温度を例えば、250℃以上、より好ましくは350℃以上とすることにより、絶縁層の成膜時の熱により、酸化物半導体層230の結晶性が高まる場合がある。ここでは例えば、250℃以上の温度を用いたALD法により絶縁層283を形成し、続いて、スパッタリング法を用いて、絶縁層285を形成する。

[0574]

以上により、本発明の一態様の半導体装置を作製することができる。

[0575]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0576]

(実施の形態3)

本実施の形態では、本発明の一態様の記憶装置について図22乃至図26を用いて説明する。本発明の一態様の記憶装置は、メモリセルを有する。当該メモリセルは、トランジスタ及び容量素子を有する。

[0577]

<記憶装置の構成例1>

図22A乃至図22Cを用いて、トランジスタ及び容量素子を有する記憶装置の構成を説明する。図22Aは、トランジスタ200及び容量素子100を有する記憶装置の平面図である。図22Bは、図22Aに示す一点鎖線A1-A2間の断面図である。図22Cは、図22Aに示す一点鎖線A3-A4間の断面図である。

[0578]

図22A乃至図22Cに示す記憶装置は、基板(図示せず)上の絶縁層140と、絶縁層140上の導電層110と、導電層110上のメモリセル150と、導電層110上の絶縁層180と、絶縁層280と、メモリセル150上の絶縁層283とを有する。絶縁層140、絶縁層180、絶縁層280、及び絶縁層283は、層間膜として機能する。導電層110は、配線として機能する。

[0579]

メモリセル150は、導電層110上の容量素子100と、容量素子100上のトランジスタ200と、を有する。

[0580]

容量素子100は、導電層110上の導電層115と、導電層115上の絶縁層130と、絶縁層130上の導電層120と、を有する。導電層120は一对の電極の一方（上部電極と呼ぶ場合がある）として機能し、導電層115は一对の電極の他方（下部電極と呼ぶ場合がある）として機能し、絶縁層130は誘電体として機能する。つまり、容量素子100は、MIM（Metal-Insulator-Metal）容量を構成している。

[0581]

図22B及び図22Cに示すように、絶縁層180には、導電層110に達する開口部190が設けられている。導電層115の少なくとも一部は、開口部190に配置されている。なお、導電層115は、開口部190において導電層110の上面に接する領域と、開口部190において絶縁層180の側面に接する領域と、絶縁層180の上面の少なくとも一部に接する領域と、を有する。絶縁層130は、少なくとも一部が開口部190に位置するように配置されている。導電層120は、少なくとも一部が開口部190に位置するように配置されている。なお、導電層120は、図22B及び図22Cに示すように、開口部190を埋め込むように設けることが好ましい。なお、開口部190の内部に設ける膜は、それぞれ、ALD法などの被覆性の高い方法を用いて形成することが好ましい。これにより、当該膜の被覆性が良好となる。例えば、導電層115、絶縁層130、及び、導電層120は、それぞれ、ALD法、金属CVD法、等を用いて形成することが好ましい。

[0582]

容量素子100は、開口部190において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、開口部190の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、記憶装置の読み出し動作を安定にすることができる。また、記憶装置の微細化または高集積化を推し進めることができる。

[0583]

図22B及び図22Cでは、開口部190の側壁が、導電層110の上面に対して垂直である例を示す。このとき、開口部190は円筒形状を有する。このような構成にすることで、記憶装置の微細化または高集積化を図ることができる。

[0584]

開口部190の側壁及び導電層110の上面に沿って導電層115及び絶縁層130が積層して設けられている。また、開口部190を埋めるように、絶縁層130上に導電層120が設けられている。このような構成を有する容量素子100は、トレンチ型容量またはトレンチ容量と呼称してもよい。

[0585]

容量素子100上に、絶縁層280が配置されている。つまり、導電層115、絶縁層130、及び導電層120の上に、絶縁層280が配置されている。別言すると、絶縁層280の下に、導電層120が配置されている。

[0586]

トランジスタ200は、導電層120（図12B等の導電層220に対応）と、絶縁層280上の導電層240と、酸化物半導体層230と、酸化物半導体層230上の絶縁層250と、絶縁層250上の導電層260と、を有する。酸化物半導体層230は半導体層として機能し、導電層260はゲート電極として機能し、絶縁層250はゲート絶縁層として機能し、導電層120はソース電極及びドレイン電極の一方として機能し、導電層240はソース電極及びドレイン電極の他方として機能する。

[0587]

トランジスタ200については、実施の形態2（図12及び図14等）における説明を参照することができるため、詳細な説明は省略する。また、メモリセル150が有するトランジスタは、図12乃至図14等のトランジスタ200に限定されず、実施の形態2で例示した各トランジスタを適用することができる。

[0588]

図22A乃至図22Cに示すように、トランジスタ200は、容量素子100と重なるように設けられる。また、トランジスタ200の構造の一部が設けられる開口部290は、容量素子100の構造の一部が設けられる開口部190と重なる領域を有する。特に、導電層120は、トランジスタ200のソース電極及びドレイン電極の一方としての機能と、容量素子100の上部電極としての機能とを有するため、トランジスタ200と容量素子100は、構造の一部を共有することになる。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ200及び容量素子100を設けることができる。これにより、メモリセル150の占有面積を低減できるため、メモリセル150を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

[0589]

また、トランジスタ200を容量素子100の上方に設けることで、トランジスタ200は、容量素子100の作製時の加熱処理の影響を受けない。したがって、トランジスタ200において、しきい値電圧の変動、及び寄生抵抗の増大などの電気特性の劣化、並びに電気特性の劣化に伴う電気特性のばらつきの増大などを抑制できる。

[0590]

本実施の形態に示す記憶装置の回路図を図30Aに示す。図30Aに示すように、図22A乃至図22Cに示す構成は、メモリセルとして機能する。メモリセル951は、トランジスタM1と容量素子CAとを有する。ここで、トランジスタM1はトランジスタ200に対応し、容量素子CAは容量素子100に対応する。

[0591]

トランジスタM1のソース及びドレインの一方は、容量素子CAの一对の電極の一方に接続される。トランジスタM1のソース及びドレインの他方は、配線BILに接続される。トランジスタM1のゲートは、配線WOLに接続される。容量素子CAの一对の電極の他方は、配線CALに接続される。

[0592]

ここで、配線BILは導電層240に対応し、配線WOLは導電層260に対応し、配線CALは導電層110に対応する。図22A乃至図22Cに示すように、導電層260はX方向に延在して設けられ、導電層240はY方向に延在して設けられることが好ましい。このような構成にすることで、

配線B I Lと、配線W O Lは互いに交差して設けられる。また、図2 2 Aでは、配線C A L（導電層1 1 0）が面状に設けられているが、本発明はこれに限られるものではない。例えば、配線C A Lは、配線W O L（導電層2 6 0）に平行に設けられてもよいし、配線B I L（導電層2 4 0）に平行に設けられてもよい。

[0 5 9 3]

なお、メモリセルについては、後の実施の形態で詳細に説明する。

[0 5 9 4]

[容量素子1 0 0]

容量素子1 0 0は、導電層1 1 5と、絶縁層1 3 0と、導電層1 2 0と、を有する。また、導電層1 1 5の下方に導電層1 1 0が設けられている。導電層1 1 5は、導電層1 1 0と接する領域を有する。

[0 5 9 5]

導電層1 1 0は、絶縁層1 4 0上に設けられる。導電層1 1 0は、配線C A Lとして機能し、例えば、面状に設けることができる。導電層1 1 0は、実施の形態2の[導電層]の項目に記載の導電性材料を用いて、単層または積層で形成することができる。例えば、導電層1 1 0として、タングステンなどの、導電性が高い導電性材料を用いることができる。このように導電性が高い導電性材料を用いることで、導電層1 1 0の導電性を向上させ、配線C A Lとして十分に機能させることができる。

[0 5 9 6]

また、導電層1 1 5は、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを、単層または積層で用いることが好ましい。例えば、窒化チタン、またはシリコンを添加したインジウムスズ酸化物などを用いてもよい。または、例えば、タングステンの上に窒化チタンを積層した構造にしてもよい。または、例えば、第1の窒化チタンの上にタングステンを積層し、当該タングステンの上に第2の窒化チタンを積層した構造にしてもよい。このような構造にすることで、絶縁層1 3 0に酸化物を用いる場合、絶縁層1 3 0によって導電層1 1 0が酸化されることを抑制できる。また、絶縁層1 8 0に酸化物を用いる場合、絶縁層1 8 0によって導電層1 1 0が酸化されることを抑制できる。

[0 5 9 7]

絶縁層1 3 0は、導電層1 1 5上に設けられる。絶縁層1 3 0は、導電層1 1 5の上面及び側面に接するように設けられる。つまり、絶縁層1 3 0は、導電層1 1 0の側端部を覆う構造にすることが好ましい。これにより、導電層1 1 5と導電層1 2 0がショートすることを防止できる。

[0 5 9 8]

また、絶縁層1 3 0の側端部と導電層1 1 5の側端部が一致する構造にしてもよい。このような構造にすることで、絶縁層1 3 0と導電層1 1 5を同一のマスクを用いて形成することができ、記憶装置の作製工程を簡略化することができる。

[0 5 9 9]

絶縁層1 3 0として、比誘電率が高い（h i g h－k）材料を用いることが好ましい。絶縁層1 3 0としてh i g h－k材料を用いることで、リーク電流を抑制できる程度に絶縁層1 3 0を厚くし、かつ容量素子1 0 0の静電容量を十分確保することができる。

[0 6 0 0]

また、絶縁層1 3 0は、h i g h－k材料からなる絶縁層を積層して用いることが好ましく、比誘

電率が高い(h i g h - k)材料と、当該h i g h - k材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁層130として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁層を積層して用いることで、絶縁耐力が向上し、容量素子100の静電破壊を抑制できる。

[0601]

また、絶縁層130として、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料の詳細については、実施の形態2の記載も参照できる。

[0602]

ハフニウム及びジルコニウム的一方または両方を含む金属酸化物は、数nmといった薄膜であっても強誘電性を有しうるため、絶縁層130として好ましい。絶縁層130の膜厚は、100nm以下が好ましく、50nm以下がより好ましく、20nm以下がさらに好ましく、10nm以下(代表的には、2nm以上9nm以下)がさらに好ましい。また、例えば、膜厚を、8nm以上12nm以下にすることが好ましい。薄膜化することができる強誘電体層とすることで、容量素子100を、微細化されたトランジスタなどの半導体素子に組み合わせて半導体装置を形成することができる。

[0603]

また、ハフニウム及びジルコニウム的一方または両方を含む金属酸化物は、微小な面積でも強誘電性を有しうるため、絶縁層130として好ましい。例えば、強誘電体層の平面視における面積(占有面積)が、 $100\mu\text{m}^2$ 以下、 $10\mu\text{m}^2$ 以下、 $1\mu\text{m}^2$ 以下、または $0.1\mu\text{m}^2$ 以下であっても、強誘電性を有することができる。また、 10000nm^2 以下、または 1000nm^2 以下であっても、強誘電性を有する場合がある。面積が小さい強誘電体層とすることで、容量素子100の占有面積を小さくすることができる。

[0604]

強誘電体は、絶縁体であって、外部から電場を与えることによって内部に分極が生じ、かつ当該電場をゼロにしても分極が残る性質を有する。このため、当該材料を誘電体として用いた容量素子(以下、強誘電体キャパシタと呼ぶ場合がある)を用いて、不揮発性の記憶素子を形成することができる。強誘電体キャパシタを用いた、不揮発性の記憶素子は、FeRAM(Ferroelectric Random Access Memory)、強誘電体メモリなどと呼ばれることがある。例えば、強誘電体メモリは、トランジスタと、強誘電体キャパシタを有し、トランジスタのソース及びドレインの一方が、強誘電体キャパシタの一方の端子に電気的に接続された構成を有する。よって、容量素子100として強誘電体キャパシタを用いる場合、本実施の形態で示す記憶装置は、強誘電体メモリとして機能する。

[0605]

導電層120は、絶縁層130の上面の一部に接して設けられる。導電層120の側端部は、X方向及びY方向のいずれにおいても、導電層115の側端部よりも内側に位置することが好ましい。なお、絶縁層130が導電層115の側端部を覆う構造においては、導電層120の側端部は、導電層

115の側端部よりも外側に位置してもよい。

[0606]

導電層120は、実施の形態2の[導電層]の項目に記載の導電性材料を用いて、単層または積層で形成することができる。導電層120として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなどを用いることができる。また、例えば、窒化チタンの上に窒化タンタルを積層した構造にしてもよい。この場合、窒化チタンが絶縁層130に接し、窒化タンタルが酸化物半導体層230に接する。このような構造にすることで、酸化物半導体層230によって導電層120が過剰に酸化されることを抑制できる。また、絶縁層130に酸化物を用いる場合、絶縁層130によって導電層120が過剰に酸化されることを抑制できる。または、導電層120として、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。

[0607]

また、導電層120は、酸化物半導体層230と接する領域を有するため、酸素を含む導電性材料を用いることが好ましい。導電層120として酸素を含む導電性材料を用いることで、導電層120が酸素を吸収しても導電性を維持することができる。また、絶縁層130として酸化ジルコニウムなどの酸素を含む絶縁層を用いる場合においても、導電層120は導電性を維持できるため好適である。導電層120として、例えば、ITO、ITSO、IZO（登録商標）などを単層または積層で用いることができる。

[0608]

絶縁層180は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。絶縁層180としては、比誘電率が低い材料を含む絶縁層を、単層または積層で用いることができる。酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。

[0609]

なお、図22B及び図22Cでは、絶縁層180を単層で示したが、本発明はこれに限られるものではない。絶縁層180は、2層の積層構造であってもよく、3層以上の積層構造であってもよい。

[0610]

<記憶装置の構成例2>

図23A及び図23Bは、トランジスタ200A及びトランジスタ200Bを有する記憶装置の断面図である。

[0611]

図23A及び図23Bに示す記憶装置は、基板（図示しない）上の絶縁層140と、絶縁層140上のメモリセル150と、絶縁層140上の絶縁層180と、絶縁層280と、絶縁層283と、絶縁層285と、を有する。絶縁層140、絶縁層180、絶縁層280、絶縁層283、及び絶縁層285は、層間膜として機能する。

[0612]

メモリセル150は、絶縁層140上のトランジスタ200Bと、トランジスタ200B上のトランジスタ200Aと、を有する。

[0613]

トランジスタ200Aについては、実施の形態2の図14A及び図14B等のトランジスタ200

の説明を参照することができるため、詳細な説明は省略する。また、トランジスタ200Aの導電層220（図23A及び図23Bにおいては導電層220aと、導電層220a上の導電層220bの2層積層構造）は、トランジスタ200Bのゲート電極として機能することができる。絶縁層180及び導電層145は開口部190を有する。図23A及び図23Bでは、導電層145が導電層145aと、導電層145a上の導電層145bの積層構造を有する例を示す。導電層120は、開口部190と重なる凹部を有する。トランジスタ200Bは、導電層120と、絶縁層180上の導電層145と、導電層120の凹部の底面及び側面、開口部190の側面、及び絶縁層180の上面に接するように設けられる半導体層135と、半導体層135上の絶縁層155と、を有する。また、導電層220aは絶縁層155上に設けられ、開口部190内に位置する領域を有する。トランジスタ200Bの導電層120、導電層145a、導電層145b、半導体層135、及び絶縁層155はそれぞれ、実施の形態2の図14A及び図14B等のトランジスタ200が有する導電層220、導電層240a、導電層240b、酸化物半導体層230、及び絶縁層250を参照することができる。また、メモリセル150が有するトランジスタは、トランジスタ200Aとトランジスタ200Bの組み合わせに限定されず、実施の形態2で例示した各トランジスタを一種または複数種用いることができる。

[0614]

図23A及び図23Bに示すメモリセル150では、導電層220aと導電層145との間に生じる容量を用いることができるため、容量素子を別途形成することなく、データを保持することができる。

[0615]

図23A及び図23Bに示すように、トランジスタ200Bは、トランジスタ200Aと重なるように設けられる。また、開口部290は、開口部190と重なる領域を有する。また、導電層220a及び導電層220bは、トランジスタ200Aのソース電極及びドレイン電極の一方としての機能と、トランジスタ200Bのゲート電極としての機能とを有するため、トランジスタ200Aとトランジスタ200Bは、構造の一部を共有することになる。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ200A及びトランジスタ200Bを設けることができる。これにより、メモリセル150の占有面積を低減できるため、メモリセル150を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

[0616]

本実施の形態に示す記憶装置の回路図を図30Eに示す。図30Eに示すように、図23A及び図23Bに示す構成は、メモリセルとして機能する。メモリセル955は、トランジスタM2とトランジスタM3とを有する。ここで、トランジスタM2はトランジスタ200Aに対応し、トランジスタM3はトランジスタ200Bに対応する。

[0617]

トランジスタM2のソース及びドレインの一方は、トランジスタM3のゲートに接続される。トランジスタM1のソース及びドレインの他方は、配線WBLに接続される。トランジスタM2のゲートは、配線WOLに接続される。トランジスタM3のソース及びドレインの一方は、配線RBLに接続される。トランジスタM3のソース及びドレインの他方は、配線SLに接続される。

[0618]

配線WBLは導電層240に対応し、配線WOLは導電層260に対応する。

[0619]

<記憶装置の構成例3>

本実施の形態に示す、トランジスタ200及び容量素子100を有するメモリセル150は、記憶装置のメモリセルとして用いることができる。トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減できる。また、トランジスタ200の周波数特性が高いため、記憶装置の読み出し、及び書き込みを高速に行うことができる。

[0620]

メモリセル150を3次元的にマトリクス状に配置することで、メモリセルアレイを構成することができる。

[0621]

図24Aは、記憶装置の平面図である。図24Aでは、X方向及びY方向に2個×2個のメモリセル（メモリセル150a乃至メモリセル150d）を配置する例を示す。

[0622]

図24Bは、図24Aに示す一点鎖線A3-A4間の断面図である。図24A及び図24Bでは、2個のメモリセル（図24Bではメモリセル150a及びメモリセル150b）が共通の配線（導電層246）に接続されている。

[0623]

ここで、図24A及び図24Bに示すメモリセル150a及びメモリセル150bのそれぞれは、メモリセル150と同様の構成を有する。メモリセル150aは、容量素子100a及びトランジスタ200aを有し、メモリセル150bは、容量素子100b及びトランジスタ200bを有する。また、図24Aに示すメモリセル150c及びメモリセル150dについても、メモリセル150と同様の構成を有する。よって、図24A及び図24Bに示す記憶装置において、図22に示した記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。また、メモリセル150a乃至メモリセル150dの詳細については、<記憶装置の構成例1>におけるメモリセル150の記載を参照できる。

[0624]

図24A及び図24Bに示すように、配線WOLとして機能する導電層260は、メモリセル150a及びメモリセル150bに、それぞれ設けられる。また、図24Aに示すように、1つの導電層260が、メモリセル150aとメモリセル150cに共通して設けられ、他の1つの導電層260が、メモリセル150bとメモリセル150dに共通して設けられる。また、配線BILの一部として機能する1つの導電層240は、メモリセル150a及びメモリセル150bに、共通に設けられる。つまり、導電層240は、メモリセル150aの酸化物半導体層230と、メモリセル150bの酸化物半導体層230に接する。また、他の1つの導電層240が、メモリセル150c及びメモリセル150dに、共通に設けられる。

[0625]

ここで、図24A及び図24Bに示す記憶装置は、メモリセル150a及びメモリセル150bと

電氣的に接続してプラグ（接続電極とよぶこともできる）として機能する、導電層 245 及び導電層 246 を有する。導電層 245 は、絶縁層 140、絶縁層 180、絶縁層 130、及び、絶縁層 280 に形成された開口部内に配置され、導電層 240 の下面に接する。また、導電層 246 は、絶縁層 285、絶縁層 283、及び絶縁層 250 に形成された開口部内に配置され、導電層 240 の上面に接する。なお、導電層 245 及び導電層 246 は、導電層 240 に適用可能な導電性材料などを用いることができる。

[0626]

導電層 245 及び導電層 246 は、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、及びダイオードなどの回路素子、配線、電極、または、端子と、メモリセル 150a 及びメモリセル 150b を電氣的に接続するためのプラグまたは配線として機能する。例えば、導電層 245 が、図 24B に示す記憶装置の下に設けられたセンスアンプ（図示せず）に電氣的に接続され、導電層 246 が、図 24B に示す記憶装置の上に設けられた同様の記憶装置（図示せず）と電氣的に接続される構成にすることができる。この場合、導電層 245 及び導電層 246 は、配線 B1L の一部として機能する。このように、図 24B に示す記憶装置の上または下に記憶装置などを設けることで、単位面積当たりの記憶容量を大きくすることができる。

[0627]

また、メモリセル 150a とメモリセル 150b は、一点鎖線 A3-A4 の垂直二等分線を対称軸とした線対称の構成となっている。よって、トランジスタ 200a とトランジスタ 200b も、導電層 245 及び導電層 246 を挟んで、対称の位置に配置される。ここで、導電層 240 は、トランジスタ 200a のソース電極及びドレイン電極の他方としての機能と、トランジスタ 200b のソース電極及びドレイン電極の他方としての機能とを有する。また、トランジスタ 200a 及びトランジスタ 200b は、プラグとして機能する導電層 245 及び導電層 246 を共有する。このように、2つのトランジスタと、プラグとの接続を上述の構成とすることで、微細化または高集積化が可能な記憶装置を提供できる。

[0628]

なお、配線 CAL として機能する導電層 110 は、メモリセル 150a 及びメモリセル 150b に、それぞれ設けてもよいし、メモリセル 150a 及びメモリセル 150b に、共通に設けてもよい。ただし、図 24B に示すように、導電層 110 は、導電層 245 と離隔して設け、導電層 110 と導電層 245 がショートしないようにする。

[0629]

また、図 25 では、図 24A に示す 4 個のメモリセルが Z 方向に n 層（n は 3 以上の整数）積層されている例を示す。図 25 は、図 24A に示す一点鎖線 A3-A4 間の断面図である。

[0630]

図 25 に示す記憶装置は、n 層のメモリ層 160 を有する。具体的には、メモリ層 160 [1] 上にメモリ層 160 [2] が設けられ、メモリ層 160 [2] 上に、さらに、(n-2) 層のメモリ層が設けられており、最上段にメモリ層 160 [n] が設けられている。1 層のメモリ層 160 が有するメモリセルの数は特に限定されず、2 以上のメモリセルを有することができる。導電層 245、導電層 246、導電層 247、及び導電層 248 等によって、n 層のメモリ層 160 が有するメモリセルが、n 層のメモリ層 160 の下に設けられたセンスアンプ（図示せず）と電氣的に接続される。

[0631]

図25に示すように、複数のメモリセルを積層することにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dメモリセルアレイを構成することができる。

[0632]

図26に、センスアンプを含む駆動回路が設けられる層上に、メモリセルを有する層が積層して設けられた記憶装置の断面構成例を示す。

[0633]

図26では、トランジスタ300の上方にメモリセル150（トランジスタ200及び容量素子100）が設けられている。

[0634]

トランジスタ300は、センスアンプが有するトランジスタの一つである。

[0635]

図26に示すメモリセル150については、＜記憶装置の構成例1＞におけるメモリセル150の記載を参照できる。なお、図26においては、容量素子100が導電層120に替えて、導電層120aと、導電層120a上の導電層120bを有する例を示す。ここで導電層120bとして例えば、導電層220cとして用いることができる材料などを適用することができる。また導電層120aとして例えば、導電層220a及び導電層220bとして用いることができる材料などを適用することができる。また図26においては、酸化物半導体層230は、導電層120aの上面と接する例を示すが、酸化物半導体層230は導電層120aの上面と接していなくてもよい。

[0636]

図26に示すように、メモリセル150と重なるように、センスアンプを設ける構成にすることで、ビット線を短くすることができる。これにより、ビット線容量を小さくでき、記憶装置の高速駆動が可能となる。

[0637]

図26に示す記憶装置は、実施の形態4で説明する半導体装置900と対応させることができる。具体的には、トランジスタ300は、半導体装置900におけるセンスアンプ927が有するトランジスタに相当する。また、メモリセル150は、メモリセル950と対応する。

[0638]

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電層316と、ゲート絶縁層として機能する絶縁層315と、基板311の一部からなる半導体領域313と、ソース領域またはドレイン領域として機能する低抵抗領域314a及び低抵抗領域314bと、を有する。トランジスタ300は、pチャネル型またはnチャネル型のいずれでもよい。

[0639]

ここで、図26に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面及び上面を、絶縁層315を介して、導電層316が覆うように設けられている。なお、導電層316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁層を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0640]

なお、図26に示すトランジスタ300は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いることができる。

[0641]

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線として機能する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

[0642]

例えば、トランジスタ300上には、層間膜として、絶縁層320、絶縁層322、絶縁層324、及び絶縁層326が順に積層して設けられている。また、絶縁層320及び絶縁層322には導電層328が埋め込まれ、絶縁層324及び絶縁層326には導電層330が埋め込まれている。なお、導電層328及び導電層330はプラグ、または配線として機能する。

[0643]

また、層間膜として機能する絶縁層は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁層322の上面は、平坦性を高めるためにCMP法等を用いた平坦化処理により平坦化されていてもよい。

[0644]

絶縁層326及び導電層330上に、配線層を設けてもよい。例えば、図26において、絶縁層350、絶縁層352、及び絶縁層354が順に積層して設けられている。また、絶縁層350、絶縁層352、及び絶縁層354には、導電層356が形成されている。導電層356は、プラグ、または配線として機能する。

[0645]

層間膜として機能する、絶縁層352、及び絶縁層354等は、前述の、半導体装置または記憶装置に用いることができる絶縁層を用いることができる。

[0646]

プラグ、または配線として機能する導電層、例えば、導電層328、導電層330、及び導電層356等としては、導電層240に適用可能な導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0647]

トランジスタ200が有する導電層240は、導電層643、導電層642、導電層644、導電層645、導電層646、導電層356、導電層330、及び、導電層328を介して、トランジスタ300のソース領域またはドレイン領域として機能する低抵抗領域314bと、電氣的に接続されている。

[0648]

導電層643は、絶縁層280に埋め込まれている。導電層642は、絶縁層130上に設けられ、絶縁層691に埋め込まれている。導電層642は、導電層120aと同一の材料、及び、同一の工

程で作製することができる。導電層 644 は、絶縁層 180 及び絶縁層 130 に埋め込まれている。導電層 645 は、絶縁層 647 に埋め込まれている。導電層 645 は、導電層 110 と同一の材料、及び、同一の工程で作製することができる。導電層 646 は、絶縁層 648 に埋め込まれている。絶縁層 648 によって、トランジスタ 300 と、導電層 110 と、が電氣的に絶縁されている。

[0649]

以上のように、本実施の形態の記憶装置は、寄生容量が低減されたトランジスタを有するため、動作速度を高めることができる。また、本実施の形態の記憶装置は、容量素子とトランジスタと、を重ねて有するため、メモリセルの平面視における占有面積を小さくでき、集積度の高い記憶装置を実現できる。

[0650]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0651]

(実施の形態 4)

本実施の形態では、実施の形態 2 とは異なり、チャンネル長方向が基板面に対して平行な半導体装置、及び当該半導体装置の作製方法について、図 27 及び図 28 を用いて説明する。本実施の形態に示す半導体装置も、実施の形態 1 に記載の酸化物半導体を用いる。

[0652]

<半導体装置の構成例>

図 27 及び図 28 を用いて、半導体装置の構成例について説明する。図 27 A 乃至図 27 D は、半導体装置（トランジスタ 10）の平面図および断面図である。図 27 A は、当該半導体装置の平面図である。また、図 27 B 乃至図 27 D は、当該半導体装置の断面図である。ここで、図 27 B は、図 27 A に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 10 のチャンネル長方向の断面図でもある。また、図 27 C は、図 27 A に A3-A4 の一点鎖線で示す部位の断面図であり、トランジスタ 10 のチャンネル幅方向の断面図でもある。また、図 27 D は、図 27 A に A5-A6 の一点鎖線で示す部位の断面図であり、トランジスタ 10 のチャンネル幅方向の断面図でもある。なお、図 27 A の平面図では、図の明瞭化のために一部の要素を省いている。また、図 28 A 及び図 28 B に、トランジスタ 10 のチャンネル長方向の断面拡大図を示す。

[0653]

トランジスタ 10 は、絶縁体 16 に埋め込まれるように設けられた導電体 15 と、絶縁体 16 及び導電体 15 上の絶縁体 21 と、絶縁体 21 上の絶縁体 22 と、絶縁体 22 上の絶縁体 24 と、絶縁体 24 上の酸化物半導体 30 と、酸化物半導体 30 上の、導電体 42a 及び導電体 42b と、導電体 42a 上の絶縁体 71a と、導電体 42b 上の絶縁体 71b と、酸化物半導体 30 上の絶縁体 50 と、絶縁体 50 上の導電体 60 と、を有する。

[0654]

酸化物半導体 30 は、トランジスタ 10 のチャンネル形成領域として機能する領域を有する。また、導電体 60 は、トランジスタ 10 の第 1 のゲート電極（上側のゲート電極、トップゲート電極とも呼ぶことができる。）として機能する領域を有する。絶縁体 50 は、トランジスタ 10 の第 1 のゲート絶縁体として機能する領域を有する。また、導電体 15 は、トランジスタ 10 の第 2 のゲート電極（下側のゲート電極、ボトムゲート電極とも呼ぶことができる。）として機能する領域を有する。絶縁体 24、絶縁体 22、及び絶縁体 21 は、それぞれ、トランジスタ 10 の第 2 のゲート絶縁体として機

能する領域を有する。導電体42aは、トランジスタ10のソース電極またはドレイン電極の一方として機能する領域を有する。導電体42bは、トランジスタ10のソース電極またはドレイン電極の他方として機能する領域を有する。

[0655]

絶縁体71a及び絶縁体71b上には、絶縁体75が設けられ、絶縁体75上には絶縁体80が設けられている。絶縁体80及び絶縁体75には、絶縁体22及び酸化物半導体30に達する開口が形成されており、当該開口は、導電体42aと導電体42bの間の領域に重なっている。絶縁体50及び導電体60は、絶縁体80及び絶縁体75に設けられた開口の内部に配置されている。また、絶縁体80の上面、絶縁体50の上端部、及び導電体60の上面に接して、絶縁体82が設けられている。また、絶縁体82上に絶縁体83が設けられている。また、絶縁体16及び導電体15の下に絶縁体14が設けられている。また、絶縁体14の下に212が設けられている。絶縁体12、絶縁体14、絶縁体80、絶縁体82、絶縁体83、及び絶縁体85は層間膜として機能する。

[0656]

絶縁体85、絶縁体83、絶縁体82、絶縁体80、絶縁体75、及び絶縁体71aに導電体42aに達する開口が形成されており、当該開口内に導電体40a及び絶縁体41aが設けられている。当該開口の側壁に接して絶縁体41aが設けられており、絶縁体41aの内側に導電体40aが設けられている。また、絶縁体85、絶縁体83、絶縁体82、絶縁体80、絶縁体75、及び絶縁体71bに導電体42bに達する開口が形成されており、当該開口内に導電体40b及び絶縁体41bが設けられている。当該開口の側壁に接して絶縁体41bが設けられており、絶縁体41bの内側に導電体40bが設けられている。導電体40a及び導電体40bは、トランジスタ10上に設けられた配線等と、トランジスタ10のソースまたはドレインとを接続するビアとして機能する。

[0657]

ここで、酸化物半導体30は実施の形態1に記載の酸化物半導体層230に対応し、絶縁体24は実施の形態1に記載の層229に対応する。よって、酸化物半導体30及び絶縁体24の詳細については、実施の形態1の記載を参照することができる。このように、トランジスタ10のチャネル形成領域に、Axial Growth CAACである、酸化物半導体30を用いることで、オン電流、電界効果移動度、S値、周波数特性、及び信頼性が良好なトランジスタを提供することができる。

[0658]

また、図28Aに示すように、酸化物半導体30は、絶縁体24上の酸化物半導体30aと、酸化物半導体30a上の酸化物半導体30bと、酸化物半導体30b上の酸化物半導体30cと、を有する構成にすることができる。ここで、酸化物半導体30aは実施の形態1に記載の酸化物半導体層230aに対応し、酸化物半導体30bは実施の形態1に記載の酸化物半導体層230bに対応し、酸化物半導体30cは実施の形態1に記載の酸化物半導体層230cに対応する。よって、酸化物半導体30a乃至酸化物半導体30cの詳細については、実施の形態1の記載を参照することができる。

[0659]

酸化物半導体30には、トランジスタ10における、チャネル形成領域と、チャネル形成領域を挟むように設けられるソース領域及びドレイン領域と、が形成される。チャネル形成領域の少なくとも一部は、導電体60と重なる。ソース領域は導電体42aと重なり、ドレイン領域は導電体42bと重なる。なお、ソース領域とドレイン領域は互いに入れ替えることができる。

[0660]

チャネル形成領域は、ソース領域及びドレイン領域よりも、酸素欠損が少ない、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって、チャネル形成領域は、i 型（真性）または実質的に i 型であるといえることができる。

[0661]

また、ソース領域及びドレイン領域は、酸素欠損が多い、または水素、窒素、金属元素などの不純物濃度が高いため、キャリア濃度が高い低抵抗領域である。すなわち、ソース領域及びドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い、n 型の領域（低抵抗領域）である。

[0662]

なお、チャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満、 $1 \times 10^{15} \text{ cm}^{-3}$ 未満、 $1 \times 10^{14} \text{ cm}^{-3}$ 未満、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満、 $1 \times 10^{11} \text{ cm}^{-3}$ 未満、または、 $1 \times 10^{10} \text{ cm}^{-3}$ 未満であることが好ましい。また、チャネル形成領域のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0663]

なお、酸化物半導体 30 のキャリア濃度を低くする場合においては、酸化物半導体 30 中の不純物濃度を低くし、欠陥準位密度を低くする。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体（または金属酸化物）を、高純度真性または実質的に高純度真性な酸化物半導体（または金属酸化物）と呼ぶ場合がある。

[0664]

トランジスタ 10 の電気特性を安定にするためには、酸化物半導体 30 中のチャネル形成領域の不純物濃度を低減することが有効である。また、酸化物半導体 30 の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。なお、酸化物半導体 30 中の不純物とは、例えば、酸化物半導体 30 を構成する主成分以外をいう。例えば、濃度が 0.1 原子%未満の元素は不純物といえる。

[0665]

また、酸化物半導体 30 において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、並びに、水素、及び窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、並びに、水素、及び窒素などの不純物元素の濃度が減少していてもよい。

[0666]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 $\text{V}_\text{O}\text{H}$ と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネル形成領域では、不純物、酸素欠損、及び $\text{V}_\text{O}\text{H}$ はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネル形成領域は、キャリア濃度が低減され、i 型（真性化）または実質的

に i 型であることが好ましい。

[0667]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、及び V_{OH} を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ10のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素の量が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。また、当該絶縁体から酸化物半導体に供給される酸素量が、過剰に多くなると、トランジスタの電気特性及び信頼性に悪影響を及ぼす場合がある。さらに、ゲート電極、ソース電極、及びドレイン電極などの導電体に酸素が拡散し、当該導電体が酸化し、導電性が損なわれる恐れもある。

[0668]

まず、トランジスタ10の近傍に水素に対するバリア性を有する絶縁体を形成し、酸化物半導体30のチャンネル形成領域及びその近傍における V_{OH} を低減することが好ましい。

[0669]

絶縁体12、絶縁体14、絶縁体21、絶縁体22、絶縁体75、絶縁体82、及び絶縁体83の少なくとも一は、水素に対するバリア絶縁体として機能することが好ましい。また、絶縁体12、絶縁体14、絶縁体21、絶縁体22、絶縁体75、絶縁体82、及び絶縁体83の少なくとも一は、不純物に対するバリア絶縁体として機能することが好ましい。また、絶縁体12、絶縁体14、絶縁体21、絶縁体22、絶縁体75、絶縁体82、及び絶縁体83の少なくとも一は、酸素に対するバリア絶縁体として機能することが好ましい。なお、絶縁体12、絶縁体14、絶縁体21、絶縁体22、絶縁体75、絶縁体82、及び絶縁体83は、必ずしもすべて設ける必要はない。水素、不純物、酸素などに対するバリア性が十分ならば、絶縁体12、絶縁体14、絶縁体21、絶縁体22、絶縁体75、絶縁体82、及び絶縁体83の中から適宜選択して形成することができる。例えば、絶縁体14を設けずに、絶縁体12の上面に絶縁体16及び導電体15を接して形成する構成にすることもできる。

[0670]

本明細書等において、バリア絶縁体とは、バリア性を有する絶縁体のことを指す。本明細書等において、バリア性を有するとは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、または、対応する物質の拡散を抑制する機能ともいう）を有することを指す。または、対応する物質を、当該絶縁体内部で捕獲、または固着する（ゲッタリングともいう）機能を有する事を指す。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及び OH^- などの水素と結合した物質などの少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャンネル形成領域または半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、酸素分子などの少なくとも一を指す。

[0671]

水素の拡散を抑制する機能を有する絶縁体としては、例えば、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。また例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、

酸化ジルコニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウム及びジルコニウムを含む酸化物（ハフニウムジルコニウム酸化物）、酸化ガリウム、インジウムガリウム亜鉛酸化物などを用いることができる場合もある。

[0672]

絶縁体12、絶縁体21、絶縁体75、及び絶縁体83に、水素の拡散を抑制する機能を有する絶縁体を用いることが好ましい。例えば、絶縁体12、絶縁体21、絶縁体75、及び絶縁体83には、より水素バリア性が高い窒化シリコンを用いればよい。

[0673]

水素を捕獲または固着する機能を有する絶縁体としては、例えば、ハフニウムを含む酸化物、アルミニウムを含む酸化物、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、または酸化マグネシウムなどの金属酸化物を用いることが好ましい。水素を捕獲または固着する機能を有する絶縁体は、アモルファス構造を有することが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリリングボンドを有しており、当該ダングリリングボンドで水素を捕獲または固着する性質を有する場合がある。つまり、アモルファス構造を有する金属酸化物は、水素を捕獲または固着する能力が高いといえる。上記の金属酸化物にシリコンを添加することで、多結晶化を抑制し、よりアモルファス化しやすくすることができる。よって、上記の金属酸化物にシリコンが添加された金属酸化物（例えば、ハフニウムシリケート、アルミニウムシリケートなど）を用いることが好ましい。

[0674]

絶縁体14、絶縁体22、及び絶縁体82に、水素を捕獲または固着する機能を有する絶縁体を用いることが好ましい。例えば、絶縁体14、及び絶縁体82には、酸化アルミニウムを用いればよい。また、例えば、第2のゲート絶縁体として機能する絶縁体22には、高誘電率（high-k）材料である、酸化ハフニウムを用いることが好ましい。

[0675]

また、水素の拡散を抑制する機能を有する絶縁体、及び水素を捕獲または固着する機能を有する絶縁体として挙げた無機絶縁体は、酸素に対するバリア性も有する。

[0676]

図28Aに示すように、トランジスタ10の下に、水素の拡散を抑制する機能を有する絶縁体12と、水素を捕獲または固着する機能を有する絶縁体14を設けることが好ましい。絶縁体12をトランジスタ10の下に設けることで、トランジスタ10の下層から水素が拡散することを抑制することができる。また、絶縁体12の上に絶縁体14を設けることで、絶縁体16などに含まれる水素を、絶縁体14に捕獲または固着することができる。これにより、酸化物半導体30及びその近傍の水素濃度を低減することができる。

[0677]

また、図28Aに示すように、トランジスタ10の下に、水素の拡散を抑制する機能を有する絶縁体21と、水素を捕獲または固着する機能を有する絶縁体22を設けることが好ましい。絶縁体21をトランジスタ10の下に設けることで、トランジスタ10の下層から水素が拡散することを抑制することができる。また、絶縁体21の上に絶縁体22を設けることで、絶縁体24などに含まれる水素を、絶縁体22に捕獲または固着することができる。これにより、酸化物半導体30及びその近傍の水素濃度を低減することができる。

[0678]

また、図28Aに示すように、酸化物半導体30、導電体42a、導電体42bなどを覆って、絶縁体75を設けることが好ましい。このように絶縁体75を設けることで、絶縁体80から酸化物半導体30、導電体42a、導電体42bなどに水素が拡散することを抑制することができる。

[0679]

また、図28Aに示すように、トランジスタ10の上に、水素を捕獲または固着する機能を有する絶縁体82と、水素の拡散を抑制する機能を有する絶縁体83を設けることが好ましい。絶縁体83をトランジスタ10の上に設けることで、トランジスタ10の上層から水素が拡散することを抑制することができる。また、絶縁体83の下に絶縁体82を設けることで、絶縁体80などに含まれる水素を、絶縁体82に捕獲または固着することができる。これにより、酸化物半導体30及びその近傍の水素濃度を低減することができる。

[0680]

このように、トランジスタ10の上下を、水素に対するバリア絶縁体で取り囲む構造にすることで、酸化物半導体に水素が拡散するのを低減し、チャネル形成領域にける V_{OH} を低減することができる。これにより、トランジスタ10の電気特性、及び信頼性の向上を図ることができる。

[0681]

さらに、加熱により脱離する酸素を絶縁体80に含ませることが好ましい。加熱処理によって、絶縁体50を介して、当該酸素を酸化物半導体30に供給することで、チャネル形成領域における酸素欠損を低減することができる。

[0682]

また、図28Aに示すように、絶縁体82を、絶縁体82aと、絶縁体82a上の絶縁体82bの積層構造にしてもよい。

[0683]

この場合、絶縁体82bの成膜を、酸素ガスを含む雰囲気でスパッタリング法を用いて行うことにより、絶縁体80に酸素を添加することができる。このとき、絶縁体82aを形成した状態で、絶縁体82bを成膜することで、絶縁体82a越しに酸素が添加されるため、絶縁体80に添加される酸素量を制御することができる。絶縁体82aの膜厚が厚ければ、上記の酸素の添加が阻害されやすくなり、絶縁体80に注入される酸素量が減る。絶縁体82aの膜厚が薄ければ、上記の酸素の添加が阻害されにくくなり、絶縁体80に注入される酸素量が増える。例えば、絶縁体82aの膜厚を1nm以上20nm以下、好ましくは3nm以上10nm以下にすることで、好適な量の酸素を絶縁体80に供給することができる。

[0684]

また、絶縁体82aの成膜時に、絶縁体80に酸素が添加されることを防ぐため、絶縁体82aはALD法を用いて成膜することが好ましい。また、絶縁体82aの膜厚を上記のように薄くするためには、ALD法を用いて成膜することが好ましい。

[0685]

例えば、絶縁体82aと絶縁体82bの両方が酸化アルミニウムを有する場合において、絶縁体82aは、絶縁体82bより炭素濃度が高くなる場合がある。このとき、絶縁体82aの炭素濃度は、SIMS分析において、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下であり、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下の領域を有する場合

がある。また、絶縁体 82b の炭素濃度は、SIMS 分析において、検出下限以上、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下であり、 $4.46 \times 10^{17} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下の領域を有する場合がある。

[0686]

上記のように、加熱により脱離する酸素を含んだ状態の絶縁体 80 に、加熱処理を行うことで、絶縁体 50 を介して酸化物半導体 30 に好適な量の酸素を供給することができる。当該加熱処理において、絶縁体 80 上に、酸素に対するバリア性を有する絶縁体 82 及び絶縁体 83 が形成されているため、絶縁体 80 に含まれる酸素が過剰に絶縁体 80 から拡散されることを防ぐことができる。また、絶縁体 80 と、酸化物半導体 30、導電体 42a、及び導電体 42b との間に、酸素に対するバリア性を有する絶縁体 75 が形成されているため、絶縁体 80 に含まれる酸素が過剰に絶縁体 80 から拡散されることを防ぐことができる。また、絶縁体 80、絶縁体 82、及び絶縁体 83 の一部に開口を形成した状態で当該加熱処理を行うことで、絶縁体 80 に含まれる酸素の一部を外方拡散させ、絶縁体 80 から酸化物半導体 30 に供給される酸素の量を調整することもできる。

[0687]

ここで、絶縁体 50 は、絶縁体 80 から酸化物半導体 30 に酸素を拡散させ、且つ導電体 42a、導電体 42b、及び導電体 60 の酸化を抑制する構成とすることが好ましい。

[0688]

絶縁体 50 は、図 27B 及び図 27C に示すように、絶縁体 80、絶縁体 75 に形成された開口内に配置される。絶縁体 50 は、当該開口内において、絶縁体 22 の上面、絶縁体 24 の側面、酸化物半導体 30 の側面及び上面、導電体 42a の側面、導電体 42b の側面、絶縁体 71a の側面、絶縁体 71b の側面、絶縁体 75 の側面、及び絶縁体 80 の側面に接して形成される。また、図 28A に示すように、酸化物半導体 30 が酸化物半導体 30a 乃至酸化物半導体 30c を有する場合、絶縁体 50 は、酸化物半導体 30a の側面、酸化物半導体 30b の側面、及び酸化物半導体 30c の上面及び側面に接する。ここで、実施の形態 1 に記載したように酸化物半導体層 230c（図 7A に示す酸化物半導体 30c）の結晶性を高くしておくことが好ましい。酸化物半導体 30c は絶縁体 50 と接触面積が大きいので、トランジスタ 10 がオン状態において、キャリア移動度を高くすることができる。

[0689]

ここで、図 28A に示すように、絶縁体 50 は、酸化物半導体 30 に接する絶縁体 50a と、絶縁体 50a 上の絶縁体 50b と、絶縁体 50b 上の絶縁体 50c の積層構造とすることが好ましい。

[0690]

絶縁体 50b は、絶縁耐圧が高い酸化シリコンまたは酸化窒化シリコンなどを用いることが好ましい。また、絶縁耐圧を向上させるため、絶縁体 50b を絶縁体 50a 及び絶縁体 50d より膜厚を大きくしてもよい。上記のような酸化物絶縁体を用いることで、高温の加熱処理を行って絶縁体 50b 中で酸素を拡散させることができる。よって、加熱処理を行うことで、絶縁体 50b を介して、絶縁体 80 に含まれる酸素を酸化物半導体 30 に供給することができる。なお、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0691]

導電体42a、導電体42b、及び導電体60の酸化を抑制するために、導電体42a、導電体42b、及び導電体60それぞれの近傍に酸素に対するバリア絶縁体を設けることが好ましい。例えば、絶縁体50a及び絶縁体50cに酸素に対するバリア絶縁体を設けることが好ましい。

[0692]

絶縁体50aは、酸素に対するバリア性を有することが好ましい。絶縁体50aは、少なくとも絶縁体50bよりも酸素を透過しにくいことが好ましい。絶縁体50aは、導電体42aの側面、及び導電体42bの側面と接する領域を有する。絶縁体50aが酸素に対するバリア性を有することで、導電体42a及び導電体42bの側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタ10のオン電流の低下、または電界効果移動度の低下を抑制できる。また、このような構成にすることで、絶縁体50b中の酸素が、導電体42a及び導電体42bに吸収される量を低減することができる。よって、絶縁体50bから酸化物半導体30に適量の酸素を供給し、酸化物半導体30のチャネル形成領域の酸素欠損を低減できる。

[0693]

また、絶縁体80と絶縁体50bの間、及び絶縁体50bと酸化物半導体30の間に絶縁体50aを設けることにより、絶縁体80から、酸素が酸化物半導体30に過剰に供給されることを抑制し、適量の酸素を酸化物半導体30に供給することができる。よって、酸化物半導体30のチャネル形成領域及びその近傍の酸素量を適量に制御できるため、トランジスタ10の過剰なノーマリーオフ化を防ぎ、信頼性の向上を図ることができる。また、ソース領域及びドレイン領域が過剰に酸化され、トランジスタ10のオン電流の低下、または電界効果移動度の低下を起こすことを抑制できる。

[0694]

よって、絶縁体50aは、絶縁体80から絶縁体50bへの酸素の拡散、及び絶縁体50bから酸化物半導体30への酸素の拡散を過剰に妨げない程度の膜厚にすることが好ましい。例えば、絶縁体50aの膜厚は0.1nm以上5.0nm以下が好ましく、0.5nm以上5.0nm以下がより好ましく、0.5nm以上3.0nm未満がより好ましく、0.5nm以上2.0nm以下がさらに好ましい。

[0695]

上記のように、絶縁体80から絶縁体50bへの酸素の拡散、及び絶縁体50bから酸化物半導体30への酸素の拡散を適度に行い、且つ絶縁体50bから導電体42a、導電体42bへの酸素の拡散はできる限り抑制することが好ましい。ここで、本実施の形態に係る半導体装置では、絶縁体50aと導電体42aの接触面積、及び絶縁体50aと導電体42bの接触面積は、絶縁体50aと酸化物半導体30の接触面積より非常に小さい。つまり、絶縁体50bから絶縁体50aを介して導電体42a、導電体42bに拡散する酸素量は、絶縁体50bから絶縁体50aを介して酸化物半導体30に拡散する酸素量より少ないことが推測される。よって、絶縁体80に含まれる酸素量を制御し、絶縁体80から絶縁体50b及び酸化物半導体30に好適な量の酸素が供給されるようにすることで、導電体42a、導電体42bの酸化を低減することができる。

[0696]

酸化物半導体30におけるチャネル形成領域と接する絶縁体50aは、水素を捕獲または水素を固着する機能を有することが好ましい。これにより、酸化物半導体30のチャネル形成領域中の水素濃度を低減できる。よって、チャネル形成領域中の V_{OH} を低減し、チャネル形成領域をi型または実

質的に i 型とすることができる。

[0697]

また、絶縁体 50a に、高誘電率 (high-k) 材料を用いることが好ましい。なお、high-k 材料の一例として、アルミニウム及びハフニウム的一方または双方を含む酸化物がある。絶縁体 50a として high-k 材料を用いることで、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

[0698]

以上より、絶縁体 50a として、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることがより好ましい。酸化アルミニウムは、ALD 法を用いて、アモルファス化した膜を比較的容易に成膜することができるため、アモルファス構造を有する酸化アルミニウムを用いることがさらに好ましい。本実施の形態では、絶縁体 50a として、酸化アルミニウム膜を用いる。酸化アルミニウムは、水素を捕獲または固着する機能を有し、酸素に対するバリア性を有するため、絶縁体 50a として好適に用いることができる。

[0699]

絶縁体 50c も、酸素に対するバリア性を有することが好ましい。絶縁体 50c は酸化物半導体 30 のチャネル形成領域と導電体 60 との間、及び絶縁体 80 と導電体 60 との間に設けられている。当該構成にすることで、酸化物半導体 30 のチャネル形成領域に含まれる酸素が導電体 60 へ拡散し、酸化物半導体 30 のチャネル形成領域に酸素欠損が形成されることを抑制できる。また、酸化物半導体 30 に含まれる酸素及び絶縁体 80 に含まれる酸素が導電体 60 へ拡散し、導電体 60 が酸化することを抑制できる。絶縁体 50c は、少なくとも絶縁体 50b よりも酸素を透過しにくいことが好ましい。また、絶縁体 50c は、水素の拡散を抑制する機能を有することが好ましい。これにより、導電体 60 に含まれる水素などの不純物が、酸化物半導体 30 に拡散することを防ぐことができる。例えば、絶縁体 50c として、窒化シリコン膜を用いることが好ましい。

[0700]

また、図 28B に示すように、絶縁体 50b の上に絶縁体 50d を設ける構成にしてもよい。この場合、絶縁体 50d としては、絶縁体 50a に用いることができる絶縁体を設けることができる。例えば、絶縁体 50d として、酸化ハフニウムを用いることができる。ここで、絶縁体 50c と絶縁体 50b の間に、絶縁体 50d を設けることにより、絶縁体 50b などに含まれる水素を、より効果的に捕獲及び固着させることができる。また、絶縁体 50c を設けずに、絶縁体 50a、絶縁体 50b、及び絶縁体 50c を設ける構成にすることもできる。

[0701]

上述のような構成にすることで、チャネル形成領域を i 型または実質的に i 型とし、ソース領域及びドレイン領域を n 型とすることができ、良好な電気特性を有する半導体装置を提供できる。また、上記構成にすることで、半導体装置を微細化または高集積化しても良好な電気特性を有することができる。また、トランジスタ 10 を微細化することで高周波特性を向上することができる。具体的には、遮断周波数を向上することができる。

[0702]

絶縁体 50a 乃至絶縁体 50d は、第 1 のゲート絶縁体の一部として機能する。絶縁体 50a 乃至

絶縁体50dは、導電体60とともに、絶縁体80に形成された開口に設ける。トランジスタ10の微細化を図るにあたって、絶縁体50a、絶縁体50c、絶縁体50dの膜厚はそれぞれ薄いことが好ましい。絶縁体50a、絶縁体50c、絶縁体50dの膜厚は、それぞれ、0.1nm以上20nm以下が好ましく、0.1nm以上10nm以下がより好ましく、0.5nm以上5.0nm以下がより好ましく、1.0nm以上5.0nm未満がより好ましく、1.0nm以上3.0nm以下がさらに好ましい。なお、絶縁体50a、絶縁体50c、絶縁体50dは、それぞれ、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0703]

絶縁体50a乃至絶縁体50dの膜厚を上記のように薄くするためには、ALD法を用いて成膜することが好ましい。また、絶縁体80等の開口内に、絶縁体50a乃至絶縁体50dを被覆性良く形成するには、ALD法を用いて成膜することが好ましい。

[0704]

なお、上記において、絶縁体50が、絶縁体50a乃至絶縁体50cの3層構造、または絶縁体50a乃至絶縁体50dの4層構造となる構成について説明したが、本発明はこれに限られるものではない。絶縁体50は、絶縁体50a乃至絶縁体50dのうち、少なくとも一つを有する構成にすることができる。絶縁体50を、絶縁体50a乃至絶縁体50dのうち、1層、2層または3層で構成することで、半導体装置の作製工程を簡略化し、生産性の向上を図ることができる。

[0705]

トランジスタ10において、導電体15は、酸化物半導体30及び導電体60と重なるように配置する。導電体15には、実施の形態2の[導電層]の項目に記載の導電性材料を用いることができる。ここで、導電体15は、絶縁体16に形成された開口に埋め込まれるように設けられることが好ましい。また、導電体15は、図27A及び図27Cに示すように、チャネル幅方向に延在して設けられることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体15は配線として機能する。

[0706]

図28Aに示すように、導電体15は、導電体15a及び導電体15bを有する事が好ましい。導電体15aは、上記開口の底面及び側壁に接して設けられる。導電体15bは、上記開口に沿って形成された導電体15a凹部を埋め込むように設けられる。ここで、導電体15の上面の高さは、絶縁体16の上面の高さと一致または略一致する。

[0707]

ここで、導電体15aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を有することが好ましい。または、酸素(例えば、酸素原子、及び酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を有することが好ましい。

[0708]

導電体15aに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体15bに含まれる水素などの不純物が、絶縁体16等を介して、酸化物半導体30に拡散することを防ぐことができる。また、導電体15aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体15bが酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、

及び、酸化ルテニウムが挙げられる。導電体15aは、上記導電性材料の単層構造または積層構造とすることができる。例えば、導電体15aは、窒化チタンを有することが好ましい。

[0709]

また、導電体15bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体15bは、タングステンを有することが好ましい。

[0710]

導電体15は、第2のゲート電極として機能することができる。その場合、導電体15に印加する電位を、導電体60に印加する電位と連動させず、独立して変化させることで、トランジスタ10のしきい値電圧(V_{th})を制御することができる。特に、導電体15に負の電位を印加することにより、トランジスタ10の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体15に負の電位を印加したほうが、印加しない場合よりも、導電体60に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0711]

また、導電体15の電気抵抗率は、上記の導電体15に印加する電位を考慮して設計され、導電体15の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体16の膜厚は、導電体15とほぼ同じになる。ここで、導電体15の設計が許す範囲で導電体15及び絶縁体16の膜厚を薄くすることが好ましい。絶縁体16の膜厚を薄くすることで、絶縁体16中に含まれる水素などの不純物の絶対量を低減することができるため、当該不純物が酸化物半導体30に拡散することを抑制することができる。

[0712]

なお、図28Aにおいて、導電体15aと導電体15bの積層構造について示したが、本発明はこれに限られるものではなく、導電体15は、単層構造であってもよく、3層以上の積層構造であってもよい。例えば、導電体15aを窒化タンタルと、窒化タンタル上の窒化チタンの2層構造にし、導電体15aの上にタングステンを有する導電体15bを設ける構造にしてもよい。このような構成にすることで、トランジスタ10の下層に含まれる、水素などの不純物、及び銅などの金属不純物が導電体15に拡散することを抑制することができる。

[0713]

層229に対応する絶縁体24は、絶縁体21、及び絶縁体22とともに、第2のゲート絶縁体として機能する。

[0714]

酸化物半導体30と接する絶縁体24は、実施の形態2の[絶縁層]に記載の絶縁性材料を用いることができる。絶縁体24は、例えば、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。これにより、絶縁体24から酸化物半導体30に酸素を供給し、酸素欠損を低減することができる。なお、絶縁体24は、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0715]

また、絶縁体24は、酸化物半導体30と同様に、島状に加工することが好ましい。これにより、複数のトランジスタ10を設ける場合、各トランジスタが、ほぼ同程度の大きさの絶縁体24を有することになる。これにより、各トランジスタ10において、絶縁体24から酸化物半導体30に供給される酸素の量が、同程度になる。よって、基板面内でトランジスタ10の電気特性のばらつきを抑

制することができる。なお、絶縁体 2 4 は、必ずしも島状に加工しなくてもよい。

[0716]

導電体 4 2 a、導電体 4 2 b、及び導電体 6 0 には、実施の形態 2 の [導電層] の項目に記載の導電性材料を用いることができる。特に、導電体 4 2 a、導電体 4 2 b、及び導電体 6 0 として、それぞれ、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電体 4 2 a、導電体 4 2 b、及び導電体 6 0 の導電率が低下することを抑制できる。導電体 4 2 a、導電体 4 2 b、及び導電体 6 0 として、金属及び窒素を含む導電性材料を用いる場合、導電体 4 2 a、導電体 4 2 b、及び導電体 6 0 は、少なくとも金属と、窒素と、を有する導電体となる。

[0717]

導電体 4 2 a、導電体 4 2 b としては、金属窒化物を用いることが好ましく、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物などを用いることが好ましい。例えば、導電体 4 2 a、導電体 4 2 b として、窒化タンタルを用いることができる。また、例えば、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化されにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0718]

なお、酸化物半導体 3 0 などに含まれる水素が、導電体 4 2 a または導電体 4 2 b に拡散する場合がある。特に、導電体 4 2 a 及び導電体 4 2 b に、タンタルを含む窒化物を用いることで、酸化物半導体 3 0 などに含まれる水素が、導電体 4 2 a または導電体 4 2 b に拡散しやすく、拡散した水素は、導電体 4 2 a または導電体 4 2 b が有する窒素と結合することがある。つまり、酸化物半導体 3 0 などに含まれる水素は、導電体 4 2 a または導電体 4 2 b に吸い取られる場合がある。

[0719]

また、導電体 4 2 a 及び導電体 4 2 b を積層構造にしてもよい。この場合、導電体 4 2 a 及び導電体 4 2 b の下層に上記の導電性材料を用い、導電体 4 2 a 及び導電体 4 2 b の上層により導電性の高い導電性材料を用いればよい。例えば、下層に窒化タンタルを用い、上層にタングステンを用いることができる。

[0720]

絶縁体 7 1 a 及び絶縁体 7 1 b は、導電体 4 2 a 及び導電体 4 2 b の加工時にエッチングストップとして機能し、導電体 4 2 a 及び導電体 4 2 b を保護する無機絶縁体である。また、絶縁体 7 1 a 及び絶縁体 7 1 b は、導電体 4 2 a 及び導電体 4 2 b に接するため、導電体 4 2 a 及び導電体 4 2 b を酸化させにくい、無機絶縁体であることが好ましい。よって、図 2 8 A に示すように、絶縁体 7 1 a を、絶縁体 7 1 a 1 と、絶縁体 7 1 a 1 上の絶縁体 7 1 a 2 の積層構造にし、絶縁体 7 1 b を、絶縁体 7 1 b 1 と、絶縁体 7 1 b 1 上の絶縁体 7 1 b 2 の積層構造にすることが好ましい。ここで、絶縁体 7 1 a 1、絶縁体 7 1 b 1 は、導電体 4 2 a、導電体 4 2 b を酸化させにくいように、絶縁体 5 0 c に用いることができる窒化物絶縁体を用いることが好ましい。また、絶縁体 7 1 a 2、2 7 1 b 2 は、エッチングストップとして機能するように、絶縁体 5 0 b に用いることができる酸化物絶縁体を用いることが好ましい。

[0721]

ここで、絶縁体71a1は、導電体42aの上面及び絶縁体75の一部に接し、絶縁体71b1は、導電体42bの上面及び絶縁体75の一部に接する。また、絶縁体71a2は、絶縁体71a1の上面及び絶縁体75の下面に接し、絶縁体71b2は、絶縁体71b1の上面及び絶縁体75の下面に接する。例えば、絶縁体71a1及び絶縁体71b1として、窒化シリコンを用い、絶縁体71a2及び絶縁体71b2として、酸化シリコンを用いることができる。

[0722]

絶縁体71a及び絶縁体71bの元になる絶縁体は、導電体42a及び導電体42bの元になる導電体のマスクとして機能するため、図27Dに示すように、導電体42a及び導電体42bは側面と上面の間に湾曲面を有しない。これにより、導電体42a及び導電体42bは、側面と上面が交わる端部が角状になる。導電体42a及び導電体42bの側面と上面が交わる端部が角状になることで、当該端部が曲面を有する場合に比べて、導電体42a及び導電体42bの断面積が大きくなる。さらに、絶縁体71a1、271b1に、金属を酸化させにくい窒化物絶縁体を用いることで、導電体42a及び導電体42bが過剰に酸化されるのを防ぐことができる。以上により、導電体42a及び導電体42bの抵抗が低減されるため、トランジスタのオン電流を大きくすることができる。

[0723]

導電体60は、図27B及び図27Cに示すように、絶縁体80、絶縁体75に形成された開口内に配置される。導電体60は、当該開口内において、絶縁体50を介して、絶縁体22の上面、絶縁体24の側面、酸化物半導体30の側面及び上面を覆うように設けられる。また、導電体60の上面は、絶縁体50の上端部、及び絶縁体80の上面と高さが一致または略一致するように配置される。

[0724]

なお、導電体60及び絶縁体50が配置された、上記開口において、当該開口の側壁は、絶縁体22の上面に対して垂直または略垂直であってもよく、テーパ形状であってもよい。側壁をテーパ形状にすることで、絶縁体80の開口に設けられる、絶縁体50の被覆性が向上し、鬆などの欠陥を低減できる。

[0725]

導電体60は、トランジスタ10の第1のゲート電極として機能する。ここで、導電体60は、図27A、及び図27Cに示すように、チャネル幅方向に延在して設けられることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体60は配線として機能する。

[0726]

上記のような構造にする場合、図27Cに示すように、トランジスタ10のチャネル幅方向の断面視において、酸化物半導体30の側面と酸化物半導体30の上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう）。

[0727]

上記湾曲面での曲率半径は、0nmより大きく、導電体42a及び導電体42bと重なる領域の酸化物半導体30の膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、絶縁体50、および導電体60の、酸化物半導体30への被覆性を高めることができる。

[0728]

なお、本明細書等において、少なくとも第1のゲート電極の電界によって、チャンネル形成領域を電気的に取り囲むトランジスタの構造を、`surrounded channel` (`S-channel`) 構造とよぶ。また、本明細書等で開示する `S-channel` 構造は、`Fin` 型構造およびプレーナ型構造とは異なる構造を有する。一方で、本明細書等で開示する `S-channel` 構造は、`Fin` 型構造の一種として捉えることも可能である。なお、本明細書等において、`Fin` 型構造とは、ゲート電極が少なくともチャンネルの2面以上（具体的には、2面、3面、または4面等）を包むように配置される構造を示す。`Fin` 型構造、および `S-channel` 構造を採用することで、短チャンネル効果に対する耐性を高める、別言すると短チャンネル効果が発生し難いトランジスタとすることができる。

[0729]

トランジスタ10を、上記の `S-channel` 構造とすることで、チャンネル形成領域を電気的に取り囲むことができる。なお、`S-channel` 構造は、チャンネル形成領域を電気的に取り囲んでいる構造であるため、実質的に `GAA` (`Gate All Around`) 構造、または `LGAA` (`Lateral Gate All Around`) 構造と、同等の構造であるともいえる。トランジスタ10を `S-channel` 構造、`GAA` 構造、又は `LGAA` 構造とすることで、酸化物半導体30とゲート絶縁体との界面又は界面近傍に形成されるチャンネル形成領域を、酸化物半導体30のバルク全体とすることができる。したがって、トランジスタに流れる電流密度を向上させることが可能となるため、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度を高めることが期待できる。

[0730]

本実施の形態では、絶縁体24を島状に設ける構成にする。よって、図27Cに示すように、導電体60の下面の少なくとも一部を、酸化物半導体30の下面より下に設けることができる。これにより、酸化物半導体30の上面及び側面に対向して、導電体60を設けることができるため、導電体60の電界を酸化物半導体30の上面及び側面に作用させることができる。このように、絶縁体24を島状に設ける構成にすることで、トランジスタ10を `S-channel` 構造にすることができる。

[0731]

なお、図27Cに示すトランジスタ10については、`S-channel` 構造のトランジスタを例示したが、本発明の一態様の半導体装置はこれに限定されない。例えば、本発明の一態様に用いることができるトランジスタ構造としては、プレーナ型構造、`Fin` 型構造、および `GAA` 構造の中から選ばれるいずれか一または複数としてもよい。

[0732]

図28Aに示すように、導電体60を2層構造にすることが好ましい。ここで、導電体60は、導電体60aと、導電体60aの上に配置された導電体60bと、を有することが好ましい。例えば、導電体60aは、導電体60bの底面及び側面を包むように配置されることが好ましい。このとき、導電体60aとして、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0733]

導電体60aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いるこ

とが好ましい。

[0734]

また、導電体60aが酸素の拡散を抑制する機能を有することにより、絶縁体80などに含まれる酸素により、導電体60bが酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0735]

また、導電体60bは、導電性が高い導電体を用いることが好ましい。例えば、導電体60bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体60bは積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

[0736]

また、トランジスタ10では、導電体60は、絶縁体80などに形成されている開口を埋めるように自己整合的に形成される。導電体60をこのように形成することにより、位置合わせをしなくても、導電体42aと導電体42bとの間の領域に重畳して、導電体60を配置することができる。

[0737]

絶縁体16、絶縁体80、及び絶縁体85は、それぞれ、絶縁体22よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

[0738]

例えば、絶縁体16、絶縁体80、及び絶縁体85は、それぞれ、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、及び、空孔を有する酸化シリコンのうち一つまたは複数を有することが好ましい。

[0739]

特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0740]

また、絶縁体16、及び絶縁体80の上面は、それぞれ、平坦化されていてもよい。

[0741]

絶縁体80中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体80は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を有することが好ましい。

[0742]

導電体40a及び導電体40bには、実施の形態2の[導電層]の項目に記載の導電性材料を用いることができる。導電体40a及び導電体40bは、例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体40aおよび導電体40bは積層構造としてもよい。

[0743]

例えば、図28Aに示すように、導電体40a及び導電体40bを2層の積層構造にしてもよい。導電体40aは、開口に沿って形成された導電体40a1と、導電体40a1の内部に形成された導電体40a2を有する。また、導電体40bは、開口に沿って形成された導電体40b1と、導電体

40b1の内部に形成された導電体40b2を有する。

[0744]

導電体40a1及び導電体40b1には、導電体15aと同様に、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。導電体40a1及び導電体40b1を設けることで、水、水素などの不純物が、導電体40a2及び導電体40b2を通じて酸化物半導体30に混入することを抑制することができる。なお、導電体40a2及び導電体40b2は、上記の導電体40a及び導電体40bに用いることが可能な導電性材料を用いればよい。

[0745]

また、図27Bに示すように、導電体40a及び導電体40bの上面は、絶縁体85の上面と、一致または略一致するように形成することができる。また、図28Aに示すように、導電体40aの下部が導電体42aに埋め込まれるように形成される場合がある。同様に、導電体40bの下部が導電体42bに埋め込まれるように形成される場合がある。

[0746]

絶縁体41a及び絶縁体41bとしては、絶縁体75などに用いることができるバリア絶縁体を用いればよい。例えば、絶縁体41a及び絶縁体41bとして、窒化シリコンを用いればよい。絶縁体41a及び絶縁体41bは、絶縁体85、絶縁体83、絶縁体82、絶縁体75、絶縁体71a、及び絶縁体71bに接して設けられている。これにより、絶縁体80などに含まれる水、水素などの不純物が、導電体40a及び導電体40bを通じて酸化物半導体30に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体80に含まれる酸素が導電体40a及び導電体40bに吸収されるのを防ぐことができる。

[0747]

また、絶縁体41aおよび絶縁体41bを積層構造にしてもよい。この場合、絶縁体80などの開口の側壁に接する第1の絶縁体と、その内側の第2の絶縁体は、酸素に対するバリア絶縁体と、水素に対するバリア絶縁体を組み合わせて用いることが好ましい。

[0748]

(実施の形態5)

本実施の形態では、本発明の一態様に係る半導体装置900について説明する。半導体装置900は記憶装置として機能できる。

[0749]

図29に、半導体装置900の構成例を示すブロック図を示す。図29に示す半導体装置900は、駆動回路910と、メモリアレイ920と、を有する。メモリアレイ920は、1以上のメモリセル950を有する。図29では、メモリアレイ920がマトリクス状に配置された複数のメモリセル950を有する例を示している。

[0750]

メモリセル950には、実施の形態2で説明した記憶装置（メモリセル150など）を適用することができる。

[0751]

駆動回路 910 は、PSW931（パワースイッチ）、PSW932、及び周辺回路 915 を有する。周辺回路 915 は、周辺回路 911、コントロール回路 912（Control Circuit）、及び電圧生成回路 928 を有する。

[0752]

半導体装置 900 において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができ。あるいは、他の回路または他の信号を追加してもよい。信号 BW、信号 CE、信号 GW、信号 CLK、信号 WAKE、信号 ADDR、信号 WDA、信号 PON1、信号 PON2 は外部からの入力信号であり、信号 RDA は外部への出力信号である。信号 CLK はクロック信号である。

[0753]

また、信号 BW、信号 CE、及び信号 GW は制御信号である。信号 CE はチップイネーブル信号であり、信号 GW はグローバル書き込みイネーブル信号であり、信号 BW はバイト書き込みイネーブル信号である。信号 ADDR はアドレス信号である。信号 WDA は書き込みデータであり、信号 RDA は読み出しデータである。信号 PON1、信号 PON2 は、パワーゲーティング制御用信号である。なお、信号 PON1、信号 PON2 は、コントロール回路 912 で生成してもよい。

[0754]

コントロール回路 912 は、半導体装置 900 の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路 912 は、信号 CE、信号 GW 及び信号 BW を論理演算して、半導体装置 900 の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路 912 は、この動作モードが実行されるように、周辺回路 911 の制御信号を生成する。

[0755]

電圧生成回路 928 は負電圧を生成する機能を有する。信号 WAKE は、信号 CLK の電圧生成回路 928 への入力を制御する機能を有する。例えば、信号 WAKE として H レベルの信号が与えられると、信号 CLK が電圧生成回路 928 へ入力され、電圧生成回路 928 は負電圧を生成する。

[0756]

周辺回路 911 は、メモリセル 950 に対するデータの書き込み及び読み出しをするための回路である。周辺回路 911 は、行デコーダ 941（Row Decoder）、列デコーダ 942（Column Decoder）、行ドライバ 923（Row Driver）、列ドライバ 924（Column Driver）、入力回路 925（Input Cir.）、出力回路 926（Output Cir.）、及びセンスアンプ 927（Sense Amplifier）を有する。

[0757]

行デコーダ 941 及び列デコーダ 942 は、信号 ADDR をデコードする機能を有する。行デコーダ 941 は、アクセスする行を指定するための回路であり、列デコーダ 942 は、アクセスする列を指定するための回路である。行ドライバ 923 は、行デコーダ 941 が指定する行を選択する機能を有する。列ドライバ 924 は、データをメモリセル 950 に書き込む機能、メモリセル 950 からデータを読み出す機能、読み出したデータを保持する機能等を有する。

[0758]

入力回路 925 は、信号 WDA を保持する機能を有する。入力回路 925 が保持するデータは、列ドライバ 924 に出力される。入力回路 925 の出力データが、メモリセル 950 に書き込むデータ（Din）である。列ドライバ 924 がメモリセル 950 から読み出したデータ（Dout）は、出力回路 926 に出力される。出力回路 926 は、Dout を保持する機能を有する。また、出力回路

926は、Doutを半導体装置900の外部に出力する機能を有する。出力回路926から出力されるデータが信号RDAである。

[0759]

PSW931は周辺回路915への V_{DD} の供給を制御する機能を有する。PSW932は、行ドライバ923への V_{HM} の供給を制御する機能を有する。ここでは、半導体装置900の高電源電圧が V_{DD} であり、低電源電圧はGND（接地電位）である。また、 V_{HM} は、ワード線を高レベルにするために用いられる高電源電圧であり、 V_{DD} よりも高い。信号PON1によってPSW931のオン・オフが制御され、信号PON2によってPSW932のオン・オフが制御される。図29では、周辺回路915において、 V_{DD} が供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0760]

図30A乃至図30Hを用いて、メモリセル950に適用できるメモリセルの構成例について説明する。

[0761]

なお、以下において、2つの構成要素が接続すると記載した場合には、回路素子（トランジスタ、スイッチ、ダイオード、抵抗素子など）を介して電氣的に接続されることを含む。電氣的接続とは、2つの構成要素間で電流が流れる状態になりうることをいう。なお、2つの構成要素間がスイッチまたはトランジスタを介して接続される場合も、これらがオン状態のときに電流が流れる状態になりうるため、電氣的接続に含まれる。

[0762]

[DOSRAM]

図30Aに、DRAMのメモリセルの回路構成例を示す。本明細書などにおいて、OSトランジスタを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ。メモリセル951は、トランジスタM1と、容量素子CAと、を有する。

[0763]

なお、トランジスタM1は、フロントゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有していてもよい。このとき、バックゲートは定電位または信号が与えられる配線に接続されていてもよいし、フロントゲートとバックゲートとが接続されていてもよい。

[0764]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

[0765]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位（基準電位という場合がある。）を印加するのが好ましい。

[0766]

データの書き込み及び読み出しは、配線WOLに高レベル電位を印加し、トランジスタM1をオン

状態にし、配線B1Lと容量素子CAの第1端子を導通状態（電流を流すことが可能な状態）にすることで行われる。

[0767]

また、メモリセル950に用いることができるメモリセルは、メモリセル951に限定されず、回路構成の変更を行うことができる。例えば、図30Bに示すメモリセル952を用いてもよい。メモリセル952は、容量素子CA、及び配線CALを有さない場合の例である。トランジスタM1の第1端子は、電氣的にフローティングの状態である。

[0768]

メモリセル952において、トランジスタM1を介して書き込まれた電位は、破線で示す第1端子とゲートとの間の容量（寄生容量ともいう）に保持される。このような構成とすることで、メモリセルの構成を大幅に簡略化することができる。

[0769]

なお、トランジスタM1としてOSトランジスタを用いることが好ましい。OSトランジスタは、オフ電流が極めて小さいという特性を有している。トランジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル951、及びメモリセル952に対して多値データ、またはアナログデータを保持することができる。

[0770]

[NOSRAM]

図30Cに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。メモリセル953は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。本明細書などにおいて、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM (Nonvolatile Oxide Semiconductor RAM) と呼ぶ。

[0771]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0772]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位（基準電位という場合がある）を印加するのが好ましい。

[0773]

データの書き込みは、配線WOLに高レベル電位を印加し、トランジスタM2をオン状態にし、配線WBLと容量素子CBの第1端子を導通状態にすることで行われる。具体的には、トランジスタM

2がオン状態のときに、配線WBLに記録する情報に対応する電位を印加し、容量素子CBの第1端子、及びトランジスタM3のゲートに該電位を書き込む。その後、配線WOLに低レベル電位を印加し、トランジスタM2をオフ状態にすることによって、容量素子CBの第1端子の電位、及びトランジスタM3のゲートの電位を保持する。

[0774]

データの読み出しは、配線SLに所定の電位を印加することによって行われる。トランジスタM3のソースドレイン間に流れる電流、及びトランジスタM3の第1端子の電位は、トランジスタM3のゲートの電位、及びトランジスタM3の第2端子の電位によって決まるため、トランジスタM3の第1端子に接続されている配線RBLの電位を読み出すことによって、容量素子CBの第1端子（またはトランジスタM3のゲート）に保持されている電位を読み出すことができる。つまり、容量素子CBの第1端子（またはトランジスタM3のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

[0775]

また、例えば、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。そのメモリセルの回路構成例を図30Dに示す。メモリセル954は、メモリセル953の配線WBLと配線RBLを一本の配線BILとして、トランジスタM2の第2端子、及びトランジスタM3の第1端子が、配線BILと接続されている構成となっている。つまり、メモリセル954は、書き込みビット線と、読み出しビット線と、を1本の配線BILとして動作する構成となっている。

[0776]

図30Eに示すメモリセル955は、メモリセル953における容量素子CB及び配線CALを省略した場合の例である。また、図30Fに示すメモリセル956は、メモリセル954における容量素子CB及び配線CALを省略した場合の例である。このような構成とすることで、メモリセルの集積度を高めることができる。

[0777]

なお、少なくともトランジスタM2にはOSトランジスタを用いることが好ましい。特に、トランジスタM2、及びトランジスタM3にOSトランジスタを用いることが好ましい。

[0778]

OSトランジスタは、オフ電流が極めて小さいという特性を有しているため、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル953、メモリセル954、メモリセル955、メモリセル956に対して多値データ、またはアナログデータを保持することができる。

[0779]

トランジスタM2としてOSトランジスタを適用したメモリセル953、メモリセル954、メモリセル955、及びメモリセル956は、NOSRAMの一態様である。

[0780]

なお、トランジスタM3としてSiトランジスタを用いてもよい。Siトランジスタは電界効果移動度を高めることができるほか、pチャネル型トランジスタとすることもできるため、回路設計の自由度を高めることができる。

[0781]

また、トランジスタM3としてOSトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

[0782]

また、図30Gに、3トランジスタ1容量素子のゲインセル型のメモリセル957を示す。メモリセル957は、トランジスタM4乃至トランジスタM6と、容量素子CCと、を有する。

[0783]

トランジスタM4の第1端子は、容量素子CCの第1端子と接続され、トランジスタM4の第2端子は、配線BILと接続され、トランジスタM4のゲートは、配線WOLと接続されている。容量素子CCの第2端子は、トランジスタM5の第1端子と、配線GNDLと、に接続されている。トランジスタM5の第2端子は、トランジスタM6の第1端子と接続され、トランジスタM5のゲートは、容量素子CCの第1端子と接続されている。トランジスタM6の第2端子は、配線BILと接続され、トランジスタM6のゲートは配線RWLと接続されている。

[0784]

配線BILは、ビット線として機能し、配線WOLは、書き込みワード線として機能し、配線RWLは、読み出しワード線として機能する。配線GNDLは、低レベル電位を与える配線である。

[0785]

データの書き込みは、配線WOLに高レベル電位を印加し、トランジスタM4をオン状態にし、配線BILと容量素子CCの第1端子を導通状態にすることで行われる。具体的には、トランジスタM4がオン状態のときに、配線BILに記録する情報に対応する電位を印加し、容量素子CCの第1端子、及びトランジスタM5のゲートに該電位を書き込む。その後、配線WOLに低レベル電位を印加し、トランジスタM4をオフ状態にすることによって、容量素子CCの第1端子の電位、及びトランジスタM5のゲートの電位を保持する。

[0786]

データの読み出しは、配線BILに所定の電位をプリチャージして、その後、配線BILを電氣的に浮遊状態にし、かつ配線RWLに高レベル電位を印加することによって行われる。配線RWLが高レベル電位となるため、トランジスタM6はオン状態となり、配線BILとトランジスタM5の第2端子が導通状態となる。このとき、トランジスタM5の第2端子には、配線BILの電位が印加されることになるが、容量素子CCの第1端子（またはトランジスタM5のゲート）に保持されている電位に応じて、トランジスタM5の第2端子の電位、及び配線BILの電位が変化する。ここで、配線BILの電位を読み出すことによって、容量素子CCの第1端子（またはトランジスタM5のゲート）に保持されている電位を読み出すことができる。つまり、容量素子CCの第1端子（またはトランジスタM5のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

[0787]

なお、少なくともトランジスタM4にOSトランジスタを用いることが好ましい。

[0788]

なお、トランジスタM5及びM6としてSiトランジスタを用いてもよい。前述した通り、Siトランジスタは、半導体層に用いるシリコンの結晶状態などによっては、OSトランジスタよりも電界効果移動度が高くなる場合がある。

[0789]

また、トランジスタM5及びM6としてOSトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

[0790]

[OS-SRAM]

図30Hに、OSトランジスタを用いたSRAM (Static Random Access Memory) の一例を示す。本明細書などにおいて、OSトランジスタを用いたSRAMを、OS-SRAM (Oxide Semiconductor-SRAM) と呼ぶ。なお、図30Hに示すメモリセル958は、バックアップ可能なSRAMのメモリセルである。

[0791]

メモリセル958は、トランジスタM7乃至トランジスタM10と、トランジスタMS1乃至トランジスタMS4と、容量素子CD1と、容量素子CD2と、を有する。なお、トランジスタMS1、及びトランジスタMS2は、pチャネル型トランジスタであり、トランジスタMS3、及びトランジスタMS4は、nチャネル型トランジスタである。

[0792]

トランジスタM7の第1端子は、配線BILと接続され、トランジスタM7の第2端子は、トランジスタMS1の第1端子と、トランジスタMS3の第1端子と、トランジスタMS2のゲートと、トランジスタMS4のゲートと、トランジスタM10の第1端子と、に接続されている。トランジスタM7のゲートは、配線WOLと接続されている。トランジスタM8の第1端子は、配線BILBと接続され、トランジスタM8の第2端子は、トランジスタMS2の第1端子と、トランジスタMS4の第1端子と、トランジスタMS1のゲートと、トランジスタMS3のゲートと、トランジスタM9の第1端子と、に接続されている。トランジスタM8のゲートは、配線WOLと接続されている。

[0793]

トランジスタMS1の第2端子は、配線VDLと接続されている。トランジスタMS2の第2端子は、配線VDLと接続されている。トランジスタMS3の第2端子は、配線GNDLと接続されている。トランジスタMS4の第2端子は、配線GNDLと接続されている。

[0794]

トランジスタM9の第2端子は、容量素子CD1の第1端子と接続され、トランジスタM9のゲートは、配線BRLと接続されている。トランジスタM10の第2端子は、容量素子CD2の第1端子と接続され、トランジスタM10のゲートは、配線BRLと接続されている。

[0795]

容量素子CD1の第2端子は、配線GNDLと接続され、容量素子CD2の第2端子は、配線GNDLと接続されている。

[0796]

配線BIL及び配線BILBは、ビット線として機能し、配線WOLは、ワード線として機能し、配線BRLは、トランジスタM9、及びトランジスタM10のオン状態、オフ状態を制御する配線である。

[0797]

配線VDLは、高レベル電位を与える配線であり、配線GNDLは、低レベル電位を与える配線である。

[0798]

データの書き込みは、配線WOLに高レベル電位を印加し、かつ配線BRLに高レベル電位を印加することによって行われる。具体的には、トランジスタM10がオン状態のときに、配線BILに記録する情報に対応する電位を印加し、トランジスタM10の第2端子側に該電位を書き込む。

[0799]

ところで、メモリセル958は、トランジスタMS1乃至トランジスタMS2によってインバータループを構成しているため、トランジスタM8の第2端子側に、該電位に対応するデータ信号の反転信号が入力される。トランジスタM8がオン状態であるため、配線BILBには、配線BILに印加されている電位、すなわち配線BILに入力されている信号の反転信号が出力される。また、トランジスタM9、及びトランジスタM10がオン状態であるため、トランジスタM7の第2端子の電位、及びトランジスタM8の第2端子の電位は、それぞれ容量素子CD2の第1端子、及び容量素子CD1の第1端子に保持される。その後、配線WOLに低レベル電位を印加し、かつ配線BRLに低レベル電位を印加し、トランジスタM7乃至トランジスタM10をオフ状態にすることによって、容量素子CD1の第1端子、及び容量素子CD2の第1端子の電位を保持する。

[0800]

データの読み出しは、あらかじめ配線BIL及び配線BILBを所定の電位にプリチャージした後に、配線WOLに高レベル電位を印加し、配線BRLに高レベル電位を印加することによって、容量素子CD1の第1端子の電位が、メモリセル958のインバータループによってリフレッシュされ、配線BILBに出力される。また、容量素子CD2の第1端子の電位が、メモリセル958のインバータループによってリフレッシュされ、配線BILに出力される。配線BIL及び配線BILBでは、それぞれプリチャージされた電位から容量素子CD2の第1端子の電位、及び容量素子CD1の第1端子の電位に変動するため、配線BILまたは配線BILBの電位から、メモリセルに保持された電位を読み出すことができる。

[0801]

なお、トランジスタM7乃至トランジスタM10としてOSトランジスタを適用することが好ましい。これにより書き込んだデータをトランジスタM7乃至トランジスタM10によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。

[0802]

なお、トランジスタMS1乃至トランジスタMS4としてSiトランジスタを用いてもよい。

[0803]

半導体装置900が有する駆動回路910とメモリアレイ920は同一平面上に設けてもよい。また、図31Aに示すように、駆動回路910とメモリアレイ920を重ねて設けてもよい。駆動回路910とメモリアレイ920を重ねて設けることで、信号伝搬距離を短くすることができる。また、図31Bに示すように、駆動回路910上にメモリアレイ920を複数層重ねて設けてもよい。

[0804]

続いて、上記記憶装置などの半導体装置を備えることができる演算処理装置の一例について説明する。

[0805]

図32に、演算装置960のブロック図を示す。図32に示す演算装置960は、例えばCPUに適用することができる。また、演算装置960は、CPUよりも並列処理可能なプロセッサコアを多

数(数10個乃至数100個)有するGPU(Graphics Processing Unit)、TPU(Tensor Processing Unit)、NPU(Neural Processing Unit)などのプロセッサにも適用することができる。

[0806]

図32に示す演算装置960は、基板990上に、ALU991(ALU:Arithmetic logic unit、演算回路)、ALUコントローラ992、インストラクションデコーダ993、インタラプトコントローラ994、タイミングコントローラ995、レジスタ996、レジスタコントローラ997、バスインターフェース998、キャッシュ999、及びキャッシュインターフェース989を有している。基板990は、半導体基板、SOI基板、ガラス基板などを用いる。書き換え可能なROM及びROMインターフェースを有してもよい。また、キャッシュ999及びキャッシュインターフェース989は、別チップに設けてもよい。

[0807]

キャッシュ999は、別チップに設けられたメインメモリとキャッシュインターフェース989を介して接続される。キャッシュインターフェース989は、メインメモリに保持されているデータの一部をキャッシュ999に供給する機能を有する。またキャッシュインターフェース989は、キャッシュ999に保持されているデータの一部を、バスインターフェース998を介してALU991またはレジスタ996等に出力する機能を有する。

[0808]

後述するように、演算装置960上に積層して、メモリアレイ920を設けることができる。メモリアレイ920はキャッシュとして用いることができる。このとき、キャッシュインターフェース989はメモリアレイ920に保持されているデータをキャッシュ999に供給する機能を有している。またこのとき、キャッシュインターフェース989の一部に、駆動回路910を有することが好ましい。

[0809]

なお、キャッシュ999を設けず、メモリアレイ920のみをキャッシュとして用いることもできる。

[0810]

図32に示す演算装置960は、その構成を簡略化して示した一例にすぎず、実際の演算装置960はその用途によって多種多様な構成を有している。例えば、図32に示す演算装置960を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作する、いわゆるマルチコアの構成とすることが好ましい。コアの数が多いほど、演算性能を高めることができる。コアの数は多いほど好ましいが、例えば2個、好ましくは4個、より好ましくは8個、さらに好ましくは12個、さらに好ましくは16個またはそれ以上とすることが好ましい。また、サーバ用途など非常に高い演算性能が求められる場合には、16個以上、好ましくは32個以上、さらに好ましくは64個以上のコアを有するマルチコアの構成とすることが好ましい。また、演算装置960が内部演算回路、データバスなどで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

[0811]

バスインターフェース998を介して演算装置960に入力された命令は、インストラクションデコーダ993に入力され、デコードされた後、ALUコントローラ992、インタラプトコントローラ

ラ 994、レジスタコントローラ 997、タイミングコントローラ 995 に入力される。

[0812]

ALUコントローラ 992、インタラプトコントローラ 994、レジスタコントローラ 997、タイミングコントローラ 995 は、デコードされた命令に基づき、各種制御を行う。具体的に ALUコントローラ 992 は、ALU 991 の動作を制御するための信号を生成する。また、インタラプトコントローラ 994 は、演算装置 960 のプログラム実行中に、外部の入出力装置、周辺回路などからの割り込み要求を、その優先度、マスク状態などから判断し、処理する。レジスタコントローラ 997 は、レジスタ 996 のアドレスを生成し、演算装置 960 の状態に応じてレジスタ 996 の読み出し及び書き込みを行う。

[0813]

また、タイミングコントローラ 995 は、ALU 991、ALUコントローラ 992、インストラクションデコーダ 993、インタラプトコントローラ 994、及びレジスタコントローラ 997 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 995 は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0814]

図 32 に示す演算装置 960 において、レジスタコントローラ 997 は、ALU 991 からの指示に従い、レジスタ 996 における保持動作の選択を行う。すなわち、レジスタ 996 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 996 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 996 内のメモリセルへの電源電圧の供給を停止することができる。

[0815]

メモリアレイ 920 と演算装置 960 は、重ねて設けることができる。図 33A 及び図 33B に半導体装置 970A の斜視図を示す。半導体装置 970A は、演算装置 960 上に、メモリアレイが設けられた層 930 を有する。層 930 には、メモリアレイ 920L1、メモリアレイ 920L2、及びメモリアレイ 920L3 が設けられている。演算装置 960 と各メモリアレイは、互いに重なる領域を有する。半導体装置 970A の構成を分かりやすくするため、図 33B では演算装置 960 及び層 930 を分離して示している。

[0816]

メモリアレイを有する層 930 と演算装置 960 を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減できる。

[0817]

メモリアレイを有する層 930 と演算装置 960 とを積層する方法としては、演算装置 960 上に直接メモリアレイを有する層 930 を積層する方法(モノリシック積層ともいう)を用いてもよいし、演算装置 960 と層 930 とをそれぞれ異なる基板上に形成し、2つの基板を貼り合せ、貫通ビアまたは導電膜の接合技術(Cu-Cu接合など)を用いて電氣的に接続する方法を用いてもよい。前者は貼合わせにおける位置ずれを考慮する必要がないため、チップサイズを小さくできるだけでなく、

作製コストを削減できる。

[0818]

ここで、演算装置960にキャッシュ999を有さず、層930に設けられるメモリアレイ920 L1、920 L2、及び920 L3は、それぞれキャッシュとして用いることができる。このとき、例えばメモリアレイ920 L1をL1キャッシュ（レベル1キャッシュともいう）として用い、メモリアレイ920 L2をL2キャッシュ（レベル2キャッシュともいう）として用い、メモリアレイ920 L3をL3キャッシュ（レベル3キャッシュともいう）として用いることができる。3つのメモリアレイのうち、メモリアレイ920 L3が最も容量が大きく、かつ、最もアクセス頻度が低い。また、メモリアレイ920 L1が最も容量が小さく、かつ最もアクセス頻度が高い。

[0819]

なお、演算装置960に設けられるキャッシュ999をL1キャッシュとして用いる場合は、層930に設けられる各メモリアレイを、それぞれ下位のキャッシュ、またはメインメモリとして用いることができる。メインメモリはキャッシュよりも容量が大きく、アクセス頻度の低いメモリである。

[0820]

また、図33Bに示すように、駆動回路910 L1、駆動回路910 L2、及び駆動回路910 L3が設けられている。駆動回路910 L1は接続電極940 L1を介してメモリアレイ920 L1と接続されている。同様に駆動回路910 L2は接続電極940 L2を介してメモリアレイ920 L2と、駆動回路910 L3は接続電極940 L3を介してメモリアレイ920 L3と接続されている。

[0821]

なお、ここではキャッシュとして機能するメモリアレイを3つにする場合を示したが、1つまたは2つにしてもよいし、4つ以上にしてもよい。

[0822]

メモリアレイ920 L1をキャッシュとして用いる場合、駆動回路910 L1はキャッシュインターフェース989の一部として機能してもよいし、駆動回路910 L1がキャッシュインターフェース989と接続される構成としてもよい。同様に、駆動回路910 L2、駆動回路910 L3も、キャッシュインターフェース989の一部として機能する、またはこれと接続される構成としてもよい。

[0823]

メモリアレイ920をキャッシュとして機能させるか、メインメモリとして機能させるかは、各駆動回路910が有するコントロール回路912によって決定される。コントロール回路912は、演算装置960から供給された信号に基づいて、半導体装置900が有する複数のメモリセル950の一部をRAMとして機能させることができる。

[0824]

半導体装置900は、複数のメモリセル950の一部をキャッシュとして機能させ、他の一部をメインメモリとして機能させることができる。すなわち半導体装置900はキャッシュとしての機能と、メインメモリとしての機能を併せ持つことができる。本発明の一態様に係る半導体装置900は、例えば、ユニバーサルメモリとして機能できる。

[0825]

また、一つのメモリアレイ920を有する層930を演算装置960に重ねて設けてもよい。図34Aに半導体装置970Bの斜視図を示す。

[0826]

半導体装置 970B では、一つのメモリアレイ 920 を複数のエリアに分けて、それぞれ異なる機能で使うことができる。図 34A では、領域 L1 を L1 キャッシュとして、領域 L2 を L2 キャッシュとして、領域 L3 を L3 キャッシュとして用いる場合の例を示している。

[0827]

また半導体装置 970B では、領域 L1 乃至領域 L3 のそれぞれの容量を状況に応じて変えることができる。例えば L1 キャッシュの容量を増やしたい場合には、領域 L1 の面積を大きくすることにより実現する。このような構成とすることで、演算処理の効率化を図ることができ、処理速度を向上させることができる。

[0828]

また、複数のメモリアレイを積層してもよい。図 34B に半導体装置 970C の斜視図を示している。

[0829]

半導体装置 970C は、メモリアレイ 920L1 を有する層 930L1 と、その上にメモリアレイ 920L2 を有する層 930L2 と、その上にメモリアレイ 920L3 を有する層 930L3 とが積層されている。最も演算装置 960 に物理的に近いメモリアレイ 920L1 を上位のキャッシュに用い、最も遠いメモリアレイ 920L3 を下位のキャッシュまたはメインメモリに用いることができる。このような構成とすることで、各メモリアレイの容量を増大させることができるため、より処理能力を向上させることができる。

[0830]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0831]

(実施の形態 6)

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

[0832]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図 35A に、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図 35A では、最上層から順に、CPU などの演算処理装置にレジスタ (register) として混載されるメモリ、L1 キャッシュ (L1 cache)、L2 キャッシュ (L2 cache)、L3 キャッシュ (L3 cache)、メインメモリ (main memory)、ストレージ (storage) 等がある。なお、ここでは L3 キャッシュまで有する例を示したが、さらに下位のキャッシュを有していてもよい。

[0833]

CPU などの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0834]

キャッシュは、メインメモリに保持されているデータの一部を複製して保持する機能を有する。使用頻度が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも

速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

[0835]

メインメモリは、ストレージから読み出されたプログラム、データなどを保持する機能を有する。

[0836]

ストレージは、長期保存が必要なデータ、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。例えば3D NANDなどの高容量かつ不揮発性の記憶装置を用いることができる。

[0837]

本発明の一態様に係る酸化物半導体を用いた記憶装置(OSメモリ(OS memory))は、動作速度が速く、長期間のデータ保持が可能である。そのため図35Aに示すように、本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方に好適に用いることができる。また、本発明の一態様に係る記憶装置は、ストレージが位置する階層にも適用することができる。

[0838]

また、図35Bでは、キャッシュの一部にSRAMを、他の一部に本発明の一態様のOSメモリを適用した場合の例を示す。

[0839]

キャッシュのうち、最も下位に位置するものを、LLC(Last Level cache)と呼ぶことができる。LLCはこれよりも上位のキャッシュよりも速い動作速度は求められないが、大きな記憶容量を有することが望ましい。本発明の一態様のOSメモリは動作速度が速く、長期間のデータ保持が可能であるため、LLCに好適に用いることができる。なお、本発明の一態様のOSメモリは、FLC(Final Level cache)にも適用することができる。

[0840]

例えば、図35Bに示すように、上位のキャッシュ(L1キャッシュ、L2キャッシュ等)にSRAMを用い、LLCに本発明の一態様のOSメモリを用いる構成とすることができる。また、図35Bに示すように、メインメモリにはOSメモリだけでなくDRAMを適用することもできる。

[0841]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0842]

(実施の形態7)

本実施の形態では、本発明の一態様の表示装置について説明する。

[0843]

本発明の一態様の半導体装置は、表示装置、または、当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとしては、当該表示装置にフレキシブルプリント回路基板(Flexible printed circuit、以下、FPCと記す)もしくはTCP(Tape Carrier Package)等のコネクタが取り付けられたモジュール、COG(Chip On Glass)方式もしくはCOF(Chip On Film)方式等により集積回路(IC)が実装されたモジュール等が挙げられる。

[0844]

また、本実施の形態の表示装置はタッチパネルとしての機能を有していてもよい。例えば、表示装置には、指などの被検知体の近接または接触を検知できる様々な検知素子（センサ素子ともいえる）を適用することができる。

[0845]

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、及び、感圧方式が挙げられる。

[0846]

静電容量方式としては、例えば、表面型静電容量方式、投影型静電容量方式がある。また、投影型静電容量方式としては、例えば、自己容量方式、相互容量方式がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

[0847]

タッチパネルとしては、例えば、アウトセル型、オンセル型、及び、インセル型が挙げられる。なお、インセル型のタッチパネルは、表示素子を支持する基板と対向基板のうち一方または双方に、検知素子を構成する電極が設けられた構成をいう。

[0848]

[表示モジュール]

図36Aに、表示モジュール170の斜視図を示す。表示モジュール170は、表示装置600Aと、FPC298と、を有する。なお、表示モジュール170が有する表示装置は表示装置600Aに限られず、後述する表示装置600Bであってもよい。

[0849]

表示モジュール170は、基板291及び基板299を有する。表示モジュール170は、表示部297を有する。表示部297は、表示モジュール170における画像を表示する領域であり、後述する画素部294に設けられる各画素からの光を視認できる領域である。

[0850]

図36Bに、基板291側の構成を模式的に示した斜視図を示している。基板291上には、回路部292と、回路部292上の画素回路部293と、画素回路部293上の画素部294と、が積層されている。また、基板291上の画素部294と重ならない部分に、FPC298と接続するための端子部295が設けられている。端子部295と回路部292とは、複数の配線により構成される配線部296により電氣的に接続されている。

[0851]

本発明の一態様の半導体装置は、回路部292及び画素回路部293の一方または双方に適用することができる。

[0852]

画素部294は、周期的に配列した複数の画素294aを有する。図36Bの右側に、1つの画素294aの拡大図を示している。図36Bでは、1つの画素294aが、赤色の光を呈する副画素130R、緑色の光を呈する副画素130G、及び、青色の光を呈する副画素130Bを有する例を示す。

[0853]

副画素は、表示素子を有する。表示素子としては、様々な素子を用いることができ、例えば、液晶素子及び発光素子が挙げられる。その他、シャッター方式または光干渉方式のMEMS（Micro

Electro Mechanical Systems) 素子、マイクロカプセル方式、電気泳動方式、エレクトロウェッティング方式、または電子粉流体（登録商標）方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたQLED (Quantum-dot LED) を用いてもよい。

[0854]

発光素子としては、例えば、LED (Light Emitting Diode)、OLED (Organic LED)、半導体レーザなどの、自発光型の発光素子が挙げられる。LEDとして、例えば、ミニLED、マイクロLEDなどを用いることができる。

[0855]

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列としては、例えば、ストライプ配列、Sストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、及びペンタイル配列が挙げられる。図36Bでは、画素の配列にストライプ配列が適用された場合を例に示す。

[0856]

画素回路部293は、周期的に配列した複数の画素回路293aを有する。

[0857]

1つの画素回路293aは、1つの画素294aが有する複数の素子の駆動を制御する回路である。1つの画素回路293aは、1つの発光素子の発光を制御する回路が3つ設けられる構成とすることができる。例えば、画素回路293aは、1つの発光素子につき、1つの選択トランジスタと、1つの電流制御用トランジスタ（駆動トランジスタ）と、容量と、を少なくとも有する構成とすることができる。このとき、選択トランジスタのゲートにはゲート信号が、ソースにはソース信号が、それぞれ入力される。これにより、アクティブマトリクス型の表示装置が実現されている。

[0858]

回路部292は、画素回路部293の各画素回路293aを駆動する回路を有する。例えば、ゲート線駆動回路、及び、ソース線駆動回路の一方または双方を有することが好ましい。このほか、演算回路、メモリ回路、及び電源回路等の少なくとも一つを有していてもよい。

[0859]

FPC298は、外部から回路部292にビデオ信号または電源電位等を供給するための配線として機能する。また、FPC298上にICが実装されていてもよい。

[0860]

表示モジュール170は、画素部294の下側に画素回路部293及び回路部292の一方または双方が重ねて設けられた構成とすることができるため、表示部297の開口率（有効表示面積比）を極めて高くすることができる。また、画素294aを極めて高密度に配置することが可能で、表示部297の精細度を極めて高くすることができる。

[0861]

このような表示モジュール170は、極めて高精細であることから、HMDなどのVR向け機器またはメガネ型のAR向け機器に好適に用いることができる。例えば、レンズを通して表示モジュール170の表示部を視認する構成の場合であっても、表示モジュール170は極めて高精細な表示部297を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。また、表示モジュール170はこれに限られず、比較的小型の表示部を有する電子機器に好

適に用いることができる。例えば腕時計などの装着型の電子機器の表示部に好適に用いることができる。

[0862]

[表示装置の構成例1]

図37に、表示装置600Aの断面図を示す。表示装置600Aは、MML（メタルマスクレス）構造が適用された表示装置の一例である。つまり、表示装置600Aは、ファインメタルマスクを用いずに作製された発光素子を有する。

[0863]

MML構造が適用された表示装置が有する発光素子における島状の発光層は、発光層を一面に成膜した後、フォトリソグラフィ法を用いて加工することで形成される。したがって、これまで実現が困難であった高精細の表示装置または高開口率の表示装置を実現することができる。さらに、発光層を各色で作分けすることができるため、極めて鮮やかでコントラストが高く、表示品位の高い表示装置を実現できる。例えば、表示装置が、青色の光を発する発光素子、緑色の光を発する発光素子、及び赤色の光を発する発光素子の3種類で構成される場合、発光層の成膜、及び、フォトリソグラフィによる加工を3回繰り返すことで、3種類の島状の発光層を形成することができる。

[0864]

MML構造のデバイスは、メタルマスクを用いることなく製造することができるため、メタルマスクの合わせ精度に起因する精細度の上限を超えることができる。また、メタルマスクを用いずにデバイスを作製する場合、メタルマスクの製造に係る設備、及び、メタルマスクの洗浄工程を不要にすることができる。また、フォトリソグラフィによる加工には、トランジスタを作製する際に用いる装置と共通または同様の装置を用いることができるため、MML構造のデバイスを作製するために特別な装置を導入する必要はない。このように、MML構造は、製造コストを低く抑えることが可能となるため、デバイスの大量生産に適している。

[0865]

MML構造が適用された表示装置では、例えば、ペントイル配列などの特殊な画素配列を適用し疑似的に精細度を高める必要がないため、R、G、Bの副画素をそれぞれ一方向に配列させた、いわゆるストライプ配列で、かつ、高精細（例えば500ppi以上、1000ppi以上、2000ppi以上、3000ppi以上、または5000ppi以上）の表示装置を実現することができる。

[0866]

また、発光層上に犠牲層を設けることで、表示装置の作製工程中に発光層が受けるダメージを低減し、発光素子の信頼性を高めることができる。なお、犠牲層は、完成した表示装置に残存していてもよく、作製工程中に除去されていてもよい。例えば、図37及び図38に示す犠牲層618aは、発光層上に設けられていた犠牲層の一部である。

[0867]

また、エリアマスクを用いた成膜工程と、レジストマスクを用いた加工工程と、を採用することで、比較的簡単なプロセスにて発光素子を作製することができる。

[0868]

図37に示す表示装置600Aは、本発明の一態様の表示装置（半導体装置）の断面概略図である。表示装置600Aは、基板410上に画素回路、駆動回路などが設けられた構成となっている。なお、図37の表示装置600Aでは、素子層620、素子層630、及び素子層699に加えて、配線層

670についても図示している。配線層670は、配線が設けられる層である。

[0869]

素子層630には、表示装置の画素回路が設けられることが好ましい。素子層620には、表示装置の駆動回路（ゲートドライバ及びソースドライバのうち一方または双方）が設けられることが好ましい。また、素子層620には、演算回路、記憶回路などの各種回路が1種以上設けられていてもよい。

[0870]

素子層620は、一例として、基板410を有し、基板410上には、トランジスタ400dが形成されている。また、トランジスタ400dの上方には、配線層670が設けられており、配線層670には、トランジスタ400dを、素子層630に設けられた導電層またはトランジスタなど（図37では導電層514）と電氣的に接続する配線が設けられている。また、配線層670の上方には、素子層630、及び素子層699が設けられており、素子層630は、一例として、トランジスタMTCKなどを有する。素子層699は、発光素子698（図37では、発光素子698R、発光素子698G、及び発光素子698B）などを有する。

[0871]

トランジスタ400dは、素子層620に含まれているトランジスタの一例である。また、トランジスタMTCKは、素子層630に含まれるトランジスタの一例である。また、発光素子（発光素子698R、発光素子698G、及び発光素子698B）は、素子層699に含まれる発光素子の一例である。

[0872]

トランジスタMTCKとして例えば、OSトランジスタを用いることができる。図37には、トランジスタMTCKとして、先の実施の形態に示すトランジスタ200を適用する例を示す。

[0873]

基板410には、例えば、半導体基板（例えば、シリコンまたはゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板410には、半導体基板以外としては、例えば、SOI（Silicon On Insulator）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムを用いることができる。なお、本実施の形態では、基板410は、シリコンを材料として有する半導体基板として説明する。そのため、素子層620に含まれるトランジスタは、Siトランジスタとすることができる。

[0874]

トランジスタ400dは、素子分離層412と、導電層416と、絶縁層415と、絶縁層417と、基板410の一部からなる半導体領域413と、ソース領域またはドレイン領域として機能する低抵抗領域414a及び低抵抗領域414bと、を有する。このため、トランジスタ400dは、Siトランジスタとなっている。なお、図37では、トランジスタ400dのソースまたはドレインの一方が、導電層428、導電層430、及び、導電層456を介して、素子層630に設けられた導電層514と電氣的に接続されている構成を示しているが、本発明の一態様の表示装置の電氣的な接続構成は、これに限定されない。

[0875]

トランジスタ400dは、例えば、半導体領域413の上面及びチャネル幅方向の側面が、ゲート絶縁層として機能する絶縁層415を介して導電層416に覆われる構成にすることによって、Fin型にすることができる。トランジスタ400dをFin型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ400dのオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ400dのオフ特性を向上させることができる。また、トランジスタ400dは、Fin型でなくプレーナ型としてもよい。

[0876]

なお、トランジスタ400dは、pチャネル型、あるいはnチャネル型のいずれでもよい。またはトランジスタ400dを複数設け、pチャネル型、及びnチャネル型の双方を用いてもよい。

[0877]

半導体領域413のチャネルが形成される領域と、その近傍の領域と、ソース領域またはドレイン領域となる低抵抗領域414a及び低抵抗領域414bと、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。または、上述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム、または窒化ガリウムを用いて形成されてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または、トランジスタ400dは、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いたHEMT(High Electron Mobility Transistor)としてもよい。

[0878]

ゲート電極として機能する導電層416には、ヒ素、またはリンといったn型の導電性を付与する元素、もしくはホウ素またはアルミニウムといったp型の導電性を付与する元素を含むシリコンなどの半導体材料を用いることができる。または、導電層416には、例えば、金属材料、合金材料、または金属酸化物材料といった導電性材料を用いることができる。

[0879]

なお、導電層の材料によって仕事関数が決まるため、当該導電層の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電層に窒化チタン、及び窒化タンタルの一方または双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電層にタングステン及びアルミニウムの一方または双方の金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0880]

素子分離層412は、基板410上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS(Local Oxidation of Silicon)法、STI(Shallow Trench Isolation)法、またはメサ分離法を用いて形成することができる。

[0881]

図37に示すトランジスタ400d上には、絶縁層420及び絶縁層422が、基板410側から順に積層して設けられている。

[0882]

絶縁層420及び絶縁層422として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、及び窒化

アルミニウムから選ばれた一以上を用いることができる。

[0883]

絶縁層422は、絶縁層420及び絶縁層422に覆われているトランジスタ400dなどによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁層422の上面は、平坦性を高めるためにCMP法等を用いた平坦化处理により平坦化されていてもよい。

[0884]

絶縁層420及び絶縁層422には、絶縁層422より上方に設けられているトランジスタMTCKなどと接続する導電層428が埋め込まれている。なお、導電層428は、プラグまたは配線としての機能を有する。

[0885]

表示装置600Aでは、トランジスタ400d上に配線層670が設けられている。配線層670は、例えば、絶縁層424と、絶縁層426と、導電層430と、絶縁層450と、絶縁層452と、絶縁層454と、導電層456と、を有する。

[0886]

絶縁層422上及び導電層428上には、絶縁層424と絶縁層426とが順に積層して設けられている。また、導電層428に重なる領域において、絶縁層424と絶縁層426とには、開口部が形成されている。また、当該開口部には導電層430が埋め込まれている。

[0887]

また、絶縁層426上、及び導電層430上には、絶縁層450と絶縁層452と絶縁層454とが順に積層して設けられている。また、導電層430に重なる領域において、絶縁層450と絶縁層452と絶縁層454とには、開口部が形成されている。また、当該開口部には導電層456が埋め込まれている。

[0888]

導電層430及び導電層456は、トランジスタ400dと接続するプラグまたは配線としての機能を有する。

[0889]

なお、例えば、絶縁層424及び絶縁層450は、後述する絶縁層592と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁層を用いることが好ましい。また、絶縁層426、絶縁層452、及び絶縁層454としては、後述する絶縁層594と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁層を用いることが好ましい。また、絶縁層426、絶縁層452、及び絶縁層454は、層間絶縁膜及び平坦化膜としての機能を有する。

[0890]

また、導電層456は、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する導電層を含むことが好ましい。

[0891]

なお、水素に対するバリア性を有する導電層としては、例えば、窒化タンタルを用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ400dからの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁層450と接する構造であることが好ましい。

[0892]

また、絶縁層454及び導電層456の上方には、絶縁層513が設けられている。また、絶縁層513上には、絶縁層IS1が設けられている。また、絶縁層IS1及び絶縁層513には、プラグまたは配線として機能する導電層が埋め込まれている。これにより、トランジスタ400dを、素子層630に設けられた導電層514と電氣的に接続することができる。または、トランジスタMTCKのソースまたはドレインの一方とトランジスタ400dのソースまたはドレインの一方とを電氣的に接続してもよい。

[0893]

絶縁層IS1上には、トランジスタMTCKが設けられている。また、トランジスタMTCK上には、絶縁層IS3、絶縁層574、及び絶縁層581がこの順に積層して設けられている。また、絶縁層IS3と絶縁層574と絶縁層581とは、プラグまたは配線として機能する導電層MPGが埋め込まれている。

[0894]

絶縁層574は、水及び水素（例えば、水素原子及び水素分子の一方または双方）といった不純物の拡散を抑制する機能を有することが好ましい。つまり、絶縁層574は、当該不純物がトランジスタMTCKに混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁層574は、酸素（例えば、酸素原子及び酸素分子の一方または双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層574は、絶縁層IS2及び絶縁層IS3より酸素透過性が低いことが好ましい。絶縁層IS2として、先の実施の形態の絶縁層280を適用することができる。

[0895]

そのため、絶縁層574は、水及び水素といった不純物の拡散を抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁層574は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、及び NO_2 ）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方または双方）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0896]

水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層には、実施の形態1で例示した、不純物及び酸素の透過を抑制する機能を有する絶縁層に用いることができる材料を適用できる。

[0897]

特に、絶縁層574には、酸化アルミニウム、または窒化シリコンを用いることが好ましい。これにより、水及び水素といった不純物が絶縁層574の上方からトランジスタMTCKに拡散することを抑制できる。または、絶縁層IS3等に含まれる酸素が、絶縁層574の上方に、拡散することを抑制できる。

[0898]

絶縁層581は、層間膜として機能する膜であって、絶縁層574よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁層581の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁層581の比誘電率は、絶縁層574の比誘電率の、0.7倍以下が好ましく、0.6倍以下がより好

ましい。絶縁層 581 を誘電率が低い材料とすることで、配線間に生じる寄生容量を低減することができる。

[0899]

また、絶縁層 581 は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。この場合、絶縁層 581 には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、または窒化シリコンを用いることができる。また、絶縁層 581 には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、または空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。また、絶縁層 581 には、樹脂を用いることができる。また、絶縁層 581 に適用できる材料は、上述した材料を適宜組み合わせたものとしてもよい。

[0900]

絶縁層 574 上及び絶縁層 581 上には、絶縁層 592、及び絶縁層 594 がこの順に積層して設けられている。

[0901]

また、絶縁層 592 には、基板 410、トランジスタ MTC から、絶縁層 592 より上方の領域（例えば、発光素子 698R、発光素子 698G、及び発光素子 698B などが設けられている領域）に、水、及び水素といった不純物が拡散しないようなバリア性を有する絶縁膜（バリア性絶縁膜と呼称する）を用いることが好ましい。したがって、絶縁層 592 は、水素原子、水素分子、及び水分子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。また、状況によっては、絶縁層 592 は、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、及び NO_2 ）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方または双方）の拡散を抑制する機能を有することが好ましい。

[0902]

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。

[0903]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS: Thermal Desorption Spectrometry）を用いて分析することができる。例えば、絶縁層 424 の水素の脱離量は、TDS において、膜の表面温度が 50°C から 500°C の範囲において、水素原子に換算した脱離量が、絶縁層 424 の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下であり、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下である。

[0904]

絶縁層 594 は、絶縁層 581 と同様に、誘電率が低い層間膜とすることが好ましい。このため、絶縁層 594 には、絶縁層 581 に適用できる材料を用いることができる。

[0905]

なお、絶縁層 594 は、絶縁層 592 よりも誘電率が低いことが好ましい。例えば、絶縁層 594 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁層 594 の比誘電率は、

絶縁層 592 の比誘電率の、0.7 倍以下が好ましく、0.6 倍以下がより好ましい。絶縁層 594 を誘電率が低い材料とすることで、配線間に生じる寄生容量を低減することができる。

[0906]

また、絶縁層 G11 及び絶縁層 IS3 には、プラグまたは配線として機能する導電層 MPG が埋め込まれ、絶縁層 592 及び絶縁層 594 には、プラグまたは配線として機能する導電層 596 が埋め込まれている。特に、導電層 MPG 及び導電層 596 は、絶縁層 594 より上方に設けられている発光素子などと電氣的に接続されている。また、プラグまたは配線としての機能を有する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。絶縁層 G11 として、先の実施の形態の絶縁層 250 を適用することができる。

[0907]

各プラグ、及び配線（例えば、導電層 MPG、導電層 428、導電層 430、導電層 456、導電層 514、及び導電層 596）の材料としては、金属材料、合金材料、金属窒化物材料、及び金属酸化物材料から選ばれた一以上の導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステン、またはモリブデンといった高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、または銅といった低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0908]

絶縁層 594 上及び導電層 596 上には、絶縁層 598 及び絶縁層 599 が順に形成されている。

[0909]

絶縁層 598 は、一例として、絶縁層 592 と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁層を用いることが好ましい。また、絶縁層 599 としては、絶縁層 594 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁層を用いることが好ましい。また、絶縁層 599 は、層間絶縁膜及び平坦化膜としての機能を有する。

[0910]

絶縁層 599 上には、発光素子 698 及び接続部 640 が形成されている。

[0911]

接続部 640 は、カソードコンタクト部と呼ばれる場合があり、発光素子 698R、発光素子 698G、及び発光素子 698B のそれぞれのカソード電極に電氣的に接続されている。図 37 に示す接続部 640 では、導電層 671a 乃至導電層 671c と同一の工程、同一の材料で形成された導電層が、後述する共通電極 615 と、電氣的に接続されている。なお、図 37 では、当該導電層が、後述する共通層 614 を介して、共通電極 615 と電氣的に接続される例を示すが、当該導電層と共通電極 615 とが直接接していてもよい。

[0912]

なお、接続部 640 は、平面視において表示部の四辺を囲むように設けられてもよく、または、表示部内（例えば、隣り合う発光素子 698 同士の間）に設けられてもよい（図示しない）。

[0913]

発光素子 698R は、画素電極として、導電層 671a を有する。同様に、発光素子 698G は、画素電極として、導電層 671b を有し、発光素子 698B は、画素電極として、導電層 671c を

有する。

[0914]

導電層671a、導電層671b、導電層671cは、それぞれ、絶縁層599に埋め込まれた導電層（プラグ）を介して、絶縁層594に埋め込まれている導電層596と接続されている。

[0915]

発光素子698Rは、層673aと、層673a上の共通層614と、共通層614上の共通電極615と、を有する。また、発光素子698Gは、層673bと、層673b上の共通層614と、共通層614上の共通電極615と、を有する。また、発光素子698Bは、層673cと、層673c上の共通層614と、共通層614上の共通電極615と、を有する。

[0916]

発光素子の一对の電極（画素電極及び共通電極）を形成する材料としては、金属、合金、電気伝導性化合物、及びこれらの混合物などを適宜用いることができる。当該材料としては、具体的には、アルミニウム、マグネシウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム、ネオジムなどの金属、及びこれらを適宜組み合わせて含む合金が挙げられる。また、当該材料としては、インジウムスズ酸化物（In-Sn酸化物、ITOともいう）、In-Si-Sn酸化物（ITSOともいう）、インジウム亜鉛酸化物（In-Zn酸化物）、及びIn-W-Zn酸化物などを挙げることができる。また、当該材料としては、アルミニウム、ニッケル、及びランタンの合金（Al-Ni-La）等のアルミニウムを含む合金（アルミニウム合金）、並びに、銀とマグネシウムの合金、及び、銀とパラジウムと銅の合金（Ag-Pd-Cu、APCとも記す）等の銀を含む合金が挙げられる。その他、当該材料としては、上記例示のない元素周期表の第1族または第2族に属する元素（例えば、リチウム、セシウム、カルシウム、ストロンチウム）、ユウロピウム、イッテルビウムなどの希土類金属及びこれらを適宜組み合わせて含む合金、グラフェン等が挙げられる。

[0917]

表示装置600Aには、SBS構造が適用されている。SBS構造は、発光素子ごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

[0918]

また、表示装置600Aは、トップエミッション型である。トップエミッション型は、トランジスタ等を発光素子の発光領域と重ねて配置できるため、ボトムエミッション型に比べて画素の開口率を高めることができる。

[0919]

なお、層673aは、導電層671aの上面及び側面を覆うように形成されている。同様に、層673bは、導電層671bの上面及び側面を覆うように形成されている。また、同様に、層673cは、導電層671cの上面及び側面を覆うように形成されている。したがって、導電層671a、導電層671b、及び導電層671cが設けられている領域全体を、発光素子698R、発光素子698G、及び発光素子698Bの発光領域として用いることができるため、画素の開口率を高めることができる。

[0920]

発光素子698Rにおいて、層673aと共通層614をまとめてEL層と呼ぶことができる。ま

た、同様に、発光素子698Gにおいて、層673bと共通層614をまとめてEL層と呼ぶこともできる。また、同様に、発光素子698Bにおいて、層673cと共通層614をまとめてEL層と呼ぶことができる。

[0921]

EL層は、少なくとも発光層を有する。発光層は、1種または複数種の発光物質を有する。発光物質としては、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、または赤色などの発光色の光を呈する物質を適宜用いる。また、発光物質として、近赤外光を発する物質を用いることもできる。

[0922]

発光素子が有する発光物質としては、例えば、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光（Thermally activated delayed fluorescence: TADF）材料）、及び、無機化合物（量子ドット材料等）が挙げられる。

[0923]

発光層は、発光物質（ゲスト材料）に加えて、1種または複数種の有機化合物（ホスト材料、アシスト材料等）を有していてもよい。1種または複数種の有機化合物としては、正孔輸送性の高い物質（正孔輸送性材料）及び電子輸送性の高い物質（電子輸送性材料）の一方または双方を用いることができる。また、1種または複数種の有機化合物として、バイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）、またはTADF材料を用いてもよい。

[0924]

EL層は、発光層の他に、正孔注入性の高い物質を含む層（正孔注入層）、正孔輸送性材料を含む層（正孔輸送層）、電子ブロック性の高い物質を含む層（電子ブロック層）、電子注入性の高い物質を含む層（電子注入層）、電子輸送性材料を含む層（電子輸送層）、及び、正孔ブロック性の高い物質を含む層（正孔ブロック層）のうち一つまたは複数を含むことができる。その他、EL層は、バイポーラ性の物質及びTADF材料の一方または双方を含んでもよい。

[0925]

発光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでもよい。発光素子を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

[0926]

発光素子には、シングル構造（発光ユニットを1つだけ有する構造）を適用してもよく、タンデム構造（発光ユニットを複数有する構造）を適用してもよい。発光ユニットは、少なくとも1層の発光層を有する。タンデム構造は、複数の発光ユニットが電荷発生層を介して直列に接続された構成である。電荷発生層は、一対の電極間に電圧を印加したときに、2つの発光ユニットの一方に電子を注入し、他方に正孔を注入する機能を有する。タンデム構造とすることで、高輝度発光が可能な発光素子とすることができる。また、タンデム構造は、シングル構造と比べて、同じ輝度を得るために必要な電流を低減できるため、信頼性を高めることができる。なお、タンデム構造をスタック構造と呼んでもよい。

[0927]

また、発光素子にマイクロキャビティ構造を付与することにより色純度を高めることができる。

[0928]

層 6 7 3 a、層 6 7 3 b、及び層 6 7 3 c は、フォトリソグラフィ法により島状に加工されている。そのため、層 6 7 3 a、層 6 7 3 b、及び層 6 7 3 c は、それぞれその端部において、上面と側面との成す角が 90 度に近い形状となる。一方、例えば、FMM (Fine Metal Mask) を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば端部まで 1 μ m 以上 10 μ m 以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

[0929]

層 6 7 3 a、層 6 7 3 b、及び層 6 7 3 c は、上面と側面の区別が明瞭となる。これにより、隣接する層 6 7 3 a と層 6 7 3 b において、層 6 7 3 a の側面の一と、層 6 7 3 b の側面の一は、互いに対向して配置される。これは、層 6 7 3 a、層 6 7 3 b、及び層 6 7 3 c のうちいずれの組み合わせにおいても同様である。

[0930]

層 6 7 3 a、層 6 7 3 b、及び層 6 7 3 c は、少なくとも発光層を有する。例えば、層 6 7 3 a が、赤色の光を発する発光層を有し、層 6 7 3 b が緑色の光を発する発光層を有し、層 6 7 3 c が、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色としては、シアン、マゼンタ、黄、または白を適用することができる。

[0931]

層 6 7 3 a、層 6 7 3 b、及び層 6 7 3 c は、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。層 6 7 3 a、層 6 7 3 b、及び層 6 7 3 c の表面は、表示装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光素子の信頼性を高めることができる。

[0932]

共通層 6 1 4 は、例えば電子注入層、または正孔注入層を有する。または、共通層 6 1 4 は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層 6 1 4 は、発光素子 6 9 8 R、発光素子 6 9 8 G、及び発光素子 6 9 8 B で共有されている。なお、共通層 6 1 4 は設けられていなくてもよく、発光素子が有する EL 層全体が、層 6 7 3 a、層 6 7 3 b、及び層 6 7 3 c のように、島状に設けられていてもよい。

[0933]

また、共通電極 6 1 5 は、発光素子 6 9 8 R、発光素子 6 9 8 G、及び発光素子 6 9 8 B で共有されている。また、図 3 7 に示すように、複数の発光素子が共通して有する共通電極 6 1 5 は、接続部 6 4 0 に含まれている導電層に電氣的に接続される。

[0934]

絶縁層 6 2 5 は、水及び酸素の一方または双方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁層 6 2 5 は、水及び酸素の一方または双方の拡散を抑制する機能を有することが好ましい。また、絶縁層 6 2 5 は、水及び酸素の一方または双方を捕獲、または固着する（ゲッターリングともいう）機能を有することが好ましい。絶縁層 6 2 5 が、バリア絶縁層としての機能、またはゲッターリング機能を有することで、外部から各発光素子に拡散しうる不純物（代表的には、水及び酸素の一方または双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光素子、さらには、信頼性の高い表示装置を提供することができる。

[0935]

また、絶縁層625は、不純物濃度が低いことが好ましい。これにより、絶縁層625からEL層に不純物が混入し、EL層が劣化することを抑制することができる。また、絶縁層625において、不純物濃度を低くすることで、水及び酸素の一方または双方に対するバリア性を高めることができる。例えば、絶縁層625は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0936]

絶縁層627としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いればよい。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0937]

絶縁層627に用いることができる有機材料は上記に限られるものではない。例えば、絶縁層627には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、またはこれら樹脂の前駆体を適用することができる場合がある。また、絶縁層627として、ポリビニルアルコール(PVA)、ポリビニルブチラール(PVB)、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂といった有機材料を適用することができる場合がある。また、絶縁層627には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂としては、ポジ型の材料、またはネガ型の材料が挙げられる。

[0938]

絶縁層627には可視光を吸収する材料を用いてもよい。絶縁層627が発光素子からの発光を吸収することで、発光素子から絶縁層627を介して隣接する発光素子に光が漏れること(迷光)を抑制することができる。これにより、表示装置の表示品位を高めることができる。また、表示装置に偏光板を用いなくても、表示品位を高めることができるため、表示装置の軽量化及び薄型化を図ることができる。

[0939]

可視光を吸収する材料としては、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料(例えば、ポリイミド)、及び、カラーフィルタに用いることのできる樹脂材料(カラーフィルタ材料)が挙げられる。特に、2色、または3色以上のカラーフィルタ材料を積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に3色以上のカラーフィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

[0940]

絶縁層627は、例えば、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーデンコート、またはナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピンコートにより、絶縁層627となる有機絶縁膜を形成することが好ましい。

[0941]

絶縁層627は、EL層の耐熱温度よりも低い温度で形成する。絶縁層627を形成する際の基板

温度としては、代表的には、 200°C 以下、好ましくは 180°C 以下、より好ましくは 160°C 以下、より好ましくは 150°C 以下、より好ましくは 140°C 以下である。

[0942]

なお、絶縁層627は、側面にテーパ形状を有していることが好ましい。絶縁層627の側面端部を順テーパ形状(90° 未満であり、 60° 以下が好ましく、 45° 以下がより好ましい)にすることで、絶縁層627の側面端部上に設けられる、共通層614及び共通電極615に、段切れ、または局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層614及び共通電極615の面内均一性を向上させることができ、表示装置の表示品位を向上させることができる。

[0943]

また、表示装置の断面視において、絶縁層627の上面は凸曲面形状を有することが好ましい。絶縁層627の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好ましい。絶縁層627をこのような形状にすることで、絶縁層627上全体で、共通層614及び共通電極615を被覆性良く成膜することができる。

[0944]

また、絶縁層627は、二つのEL層の間の領域(例えば、層673aと層673bとの間の領域)に形成される。このとき、絶縁層627の一部が、一方のEL層(例えば、層673a)の側面端部と、もう一方のEL層(例えば、層673b)の側面端部に挟まれる位置に配置されることになる。

[0945]

また、絶縁層627の一方の端部が画素電極として機能する導電層671aと重なり、絶縁層627の他方の端部が画素電極として機能する導電層671bと重なることが好ましい。このような構造にすることで、絶縁層627の端部を層673a(層673b)の平坦または略平坦な領域の上に形成することができる。よって、絶縁層627のテーパ形状を、上記の通り加工することが比較的容易になる。

[0946]

以上のように、絶縁層627などを設けることにより、層673aの平坦または略平坦な領域から層673bの平坦または略平坦な領域まで、共通層614及び共通電極615に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されることを防止できる。よって、各発光素子間において、共通層614及び共通電極615に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因する電気抵抗の上昇が発生することを抑制できる。

[0947]

本実施の形態の表示装置は、発光素子間の距離を狭くすることができる。具体的には、発光素子間の距離、EL層間の距離、または画素電極間の距離を、 $10\mu\text{m}$ 未満、 $8\mu\text{m}$ 以下、 $5\mu\text{m}$ 以下、 $3\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、 500nm 以下、 200nm 以下、 100nm 以下、 90nm 以下、 70nm 以下、 50nm 以下、 30nm 以下、 20nm 以下、 15nm 以下、または 10nm 以下とすることができる。別言すると、本実施の形態の表示装置は、隣接する2つの島状のEL層の間隔が $1\mu\text{m}$ 以下の領域を有し、好ましくは $0.5\mu\text{m}$ (500nm)以下の領域を有し、さらに好ましくは 100nm 以下の領域を有する。このように、各発光素子間の距離を狭めることで、高い精細度と、大きな開口率を有する表示装置を提供することができる。

[0948]

発光素子 698 上には、保護層 681 が設けられている。保護層 681 は、発光素子 698 を保護するパッシベーション膜として機能する膜である。発光素子を覆う保護層 681 を設けることで、発光素子に水及び酸素といった不純物が入り込むことを抑制し、発光素子 698 の信頼性を高めることができる。保護層 681 は、少なくとも無機絶縁膜を含む単層構造または積層構造とすることが好ましい。無機絶縁膜としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜などの酸化物膜または窒化物膜が挙げられる。または、保護層 681 としてインジウムガリウム酸化物、インジウムガリウム亜鉛酸化物（IGZO）などの半導体材料を用いてもよい。なお、保護層 681 は、ALD 法、CVD 法、及びスパッタリング法などを用いて形成できる。なお、保護層 681 として、無機絶縁膜を含む構成について例示したがこれに限定されない。例えば、保護層 681 として、無機絶縁膜と、有機絶縁膜との積層構造としてもよい。

[0949]

保護層 681 と、基板 610 と、は接着層 607 を介して接着されている。発光素子の封止には、固体封止構造または中空封止構造などが適用できる。図 37 では、基板 410 と基板 610 との間の空間が、接着層 607 で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素またはアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層 607 は、発光素子と重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層 607 とは異なる樹脂で充填してもよい。

[0950]

接着層 607 には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤、または熱硬化型接着剤、嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤としては、例えば、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂が挙げられる。特に、エポキシ樹脂等の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

[0951]

表示装置 600A は、トップエミッション型である。発光素子が発する光は、基板 610 側に射出される。そのため、基板 610 には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板 610 には、基板 410 に適用できる基板のうち、可視光に対する透過性が高い基板を選択することができる。画素電極は可視光を反射する材料を含み、対向電極（共通電極 615）は可視光を透過する材料を含む。

[0952]

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光素子が発する光が基板 410 側に射出されるボトムエミッション型としてもよい。なお、この場合、基板 410 には、可視光に対する透過性が高い基板を選択する。

[0953]

[表示装置の構成例 2]

図 38 に、表示装置 600B の断面図を示す。表示装置 600B の素子層 699 は、層 673a、層 673b、及び層 673c に、同一の構成を適用し、さらに、着色層 628R、着色層 628G、及び着色層 628B を設けた点で、表示装置 600A の素子層 699 と異なる。また表示装置 600

Bは、素子層620を有さず、素子層635を有する点で、表示装置600Aと異なる。素子層635は、素子層630と同様の構成を有する。

[0954]

表示装置600Bは、基板541及び基板610に可撓性を有する基板を用いることで、可撓性を有する表示装置（フレキシブルディスプレイともいう）とすることができる。基板541は、接着層543によって絶縁層545と貼り合わされている。基板610は、接着層607によって保護層681と貼り合わされている。

[0955]

表示装置600Bの素子層699は、層673a、層673b、及び層673cが同一の構成を有し、着色層628R、着色層628G、及び着色層628Bを有する。

[0956]

層673a、層673b、及び層673cは、同一の工程、同一の材料で形成される。また、層673a、層673b、及び層673cは、互いに離隔されている。EL層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流（横方向リーク電流、横リーク電流、またはラテラルリーク電流と呼称する場合がある）を抑制することができる。これにより、クロストークに起因した意図しない発光を防ぐことができ、かつ隣接する発光素子間の色の混色を抑制することができるため、コントラストの極めて高い表示装置を実現できる。

[0957]

例えば、図38に示す発光素子698R、698G、698Bは、白色の光を発する。発光素子698R、698G、698Bが発する白色の光が、着色層628R、着色層628G、及び着色層628Bを透過することで、所望の色の光を得ることができる。

[0958]

なお、マイクロキャビティ構造を適用することで、白色の光を発する構成の発光素子は、赤色、緑色、または青色などの特定の波長の光が強められて発光する場合もある。

[0959]

発光素子698Rの発光は、着色層628Rを介して表示装置600Bの外部に赤色の光として取り出される。同様に、発光素子698Gの発光は、着色層628Gを介して表示装置600Bの外部に緑色の光として取り出される。発光素子698Bの発光は、着色層628Bを介して表示装置600Bの外部に青色の光として取り出される。

[0960]

白色の光を発する発光素子には、タンデム構造を用いることが好ましい。

[0961]

または、例えば、図38に示す発光素子698R、698G、698Bは、青色の光を発する。このとき、層673a、層673b、及び層673cは、青色の光を発する発光層を1層以上有する。青色の光を呈する副画素においては、発光素子698Bが発する青色の光を取り出すことができる。また、赤色の光を呈する副画素及び緑色の光を呈する副画素においては、発光素子698Rと着色層628Rの間、及び、発光素子698Gと着色層628Gの間に、色変換層を設けることで、発光素子698Rまたは発光素子698Gが発する青色の光をより長波長の光に変換し、赤色または緑色の光を取り出すことができる。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画素が呈する光の色純度を高めることができる。

[0962]

着色層は特定の波長域の光を選択的に透過し、他の波長域の光を吸収する有色層である。例えば、赤色の波長域の光を透過する赤色（R）のカラーフィルタ、緑色の波長域の光を透過する緑色（G）のカラーフィルタ、青色の波長域の光を透過する青色（B）のカラーフィルタなどを用いることができる。各着色層には、金属材料、樹脂材料、顔料、染料のうち一つまたは複数を用いることができる。着色層は、印刷法、インクジェット法、フォトリソグラフィ法を用いたエッチング方法などでそれぞれ所望の位置に形成する。

[0963]

表示装置600Bの素子層630は、表示装置600Aの素子層630と同様の構成を有するため、詳細な説明は省略する。

[0964]

表示装置600Bは、素子層635と、素子層635上の素子層630と、を有する。素子層635は、素子層630と同様の構成を有する。

[0965]

素子層635が有するトランジスタの少なくとも一部は、プラグ及び配線等を介して、素子層630が有する導電層またはトランジスタと電氣的に接続される。なお、素子層630と素子層635の間に、配線層670が設けられていてもよい。

[0966]

素子層635には、表示装置の画素回路及び駆動回路の一方または双方が設けられることが好ましい。

[0967]

図38では、OSトランジスタを有する素子層を2層積層する例(素子層630及び素子層635)を示すが、素子層の積層数はこれに限られず、3層以上としてもよい。例えば、OSトランジスタを有する素子層を3層以上積層する場合は、一番下の層を、表示装置の駆動回路（ゲートドライバ及びソースドライバの一方または双方）に用い、一番上の層を、表示装置の画素回路に用い、その間に位置する層は、それぞれ、画素回路または駆動回路に用いることが好ましい。

[0968]

なお、Siトランジスタは、代表的には、単結晶Siウェハ上に形成されるため、可撓性を有する構成とするのが困難である。一方で、図38に示すように、Siトランジスタを用いずに、OSトランジスタのみで表示装置を構成する場合、比較的簡単な製造プロセスにて、可撓性を有する構成とすることができる。

[0969]

[発光素子の構成例]

次に、本発明の一態様の表示装置に用いることができる発光素子について説明する。以下では、主に、図37及び図38に示す構成とは異なる、発光素子の構成例について説明する。

[0970]

図39Aに、発光素子を複数有する表示部の一部における上面概略図を示す。表示部は、赤色の光を呈する発光素子61R、緑色の光を呈する発光素子61G、及び青色の光を呈する発光素子61Bをそれぞれ複数有する。図39Aでは、各発光素子の区別を簡単にするため、各発光素子の発光領域内にR、G、Bの符号を付している。また、図39Aでは、赤色（R）、緑色（G）、及び青色（B）

の3つの発光色を有する構成について例示したがこれに限定されない。例えば、4つ以上の色を有する構成としてもよい。

[0971]

図39Bは、図39Aに示す一点鎖線A1-A2間の断面図である。図39Bに示す、発光素子61R、発光素子61G、及び発光素子61Bは、それぞれ絶縁層363上に設けられ、画素電極として機能する導電層171、及び共通電極として機能する導電層173を有する。絶縁層363としては、無機絶縁膜及び有機絶縁膜の一方または双方を用いることができる。

[0972]

発光素子61Rは、画素電極として機能する導電層171と共通電極として機能する導電層173との間に、EL層172Rを有する。EL層172Rは、少なくとも赤色の波長域にピークを有する光を発する発光性の化合物を有する。発光素子61Gが有するEL層172Gは、少なくとも緑色の波長域にピークを有する光を発する発光性の化合物を有する。発光素子61Bが有するEL層172Bは、少なくとも青色の波長域にピークを有する光を発する発光性の化合物を有する。

[0973]

画素電極として機能する導電層171は、発光素子毎に設けられている。また、共通電極として機能する導電層173は、各発光素子に共通な一続きの層として設けられている。画素電極として機能する導電層171と共通電極として機能する導電層173のいずれか一方に可視光に対して透光性を有する導電膜を用い、他方に反射性を有する導電膜を用いる。

[0974]

例えば、発光素子61Rがトップエミッション型である場合、発光素子61Rから射出される光175Rは、導電層173側に射出される。発光素子61Gがトップエミッション型である場合、発光素子61Gから射出される光175Gは、導電層173側に射出される。発光素子61Bがトップエミッション型である場合、発光素子61Bから射出される光175Bは、導電層173側に射出される。

[0975]

画素電極として機能する導電層171の端部を覆って、絶縁層272が設けられている。絶縁層272の端部は、テーパ形状であることが好ましい。絶縁層272には、無機絶縁膜及び有機絶縁膜の一方または双方を用いることができる。

[0976]

絶縁層272は、隣接する発光素子が意図せず電氣的に短絡し、誤発光することを防ぐために設ける。また、EL層の形成にメタルマスクを用いる場合、メタルマスクが導電層171に接触しないようにする機能も有する。

[0977]

EL層172R、EL層172G、及びEL層172Bは、それぞれ画素電極として機能する導電層171の上面に接する領域と、絶縁層272の表面に接する領域と、を有する。また、EL層172R、EL層172G、及びEL層172Bの端部は、絶縁層272上に位置する。

[0978]

図39Bに示すように、発光色の異なる発光素子間において、2つのEL層の間に隙間が設けられている。このように、EL層172R、EL層172G、及びEL層172Bが、互いに接しないように設けられていることが好ましい。これにより、隣接する2つのEL層を介して電流が流れ、意図

しない発光が生じること（クロストークともいう）を好適に防ぐことができる。そのため、コントラストを高めることができ、表示品位の高い表示装置を実現できる。

[0979]

EL層172R、EL層172G、及びEL層172Bは、メタルマスクなどのシャドーマスクを用いた真空蒸着法などにより、作り分けることができる。または、フォトリソグラフィ法により、これらを作り分けてもよい。フォトリソグラフィ法を用いることで、メタルマスクを用いた場合では実現することが困難である高い精細度の表示装置を実現することができる。

[0980]

また、共通電極として機能する導電層173上には、発光素子61R、発光素子61G、及び発光素子61Bを覆って、保護層271が設けられている。保護層271は、上方から各発光素子に水などの不純物が拡散することを防ぐ機能を有する。保護層271の材料としては、前述の保護層681の材料を参照できる。

[0981]

図39Cには、白色の光を呈する発光素子61Wを示す。発光素子61Wは、画素電極として機能する導電層171と共通電極として機能する導電層173との間に白色の光を呈するEL層172Wを有する。

[0982]

EL層172Wとしては、例えば、それぞれの発光色が補色の関係になるように選択された、2以上の発光層を積層した構成とすることができる。また、発光層間に電荷発生層を挟持した、タンデム型のEL層を用いてもよい。

[0983]

図39Cには、3つの発光素子61Wを並べて示している。左の発光素子61Wの上部には着色層264Rが設けられている。着色層264Rは、赤色の光を透過するバンドパスフィルタとして機能する。同様に、中央の発光素子61Wの上部には緑色の光を透過する着色層264Gが設けられ、右の発光素子61Wの上部には、青色の光を透過する着色層264Bが設けられている。これにより、表示装置はカラーの画像を表示することができる。

[0984]

ここで、隣接する2つの発光素子61W間において、EL層172Wが分離されている。これにより、隣接する2つの発光素子61Wにおいて、EL層172Wを介して電流が流れて意図しない発光が生じること防ぐことができる。特に、EL層172Wとして、2つの発光層の間に電荷発生層が設けられる積層型のEL層を用いた場合では、精細度が高いほど、すなわち隣接画素間の距離が小さいほど、クロストークの影響が顕著となり、コントラストが低下してしまうといった問題がある。そのため、このような構成とすることで、高い精細度と、高いコントラストを兼ね備える表示装置を実現できる。

[0985]

EL層172Wの分離は、フォトリソグラフィ法により行うことが好ましい。これにより、発光素子間の間隔を狭めることができるため、例えばメタルマスク等のシャドーマスクを用いた場合と比較して、高い開口率の表示装置を実現することができる。

[0986]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0987]

(実施の形態8)

本実施の形態では、本発明の一態様の半導体装置の応用例について、図40乃至図44を用いて説明する。

[0988]

本発明の一態様の半導体装置は、例えば、電子部品、大型計算機、宇宙用機器、データセンター(Data Center: DCとも呼称する)、及び、各種電子機器に用いることができる。本発明の一態様の半導体装置を用いることで、電子部品、大型計算機、宇宙用機器、データセンター、及び、各種電子機器の、低消費電力化及び高性能化が実現できる。

[0989]

また、本発明の一態様の半導体装置を有する表示装置を、各種電子機器の表示部に用いることができる。本発明の一態様の半導体装置を有する表示装置は、高精細化及び高解像度化が容易である。

[0990]

電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

[0991]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機(ウェアラブル機器)、並びに、ヘッドマウントディスプレイなどのVR向け機器、メガネ型のAR向け機器、及び、MR向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

[0992]

本発明の一態様の表示装置は、HD(画素数1280×720)、FHD(画素数1920×1080)、WQHD(画素数2560×1440)、WQXGA(画素数2560×1600)、4K(画素数3840×2160)、8K(画素数7680×4320)といった極めて高い解像度を有していることが好ましい。特に4K、8K、またはそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度(精細度)は、100ppi以上、300ppi以上、500ppi以上、1000ppi以上、2000ppi以上、3000ppi以上、5000ppi以上、または7000ppi以上とすることが好ましい。このように高い解像度及び高い精細度の一方または双方を有する表示装置を用いることで、臨場感及び奥行き感などをより高めることが可能となる。また、本発明の一態様の表示装置の画面比率(アスペクト比)については、特に限定はない。例えば、表示装置は、1:1(正方形)、4:3、16:9、16:10など様々な画面比率に対応することができる。

[0993]

本実施の形態の電子機器は、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を検知、検出、または測定する機能を含むもの)を有していてもよい。

[0994]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

[0995]

[電子部品]

電子部品700が実装された基板（実装基板704）の斜視図を、図40Aに示す。図40Aに示す電子部品700は、モールド711内に半導体装置710を有している。図40Aは、電子部品700の内部を示すために、一部の記載を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は半導体装置710とワイヤ714を介して電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0996]

また、半導体装置710は、駆動回路層715と、記憶層716と、を有する。なお、記憶層716は、複数のメモリセルアレイが積層された構成である。駆動回路層715と、記憶層716と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、TSV（Through Silicon Via）などの貫通電極技術、及び、Cu-Cu直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層715と、記憶層716と、をモノリシックに積層することで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

[0997]

また、オンチップメモリの構成とすることで、TSVなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくできるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

[0998]

また、記憶層716が有する、複数のメモリセルアレイを、OSトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシの一方または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層716にSiトランジスタを用いる構成の場合、OSトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、OSトランジスタは、Siトランジスタよりも優れた構造であるといえる。

[0999]

また、半導体装置710を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウェハともいう）などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、

例えば、シリコン (Si)、炭化ケイ素 (SiC)、または窒化ガリウム (GaN) などが挙げられる。例えば、シリコン基板 (シリコンウエハともいう) から得られたダイを、シリコンダイという場合がある。

[1000]

次に、電子部品730の斜視図を図40Bに示す。電子部品730は、SiP (System in Package) またはMCM (Multi Chip Module) の一例である。電子部品730は、パッケージ基板732 (プリント基板) 上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、及び複数の半導体装置710が設けられている。

[1001]

電子部品730では、半導体装置710を広帯域メモリ (HBM: High Bandwidth Memory) として用いる例を示している。また、半導体装置735は、CPU、GPU、またはFPGA (Field Programmable Gate Array) 等の集積回路に用いることができる。

[1002]

パッケージ基板732は、例えば、セラミックス基板、プラスチック基板、または、ガラスエポキシ基板を用いることができる。インターポーザ731は、例えば、シリコンインターポーザ、または樹脂インターポーザを用いることができる。

[1003]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSVを用いることもできる。

[1004]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[1005]

また、シリコンインターポーザを用いた、SiP及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ (2.5次元実装) では、シリコンインターポーザを用いることが好ましい。

[1006]

一方で、シリコンインターポーザ、及びTSVなどを用いて端子ピッチの異なる複数の集積回路を電氣的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品730のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、前述したように、

OSトランジスタを用いたモノリシック積層の構成が好適である。TSVを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

[1007]

また、電子部品730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、半導体装置710と半導体装置735の高さを揃えることが好ましい。

[1008]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図40Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[1009]

電子部品730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、及び、QFN（Quad Flat Non-leaded package）が挙げられる。

[1010]

[大型計算機]

次に、大型計算機5600の斜視図を図41Aに示す。図41Aに示す大型計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。なお、大型計算機5600を、スーパーコンピュータと呼称してもよい。

[1011]

計算機5620は、例えば、図41Bに示す斜視図の構成とすることができる。図41Bにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿入されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[1012]

図41Cに示すPCカード5621は、CPU、GPU、記憶装置などを備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図41Cには、半導体装置5626、半導体装置5627、及び半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、及び半導体装置5628の説明を参照できる。

[1013]

接続端子5629は、マザーボード5630のスロット5631に挿入することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えば、PCIeなどが挙げられる。

[1014]

接続端子5623、接続端子5624、接続端子5625は、例えば、PCカード5621に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PCカード5621によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB (Universal Serial Bus)、SATA (Serial ATA)、SCSI (Small Computer System Interface)などが挙げられる。また、接続端子5623、接続端子5624、接続端子5625から映像信号を出力する場合、それぞれの規格としては、HDMI (登録商標)などが挙げられる。

[1015]

半導体装置5626は、信号の入出力を行う端子(図示しない)を有しており、当該端子をボード5622が備えるソケット(図示しない)に対して差し込むことで、半導体装置5626とボード5622を電氣的に接続することができる。

[1016]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を電氣的に接続することができる。半導体装置5627としては、例えば、FPGA、GPU、CPUなどが挙げられる。半導体装置5627として、例えば、電子部品730を用いることができる。

[1017]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を電氣的に接続することができる。半導体装置5628としては、例えば、記憶装置などが挙げられる。半導体装置5628として、例えば、電子部品700を用いることができる。

[1018]

大型計算機5600は並列計算機としても機能できる。大型計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[1019]

[宇宙用機器]

本発明の一態様の半導体装置は、宇宙用機器に好適に用いることができる。

[1020]

本発明の一態様の半導体装置は、OSトランジスタを含む。OSトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、OSトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。具体的には、OSトランジスタを、スペースシャトル、人工衛星、または、宇宙探査機に設けられる半導体装置を構成するトランジスタに用いることができる。放射線として、例えば、X線、及び中性子線が挙げられる。なお、宇宙空間とは、例えば、高度100km以上を指すが、

本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つまたは複数を含んでもよい。

[1021]

図41Dには、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図41Dにおいては、宇宙空間に惑星6804を例示している。

[1022]

また、図41Dには示していないが、二次電池6805に、バッテリーマネジメントシステム（BMSともいう）、またはバッテリー制御回路を設けてもよい。前述のバッテリーマネジメントシステム、またはバッテリー制御回路に、OSトランジスタを用いると、消費電力が低く、かつ宇宙空間においても高い信頼性を有するため好適である。

[1023]

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

[1024]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[1025]

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、例えば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、衛星測位システムを構成することができる。

[1026]

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置6807には、本発明の一態様であるOSトランジスタを含む半導体装置を用いると好適である。OSトランジスタは、Siトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[1027]

また、人工衛星6800は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星6800は、例えば地球観測衛星としての機能を有することができる。

[1028]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限

定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

[1029]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、広いメモリバンド幅の実現が可能で、放射線耐性が高いこと、といった優れた効果を有する。

[1030]

[データセンター]

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

[1031]

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

[1032]

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

[1033]

図41Eにデータセンターに適用可能なストレージシステムを示す。図41Eに示すストレージシステム7010は、ホスト7001(Host Computerと図示)として複数のサーバ7001sbを有する。また、ストレージ7003(Storageと図示)として複数の記憶装置7003mdを有する。ホスト7001とストレージ7003とは、ストレージエリアネットワーク7004(SAN:Storage Area Networkと図示)及びストレージ制御回路7002(Storage Controllerと図示)を介して接続されている形態を図示している。

[1034]

ホスト7001は、ストレージ7003に記憶されたデータにアクセスするコンピュータに相当する。ホスト7001同士は、ネットワークで互いに接続されていてもよい。

[1035]

ストレージ7003は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているが、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるDRAMが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ7003のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力に要する時間を短くしている。

[1036]

前述のキャッシュメモリは、ストレージ制御回路7002及びストレージ7003内に用いられる。

ホスト7001とストレージ7003との間でやり取りされるデータは、ストレージ制御回路7002及びストレージ7003内の当該キャッシュメモリに記憶されたのち、ホスト7001またはストレージ7003に出力される。

[1037]

前述のキャッシュメモリのデータを記憶するためのトランジスタとして、OSトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

[1038]

[電子機器]

図42A乃至図42Fを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ARのコンテンツを表示する機能、VRのコンテンツを表示する機能、SRのコンテンツを表示する機能、MRのコンテンツを表示する機能のうち少なくとも一つを有する。電子機器が、AR、VR、SR、及びMRなどの少なくとも一つのコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

[1039]

図42Aに示す電子機器700Aは、一対の表示パネル751と、一対の筐体721と、通信部(図示しない)と、一対の装着部723と、制御部(図示しない)と、撮像部(図示しない)と、一対の光学部材753と、フレーム757と、一対の鼻パッド758と、を有する。

[1040]

表示パネル751には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。また、制御部(図示しない)には、本発明の一態様の半導体装置を適用することができる。これにより、電子機器の消費電力を低減することができる。

[1041]

電子機器700Aは、光学部材753の表示領域756に、表示パネル751で表示した画像を投影することができる。光学部材753は透光性を有するため、使用者は光学部材753を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器700Aは、AR表示が可能な電子機器である。

[1042]

電子機器700Aには、撮像部として、前方を撮像することのできるカメラが設けられていてもよい。また、電子機器700Aは、ジャイロセンサなどの加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた画像を表示領域756に表示することもできる。

[1043]

通信部は無線通信機を有し、当該無線通信機により映像信号等を供給することができる。なお、無線通信機に代えて、または無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えていてもよい。

[1044]

また、電子機器700Aには、バッテリーが設けられており、無線及び有線的一方または双方によって充電することができる。

[1045]

筐体 7 2 1 には、タッチセンサモジュールが設けられていてもよい。タッチセンサモジュールは、筐体 7 2 1 の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作またはスライド操作などを検出し、様々な処理を実行することができる。例えば、タップ操作によって動画の一時停止または再開などの処理を実行することが可能となり、スライド操作により、早送りまたは早戻しの処理を実行することなどが可能となる。また、2つの筐体 7 2 1 のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

[1 0 4 6]

図 4 2 B に示す電子機器 8 0 0 A、及び、図 4 2 C に示す電子機器 8 0 0 B は、それぞれ、一对の表示部 8 2 0 と、筐体 8 2 1 と、通信部 8 2 2 と、一对の装着部 8 2 3 と、制御部 8 2 4 と、一对の撮像部 8 2 5 と、一对のレンズ 8 3 2 と、を有する。

[1 0 4 7]

表示部 8 2 0 には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。これにより、使用者に高い没入感を感じさせることができる。また、制御部 8 2 4 には、本発明の一態様の半導体装置を適用することができる。これにより、電子機器の消費電力を低減することができる。

[1 0 4 8]

表示部 8 2 0 は、筐体 8 2 1 の内部の、レンズ 8 3 2 を通して視認できる位置に設けられる。また、一对の表示部 8 2 0 に異なる画像を表示させることで、視差を用いた 3 次元表示を行うこともできる。

[1 0 4 9]

電子機器 8 0 0 A、及び、電子機器 8 0 0 B は、それぞれ、VR 向けの電子機器ということができる。電子機器 8 0 0 A または電子機器 8 0 0 B を装着した使用者は、レンズ 8 3 2 を通して、表示部 8 2 0 に表示される画像を視認することができる。

[1 0 5 0]

電子機器 8 0 0 A、及び、電子機器 8 0 0 B は、それぞれ、レンズ 8 3 2 及び表示部 8 2 0 が、使用者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ 8 3 2 と表示部 8 2 0 との距離を変えることで、ピントを調整する機構を有していることが好ましい。

[1 0 5 1]

装着部 8 2 3 により、使用者は電子機器 8 0 0 A または電子機器 8 0 0 B を頭部に装着することができる。なお、図 4 2 B などにおいては、メガネのつる（テンプルなどともいう）のような形状として例示しているがこれに限定されない。装着部 8 2 3 は、使用者が装着できればよく、例えば、ヘルメット型またはバンド型の形状としてもよい。

[1 0 5 2]

撮像部 8 2 5 は、外部の情報を取得する機能を有する。撮像部 8 2 5 が取得したデータは、表示部 8 2 0 に出力することができる。撮像部 8 2 5 には、イメージセンサを用いることができる。また、望遠、広角などの複数の画角に対応可能なように複数のカメラを設けてもよい。

[1 0 5 3]

なお、ここでは撮像部 8 2 5 を有する例を示したが、対象物の距離を測定することのできる測距センサ（以下、検知部ともよぶ）を設ければよい。すなわち、撮像部 8 2 5 は、検知部の一態様である。検知部としては、例えばイメージセンサ、または、ライダー（L I D A R : L i g h t D e t e c

tion and Ranging)などの距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像とを用いることにより、より多くの情報を取得し、より高精度なジェスチャー操作を可能とすることができる。

[1054]

電子機器800Aは、骨伝導イヤフォンとして機能する振動機構を有していてもよい。例えば、表示部820、筐体821、及び装着部823のいずれか一または複数に、当該振動機構を有する構成を適用することができる。これにより、別途、ヘッドフォン、イヤフォン、またはスピーカなどの音響機器を必要とせず、電子機器800Aを装着しただけで映像と音声を楽しむことができる。

[1055]

電子機器800A、及び、電子機器800Bは、それぞれ、入力端子を有していてもよい。入力端子には映像出力機器等からの映像信号、及び、電子機器内に設けられるバッテリーを充電するための電力等を供給するケーブルを接続することができる。

[1056]

本発明の一態様の電子機器は、イヤフォン750と無線通信を行う機能を有していてもよい。イヤフォン750は、通信部(図示しない)を有し、無線通信機能を有する。イヤフォン750は、無線通信機能により、電子機器から情報(例えば音声データ)を受信することができる。例えば、図42Aに示す電子機器700Aは、無線通信機能によって、イヤフォン750に情報を送信する機能を有する。

[1057]

また、電子機器がイヤフォン部を有していてもよい。図42Cに示す電子機器800Bは、イヤフォン部827を有する。例えば、イヤフォン部827と制御部824とは、互いに有線接続されている構成とすることができる。イヤフォン部827と制御部824とをつなぐ配線の一部は、筐体821または装着部823の内部に配置されていてもよい。また、イヤフォン部827と装着部823とがマグネットを有していてもよい。これにより、イヤフォン部827を装着部823に磁力によって固定することができ、収納が容易となり好ましい。

[1058]

なお、電子機器は、イヤフォンまたはヘッドフォンなどを接続することができる音声出力端子を有していてもよい。また、電子機器は、音声入力端子及び音声入力機構の一方または双方を有していてもよい。音声入力機構としては、例えば、マイクなどの集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

[1059]

図42D及び図42Eに、VR向けのゴーグル型の電子機器850Aの斜視図を示す。図42D及び図42Eでは、筐体845内に、それぞれ湾曲した一対の表示装置840(表示装置840__R及び表示装置840__L)を有する例を示している。また、電子機器850Aは、動き検出部841、視線検出部842、演算部843、通信部844、レンズ848、操作ボタン851、装着具854、センサ855、ダイヤル856などを有する。

[1060]

2つの表示装置840を有することで、使用者は片方の目につき1つの表示装置を見ることができる。これにより、視差を用いた3次元表示等を行う際であっても、高い解像度の映像を表示することができる。また、表示装置840は使用者の目を略中心とした円弧状に湾曲している。これにより、

使用者の目から表示装置 8 4 0 の表示面までの距離が一定となるため、使用者はより自然な映像を見ることができる。また、表示装置 8 4 0 に、光の輝度または色度が見る角度によって変化してしまう、いわゆる視野角依存性がある場合であっても、表示装置 8 4 0 の表示面の法線方向に使用者の目が位置する構成にできるため、特に水平方向については実質的にその影響を無視することができるため、より現実感のある映像を表示することができる。

[1 0 6 1]

図 4 2 E に示すように、レンズ 8 4 8 は、表示装置 8 4 0 と使用者の目の位置との間に位置する。図 4 2 E では、視度調節のためにレンズの位置を変化させるダイヤル 8 5 6 を有する例を示している。なお、電子機器 8 5 0 A がオートフォーカス機能を有する場合には、視度調節のためのダイヤル 8 5 6 を有さなくてもよい。

[1 0 6 2]

図 4 2 F には、1 枚の表示装置 8 4 0 を有するゴーグル型の電子機器 8 5 0 B を示している。このような構成とすることで、部品点数を削減することができる。

[1 0 6 3]

表示装置 8 4 0 は、左右 2 つの領域にそれぞれ右目用の画像と、左目用の画像の 2 つの画像を並べて表示することができる。これにより、両眼視差を用いた立体映像を表示することができる。なお、表示装置 8 4 0 には、視差を用いた 2 つの異なる画像を並べて表示させてもよいし、視差を用いずに 2 つの同じ画像を並べて表示させてもよい。

[1 0 6 4]

また、表示装置 8 4 0 の全域に亘って、両方の目で視認可能な一つの画像を表示してもよい。これにより、視野の両端に亘ってパノラマ映像を表示することが可能となるため、現実感が高まる。

[1 0 6 5]

表示装置 8 4 0 に、本発明の一態様の表示装置を適用することができる。本発明の一態様の表示装置は、極めて精細度が高いため、レンズ 8 4 8 を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

[1 0 6 6]

図 4 3 A に示す電子機器 6 5 0 0 は、スマートフォンとして用いることのできる携帯情報端末機である。

[1 0 6 7]

電子機器 6 5 0 0 は、筐体 6 5 0 1、表示部 6 5 0 2、電源ボタン 6 5 0 3、ボタン 6 5 0 4、スピーカ 6 5 0 5、マイク 6 5 0 6、カメラ 6 5 0 7、光源 6 5 0 8、及び制御装置 6 5 0 9などを有する。

[1 0 6 8]

図 4 3 B に示す電子機器 6 5 2 0 は、タブレット端末として用いることのできる携帯情報端末機である。

[1 0 6 9]

電子機器 6 5 2 0 は、筐体 6 5 0 1、表示部 6 5 0 2、ボタン 6 5 0 4、スピーカ 6 5 0 5、マイク 6 5 0 6、カメラ 6 5 0 7、制御装置 6 5 0 9、及び接続端子 6 5 1 9などを有する。

[1 0 7 0]

電子機器 6 5 0 0 及び電子機器 6 5 2 0 のそれぞれにおいて、表示部 6 5 0 2 はタッチパネル機能

を備える。また、制御装置 6 5 0 9 は、例えば、CPU、GPU、及び記憶装置の中から選ばれられるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部 6 5 0 2 及び制御装置 6 5 0 9 の一方または双方に用いることができる。

[1 0 7 1]

図 4 3 C は、電子機器 6 5 0 0 または電子機器 6 5 2 0 が有する筐体 6 5 0 1 のマイク 6 5 0 6 側の端部を含む断面概略図である。

[1 0 7 2]

筐体 6 5 0 1 の表示面側には透光性を有する保護部材 6 5 1 0 が設けられ、筐体 6 5 0 1 と保護部材 6 5 1 0 に囲まれた空間内に、表示パネル 6 5 1 1、光学部材 6 5 1 2、タッチセンサパネル 6 5 1 3、プリント基板 6 5 1 7、バッテリー 6 5 1 8 等が配置されている。

[1 0 7 3]

保護部材 6 5 1 0 には、表示パネル 6 5 1 1、光学部材 6 5 1 2、及びタッチセンサパネル 6 5 1 3 が接着層（図示しない）により固定されている。

[1 0 7 4]

表示部 6 5 0 2 よりも外側の領域において、表示パネル 6 5 1 1 の一部が折り返されており、当該折り返された部分に FPC 6 5 1 5 が接続されている。FPC 6 5 1 5 には、IC 6 5 1 6 が実装されている。FPC 6 5 1 5 は、プリント基板 6 5 1 7 に設けられた端子に接続されている。

[1 0 7 5]

表示パネル 6 5 1 1 には本発明の一態様の表示装置を適用することができる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル 6 5 1 1 が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー 6 5 1 8 を搭載することもできる。また、表示パネル 6 5 1 1 の一部を折り返して、画素部の裏側に FPC 6 5 1 5 との接続部を配置することにより、狭額縁の電子機器を実現できる。

[1 0 7 6]

図 4 3 D にテレビジョン装置の一例を示す。テレビジョン装置 7 1 0 0 は、筐体 7 1 0 1 に表示部 7 0 0 0 が組み込まれている。ここでは、スタンド 7 1 0 3 により筐体 7 1 0 1 を支持した構成を示している。

[1 0 7 7]

表示部 7 0 0 0 に、本発明の一態様の表示装置を適用することができる。

[1 0 7 8]

図 4 3 D に示すテレビジョン装置 7 1 0 0 の操作は、筐体 7 1 0 1 が備える操作スイッチ、及び、別体のリモコン操作機 7 1 1 1 により行うことができる。または、表示部 7 0 0 0 にタッチセンサを備えていてもよく、指等で表示部 7 0 0 0 に触れることでテレビジョン装置 7 1 0 0 を操作してもよい。リモコン操作機 7 1 1 1 は、当該リモコン操作機 7 1 1 1 から出力する情報を表示する表示部を有していてもよい。リモコン操作機 7 1 1 1 が備える操作キーまたはタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部 7 0 0 0 に表示される映像を操作することができる。

[1 0 7 9]

なお、テレビジョン装置 7 1 0 0 は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、ある

いは受信者同士など)の情報通信を行うことも可能である。

[1080]

図43Eに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214、及び、制御装置7215などを有する。筐体7211に、表示部7000が組み込まれている。制御装置7215は、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数有する。本発明の一態様の半導体装置は、表示部7000及び制御装置7215の一方または双方に用いることができる。

[1081]

図43F及び図43Gに、デジタルサイネージの一例を示す。

[1082]

図43Fに示すデジタルサイネージ7300は、筐体7301、表示部7000、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー(電源スイッチ、または操作スイッチを含む)、接続端子、各種センサ、マイクロフォン等を有することができる。

[1083]

図43Gは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[1084]

図43F及び図43Gにおいて、表示部7000に、本発明の一態様の表示装置を適用することができる。

[1085]

表示部7000が広いほど、一度に提供できる情報量を増やすことができる。また、表示部7000が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[1086]

表示部7000にタッチパネルを適用することで、表示部7000に画像または動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報もしくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[1087]

また、図43F及び図43Gに示すように、デジタルサイネージ7300またはデジタルサイネージ7400は、使用者が所持するスマートフォン等の情報端末機7311または情報端末機7411と無線通信により連携可能であることが好ましい。例えば、表示部7000に表示される広告の情報を、情報端末機7311または情報端末機7411の画面に表示させることができる。また、情報端末機7311または情報端末機7411を操作することで、表示部7000の表示を切り替えることができる。

[1088]

また、デジタルサイネージ7300またはデジタルサイネージ7400に、情報端末機7311または情報端末機7411の画面を操作手段(コントローラ)としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[1089]

また、本発明の一態様の半導体装置及び表示装置は、移動体である自動車の運転席周辺に適用することができる。

[1090]

図44Aは、自動車の室内におけるフロントガラス周辺を表す図である。図44Aでは、ダッシュボードに取り付けられた表示パネル9001a、表示パネル9001b、及び、表示パネル9001c、並びに、ピラーに取り付けられた表示パネル9001dを示している。

[1091]

表示パネル9001a乃至表示パネル9001cは、ナビゲーション情報、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目及びレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることができる。表示パネル9001a乃至表示パネル9001cは、照明装置として用いることもできる。

[1092]

表示パネル9001dには、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル9001dは、照明装置として用いることもできる。

[1093]

図44Bは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[1094]

図44Bに示す携帯情報端末9200は、筐体9000、表示部9001、スピーカ9003、操作キー9005（電源スイッチ、または操作スイッチを含む）、接続端子9006、センサ9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を検知、検出、または測定する機能を含むもの）、マイクロフォン9008、等を有する。

[1095]

図44Cは、折り畳み可能な携帯情報端末9201を示す斜視図である。携帯情報端末9201は、筐体9000aと、筐体9000bと、表示部9001と、操作ボタン9056と、を有している。

[1096]

筐体9000aと筐体9000bと、は、ヒンジ9055により結合されており、ヒンジ9055によって、2つ折りが可能となっている。

[1097]

携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された2つの筐体（筐体9000a及び筐体9000b）に支持されている。

[1098]

図44D乃至図44Fは、折り畳み可能な携帯情報端末9202を示す斜視図である。また、図44Dは携帯情報端末9202を展開した状態、図44Fは折り畳んだ状態、図44Eは図44Dと図44Fの一方から他方に変化する途中の状態の斜視図である。このように、携帯情報端末9202は、3つ折りが可能である。

[1099]

携帯情報端末9202が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。

[1100]

図44C乃至図44Fにおいて、表示部9001に、本発明の一態様の表示装置を適用することができる。例えば、表示部9001は、曲率半径0.1mm以上150mm以下で曲げることができる。

[1101]

携帯情報端末9201及び携帯情報端末9202は、それぞれ、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。

[1102]

なお、本発明の一態様の半導体装置を、電子部品、大型計算機、宇宙用機器、データセンター、及び電子機器の中から選ばれるいずれか一または複数に適用することで、消費電力を低減することができる。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素(CO₂)に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

[1103]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[1104]

229：層、230a：酸化物半導体層、230b：酸化物半導体層、230c：酸化物半導体層、230：酸化物半導体層、4000：製造装置、4002：搬入搬出室、4004：搬入搬出室、4006：搬送室、4008：成膜室、4009：成膜室、4010：成膜室、4011：処理室、4014：搬送アーム、4020：チャンバー、4021a：原料供給部、4021b：原料供給部、4021c：原料供給部、4021：原料供給部、4022a：高速バルブ、4022d：高速バルブ、4023：原料導入口、4024：原料排出口、4025：排気装置、4026：基板ホルダ、4027：ヒータ、4028：プラズマ発生装置、4029：コイル、4030：基板、4031：原料供給部、4032：ガス供給部、4033：原料導入口、4034a：配管ヒータ、4034b：配管ヒータ、4050：製造装置、4052：搬入搬出室、4054：搬入搬出室、4056a：搬送室、4056b：搬送室、4060a：成膜室、4060b：成膜室、4060c：成膜室、4060d：成膜室、4060e：成膜室、4061a：処理室、4061b：処理室、4064a：搬送アーム、4064b：搬送アーム、4065：移送室、4100：PEALD装置、4111：プラズマ生成室、4120：反応室、4123：原料導入口、4124：原料排出口、4126：基板ホルダ、4128：プラズマ生成装置、4130：基板、4131：プラズマ、4133：原料導入口、4200：PEALD装置、4213：電極、4214：シャワーヘッド、4215：電源、4

2 1 7 : コンデンサ、4 2 2 0 : チャンバー、4 2 2 3 : 原料導入口、4 2 2 4 : 原料排出口、4 2 2 6 : 基板ホルダ、4 2 3 0 : 基板、4 2 3 1 : プラズマ、4 3 0 0 : P E A L D 装置、4 3 1 3 : 電極、4 3 1 4 : シャワーヘッド、4 3 1 5 : 電源、4 3 1 7 : コンデンサ、4 3 1 9 : メッシュ、4 3 2 0 : チャンバー、4 3 2 1 : 電源、4 3 2 2 : コンデンサ、4 3 2 3 : 原料導入口、4 3 2 4 : 原料排出口、4 3 2 6 : 基板ホルダ、4 3 3 0 : 基板、4 3 3 1 : プラズマ、4 5 2 0 : チャンバー、4 5 2 1 a : 原料供給部、4 5 2 1 b : 原料供給部、4 5 2 1 c : 原料供給部、4 5 2 1 : 原料供給部、4 5 2 2 a : 高速バルブ、4 5 2 2 c : 高速バルブ、4 5 2 2 d : 高速バルブ、4 5 2 3 : 原料導入口、4 5 2 4 : 原料排出口、4 5 2 5 : 排気装置、4 5 2 6 : 基板ホルダ、4 5 2 7 : ヒータ、4 5 3 0 : 基板、4 5 3 1 : 原料供給部、4 5 3 2 : ガス供給部、4 5 3 4 a : 配管ヒータ、4 5 3 4 b : 配管ヒータ、4 6 0 2 : 成膜チャンバー、4 6 0 6 : マグネットユニット、4 6 0 8 : バックリングプレート、4 6 1 0 : ターゲット、4 6 1 2 : 基板ホルダ、4 6 1 5 : D C 電源、4 6 1 6 : R F 電源、4 6 1 8 : R F 電源、4 6 2 0 : 基板

請求の範囲

[請求項 1]

第 1 乃至第 3 の成膜室と、第 1 の処理室と、搬送室と、を有し、
前記第 1 の成膜室及び前記第 3 の成膜室は、A L D 法による成膜を行う機能を有し、且つインジウムを含むプリカーサを供給する手段を有し、
前記第 2 の成膜室は、スパッタリング法による成膜を行う機能を有し、且つインジウムを含むスパッタリングターゲットを取り付ける手段を有し、
前記第 1 の処理室は、加熱処理を行う機能を有し、
前記第 1 乃至第 3 の成膜室、及び前記第 1 の処理室は、前記搬送室を介して接続されている、
製造装置。

[請求項 2]

請求項 1 において、
前記スパッタリングターゲットは、インジウム及び亜鉛を含む、
製造装置。

[請求項 3]

請求項 1 において、
前記第 1 の処理室は、加熱機構を有し、
前記加熱機構は、3 5 0 °C 以上 5 5 0 °C 以下の温度範囲にて、加熱する機能を有する、
製造装置。

[請求項 4]

請求項 1 において、
前記第 1 の処理室は、L R T A 装置を有する、
製造装置。

[請求項 5]

請求項 1 において、
前記搬送室に接続された第 2 の処理室を有し、
前記第 2 の処理室は、マイクロ波処理を行う機能を有する、
製造装置。

[請求項 6]

第 1 の成膜室において、インジウムを含むプリカーサを用いた A L D 法によって、第 1 の金属酸化物を成膜し、
第 2 の成膜室において、インジウムを含むスパッタリングターゲットを用いたスパッタリング法によって、前記第 1 の金属酸化物上に第 2 の金属酸化物を成膜し、
第 3 の成膜室において、インジウムを含むプリカーサを用いた A L D 法によって、前記第 2 の金属酸化物上に第 3 の金属酸化物を成膜し、
第 1 の処理室において、前記第 1 の金属酸化物乃至前記第 3 の金属酸化物に加熱処理を行い、
前記第 1 乃至第 3 の成膜室、及び前記第 1 の処理室は、搬送室を介して接続されている、
酸化物半導体層の作製方法。

[請求項 7]

請求項 6 において、

前記スパッタリングターゲットは、インジウム及び亜鉛を含む、
酸化物半導体層の作製方法。

[請求項 8]

請求項 7 において、
前記スパッタリング法は、酸素を含む雰囲気で行われる、
酸化物半導体層の作製方法。

[請求項 9]

請求項 6 において、
前記 ALD 法における、基板加熱の温度は 100℃以上 350℃以下である、
酸化物半導体層の作製方法。

[請求項 10]

請求項 6 において、
前記加熱処理は、350℃以上 550℃以下の温度で行われる、
酸化物半導体層の作製方法。

[請求項 11]

請求項 6 において、
前記加熱処理は、LRTA 装置を用いて行われる、
酸化物半導体層の作製方法。

[請求項 12]

請求項 6 において、
前記加熱処理の後に、第 2 の処理室において、マイクロ波処理を行い、
前記第 2 の処理室は、前記搬送室に接続されている、
酸化物半導体層の作製方法。

[請求項 13]

請求項 6 乃至請求項 12 において、
前記酸化物半導体層の透過電子顕微鏡を用いた断面観察において、被形成面と平行な方向に層状に
並んだ輝点が、前記第 1 の金属酸化物、前記第 2 の金属酸化物、及び前記第 3 の金属酸化物のそれぞ
れで確認される、酸化物半導体層の作製方法。

[請求項 14]

請求項 6 乃至請求項 12 において、
前記第 1 の金属酸化物と前記第 2 の金属酸化物との間に明確な境界が観察されず、
前記第 2 の金属酸化物と前記第 3 の金属酸化物との間に明確な境界が観察されない、酸化物半導体
層の作製方法。

图 1

4000

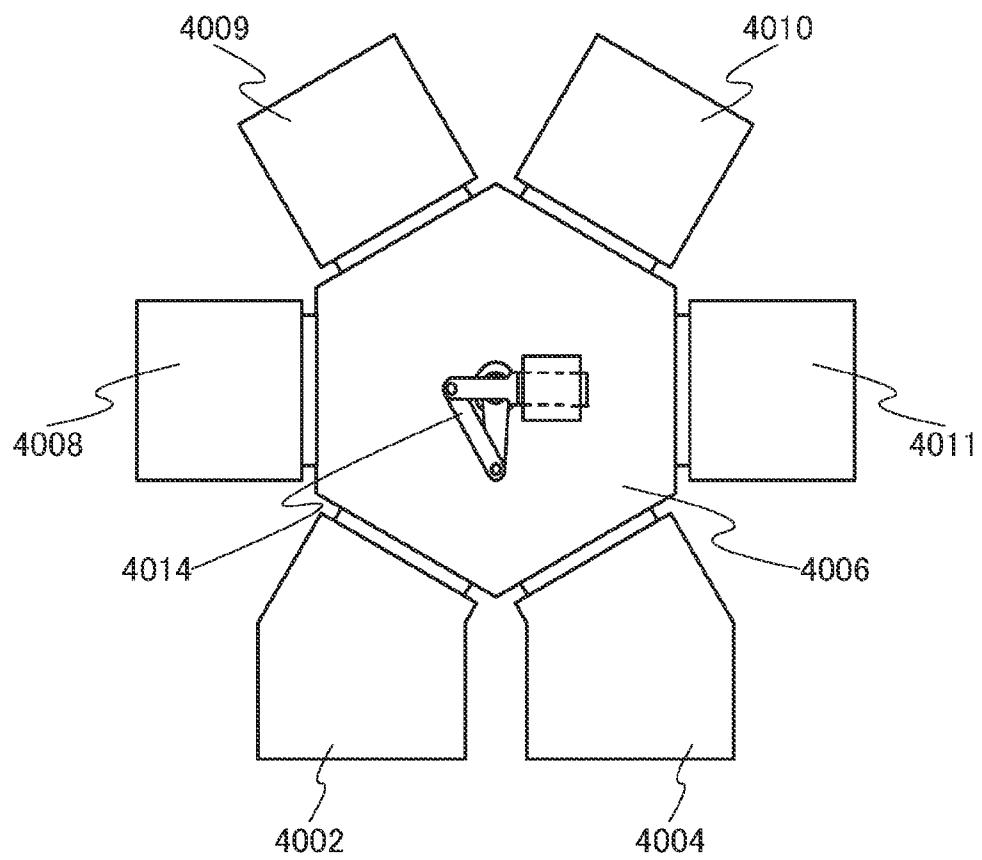


图2

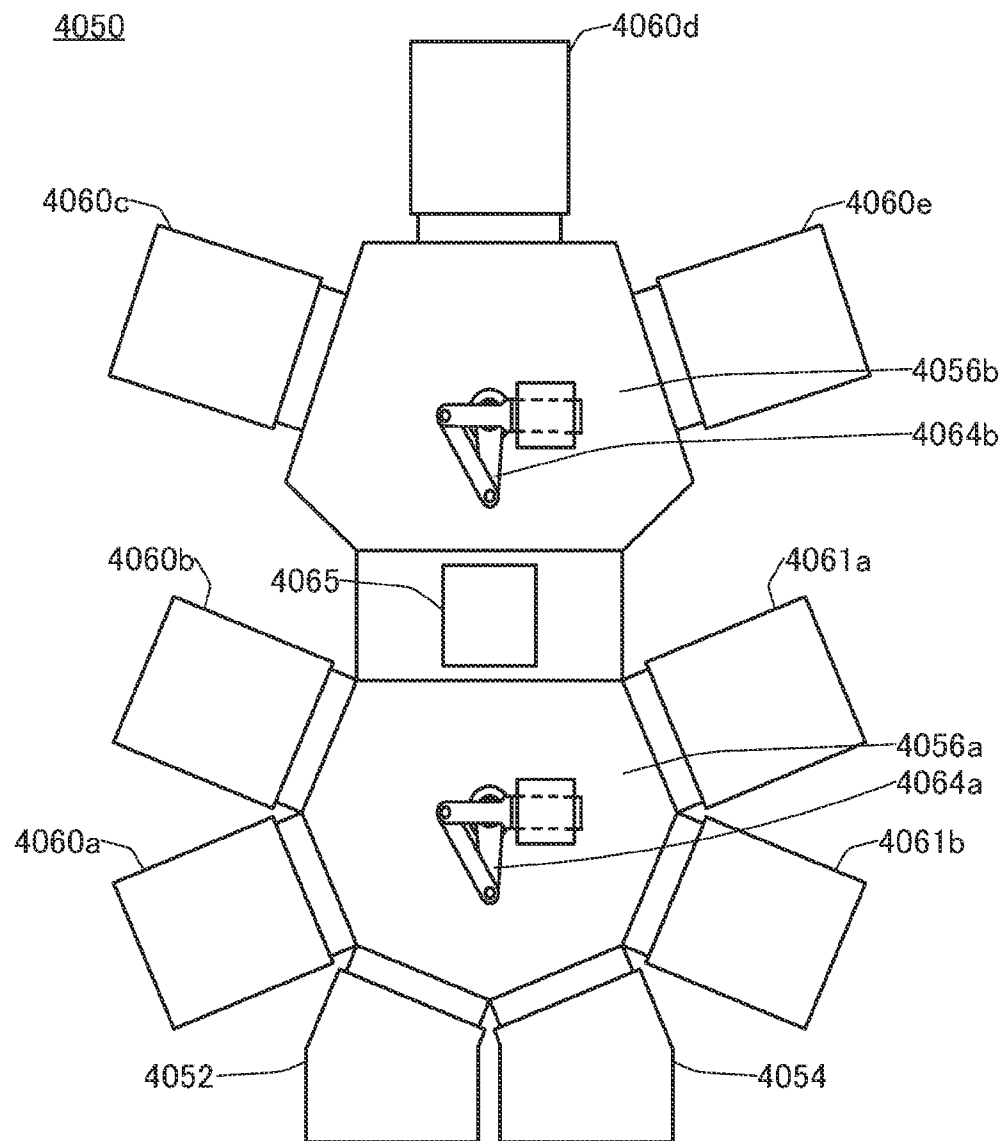


図3A

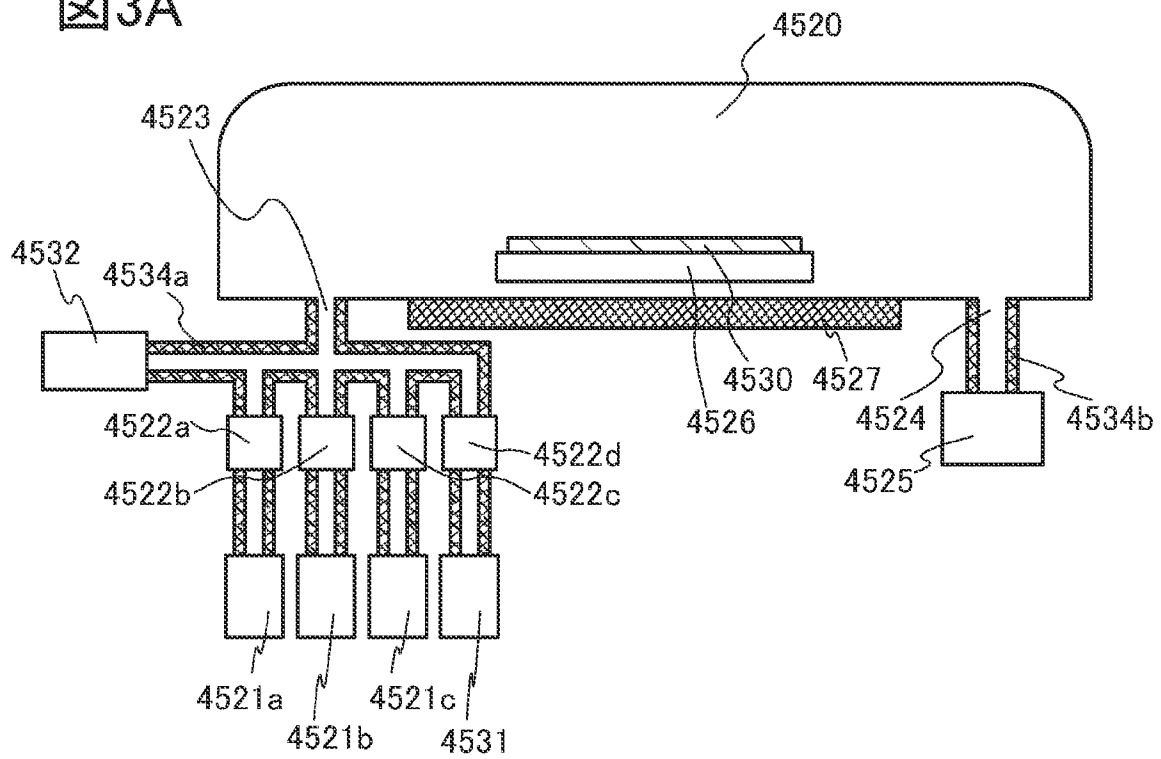


図3B

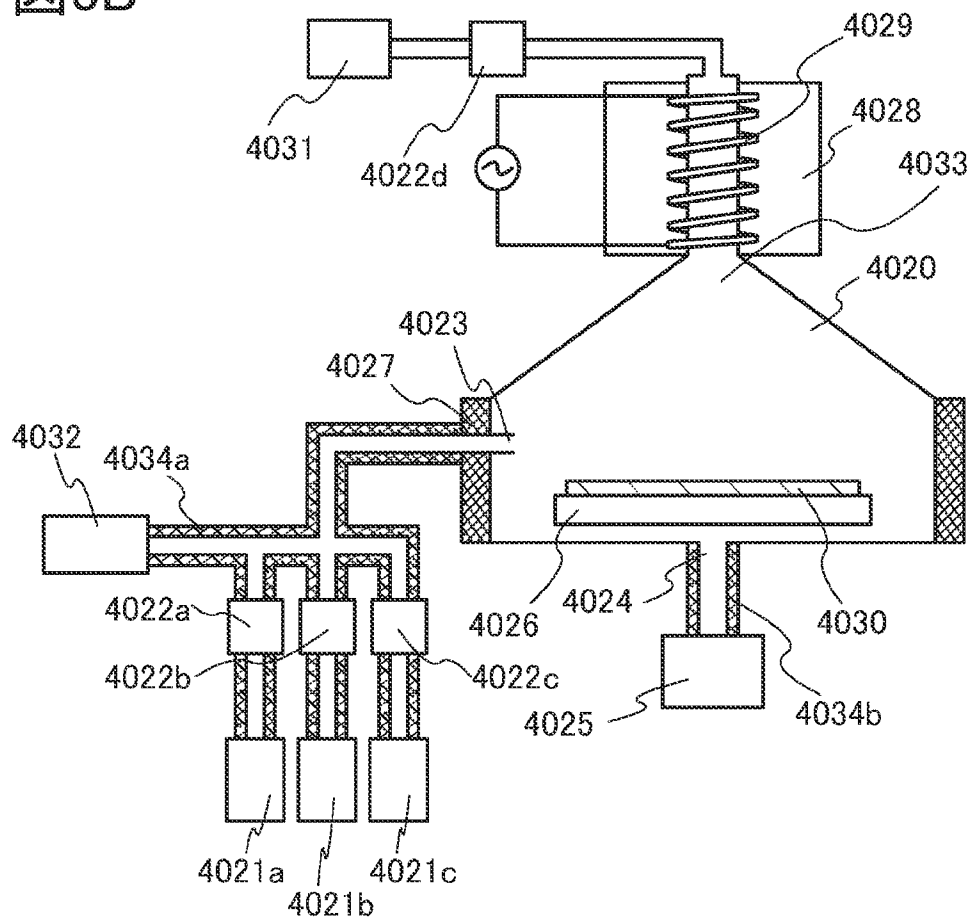


図4A

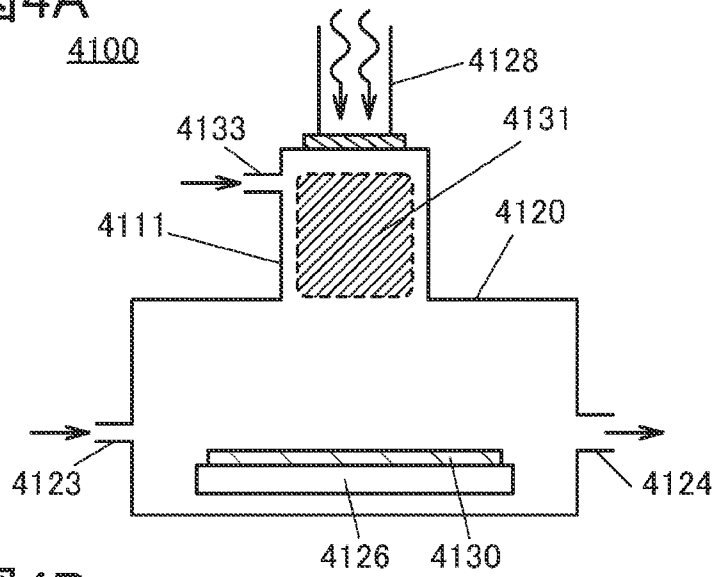


図4B

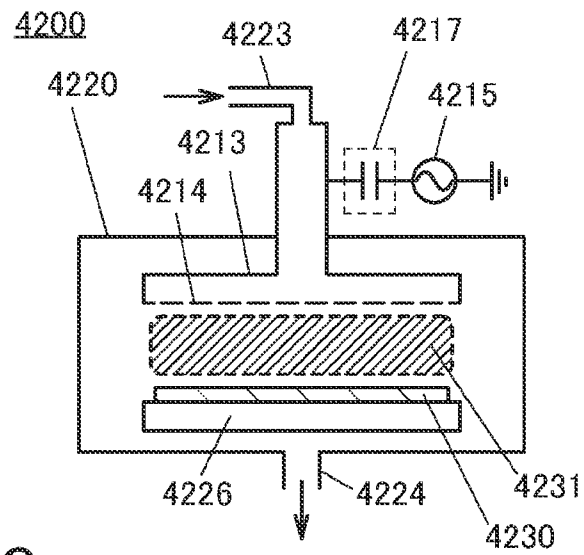


図4C

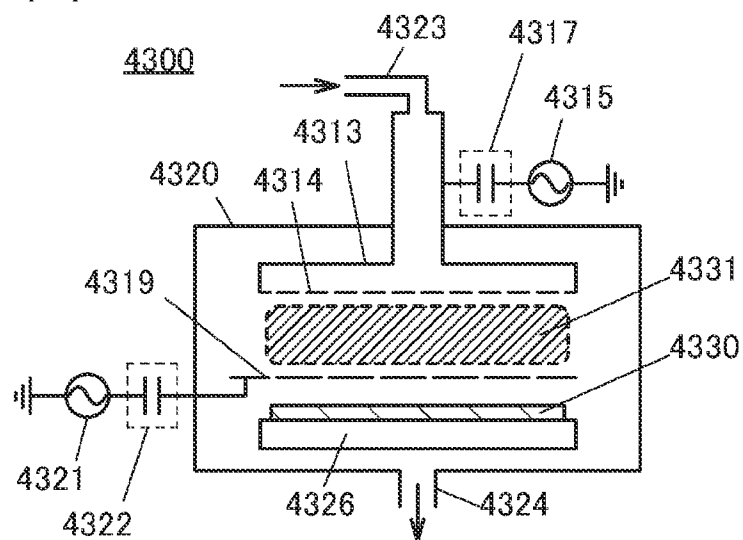


図5

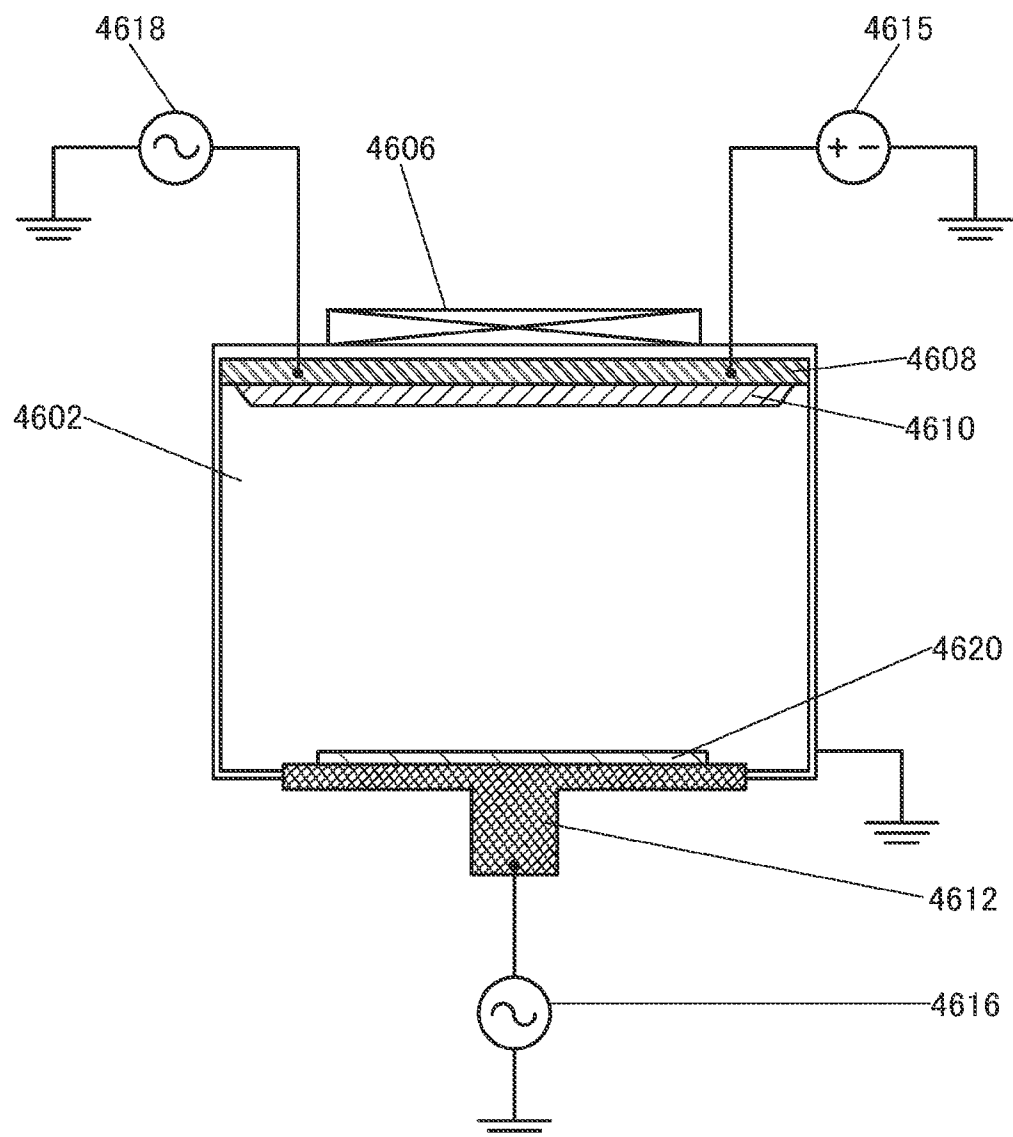


図6A

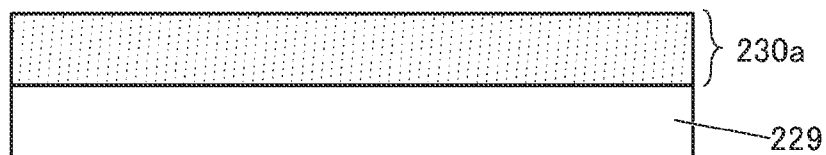


図6B

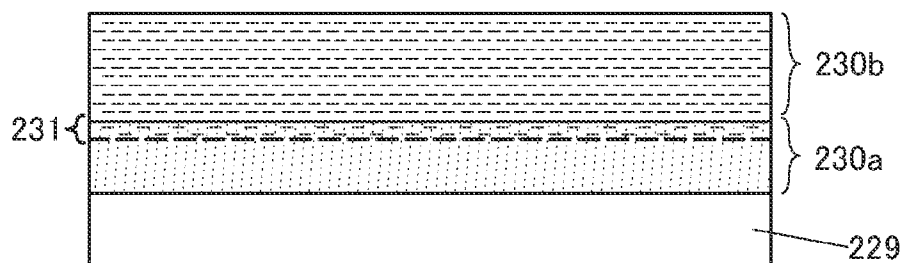


図6C

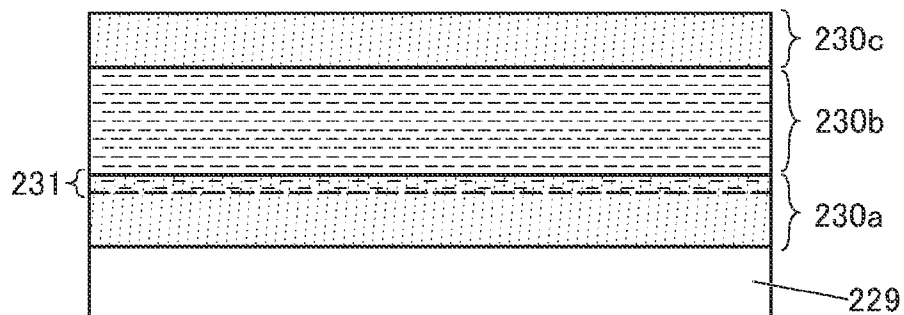


図6D

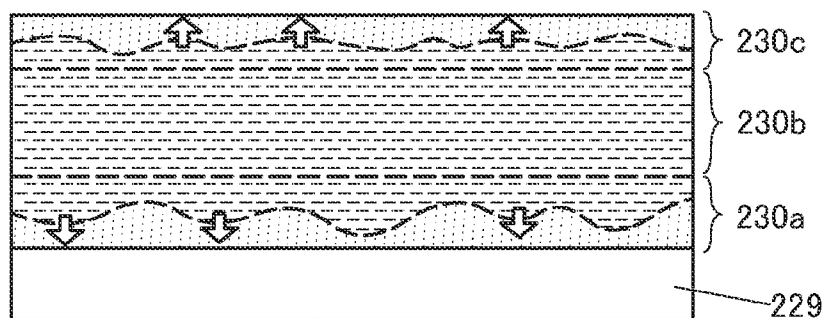


図7A

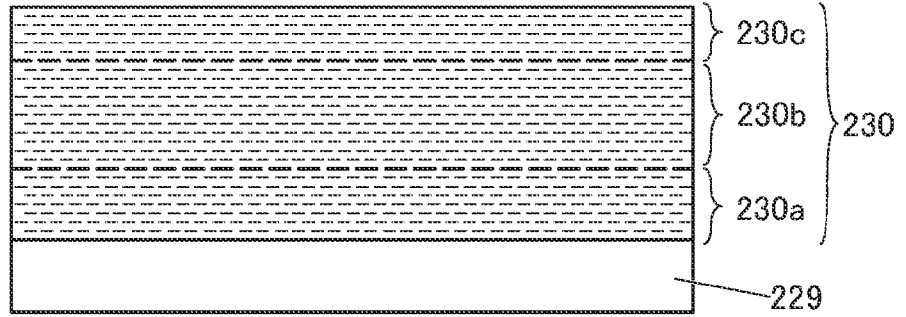


図7B

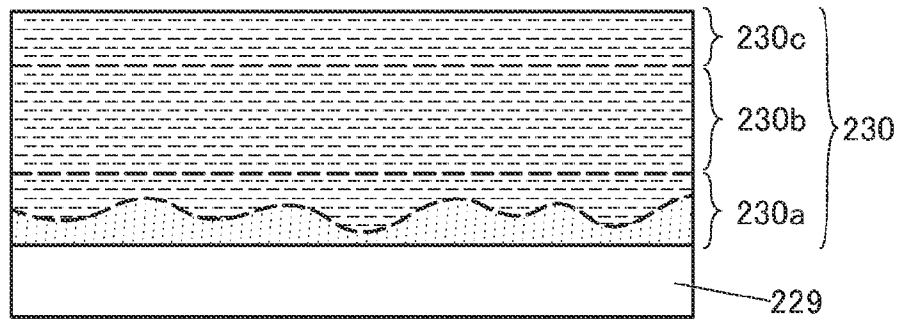


図7C

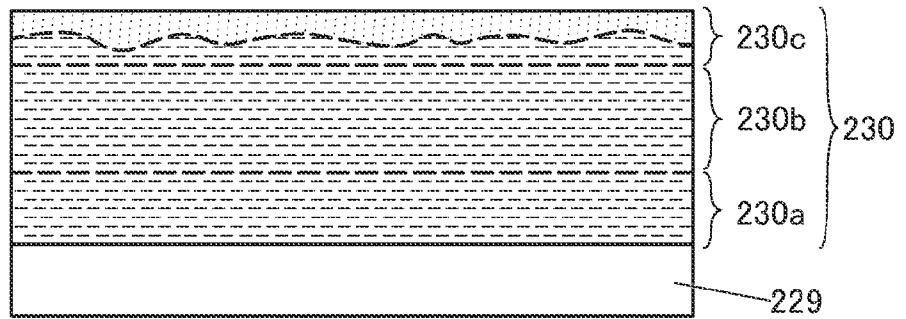


図7D

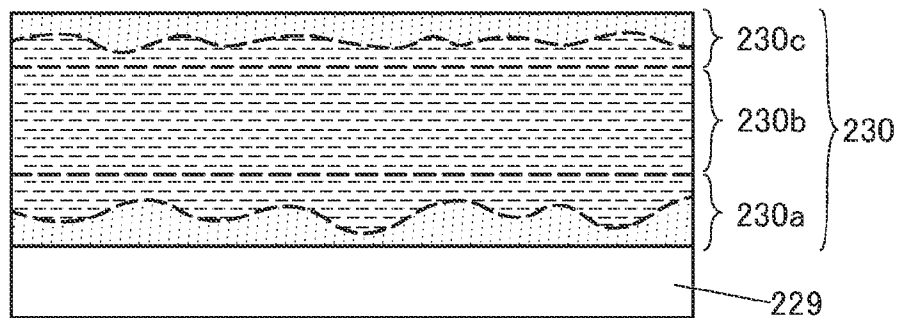


図8A

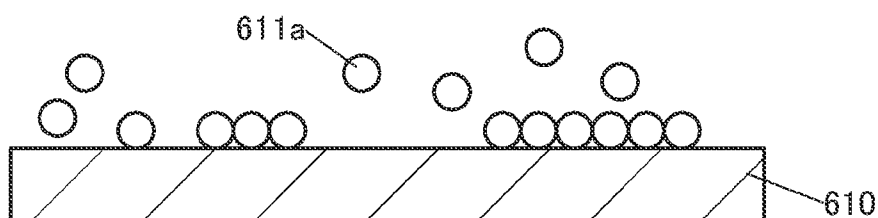


図8B

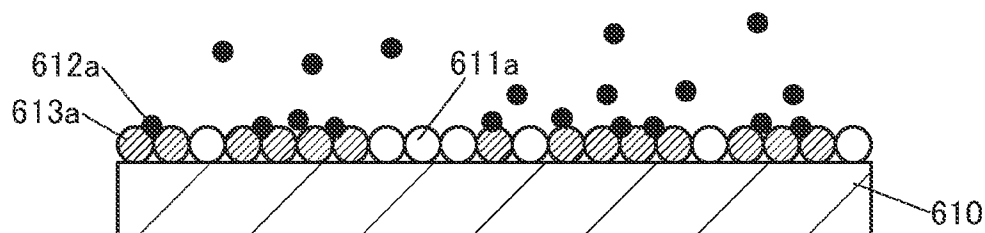


図8C

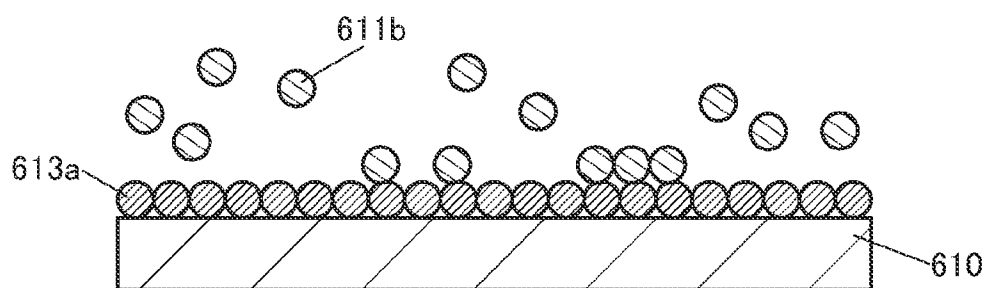


図8D

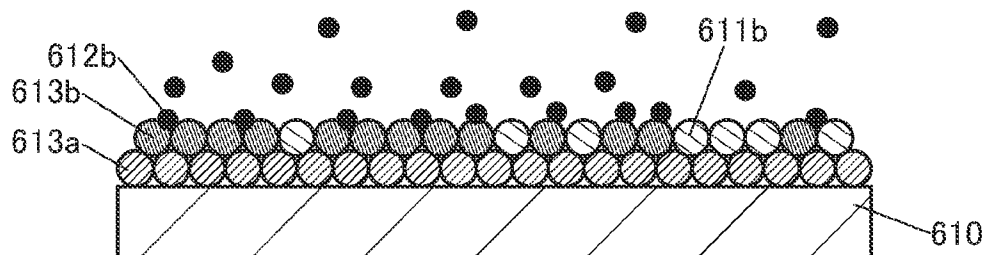


図8E

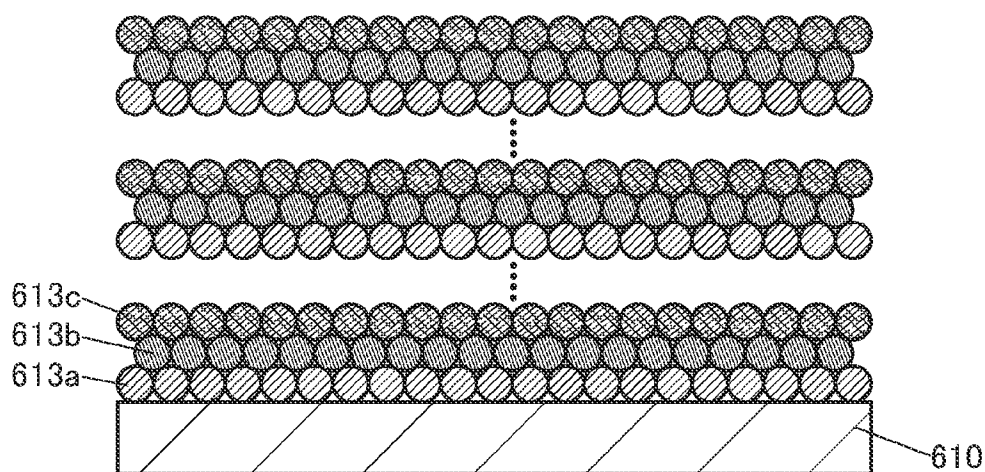


図9A

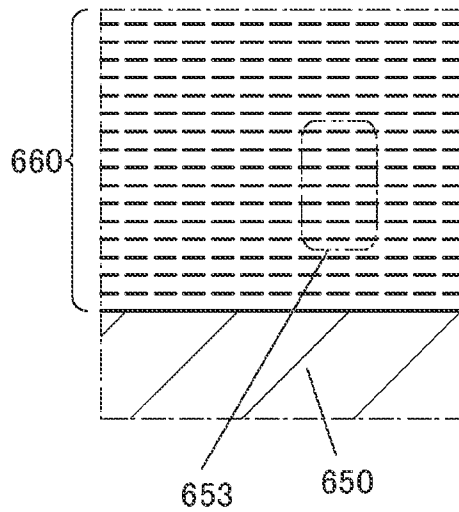


図9B

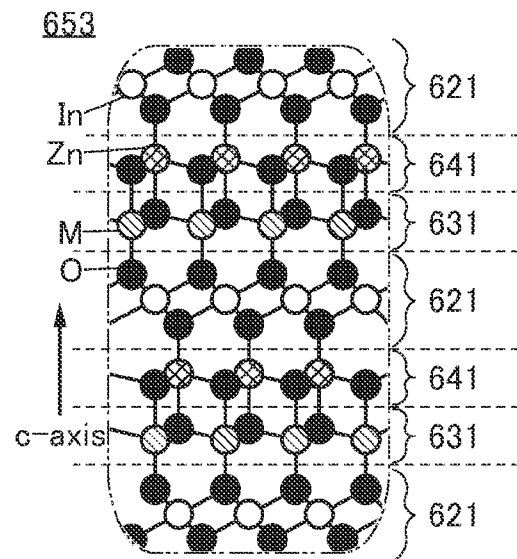


図9C

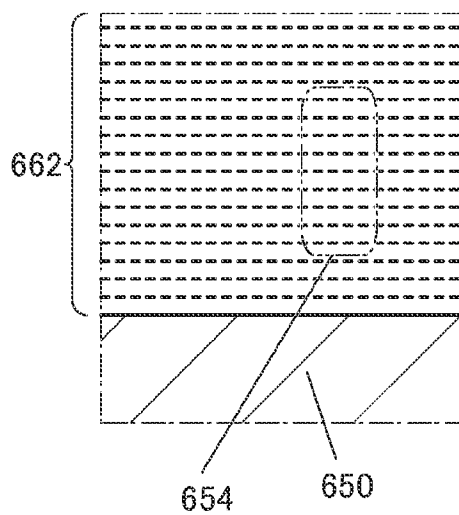


図9D

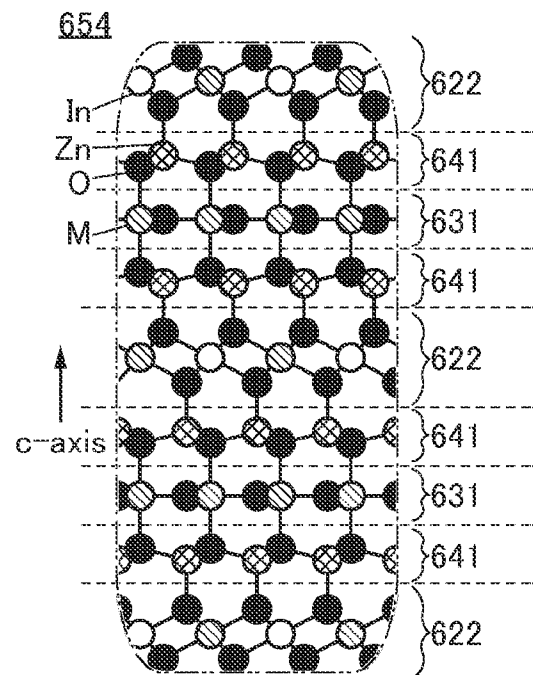


図10A

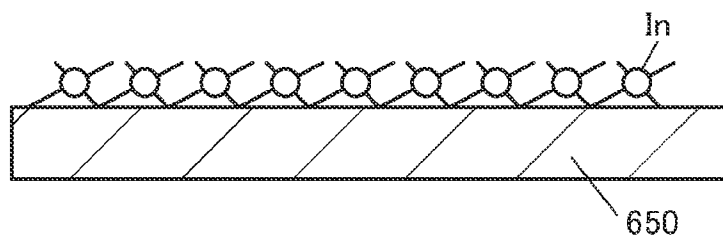


図10B

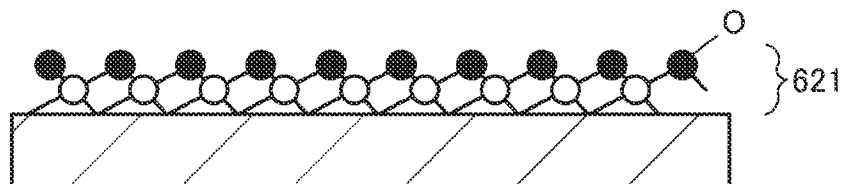


図10C

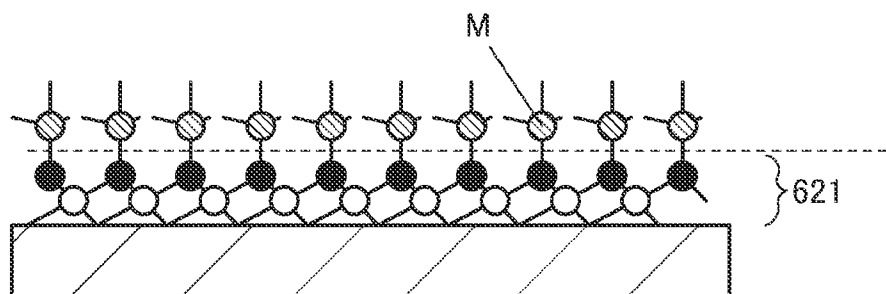
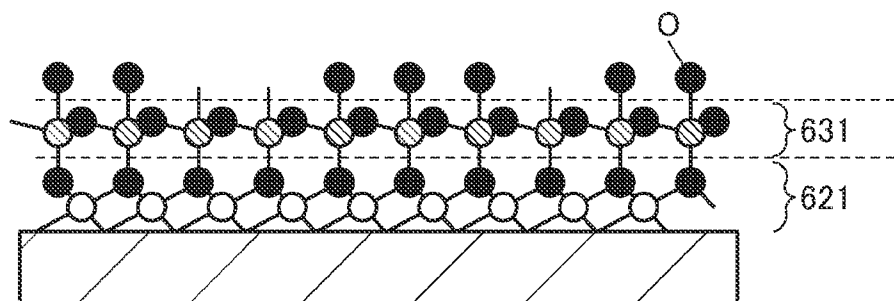


図10D



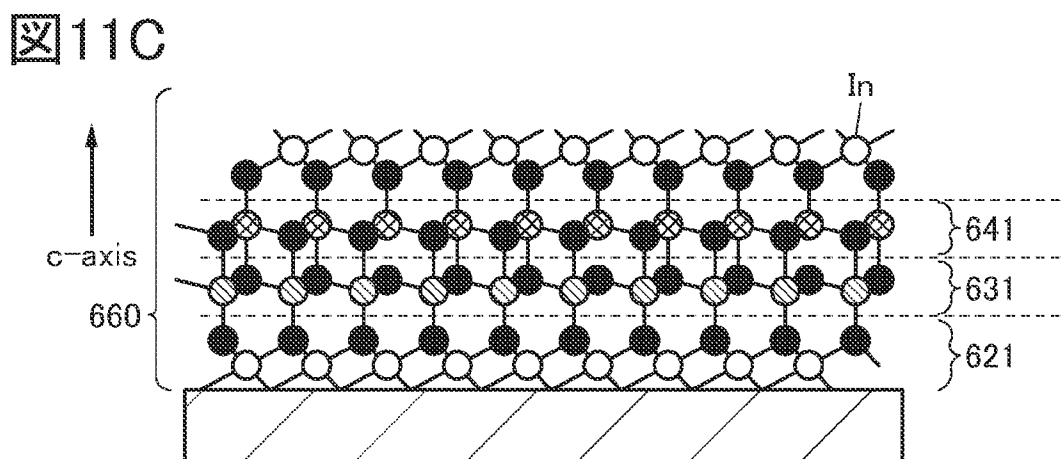
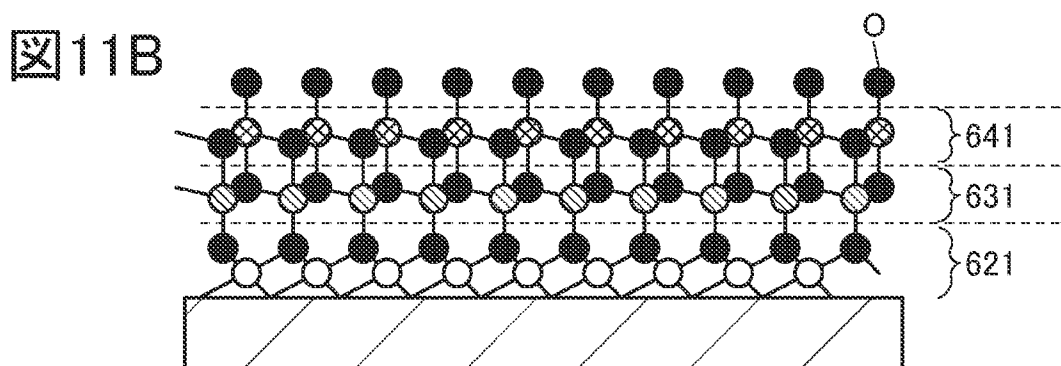
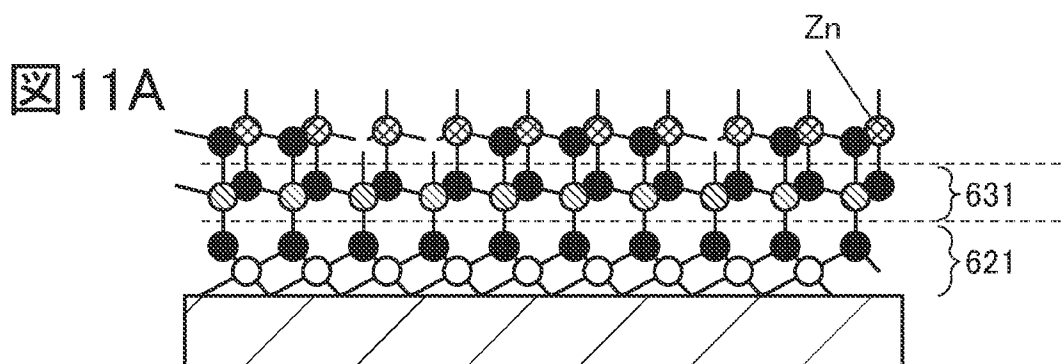


図 12A

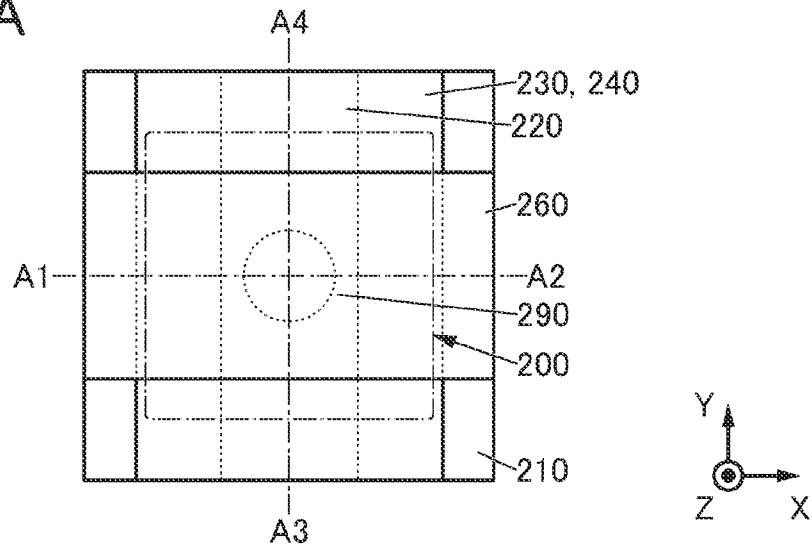


図 12B

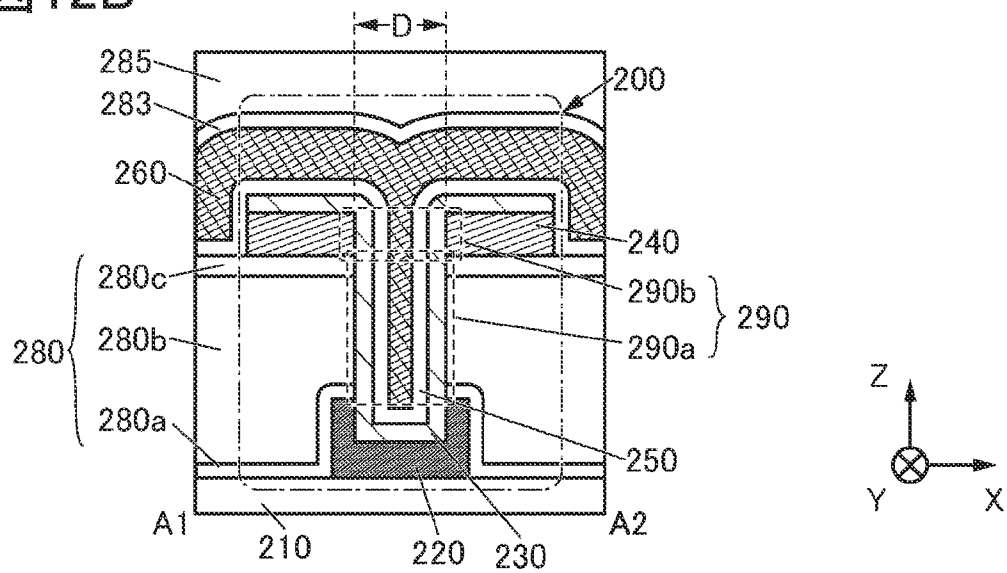


図 12C

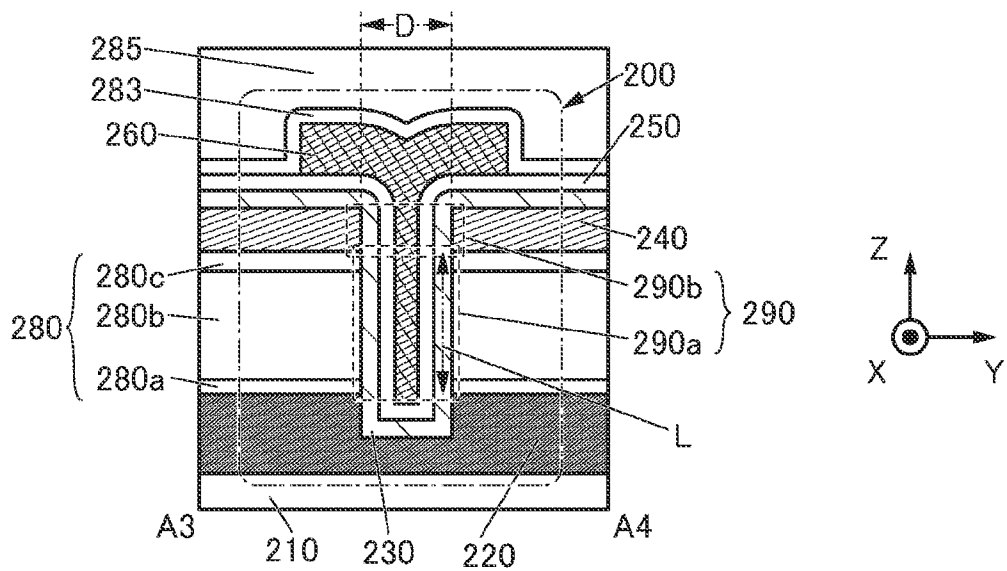


図13

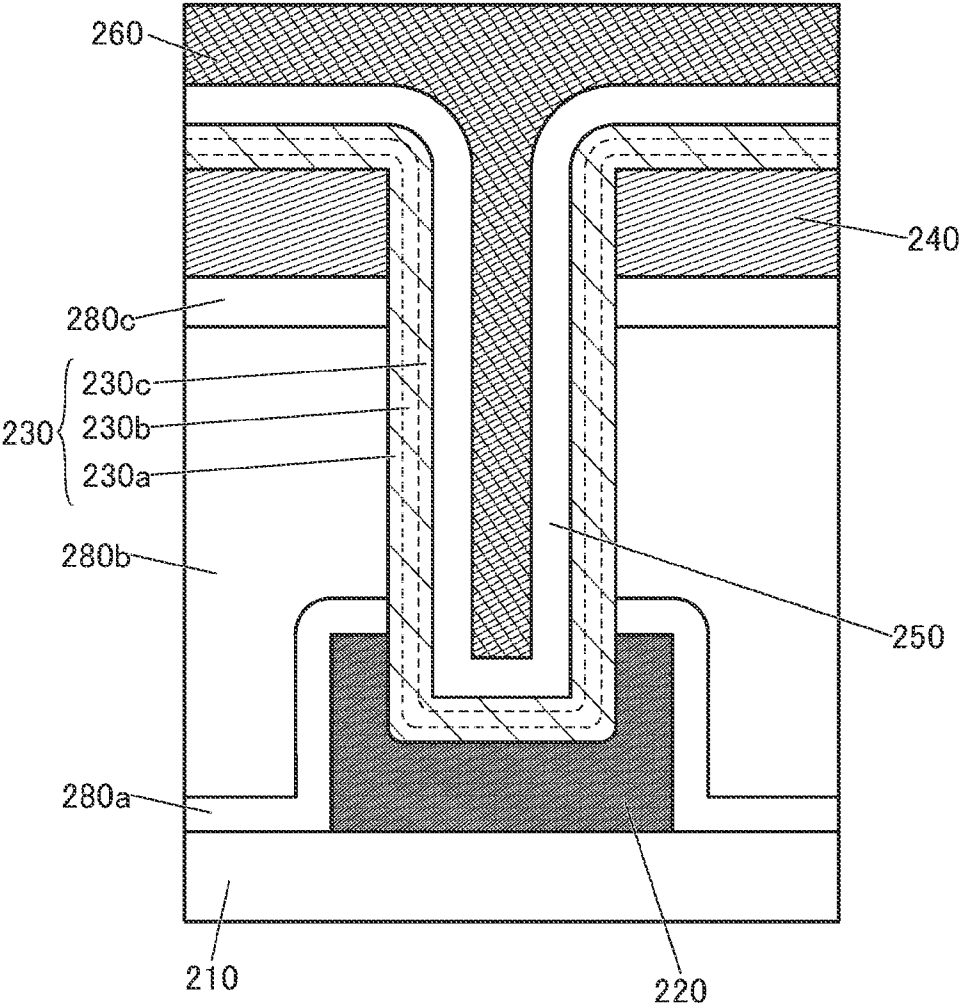


図 14A

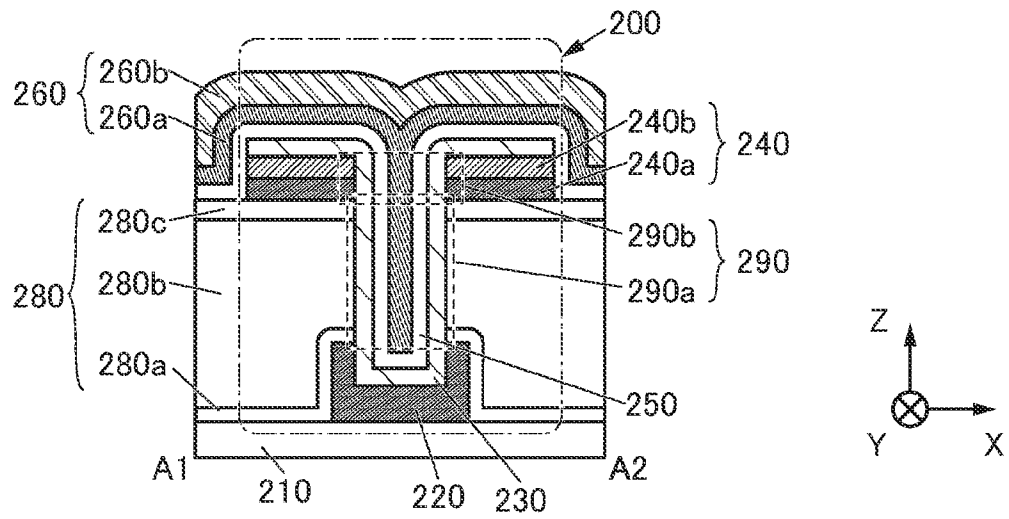
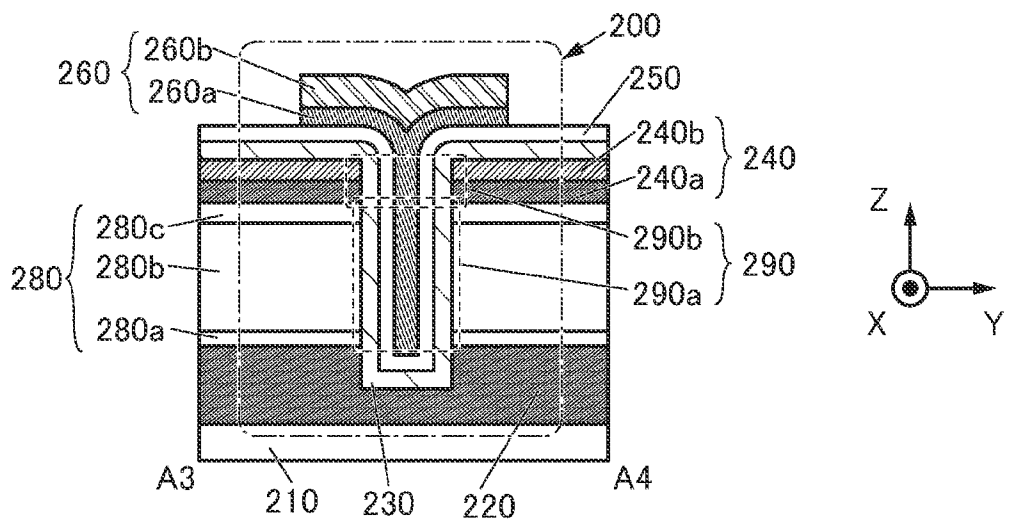


図 14B



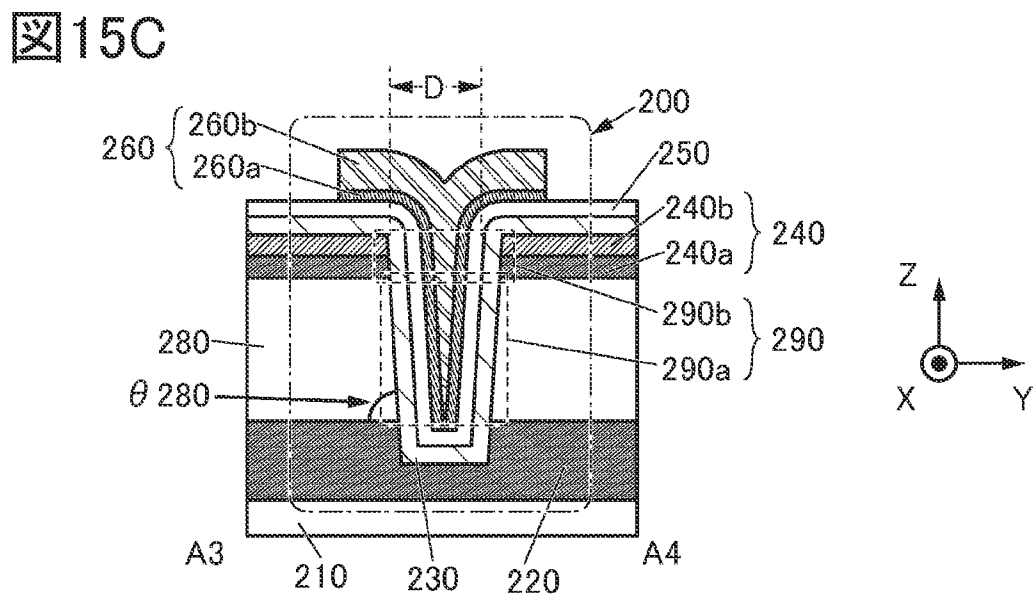
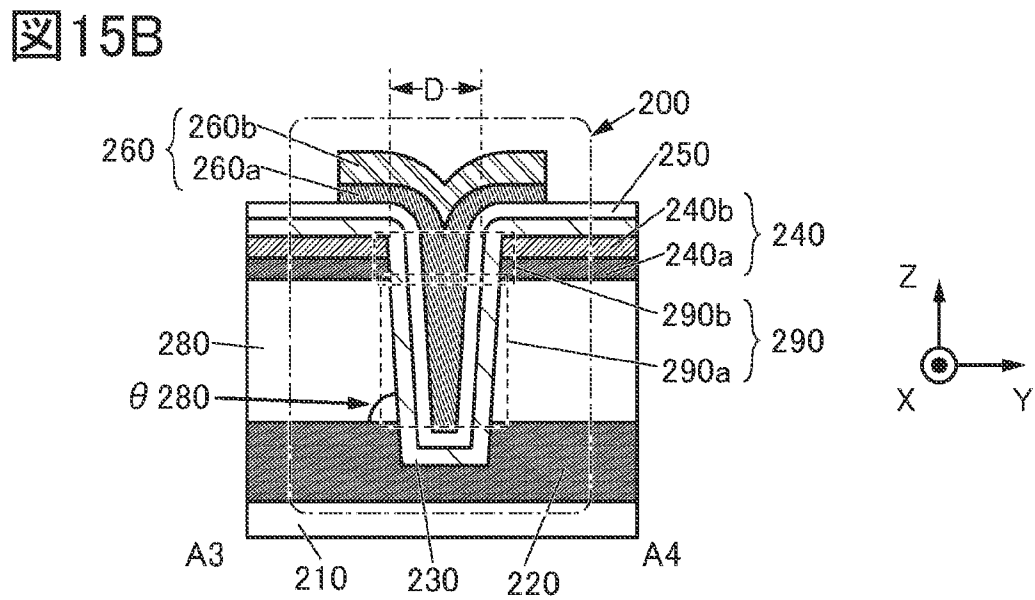
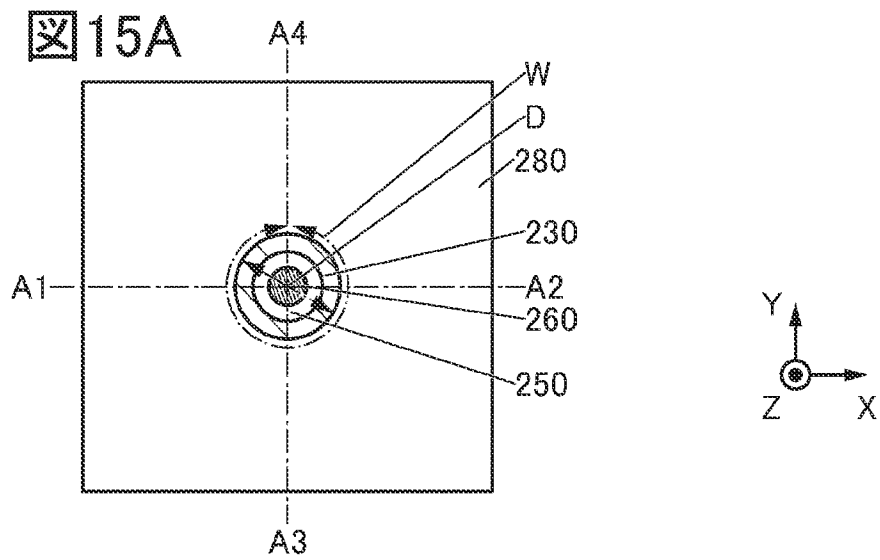


図 16A

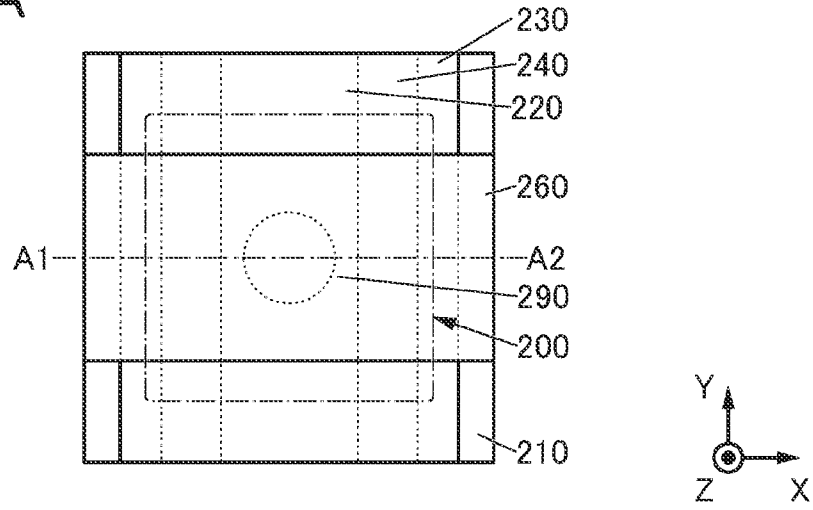


図 16B

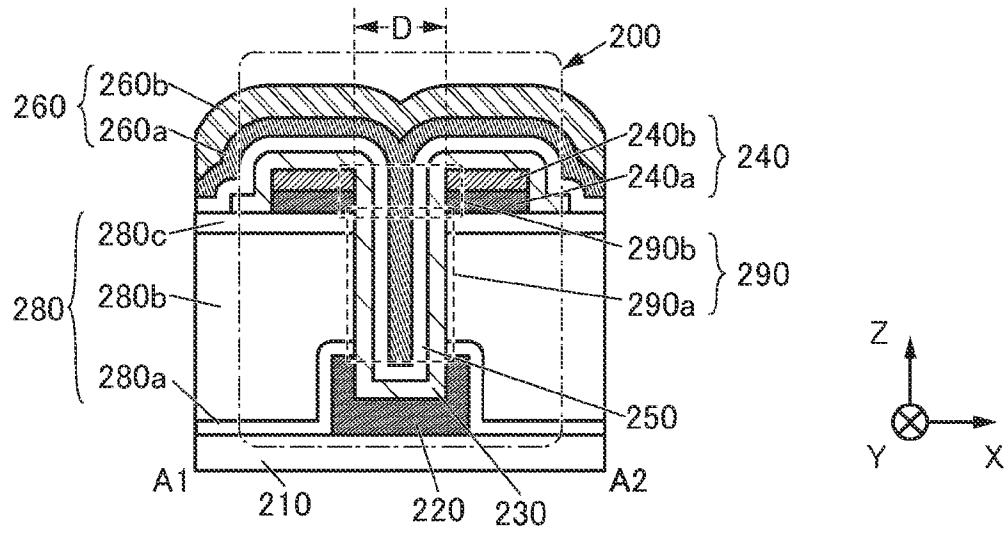


図 17A

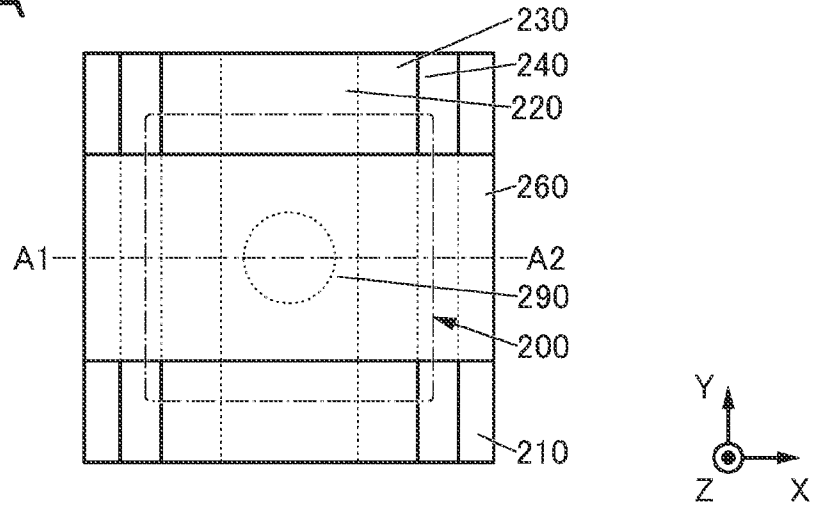


図 17B

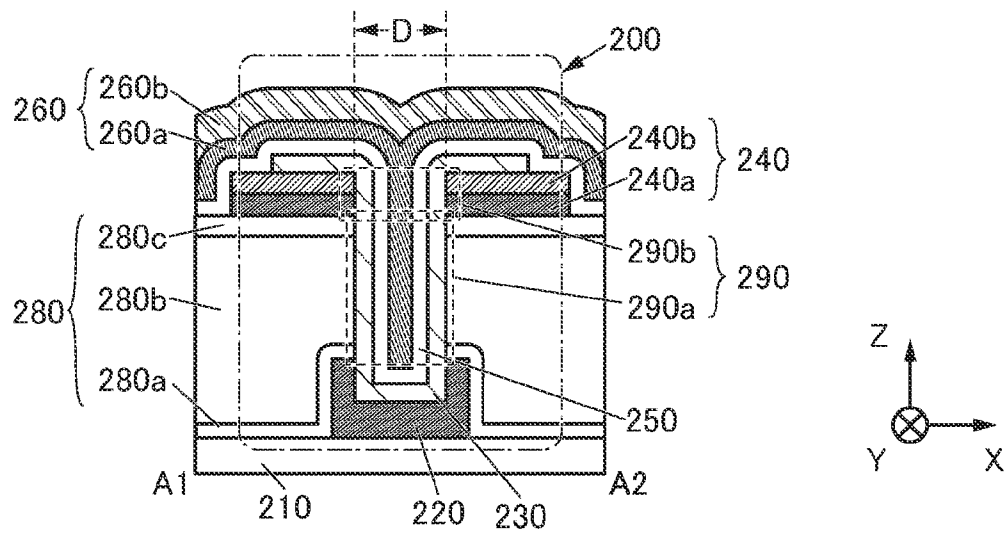


図18A

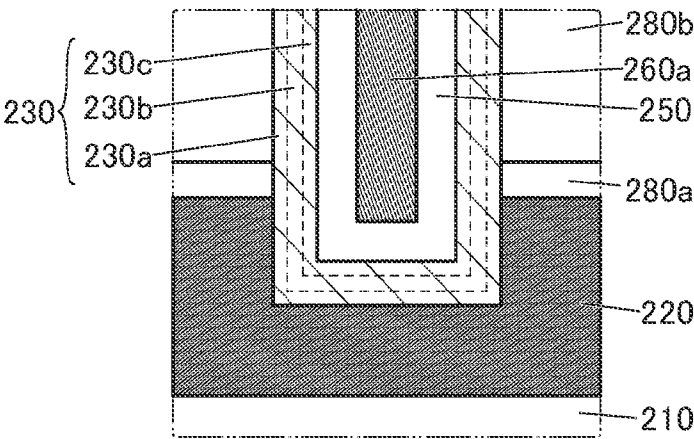


図18B

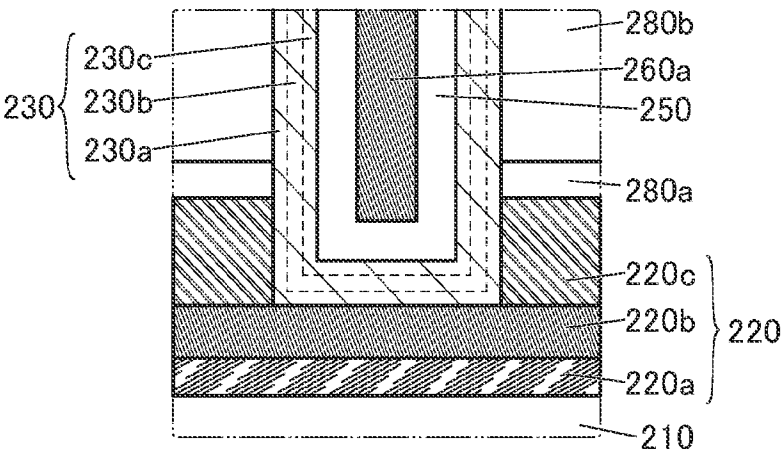


図18C

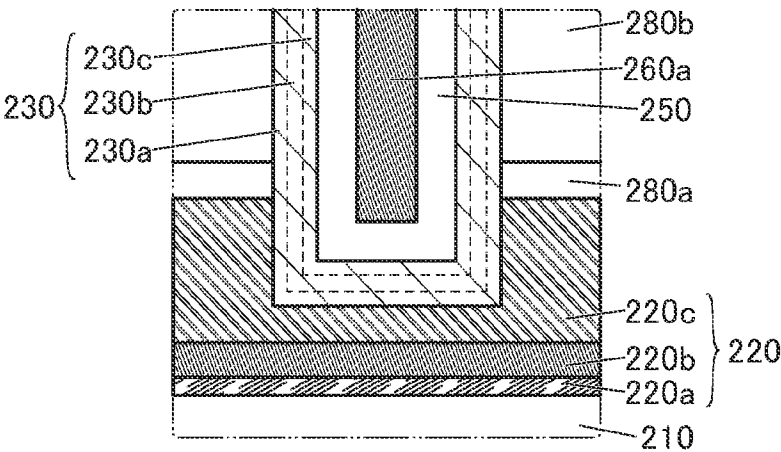


図 19A

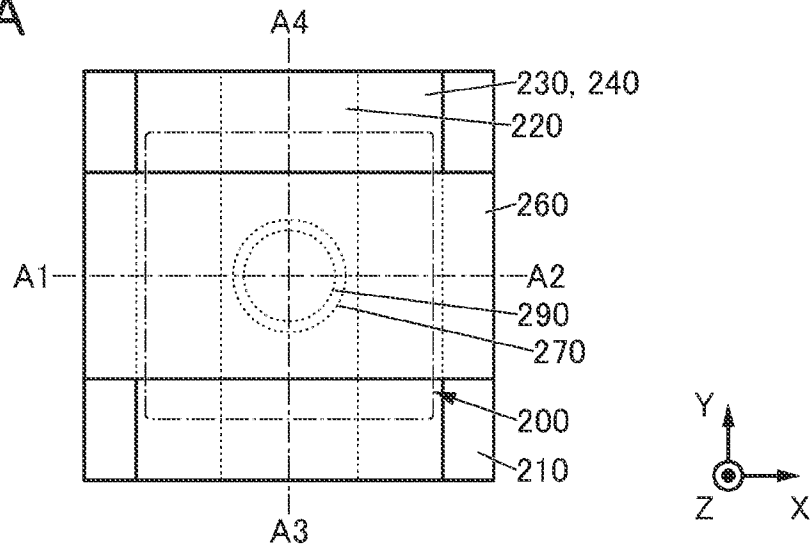


図 19B

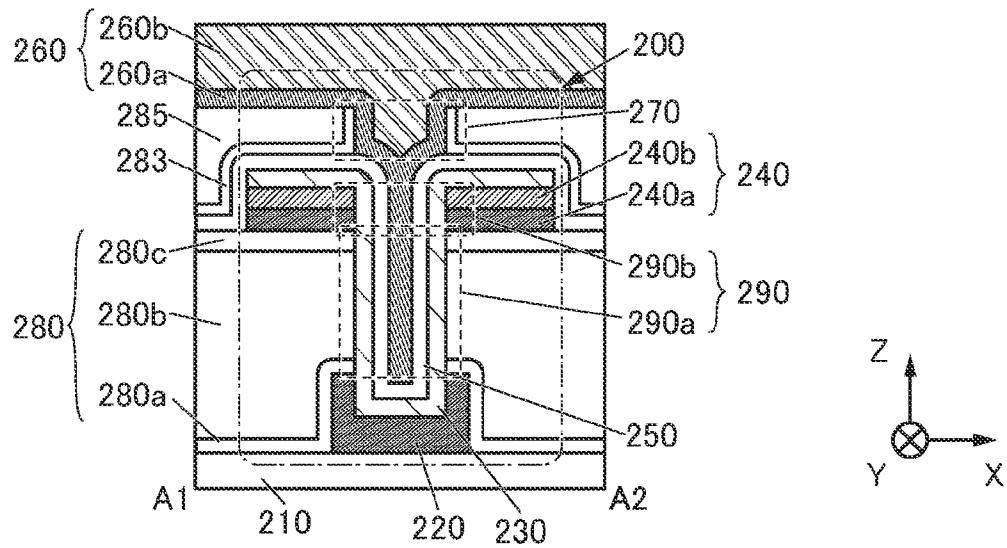


図 19C

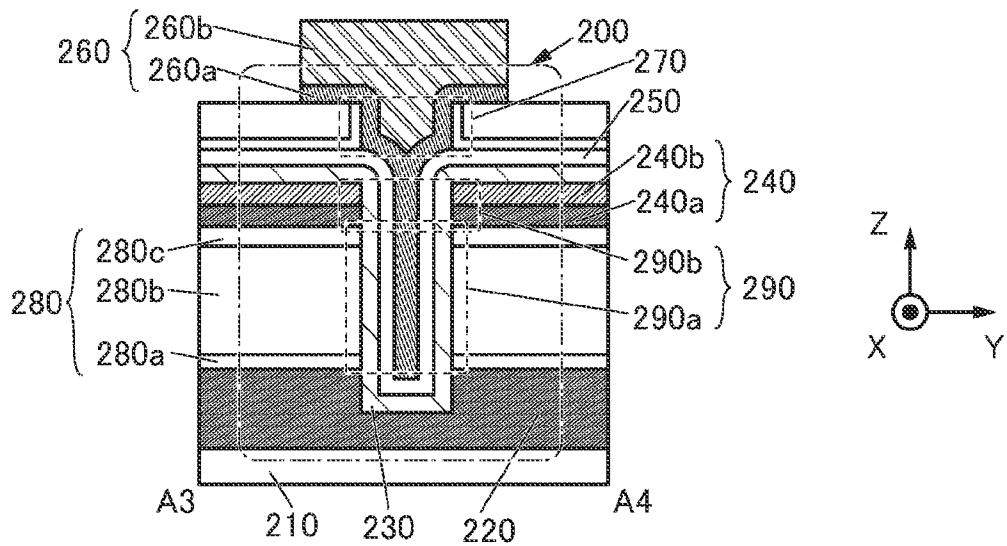


図21A

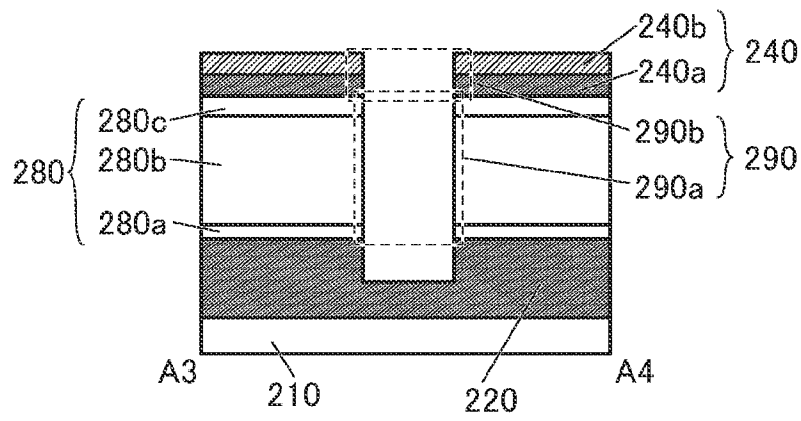


図21B

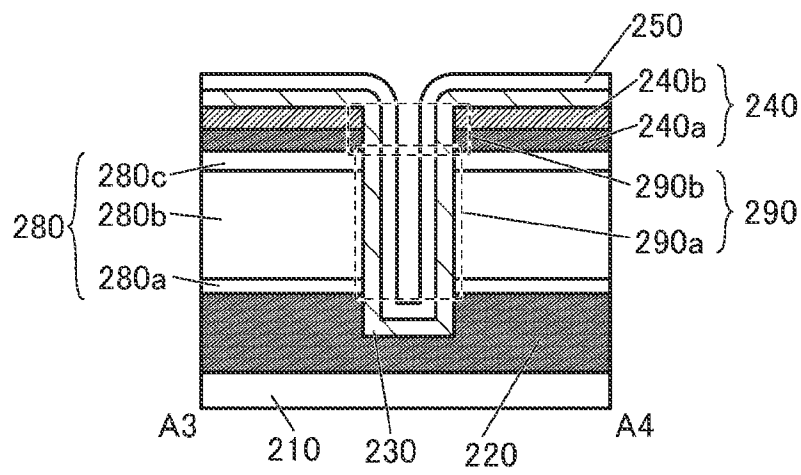


図21C

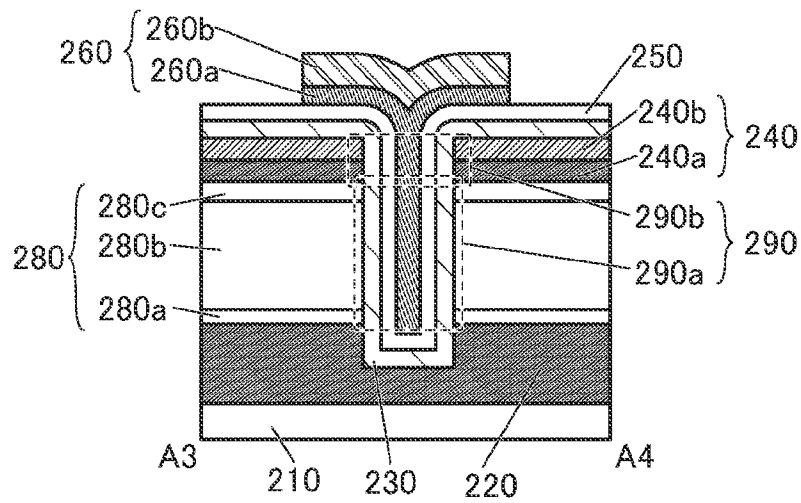


図22A

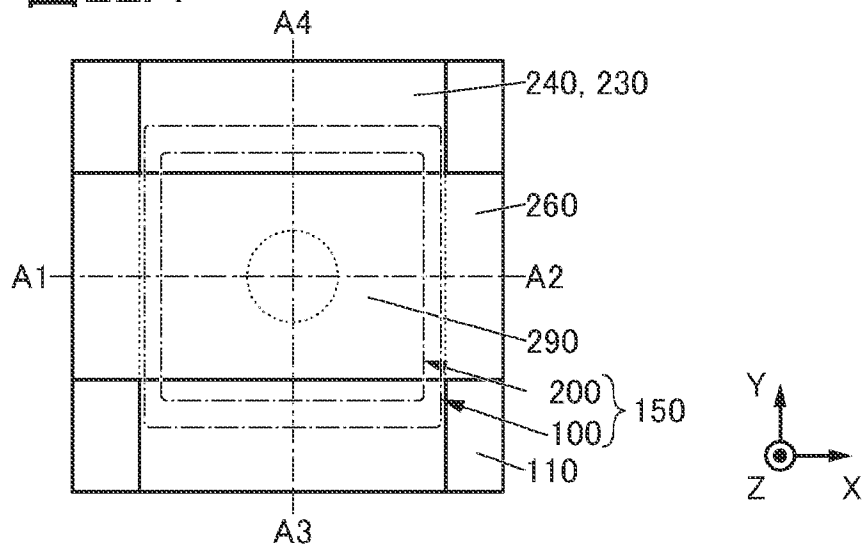


図22B

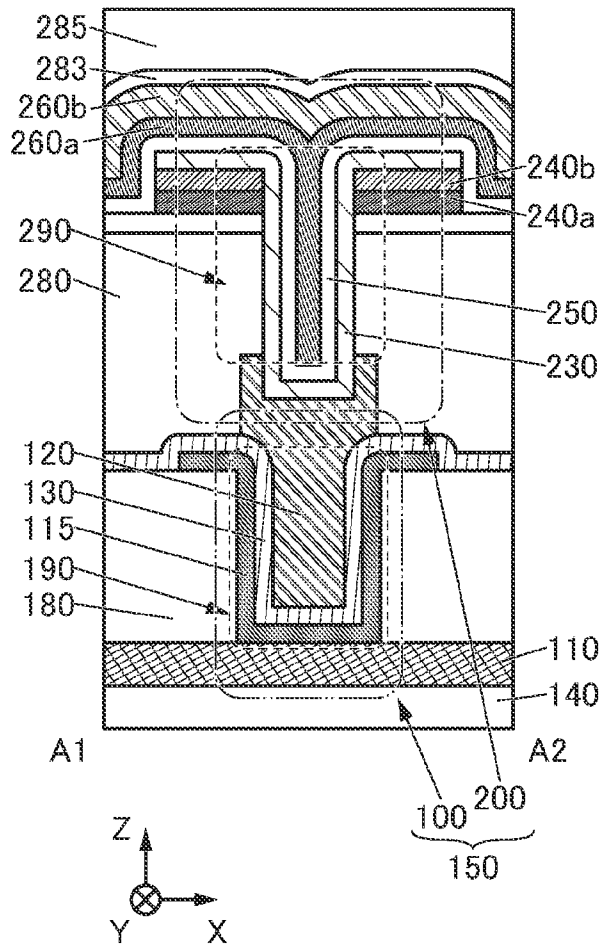


図22C

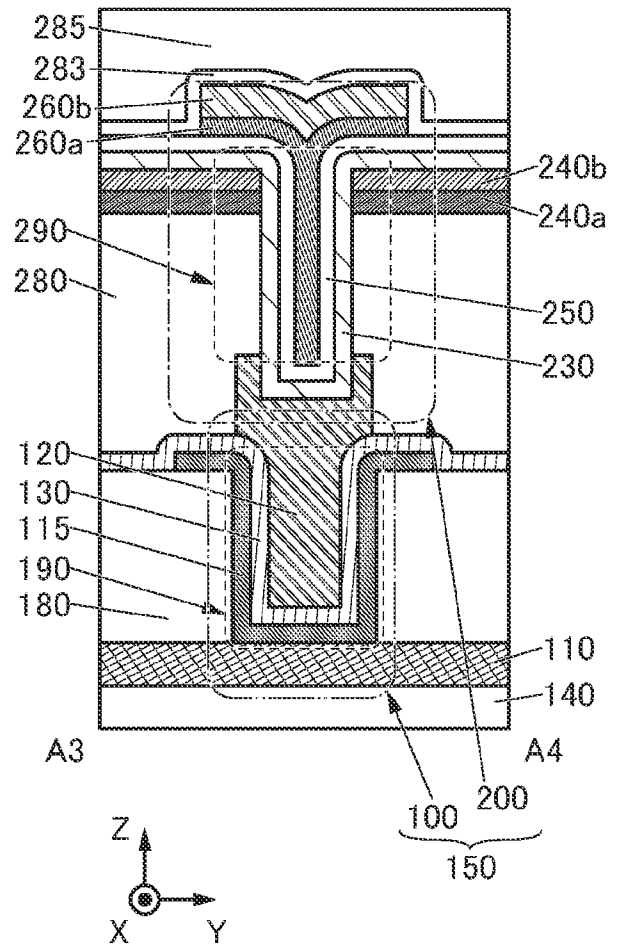


図23A

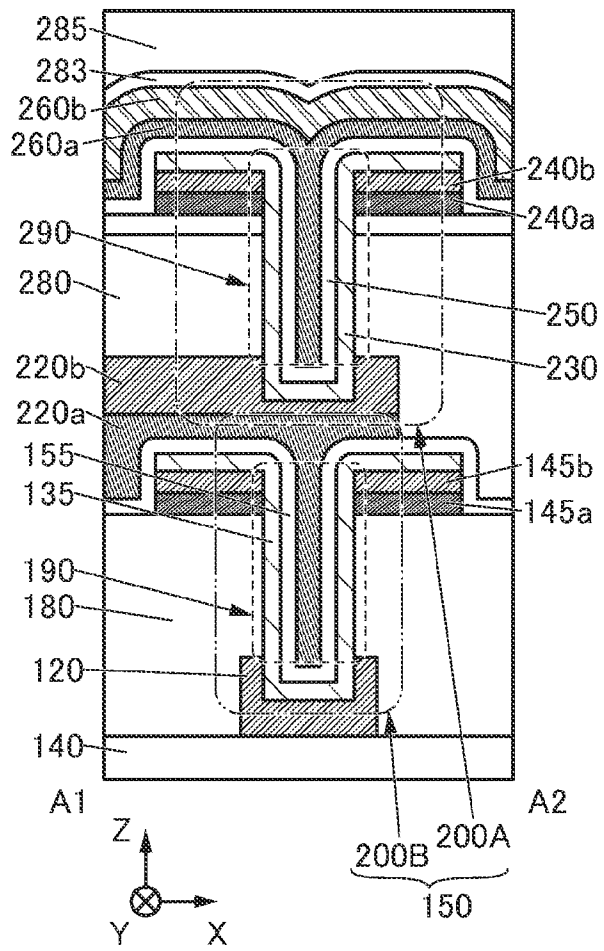


図23B

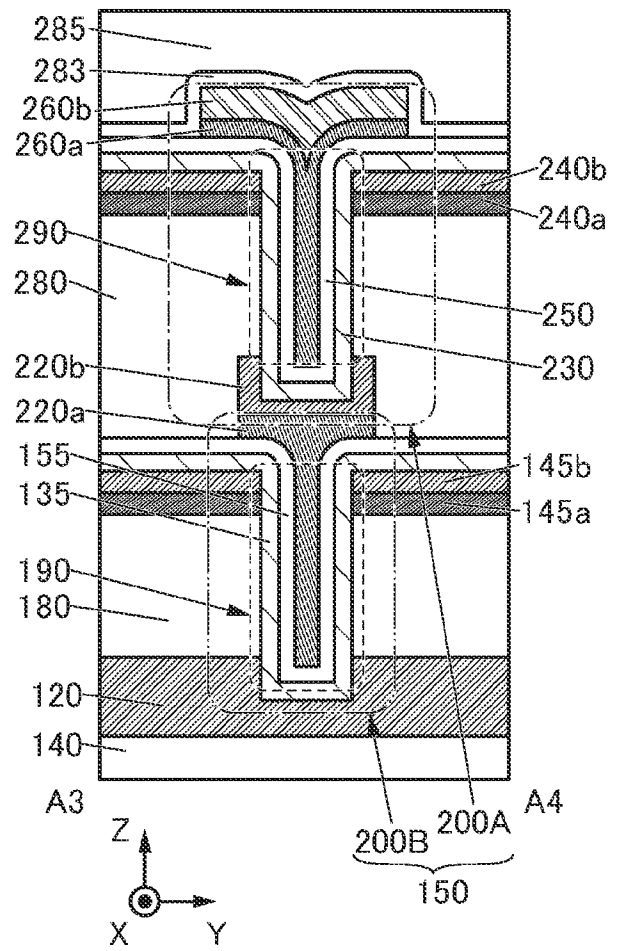


Figure 24A is a top plan view of a device structure. It shows a rectangular layout with a central grid of four large square regions (240) separated by horizontal and vertical lines (230). The outermost regions are labeled 150c and 150d. The central regions are labeled 260. The bottom-left and bottom-right regions are labeled 100a and 100b, respectively, and are grouped under the label 150a and 150b. The top-left and top-right regions are labeled 200a and 200b, respectively, and are grouped under the label 150a and 150b. The central regions are labeled 245, 246. The bottom-left and bottom-right regions are labeled 290. The bottom-left and bottom-right regions are labeled A3 and A4. A coordinate system (X, Y, Z) is shown in the bottom right corner.

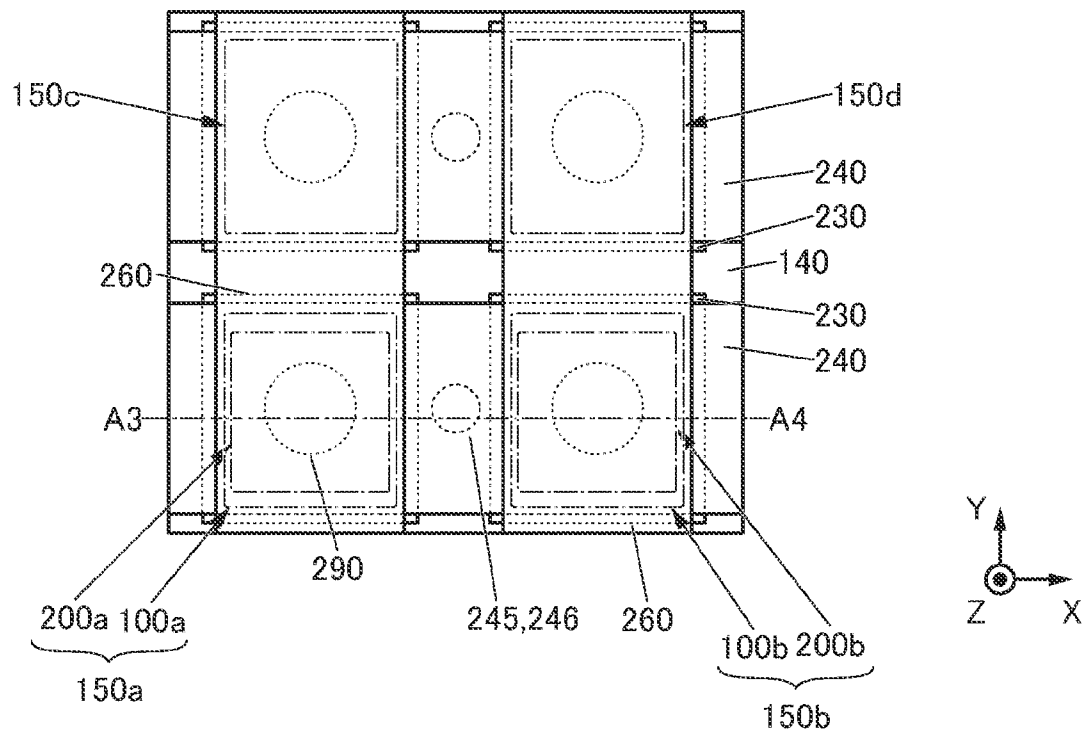


Figure 24B is a cross-sectional view of the device structure. It shows a vertical cross-section through the center of the device. The structure consists of multiple layers. The top layer is labeled 285. Below it is a layer labeled 283. The next layer is labeled 240. Below that is a layer labeled 250. The next layer is labeled 230. Below that is a layer labeled 280. The next layer is labeled 120. Below that is a layer labeled 130. The next layer is labeled 115. Below that is a layer labeled 180. The bottom layer is labeled 110. The central region is labeled 245. The bottom-left and bottom-right regions are labeled 100a and 100b, respectively, and are grouped under the label 150a and 150b. The bottom-left and bottom-right regions are labeled A3 and A4. A coordinate system (X, Y, Z) is shown in the bottom right corner.

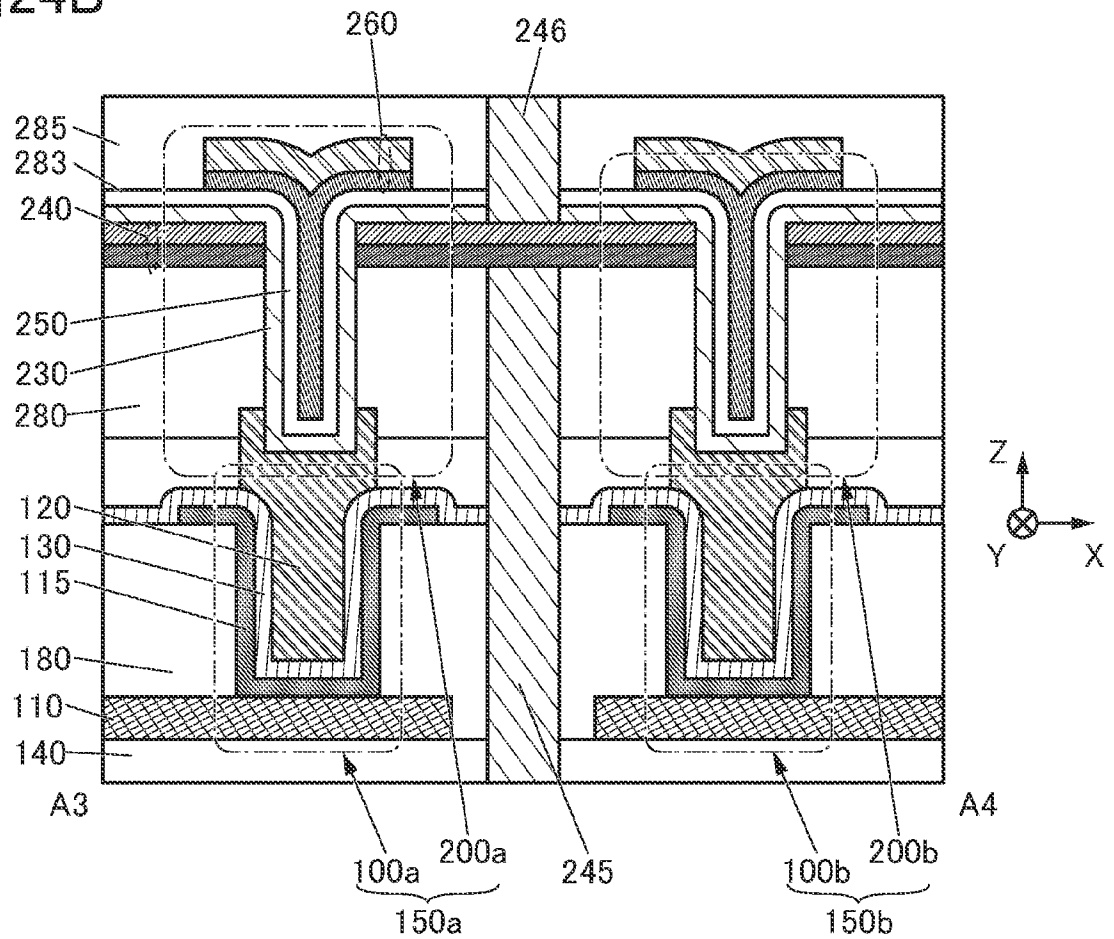


図25

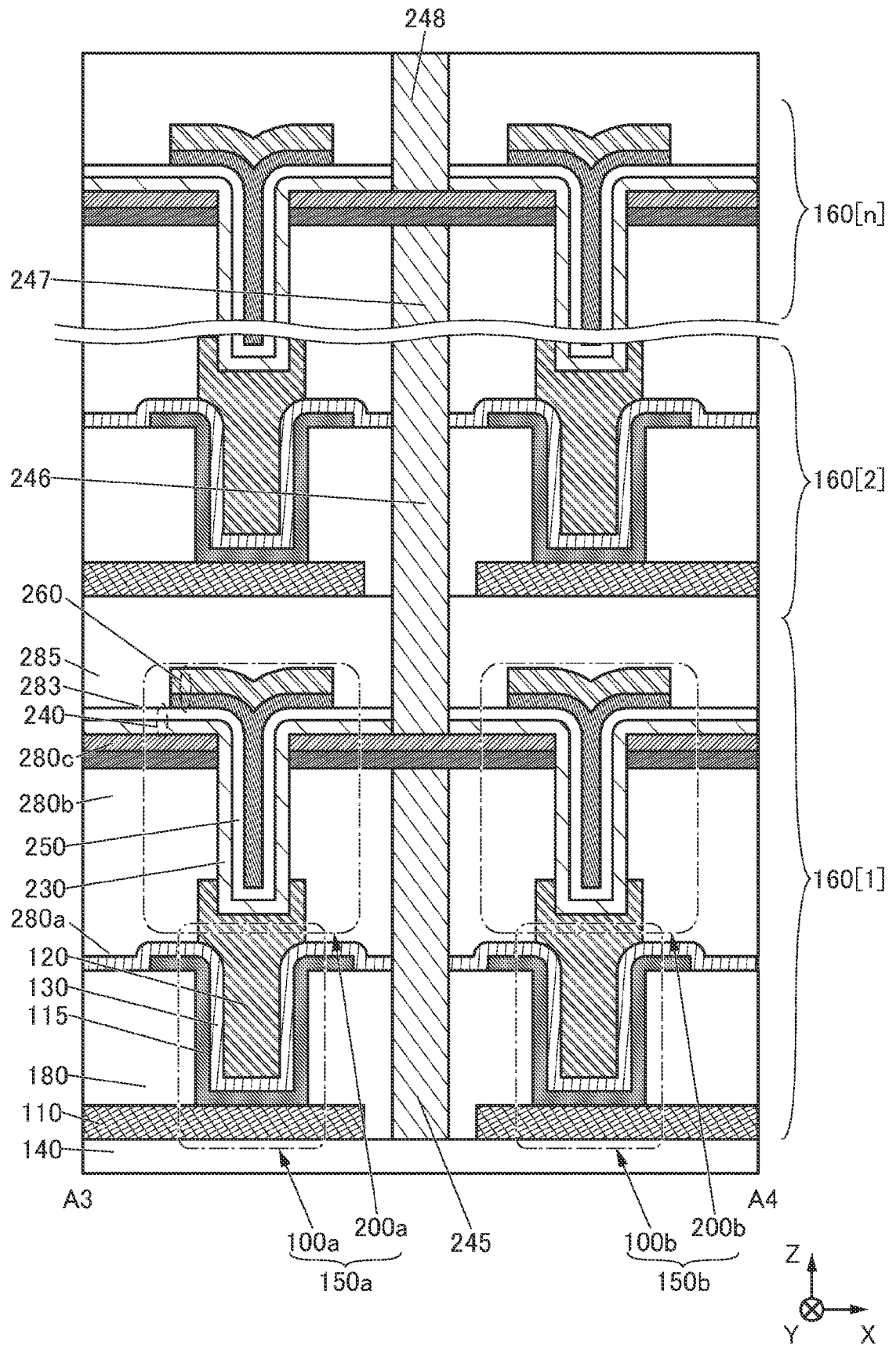


图26

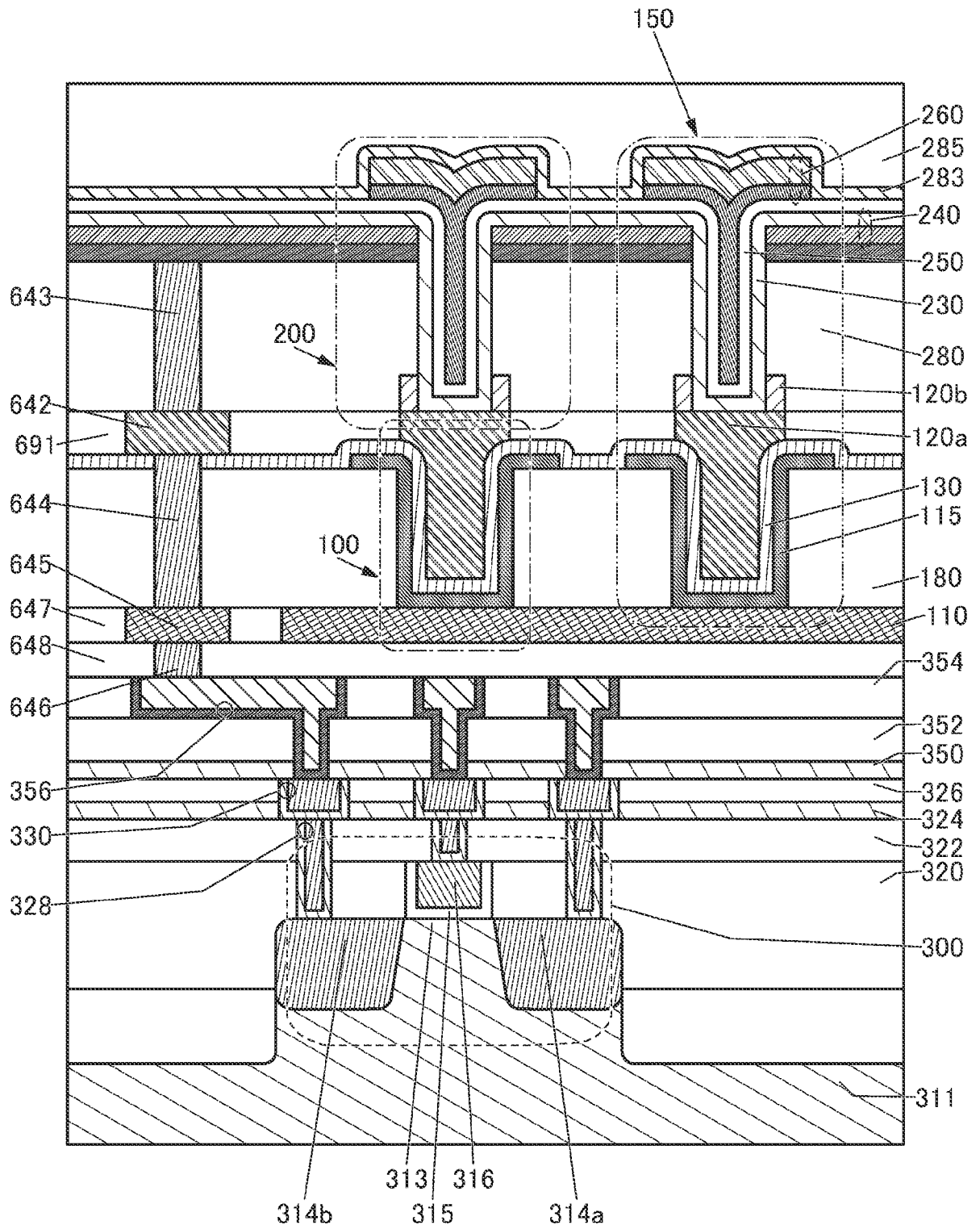


図27A

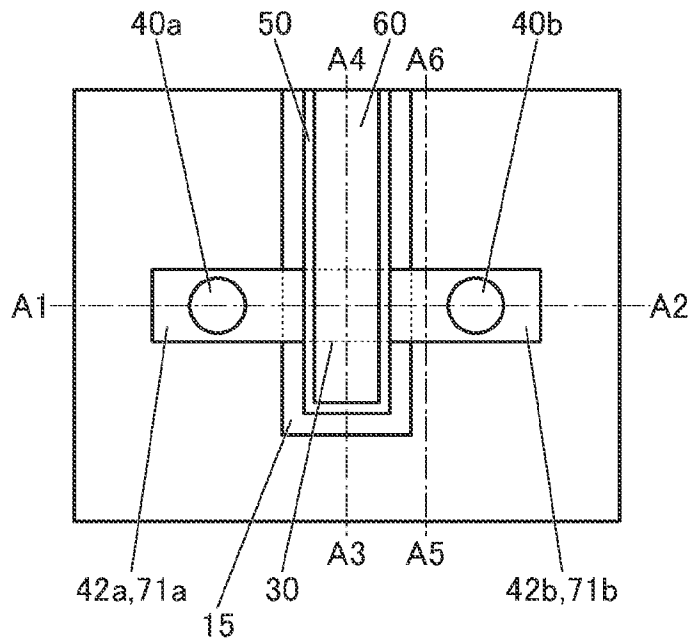


図27C

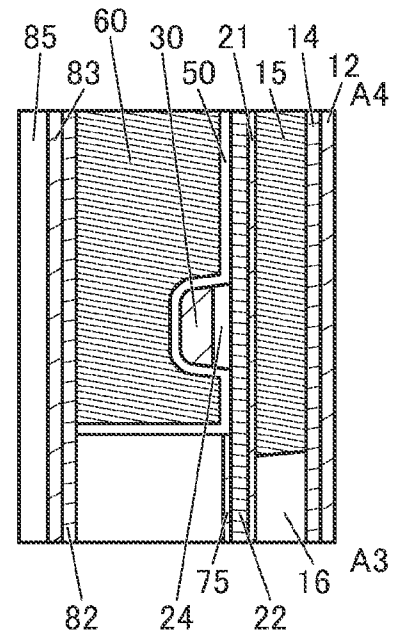


図27B

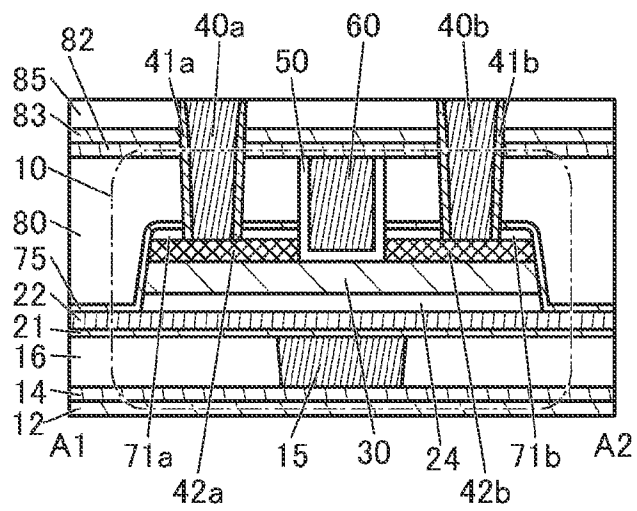


図27D

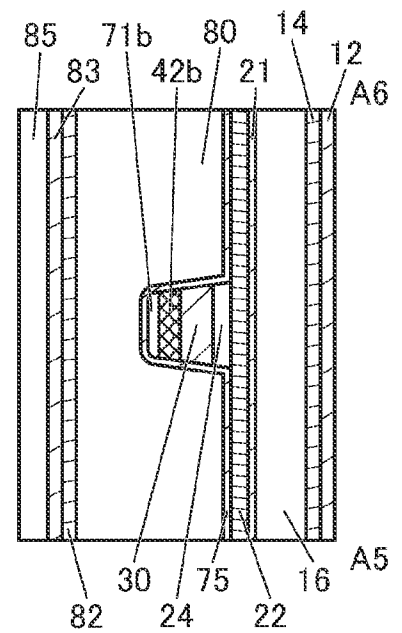


図28A

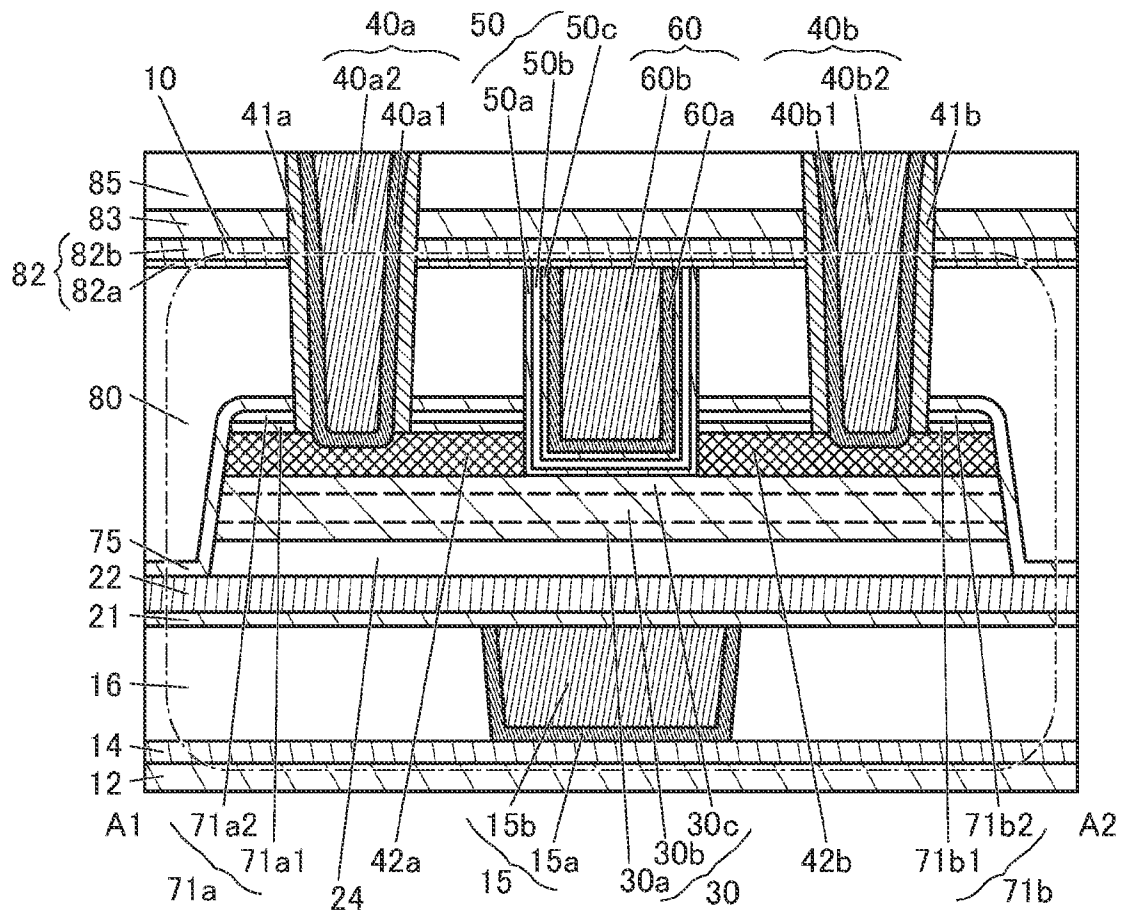
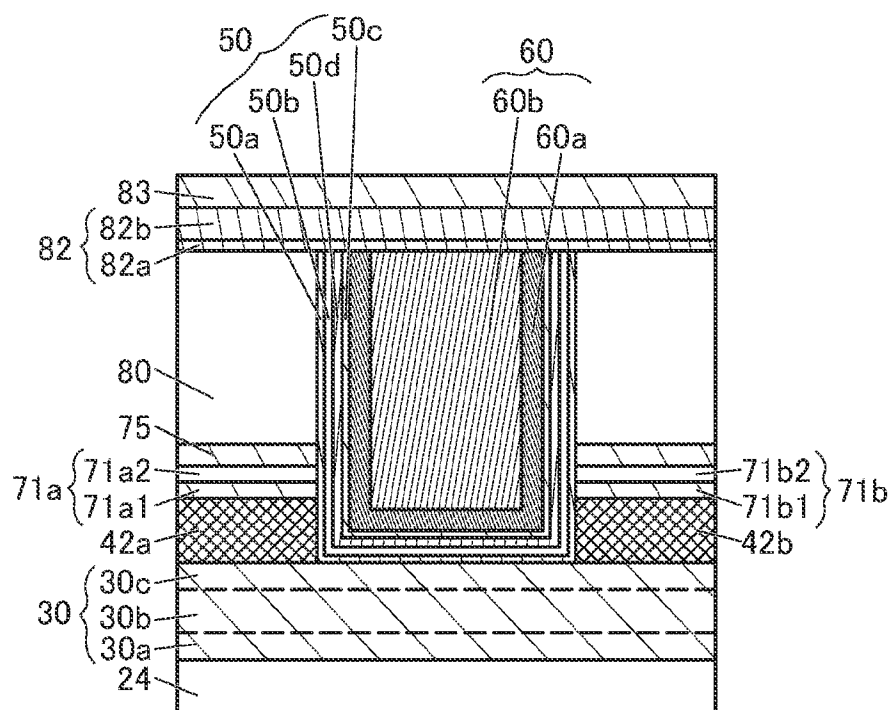
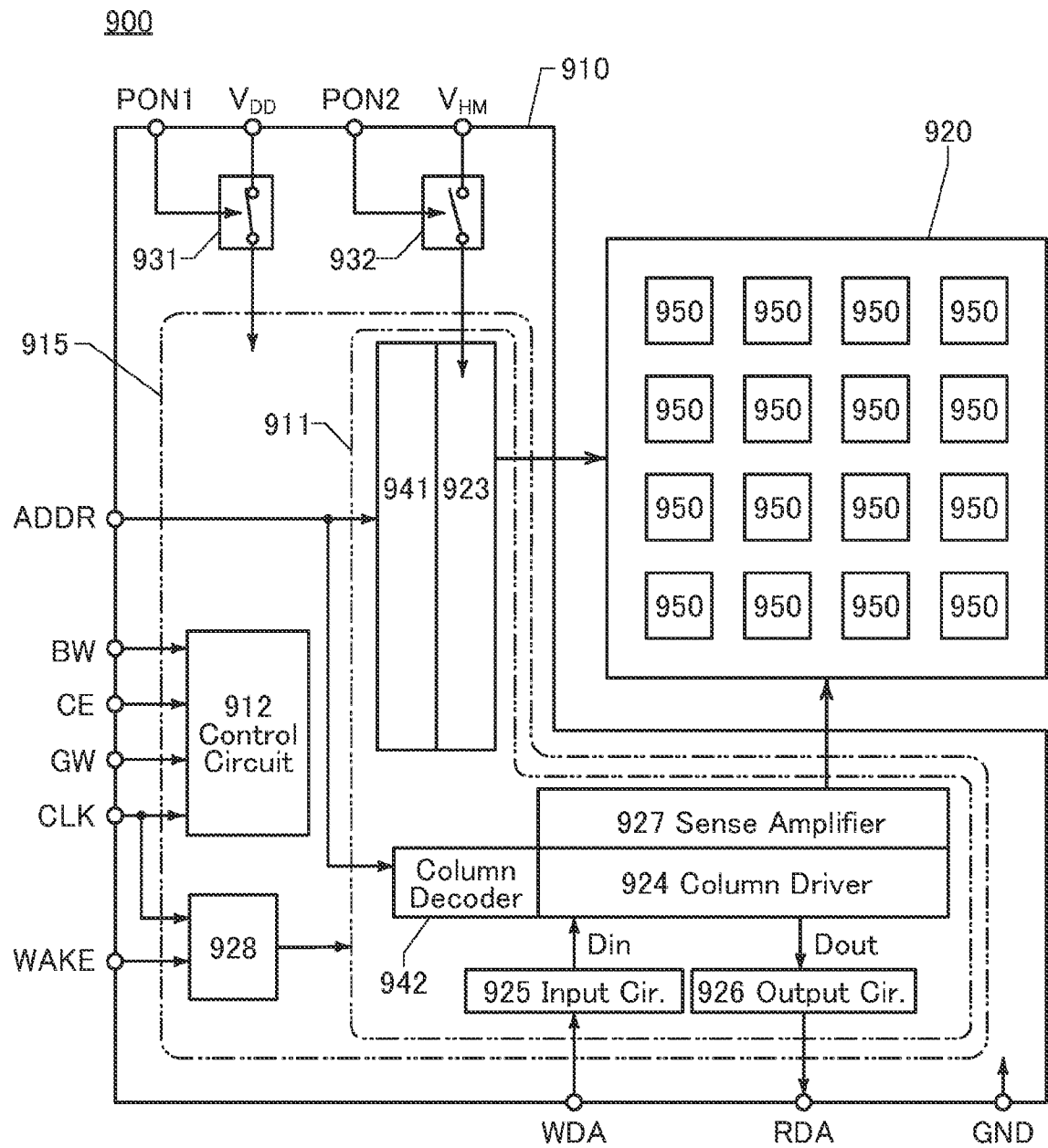
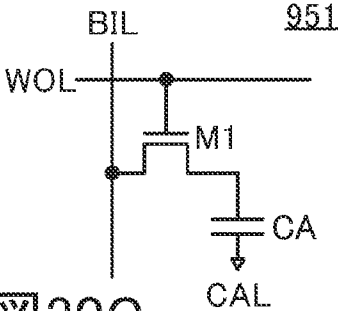


図28B

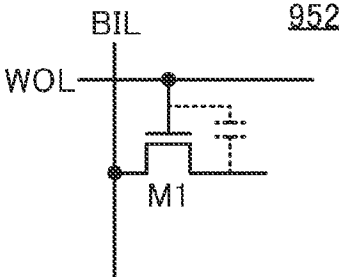


 29

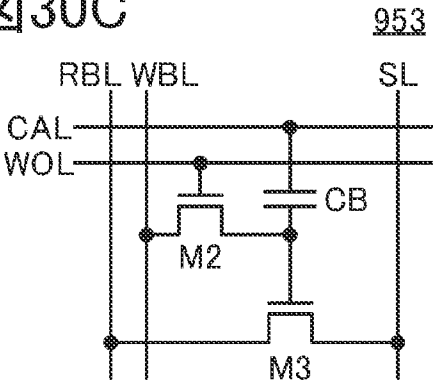
30A



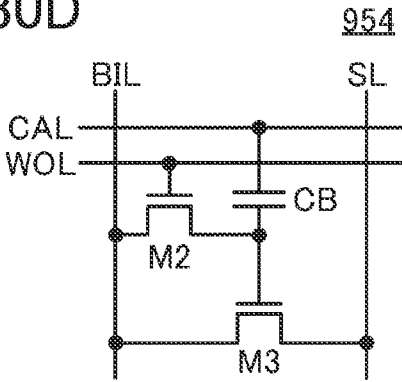
30B



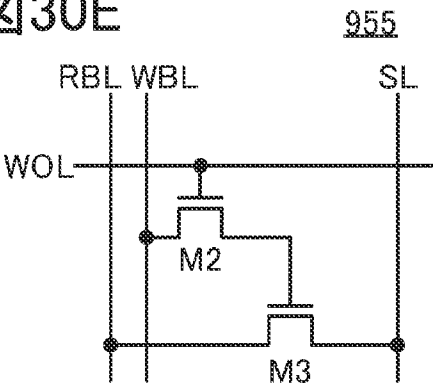
30C



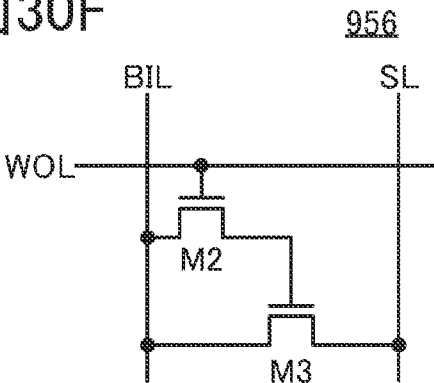
30D



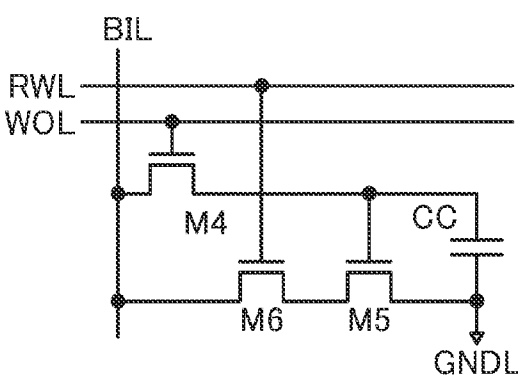
30E



30F



30G



30H

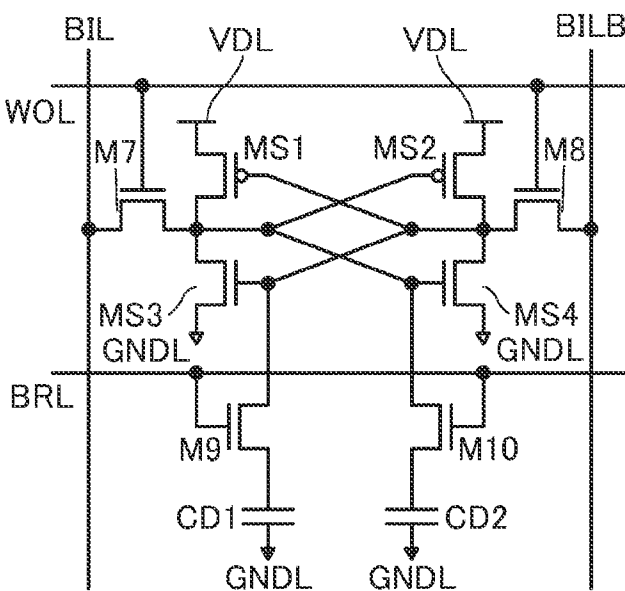


図31A

900

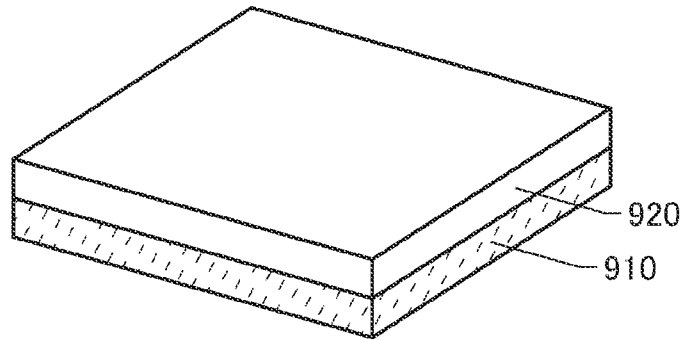


図31B

900

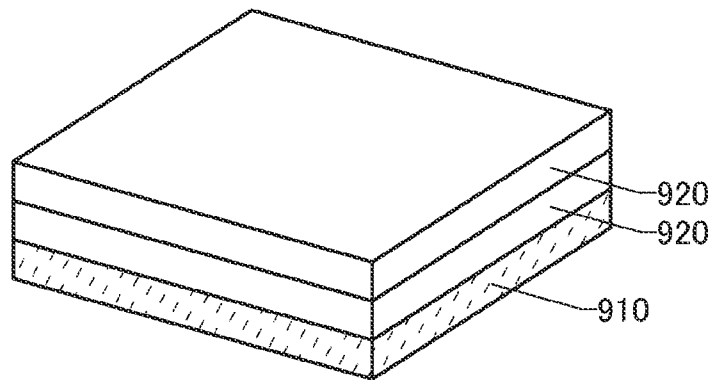
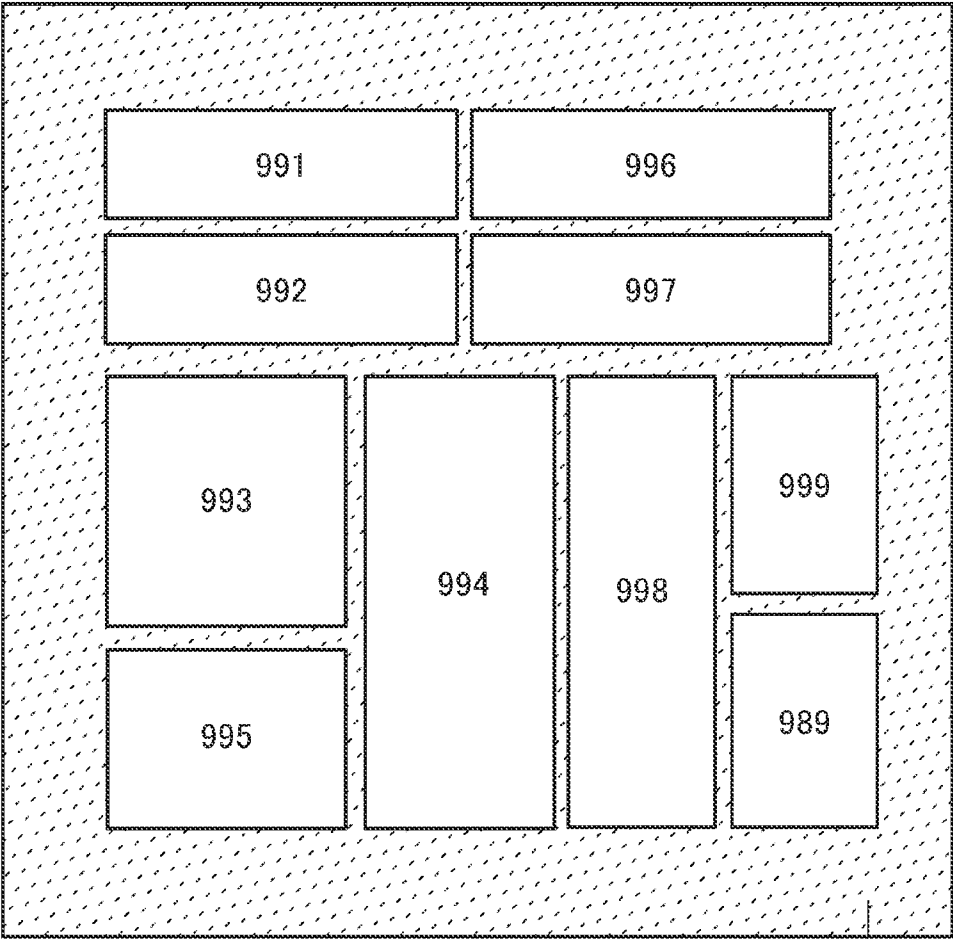


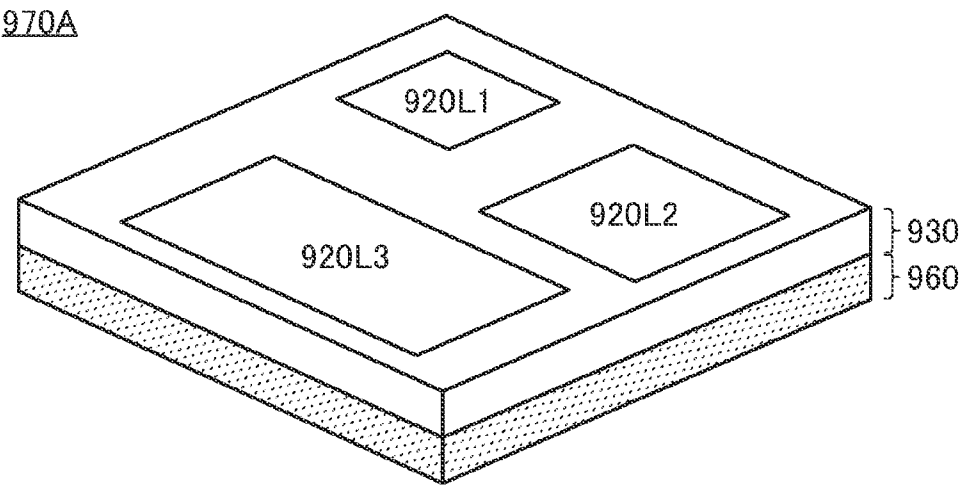
図32

960

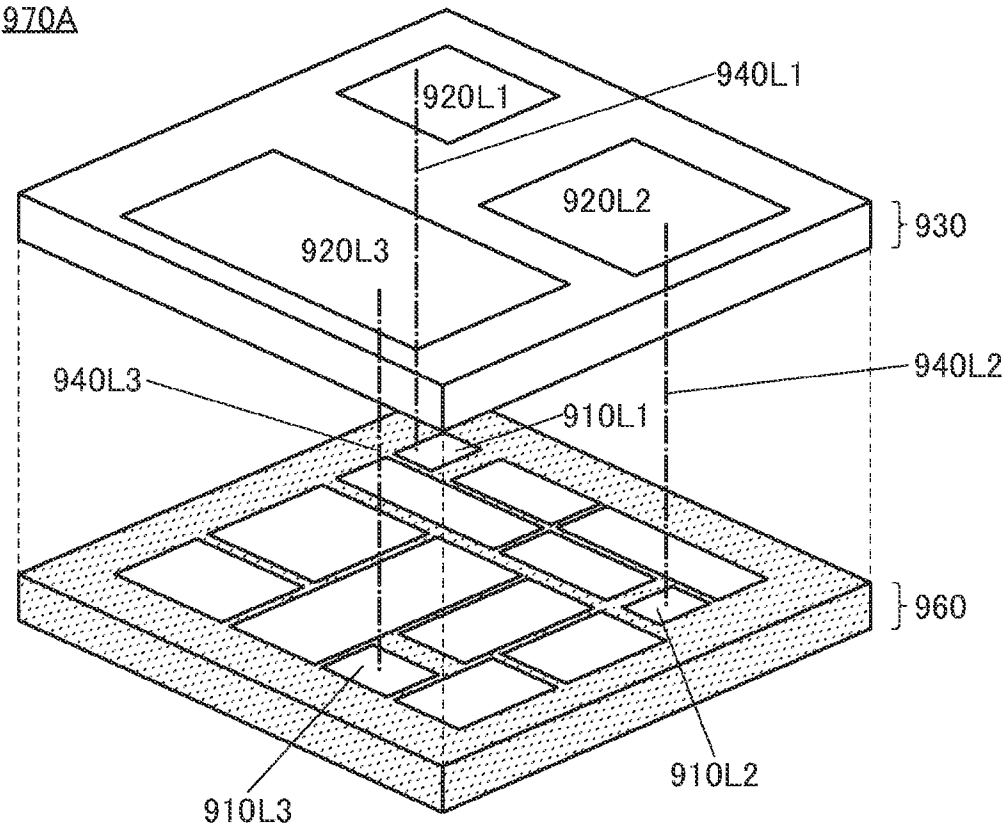


990

33A

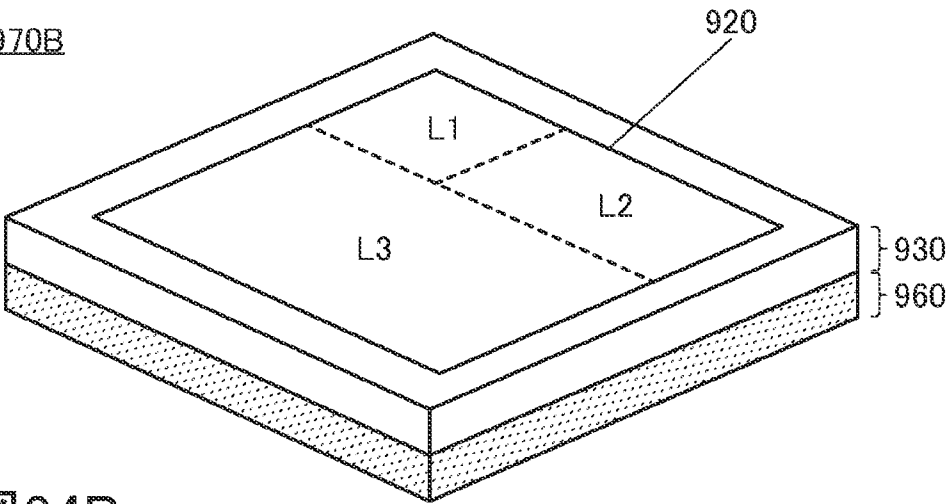


33B



34A

970B



34B

970C

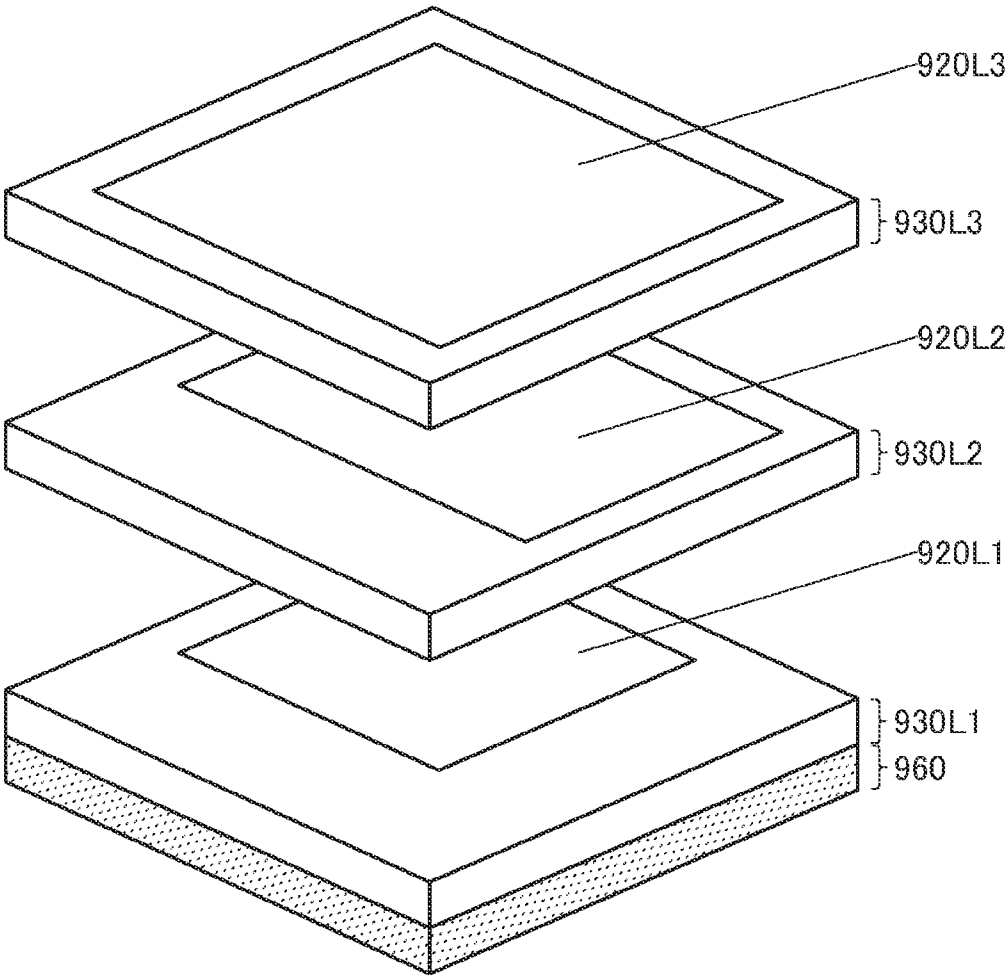


FIG 35A

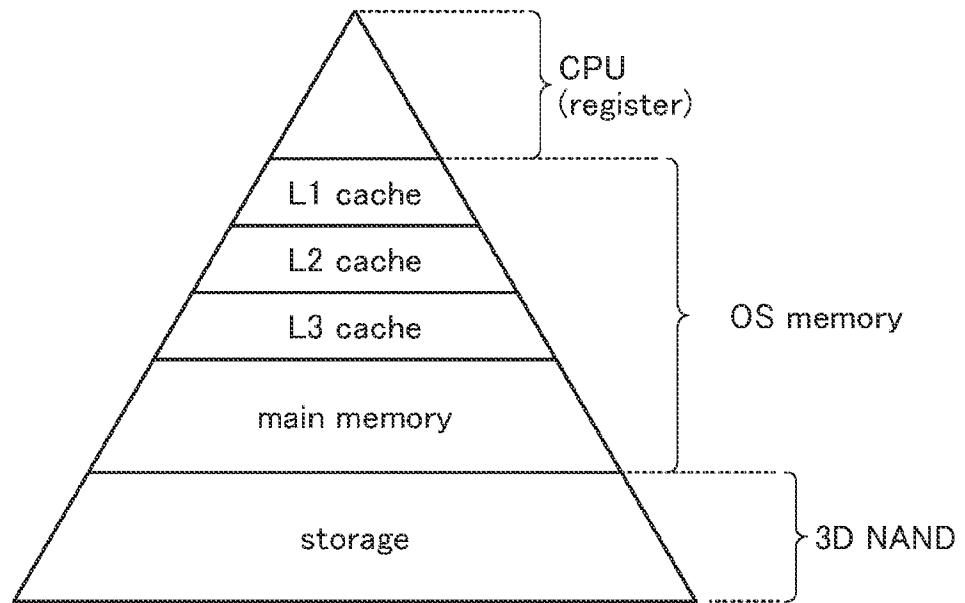


FIG 35B

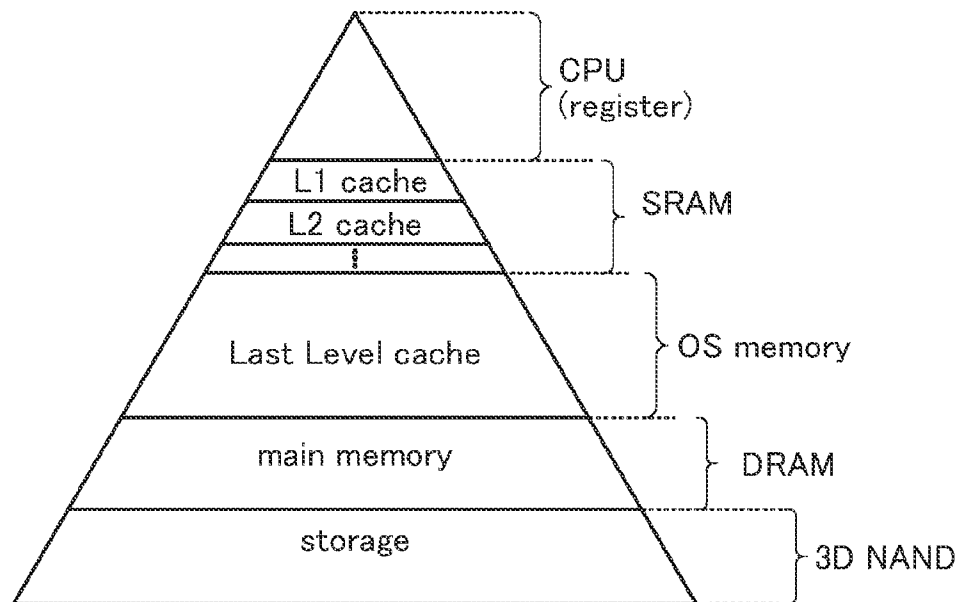


図36A

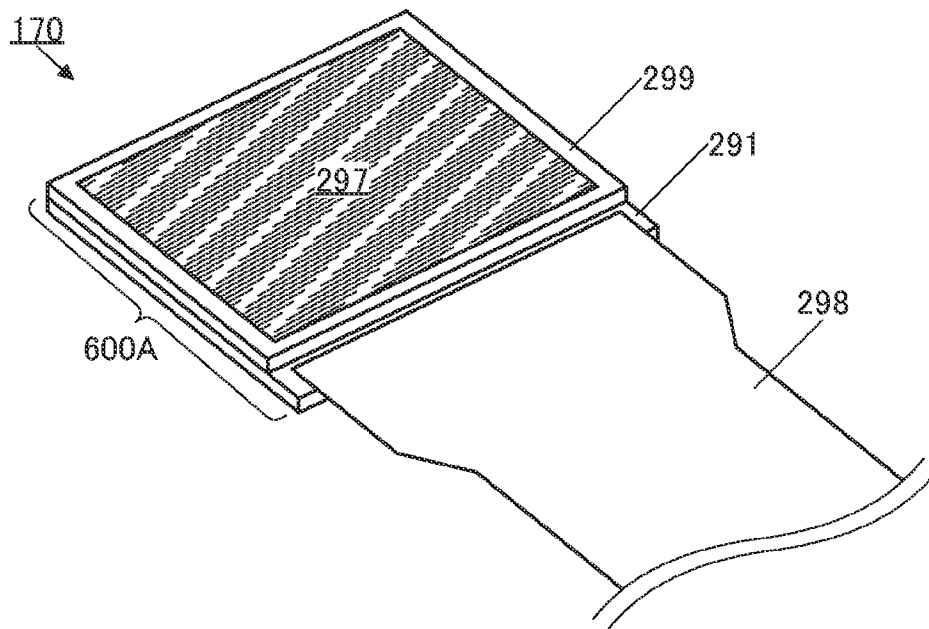
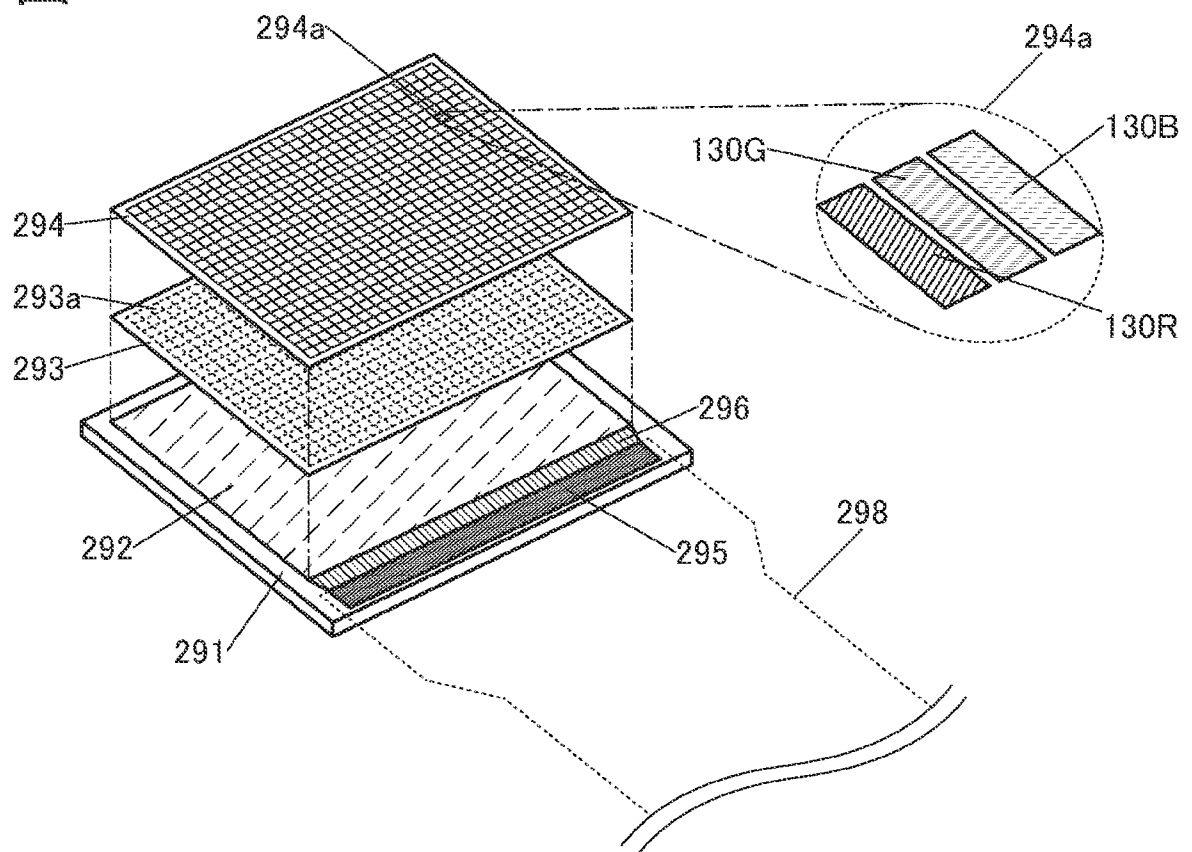
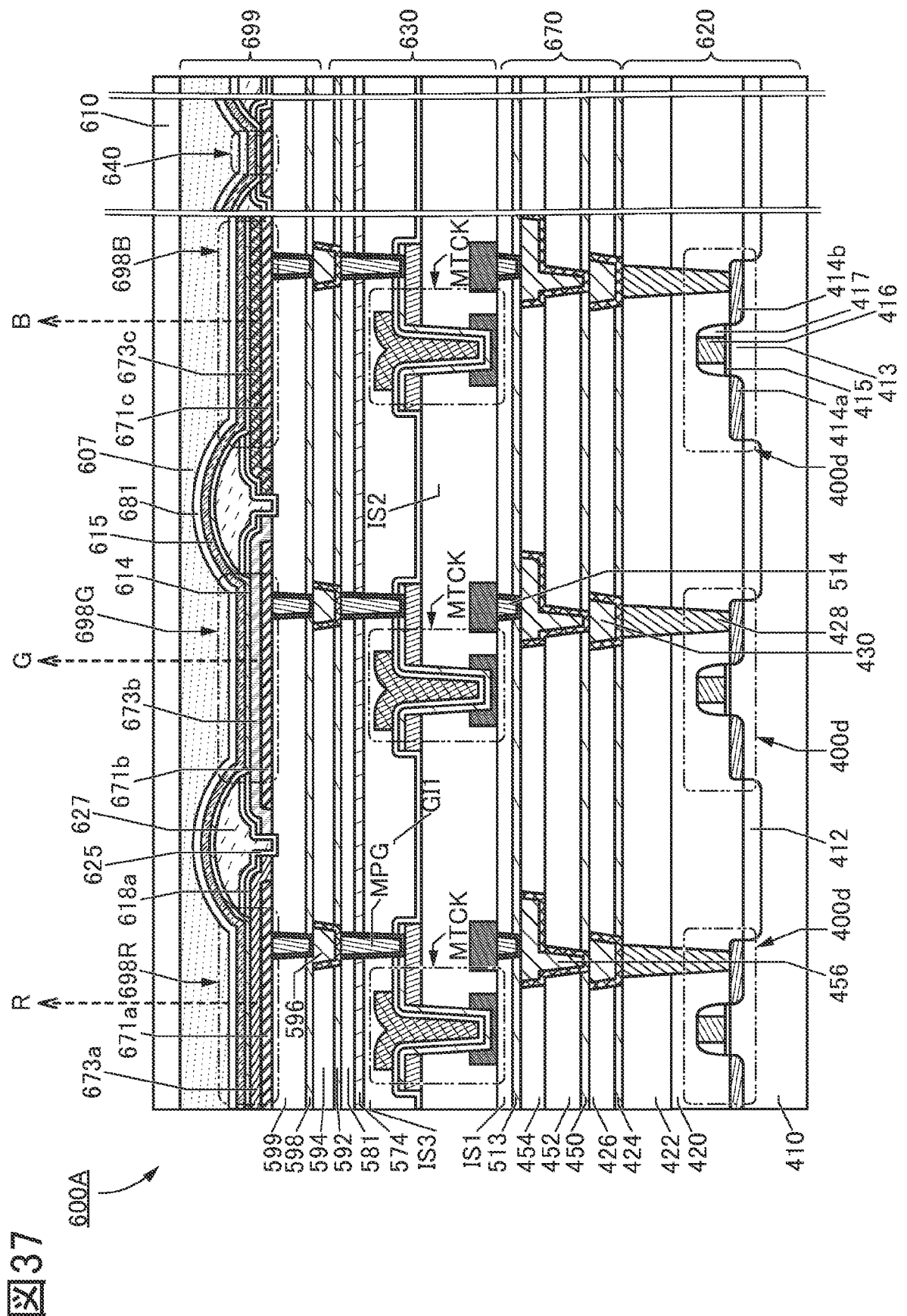


図36B





38

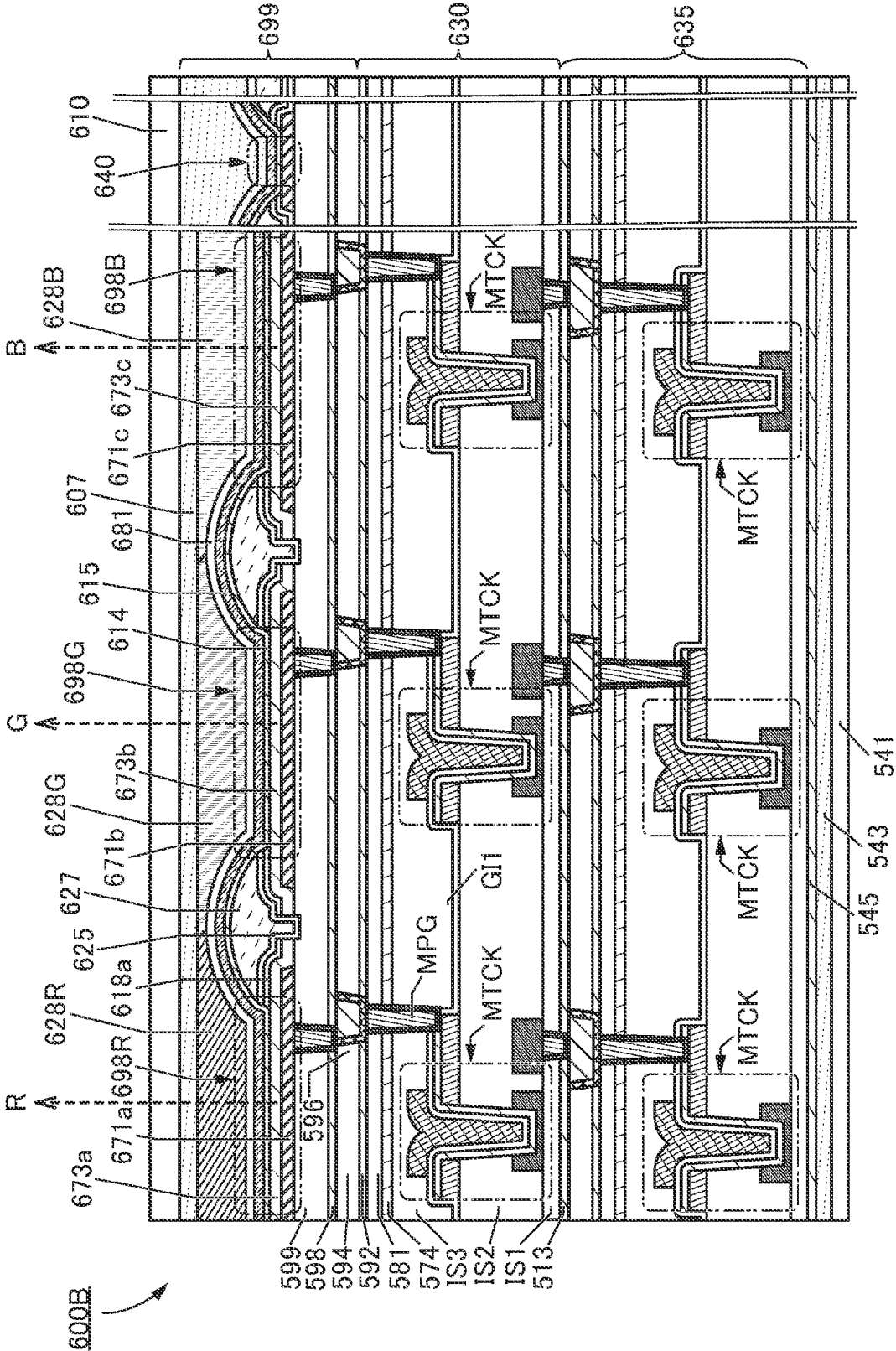


図39A

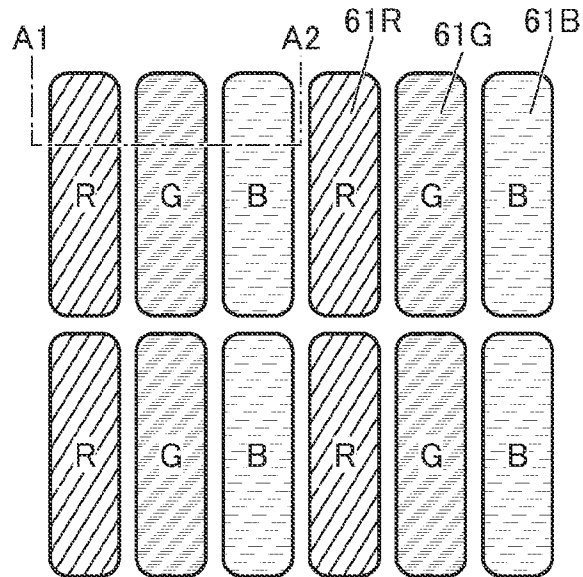


図39B

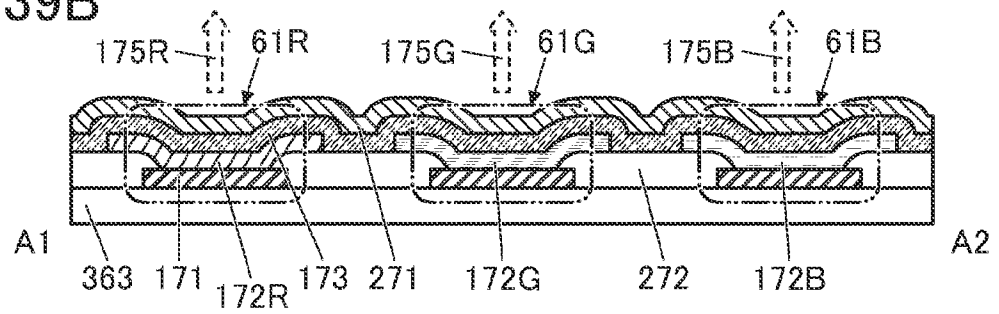


図39C

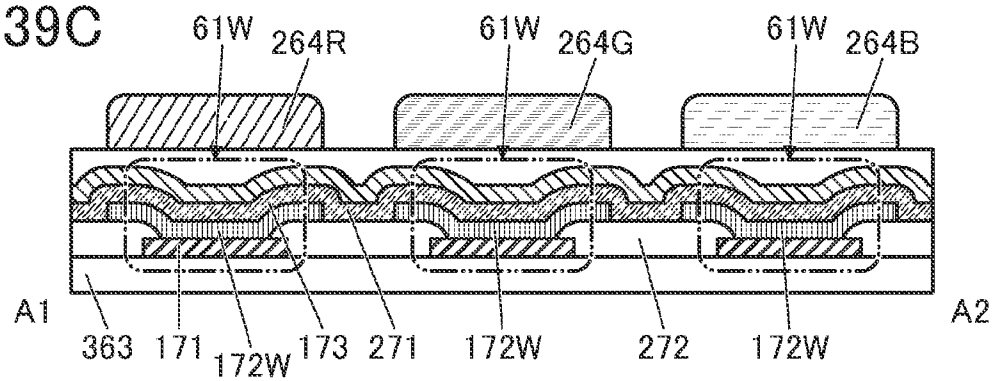


図40A

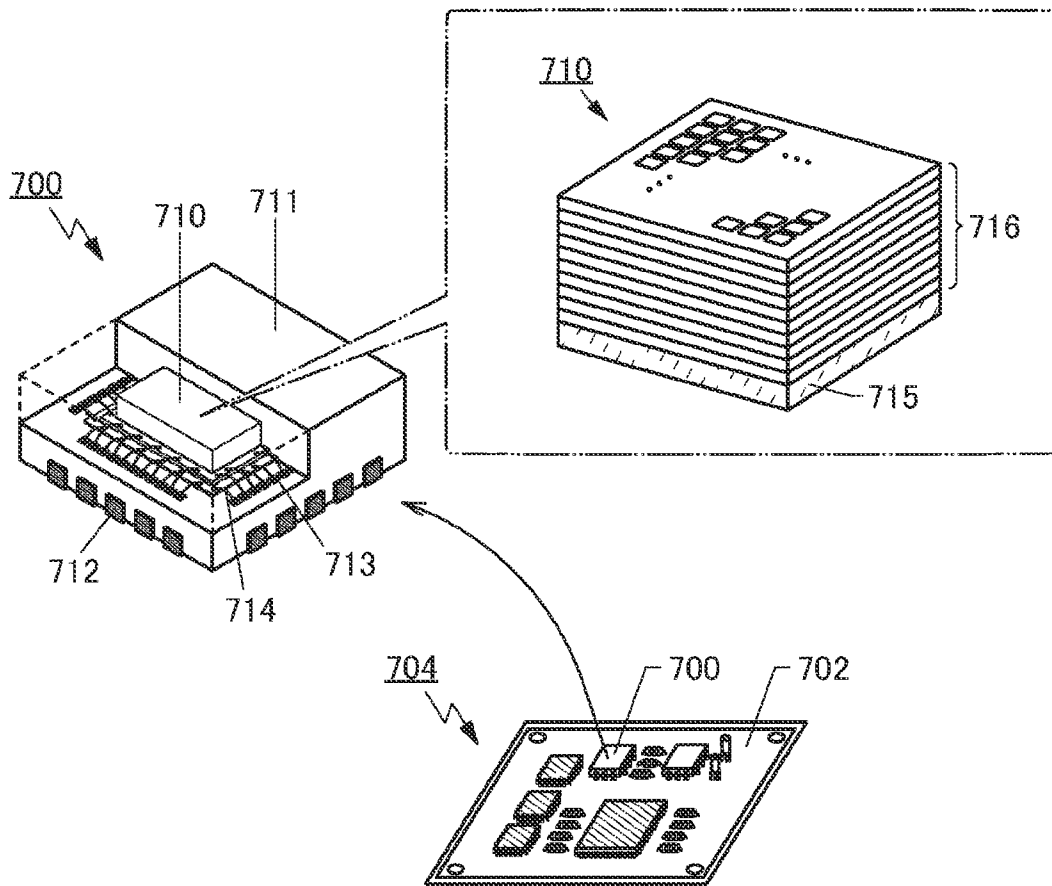


図40B

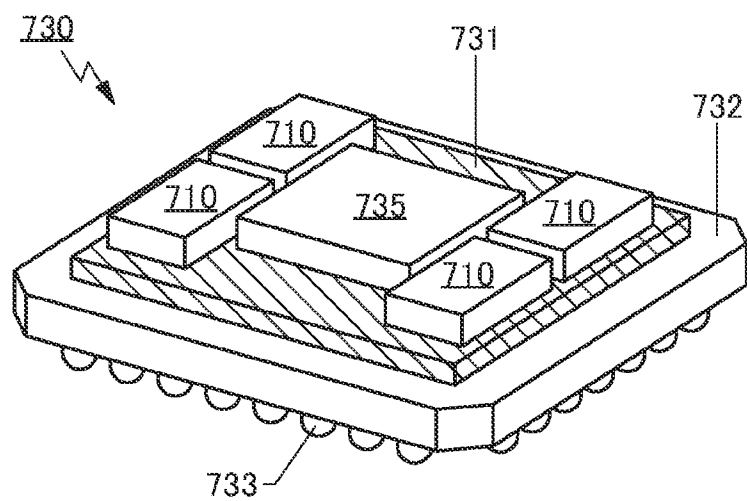


図41A

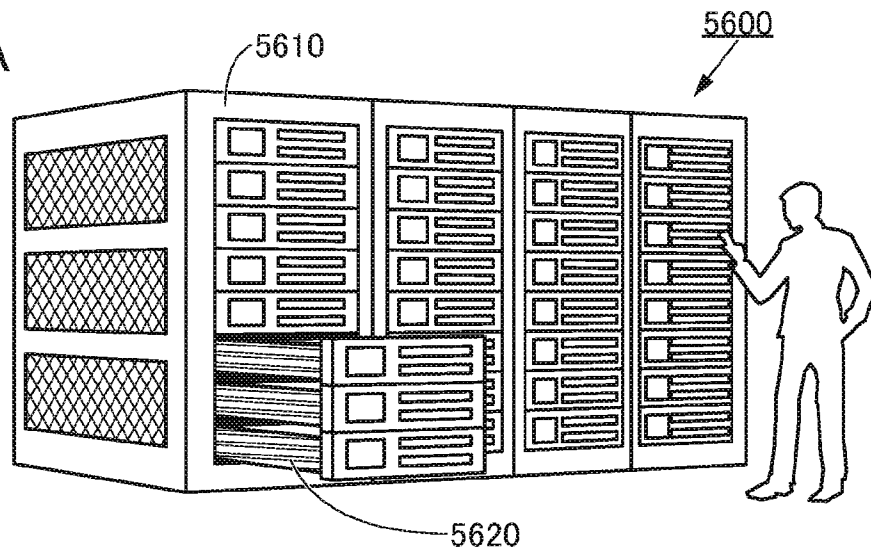


図41B

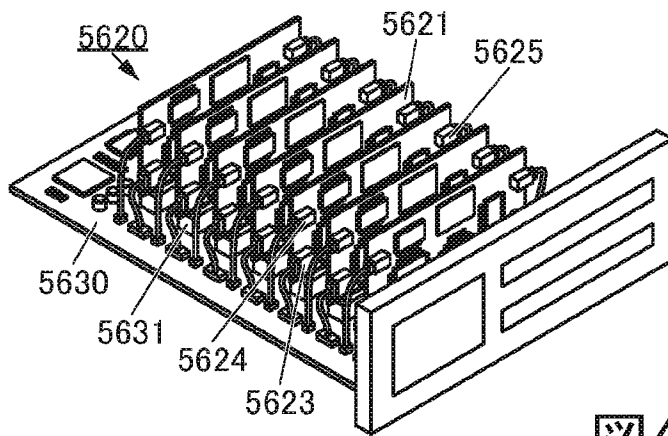


図41C

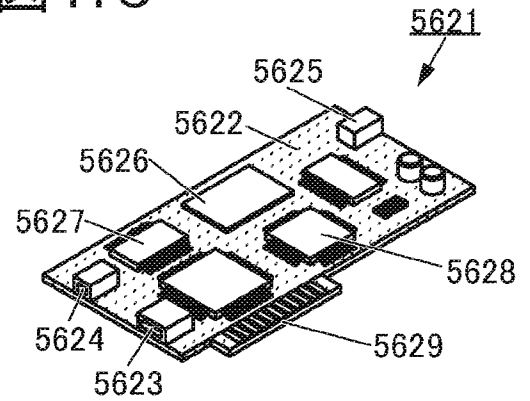


図41E

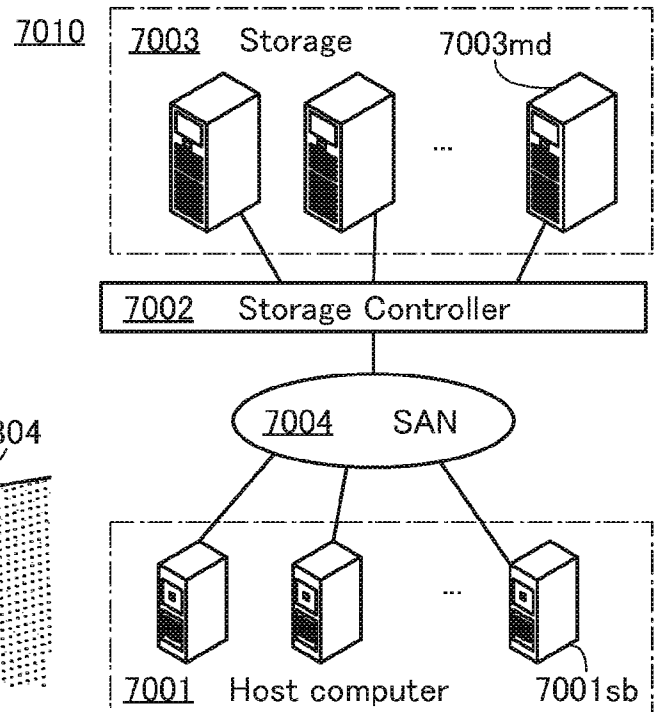


図41D

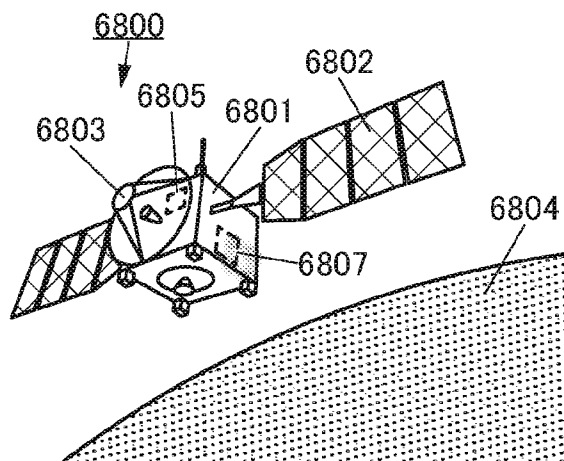


図42A

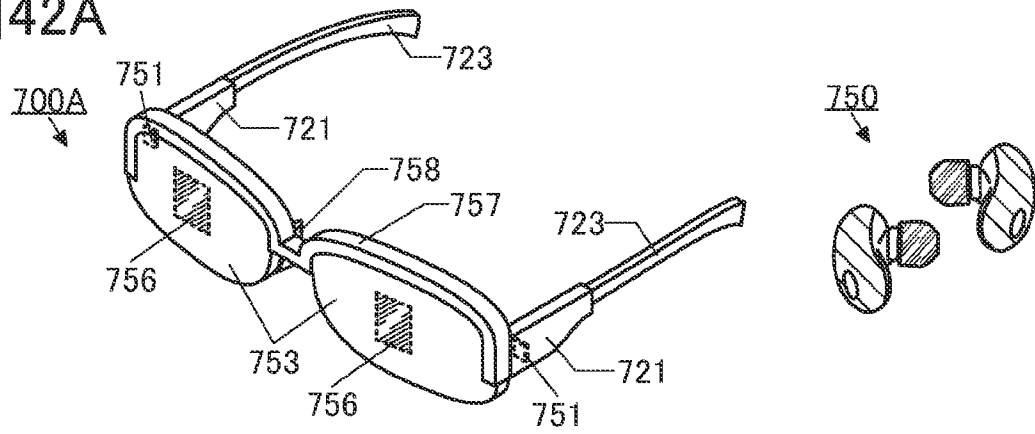


図42B

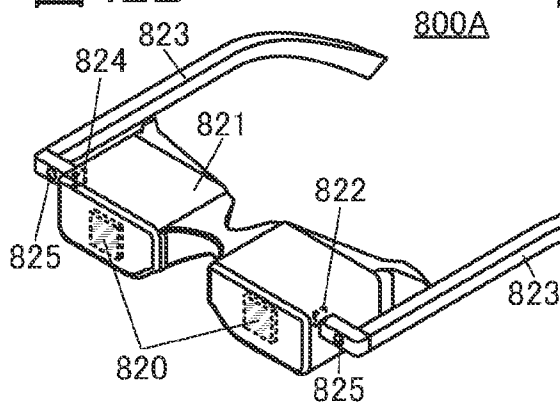


図42C

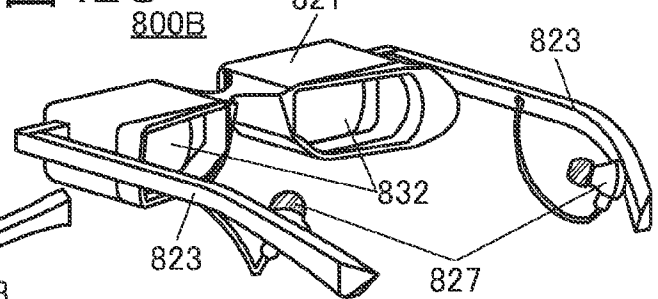


図42D

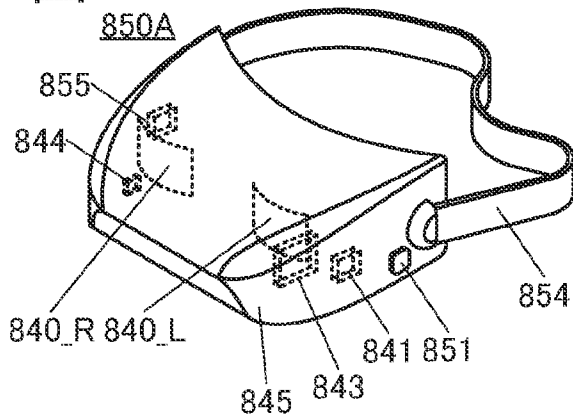


図42E

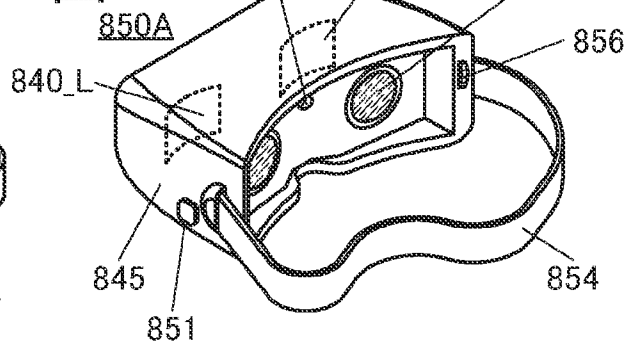


図42F

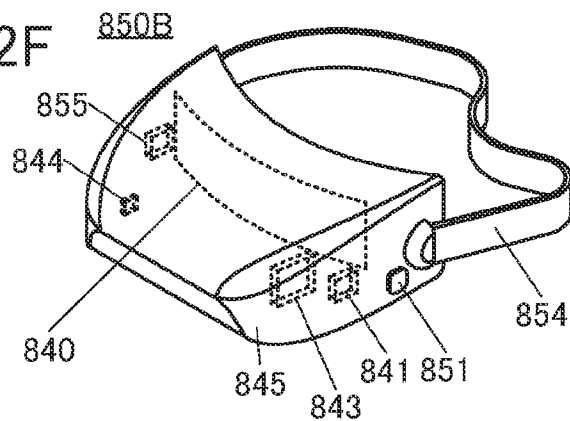


図43A

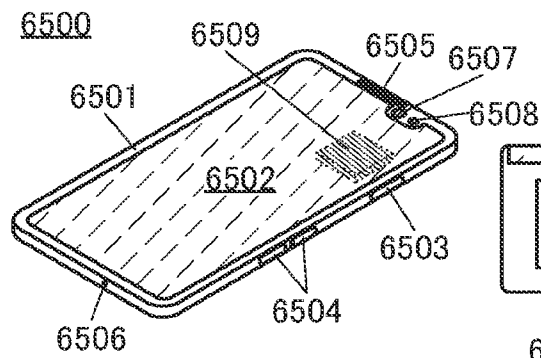


図43C

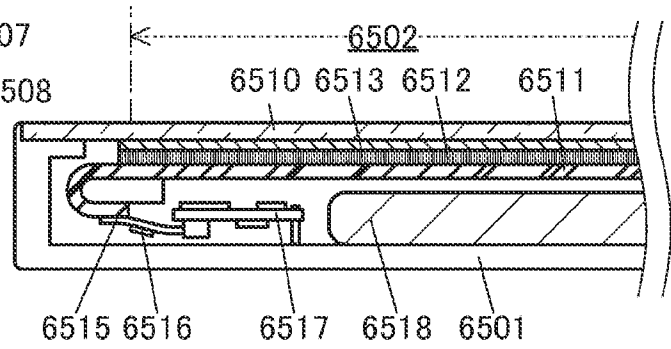


図43B

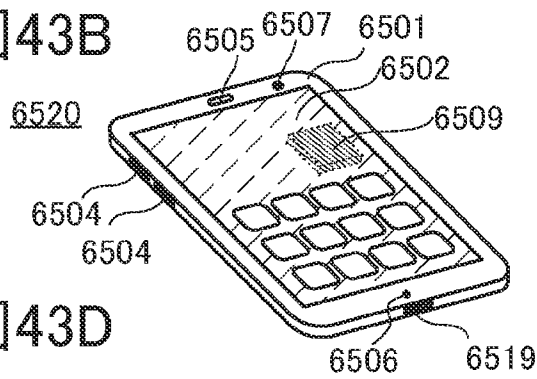


図43D

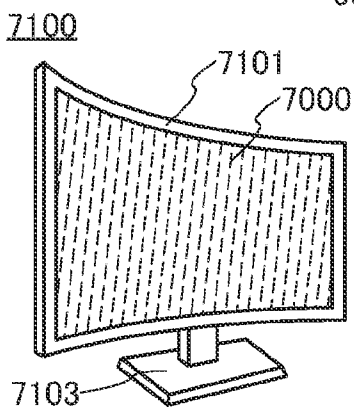


図43E

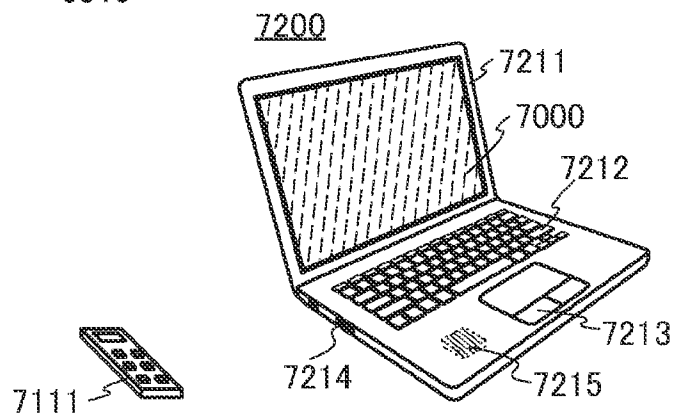


図43F

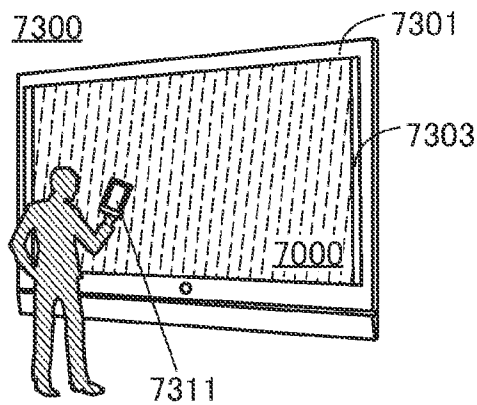


図43G

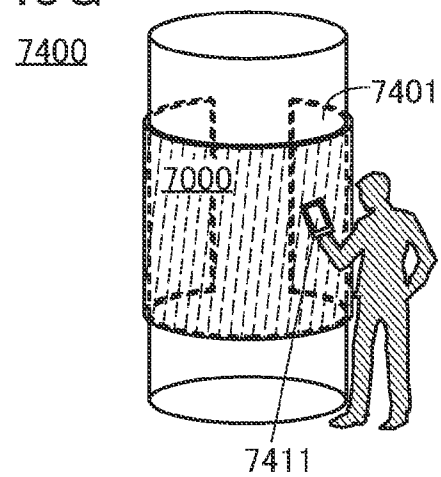


図44A

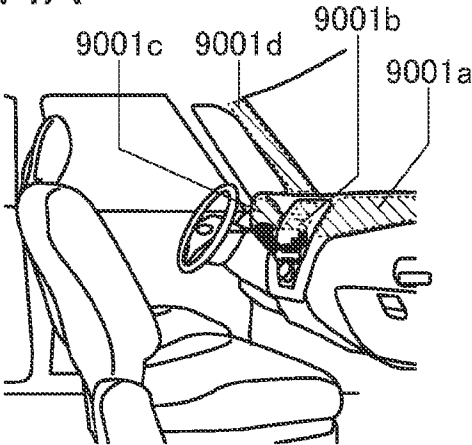


図44B

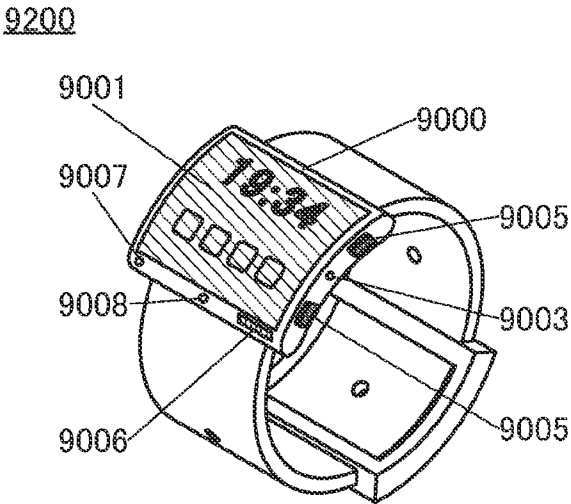


図44C

9201

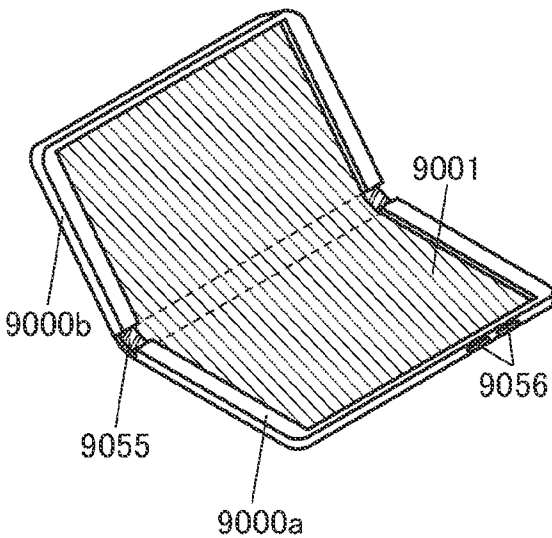


図44D

9202

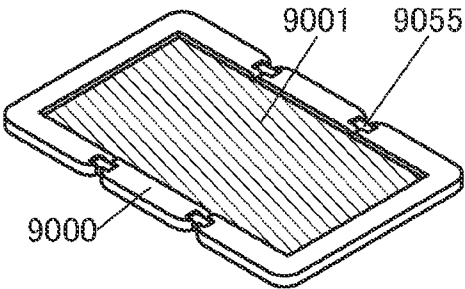


図44E

9202

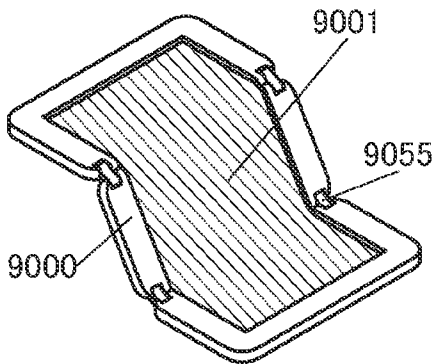
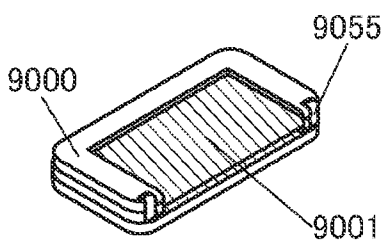


図44F

9202



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/056604

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/205 (2006.01)i; C23C 14/08 (2006.01)i; C23C 14/34 (2006.01)i; C23C 16/40 (2006.01)i; C23C 16/455 (2006.01)i; H01L 21/203 (2006.01)i; H01L 21/265 (2006.01)i; H01L 21/477 (2006.01)i FI: H01L21/205; H01L21/477; H01L21/265 602C; H01L21/203 S; C23C14/08; C23C14/34; C23C16/40; C23C16/455 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/205; C23C14/08; C23C14/34; C23C16/40; C23C16/455; H01L21/203; H01L21/265; H01L21/477 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2019/234561 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 December 2019 (2019-12-12) paragraphs [0138]-[0140], [0359]-[0364], fig. 4A	1-5
A		6-14
Y	JP 2016-208023 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 December 2016 (2016-12-08) paragraph [0249]	1-5
Y	JP 2011-91381 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 May 2011 (2011-05-06) paragraph [0062]	5
A	JP 2016-197708 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 24 November 2016 (2016-11-24)	1-14
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 17 September 2024		Date of mailing of the international search report 01 October 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2024/056604

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2019/234561	A1	12 December 2019	US 2021/0233769 A1 paragraphs [0172]-[0173], [0393]-[0398], fig. 4A CN 112292752 A KR 10-2021-0019013 A	
JP	2016-208023	A	08 December 2016	US 2016/0308060 A1 paragraph [0334] TW 201707204 A	
JP	2011-91381	A	06 May 2011	US 2011/0068336 A1 paragraph [0069] WO 2011/037010 A1 CN 102576677 A KR 10-2012-0090040 A TW 201630080 A	
JP	2016-197708	A	24 November 2016	US 2016/0172500 A1 WO 2016/092427 A1 TW 201633548 A CN 107004722 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/205(2006.01)i; C23C 14/08(2006.01)i; C23C 14/34(2006.01)i; C23C 16/40(2006.01)i;
C23C 16/455(2006.01)i; H01L 21/203(2006.01)i; H01L 21/265(2006.01)i; H01L 21/477(2006.01)i
FI: H01L21/205; H01L21/477; H01L21/265 602C; H01L21/203 S; C23C14/08; C23C14/34; C23C16/40;
C23C16/455

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/205; C23C14/08; C23C14/34; C23C16/40; C23C16/455; H01L21/203; H01L21/265; H01L21/477

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2019/234561 A1（株式会社半導体エネルギー研究所）12.12.2019（2019-12-12） [0138]-[0140], [0359]-[0364], 図4A	1-5
A		6-14
Y	JP 2016-208023 A（株式会社半導体エネルギー研究所）08.12.2016（2016-12-08） [0249]	1-5
Y	JP 2011-91381 A（株式会社半導体エネルギー研究所）06.05.2011（2011-05-06） [0062]	5
A	JP 2016-197708 A（株式会社半導体エネルギー研究所）24.11.2016（2016-11-24）	1-14

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
17.09.2024

国際調査報告の発送日
01.10.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

宇多川 勉 50 3125

電話番号 03-3581-1101 内線 3514

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2024/056604

引用文献			公表日	パテントファミリー文献			公表日
WO	2019/234561	A1	12.12.2019	US	2021/0233769	A1	
				[0172]-[0173], [0393]-			
				[0398], 図4A			
				CN	112292752	A	
				KR	10-2021-0019013	A	

JP	2016-208023	A	08.12.2016	US	2016/0308060	A1	
				[0334]			
				TW	201707204	A	

JP	2011-91381	A	06.05.2011	US	2011/0068336	A1	
				[0069]			
				WO	2011/037010	A1	
				CN	102576677	A	
				KR	10-2012-0090040	A	
				TW	201630080	A	

JP	2016-197708	A	24.11.2016	US	2016/0172500	A1	
				WO	2016/092427	A1	
				TW	201633548	A	
				CN	107004722	A	
