

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月14日(14.07.2022)



(10) 国際公開番号

WO 2022/149259 A1

- (51) 国際特許分類:
H04L 1/00 (2006.01) *H03M 13/29* (2006.01)
H03M 13/13 (2006.01)
- (21) 国際出願番号: PCT/JP2021/000470
- (22) 国際出願日: 2021年1月8日(08.01.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 柿崎 武 (KAKIZAKI Takeshi); 〒1808585 東京都武蔵野市緑町3丁目9-

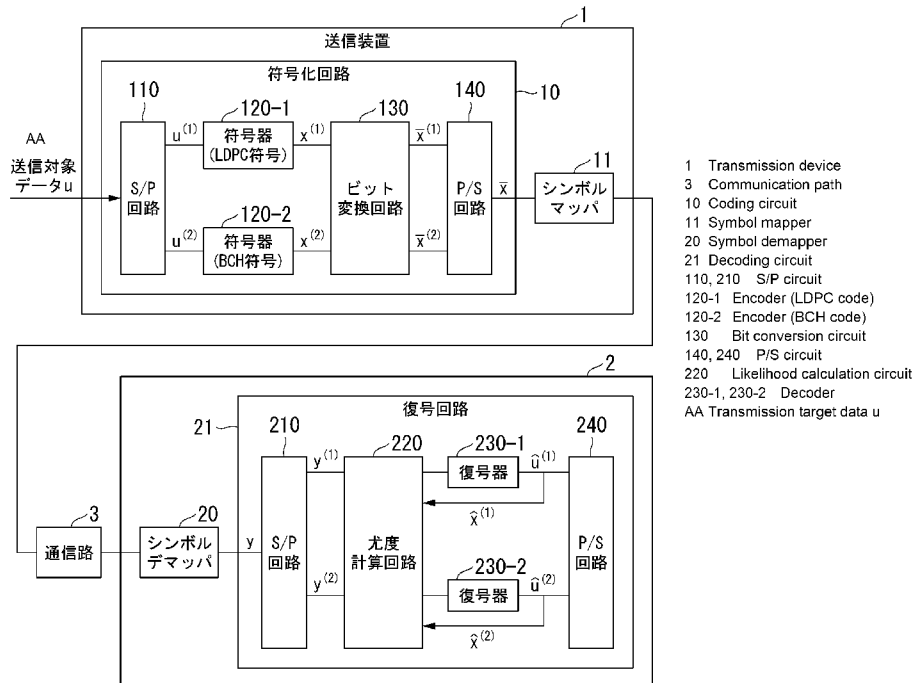
1 1 N T T 知的財産センタ内 Tokyo (JP).
中村 政則(NAKAMURA Masanori); 〒1808585
東京都武蔵野市緑町3丁目9-1 1 N T
T 知的財産センタ内 Tokyo (JP). 濱岡 福
太郎(HAMAOKA Fukutaro); 〒1808585 東京都
武蔵野市緑町3丁目9-1 1 N T T 知
的財産センタ内 Tokyo (JP).

(74) 代理人: 特許業務法人 志賀国際特許
事務所 (SHIGA INTERNATIONAL PATENT
OFFICE); 〒1006620 東京都千代田区丸の内
一丁目9番2号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: CODING CIRCUIT, DECODING CIRCUIT, CODING METHOD, DECODING METHOD, AND COMPUTER PROGRAM

(54) 発明の名称: 符号化回路、復号回路、符号化方法、復号方法及びコンピュータプログラム



(57) Abstract: Provided is a coding circuit used for coherent digital signal processing. This coding circuit includes a serial-parallel circuit for dividing input data into multiple data segments by performing serial-parallel conversion on the input data, multiple encoders for encoding the data segments by adding an error correction code to each of the data segments, and a bit conversion circuit for converting a bit sequence to make the amount of noise generated due to a communication path non-uniform among the data segments encoded by the respective encoders.

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: コヒーレントデジタル信号処理に用いられる符号化回路であって、入力されたデータをシリアルパラレル変換することによって複数の分割データに分割するシリアルパラレル回路と、分割データに対して誤り訂正符号を付加して符号化する複数の符号器と、複数の符号器それぞれによって符号化された複数の分割データ間で通信路により発生する雑音量を不均一にするためにビット系列を変換するビット変換回路と、を備える符号化回路。

明 細 書

発明の名称：

符号化回路、復号回路、符号化方法、復号方法及びコンピュータプログラム

技術分野

[0001] 本発明は、符号化回路、復号回路、符号化方法、復号方法及びコンピュータプログラムに関する。

背景技術

[0002] インターネットトラフィックの増大に伴い、基幹光伝送の大容量化が求められている。周波数利用効率向上のため、基幹光伝送で用いられるコヒーレントDSP(Digital Signal Processor)では、高性能な復号方式であるSD D(Soft-Decision Decoding)を用いるFEC(Forward Error Correction)が採用されている(例えば、非特許文献1参照)。復号方式としてSD Dを用いる従来の通信システムの構成を図9に示す。

[0003] 従来の通信システムは、送信装置5と受信装置6を備える。送信装置5と受信装置6とは、通信路7を介して接続される。送信装置5は、符号化回路51及びシンボルマップ52を備える。符号化回路51は、符号器511を備える。符号器511は、送信対象のデータ(以下「送信対象データ」という。)を符号化する。シンボルマップ52は、符号器511によって符号化された送信対象データを変調方式に応じてマッピングして送信データを生成する。送信装置5は、生成された送信データを、通信路7を介して受信装置6に送信する。通信路7を介して伝送される送信データは、通信路7で発生する雑音が付加されて受信装置6で受信される。

[0004] 受信装置6は、シンボルデマップ61及び復号回路62を備える。

シンボルデマップ61は、通信路7を介して伝送された送信データを受信し、受信した送信データを復調する。復号回路62は、復号器621を備える。復号器621は、復調された送信データを復号する。例えば、復号器6

21は、SDDを用いて送信データを復号する。

[0005] SDDは、復号精度は高いものの、計算量が大きく消費電力が大きくなってしまう。そこで、復号方式としてSDDに代えてHDD（Hard-Decision Decoding）を用いることも行われている（例えば、非特許文献2参照）。復号方式としてHDDを用いる構成は、図9に示す復号器621がHDDを用いて送信データを復号する点がSDDを用いる構成と異なる。復号方式としてHDDを用いることにより、SDDに比べて復号精度は劣るものの、計算量を削減することができる。

[0006] 従来の通信システムとして、送信装置が複数の符号器を備え、受信装置が複数の復号器を備える構成も提案されている。このような構成では、全てもしくは一部の復号器がHDDの復号方式を用いることで計算量を削減している。送信装置が複数の符号器を備え、受信装置が複数の復号器を備える従来の通信システムの構成を図10に示す。なお、図10では、復号方式としてHDDを一部の復号器が用いる構成を示す。

[0007] 従来の通信システムは、送信装置5aと受信装置6aを備える。送信装置5aと受信装置6aとは、通信路7を介して接続される。送信装置5aは、符号化回路51a及びシンボルマップ52を備える。符号化回路51aは、S/P回路512、符号器511-1～511-2及びP/S回路513を備える。S/P回路512は、入力された送信対象データをシリアルパラレル変換することによって、送信対象データを複数のデータに分割する。分割されたデータは、異なる符号器511-1～511-2に入力される。符号器511-1～511-2は、入力されたデータを符号化する。P/S回路513は、符号器511-1～511-2から出力された符号化後のデータをパラレルシリアル変換することによって直列のデータに変換する。シンボルマップ52は、P/S回路513によって変換されたデータを変調方式に応じてマッピングして送信データを生成する。

[0008] 受信装置6aは、シンボルデマップ61及び復号回路62aを備える。

シンボルデマップ61は、通信路7を介して伝送された送信データを受信

し、受信した送信データを復調する。復号回路62aは、S/P回路622、復号器621-1～621-2及びP/S回路623を備える。S/P回路622は、復調された送信データをシリアルパラレル変換することによって、送信データを複数のデータに分割する。分割されたデータは、異なる復号器621-1～621-2に入力される。復号器621-1～621-2は、入力されたデータを復号する。例えば、復号器621-1はSDDを用いてデータを復号し、復号器621-2はHDDを用いてデータを復号する。P/S回路623は、復号器621-1～621-2から出力された復号後のデータをパラレルシリアル変換することによって直列のデータに変換する。

先行技術文献

非特許文献

[0009] 非特許文献1: Bipin Sankar Gopalakrishna Pillai, Behnam Sedighi, N. Prasanth Anthapadmanabhan, William Shieh, Kerry J. Hinton, and Rodney S. Tucker, “End-to-End Energy Modeling and Analysis of Long-Haul Coherent Transmission Systems”, JOURNAL OF LIGHTWAVE TECHNOLOGY, VOL. 32, NO. 18, SEPTEMBER 15, 2014

非特許文献2: “OIF-FEC-100G-01.0100G Forward Error Correction White Paper (May 2010)”, OPTICAL INTERNETWORKING FORUM

発明の概要

発明が解決しようとする課題

[0010] 上記のように、全てもしくは一部の復号方式をHDDに置き換えることで消費電力の削減が期待される。しかしながら、高い周波数利用効率が求められる基幹光伝送においては性能劣化が大きくなってしまいう問題があった。

[0011] 上記事情に鑑み、本発明は、復号における計算量を削減しつつ、高精度に復号を行うことができる技術の提供を目的としている。

課題を解決するための手段

- [0012] 本発明の一態様は、コヒーレントデジタル信号処理に用いられる符号化回路であって、入力されたデータをシリアルパラレル変換することによって複数の分割データに分割するシリアルパラレル回路と、前記分割データに対して誤り訂正符号を付加して符号化する複数の符号器と、複数の符号器それぞれによって符号化された複数の分割データ間で通信路により発生する雑音量を不均一にするためにビット系列を変換するビット変換回路と、を備える符号化回路である。
- [0013] 本発明の一態様は、コヒーレントデジタル信号処理に用いられる復号回路であって、入力されたデータをシリアルパラレル変換することによって複数の分割データに分割するシリアルパラレル回路と、前記複数の分割データと、通信路において発生する雑音の情報とに基づいて、復号の尤度を算出する尤度計算回路と、前記尤度を入力として、前記複数の分割データを復号する複数の復号器と、を備える復号回路である。
- [0014] 本発明の一態様は、コヒーレントデジタル信号処理に用いられる符号化方法であって、入力されたデータをシリアルパラレル変換することによって複数の分割データに分割し、前記分割データに対して誤り訂正符号を付加して符号化し、符号化された複数の分割データ間で通信路により発生する雑音量を不均一にするためにビット系列を変換する符号化方法である。
- [0015] 本発明の一態様は、コヒーレントデジタル信号処理に用いられる復号方法であって、入力されたデータをシリアルパラレル変換することによって複数の分割データに分割し、前記複数の分割データと、通信路において発生する雑音の情報とに基づいて、復号の尤度を算出し、前記尤度を入力として、前記複数の分割データを復号する復号方法である。
- [0016] 本発明の一態様は、コンピュータに、入力されたデータをシリアルパラレル変換することによって複数の分割データに分割し、前記分割データに対して誤り訂正符号を付加して符号化し、符号化された複数の分割データ間で通信路により発生する雑音量を不均一にするためにビット系列を変換する処理

を実行させるためのコンピュータプログラムである。

[0017] 本発明の一態様は、コンピュータに、入力されたデータをシリアルパラレル変換することによって複数の分割データに分割し、前記複数の分割データと、通信路において発生する雑音の情報とに基づいて、復号の尤度を算出し、前記尤度を入力として、前記複数の分割データを復号する処理を実行させるためのコンピュータプログラムである。

発明の効果

[0018] 本発明により、復号における計算量を削減しつつ、高精度に復号を行うことが可能となる。

図面の簡単な説明

[0019] [図1]第1の実施形態における通信システムのシステム構成を表す図である。

[図2]本発明における符号器及び復号器の設計指針を説明するための図である。

[図3]符号器で適用する符号のFEC-OHの計算方法を説明するための図である。

[図4]第1の実施形態におけるビット変換回路の具体的な構成を示す図である。

[図5]第1の実施形態における送信装置の処理の流れを示すフローチャートである。

[図6]第1の実施形態における受信装置の処理の流れを示すフローチャートである。

[図7]本発明の手法を用いた評価結果を説明するための図である。

[図8]第2の実施形態における通信システムのシステム構成を表す図である。

[図9]従来の通信システムの構成を表す図である。

[図10]従来の通信システムの構成を表す図である。

[0020] 以下、本発明の一実施形態を、図面を参照しながら説明する。

(第1の実施形態)

図1は、第1の実施形態における通信システムのシステム構成を表す図で

ある。通信システムは、送信装置 1 及び受信装置 2 を備える。送信装置 1 と受信装置 2 とは、通信路 3 を介して接続される。なお、以下の説明では、通信路 3 は、AWGN (Additive White Gaussian Noise) 通信路であるとする。通信システムでは、コヒーレント DSP 技術を用いる。

[0021] 送信装置 1 は、符号化回路 10 及びシンボルマッパ 11 を備える。

符号化回路 10 は、S/P 回路 110、複数の符号器 120-1 ~ 120-2、ビット変換回路 130 及び P/S 回路 140 を備える。符号化回路 10 は、図 10 に示す従来の符号化回路 51a に比べて、新たにビット変換回路 130 を備える。

[0022] S/P 回路 110 は、入力された送信対象データをシリアルパラレル変換することによって、送信対象データを複数のデータに分割する。

符号器 120-1 ~ 120-2 は、入力されたデータを符号化する。例えば、符号器 120-1 は LDPC (Low-Density Parity-Check) 符号を用いてデータを符号化し、符号器 120-2 は BCH 符号を用いてデータを符号化する。すなわち、符号器 120-1 は SDD を用いる符号器であり、符号器 120-2 は HDD を用いる符号器である。

[0023] ビット変換回路 130 は、各符号に発生する雑音を時分割方向に不均一化するために、符号化されたデータのビット系列を変換する。

P/S 回路 140 は、ビット変換回路 130 から出力された変換後のデータをパラレルシリアル変換することによって直列のデータに変換する。

シンボルマッパ 11 は、P/S 回路 140 によって変換されたデータを変調方式に応じてマッピングして送信データを生成する。例えば、シンボルマッパ 11 は、変調方式として BPSK (Binary Phase Shift Keying) を用いるものとする。

[0024] 受信装置 2 は、シンボルデマッパ 20 及び復号回路 21 を備える。

シンボルデマッパ 20 は、通信路 3 を介して伝送された送信データを受信し、受信した送信データを、変調方式に対応した復調方式で復調する。例えば、シンボルデマッパ 20 は、復調方式として BPSK を用いるものとする。

。

復号回路 21 は、S/P 回路 210、尤度計算回路 220、復号器 230-1～230-2 及び P/S 回路 240 を備える。復号回路 21 は、図 10 に示す従来の復号回路 62a に比べて、新たに尤度計算回路 220 を備える

。

[0025] S/P 回路 210 は、シンボルデマッパ 20 によって復調された送信データをシリアルパラレル変換することによって、送信データを複数のデータに分割する。

尤度計算回路 220 は、S/P 回路 210 から出力されたデータと、通信路情報とに基づいて尤度を算出する。通信路情報は、通信路 3 の雑音の分布を表す。通信システムで最も典型的であるのは、平均 μ 分散 σ のガウス分布である。通信路情報は、スペクトルアナライザ等で測定可能である。通信路情報は、予め計測されていて、尤度計算回路 220 に記憶されているものとする。

[0026] 復号器 230-1～230-2 は、入力されたデータを復号する。例えば、復号器 230-1 は SDD を用いてデータを復号し、復号器 230-2 は HDD を用いてデータを復号する。

P/S 回路 240 は、復号器 230-1～230-2 から出力された復号後のデータをパラレルシリアル変換することによって直列のデータに変換する。

[0027] 次に、図 2 を用いて、本発明における符号器 120 及び復号器 230 の設計指針について説明する。

まず本発明の大まかな流れについて説明する。本発明では、ビット変換回路 130 による変換によって雑音を不均一化させる。そして、雑音の大きい通信路（例えば、雑音の量が閾値以上の通信路）と、雑音の小さい通信路（例えば、雑音の量が閾値未満の通信路）に分離させた後、雑音の大きい通信路には SDD を、雑音の小さい通信路には HDD を適用する。

[0028] 本発明では、許容される「性能劣化量」が規定されており、遅延量及び回

路規模の関係で「分割数（符号器 120 及び復号器 230 の数）」が制限されているもとの「可能な限り復号電力を削減すること（すなわち HDD への置き換え）」を目的としている。

上記の目的を実現するために、以下の（１）～（４）が、処理の開始以前に行われる。

（１）ユーザは、通信システム全体の雑音量を計測する。通信システム全体の雑音量は、例えばスペクトルアナライザ等で計測することができる。

（２）ユーザは、事前の計測により予め通信システム全体の雑音量がわかっているため、符号器 120-1～120-l それぞれが用いる符号 1 から符号 l（l は 2 以上の整数）までの雑音量を計算する。符号 1 から符号 l までの雑音量は、理論的に計算してもよいし、複数のビット列をおくりモンテカルロ法にて求めてもよい。理論的に計算する場合の計算方法は、後述の式（６）により算出される。

[0029] （３）ユーザは、各雑音量に応じて、符号器 120 で適用する符号の FEC-OH（Forward Error Correction-Over Head）を計算する。ここで、符号器 120 で適用する符号の FEC-OH の計算方法について図 3 を用いて説明する。符号器 120 では、誤り訂正のために、通信路 3 で発生する雑音量 N_0 に応じて、図 3 に示す冗長ビット m ビットを情報ビット k ビットに付加する必要がある。通信路 3 で発生する雑音量は、通信システム全体の雑音量に相当する。FEC-OH（冗長の度合い）の上界は以下の式（１）で表される。

[0030] [数 1]

$$\text{冗長の度合い (FEC-OH)} = (m/k) \times 100 [\%] \quad \dots (1)$$

[0031] なお、 $k / (k + \text{FEC-OH}) < 1/2 \times \log_2 (1 + E_b/N_0) = :$ C (通信路容量) を満たす必要がある。 $(k / (k + \text{FEC-OH}))$ と $1/2 \times \log_2 (1 + E_b/N_0)$ の間にマージンを持たせる。マージン量は符号に依存する。 E_b は、ビットあたりのエネルギーを表す。また、 N_0 は雑音スペクトル密度である。FEC-OH はシステムが目標とする E_b/N_0 を基準に設定す

る。

[0032] 図2に戻って説明続ける。

(4) ユーザは、性能劣化許容量に応じて、可能な限り復号器230において用いる復号方式をSDDからHDDに置き換える。基本的にFEC-OHが小さい箇所から優先してHDDに置き換える。FEC-OHが小さい箇所から優先してHDDに置き換える理由としては、FEC-OHが小さいとSDDからHDDに置き換えたときの劣化も小さいためである（非特許文献2参照）。

[0033] 図4は、第1の実施形態におけるビット変換回路130の具体的な構成を示す図である。図4では、符号化回路10が2台の符号器120-1及び120-2を備える場合のビット変換回路130の構成を示している。

図4における符号131で示す記号は、ビット毎の排他的論理和を表す。ビット変換回路130は、符号器120-1から出力された符号語 $x^{(1)}$ と、符号器120-2から出力された符号語 $x^{(2)}$ との排他的論理和を求めることで符号語 $x^{(1)}$ を符号語 $-x^{(1)}$ （ $-x$ における“ $-$ ”は x の上につく、以下同様）に変換する。さらに、ビット変換回路130は、符号器120-2から出力された符号語 $x^{(2)}$ を符号語 $-x^{(2)}$ に変換する。

[0034] 図5は、第1の実施形態における送信装置1の処理の流れを示すフローチャートである。

S/P回路110は、入力された送信対象データ u をシリアルパラレル変換することによって、送信対象データ u を複数のデータに分割する（ステップS101）。具体的には、S/P回路110は、 k ビットのデータ $u \in \{0, 1\}^k$ を k_1 ビットのデータ $u^{(1)}$ 、 k_2 ビットのデータ $u^{(2)}$ に分割（ $k_1 + k_2 = k$ ）する。S/P回路110は、分割後のデータ $u^{(1)}$ を符号器120-1に出力し、データ $u^{(2)}$ を符号器120-2に出力する。

[0035] 符号器120-1は、S/P回路110から出力されたデータ $u^{(1)}$ を符号化する（ステップS102-1）。これにより、符号器120-1は、符号語である $n/2$ ビットのデータ $x^{(1)}$ を取得する。ここで、 n は全体の符号の

長さを表す。そのため、第1の実施形態では、符号器120-1は、 $n/2$ ビットのデータ $x^{(1)}$ を取得する。符号器120-1は、取得した符号語をビット変換回路130に出力する。

[0036] 同様に、符号器120-2は、S/P回路110から出力されたデータ $u^{(2)}$ を符号化する（ステップS102-2）。これにより、符号器120-2は、符号語である $n/2$ ビットのデータ $x^{(2)}$ を取得する。第1の実施形態では、符号器120-2は、 $n/2$ ビットのデータ $x^{(2)}$ を取得する。符号器120-2は、取得した符号語をビット変換回路130に出力する。

[0037] ビット変換回路130は、符号器120-1及び120-2それぞれから出力された符号語を取得する。ビット変換回路130は、取得した符号語のビット列を変換する。具体的には、ビット変換回路130は、符号器120-1から出力されたデータ $x^{(1)}$ をデータ $-x^{(1)}$ に変換する（ステップS103-1）。ビット変換回路130は、符号器120-2から出力されたデータ $x^{(2)}$ をデータ $-x^{(2)}$ に変換する（ステップS103-2）。ビット変換回路130は、変換後のデータ $-x^{(1)}$ 及びデータ $-x^{(2)}$ をP/S回路140に出力する。

[0038] P/S回路140は、ビット変換回路130から出力されたデータ $-x^{(1)}$ 及びデータ $-x^{(2)}$ をパラレルシリアル変換することによって直列のデータに変換する（ステップS104）。具体的には、P/S回路140は、データ $-x^{(1)}$ 及びデータ $-x^{(2)}$ を結合して n ビットのデータ $-x$ （ $-x^{(1)}$ 、 $-x^{(2)}$ ）を生成する。P/S回路140は、データ $-x$ をシンボルマップ11に出力する。シンボルマップ11は、P/S回路140によって変換されたデータ $-x$ を変調方式に応じてマッピングして送信データを生成する（ステップS105）。符号化回路10は、生成された送信データを受信装置2に送信する（ステップS106）。

[0039] 図6は、第1の実施形態における受信装置2の処理の流れを示すフローチャートである。

シンボルデマップ20は、通信路3を伝送してきた送信データを受信する

(ステップS201)。シンボルデマッパ20は、受信した送信データを復調する(ステップS202)。シンボルデマッパ20は、復調後のデータyをS/P回路210に出力する。S/P回路210は、シンボルデマッパ20から出力されたデータyをシリアルパラレル変換することによって、データyを複数のデータに分割する(ステップS203)。具体的には、S/P回路210は、データy($y^{(1)}$, $y^{(2)}$)をデータ $y^{(1)}$, データ $y^{(2)}$ に分割する。S/P回路210は、分割後のデータ $y^{(1)}$ 及びデータ $y^{(2)}$ を尤度計算回路220に出力する。

[0040] 尤度計算回路220は、S/P回路210から出力されたデータ $y^{(1)}$ 及びデータ $y^{(2)}$ と、通信路情報P1とに基づいて尤度を算出する(ステップS204)。ここで、通信路情報P1が以下の式(2)で表されるものとする。

[0041] [数2]

$$P1(y_i^{(1)}|\bar{x}_i^{(1)}), P1(y_i^{(2)}|\bar{x}_i^{(2)}) \quad \dots (2)$$

[0042] 尤度計算回路220は、以下の式(3)に基づいて尤度P11を算出する。なお、第1の実施形態では、 $P(x_i) = 1/2$ と仮定している。iは、1以上整数である。

[0043] [数3]

$$\begin{aligned} & P11(y_i^{(1)}, y_i^{(2)}|x_i^{(1)}) \\ &= \frac{1}{2} \sum_{x_i^{(2)}} P(y_i^{(1)}|x_i^{(1)} \oplus x_i^{(2)}) P(y_i^{(2)}|x_i^{(2)}) \quad \dots (3) \end{aligned}$$

[0044] 尤度計算回路220は、算出結果を復号器230-1に出力する。復号器230-1は、尤度計算回路220から出力された算出結果を復号する(ステップS205)。これにより、復号器230-1は、推定符号語 $\hat{x}^{(1)}$ ($\hat{x}$ における“ $\hat{}$ ”はxの上につく、以下同様)及び推定情報 $\hat{u}^{(1)}$ ($\hat{u}$ における“ $\hat{}$ ”はuの上につく、以下同様)を取得する。推定符号語とは、推定された符号語を表す。推定情報とは、分割されたデータの推定結果を表

す。復号器 230-1 は、推定符号語 $\hat{x}^{(1)}$ を尤度計算回路 220 に出力し、推定情報 $\hat{u}^{(1)}$ を P/S 回路 240 に出力する。

[0045] 尤度計算回路 220 は、復号器 230-1 から出力された推定符号語 $\hat{x}^{(1)}$ と、通信路情報 P1 とに基づいて尤度を算出する（ステップ S207）。具体的には、尤度計算回路 220 は、以下の式（4）に基づいて尤度 P12 を算出する。

[0046] [数4]

$$P_{12} \left(y_i^{(1)}, y_i^{(2)}, \hat{x}_i^{(1)} \middle| x_i^{(2)} \right) \\ = \frac{1}{2} P \left(y_i^{(1)} \middle| \hat{x}_i^{(1)} \oplus x_i^{(2)} \right) P \left(y_i^{(2)} \middle| x_i^{(2)} \right) \quad \dots (4)$$

[0047] 尤度計算回路 220 は、算出結果を復号器 230-2 に出力する。復号器 230-2 は、尤度計算回路 220 から出力された算出結果を復号する（ステップ S208）。これにより、復号器 230-2 は、推定符号語 $\hat{x}^{(2)}$ 及び推定情報 $\hat{u}^{(2)}$ を取得する。復号器 230-2 は、推定符号語 $\hat{x}^{(2)}$ を尤度計算回路 220 に出力し、推定情報 $\hat{u}^{(2)}$ を P/S 回路 240 に出力する。

[0048] P/S 回路 240 は、復号器 230-1 から出力された推定情報 $\hat{u}^{(1)}$ と、復号器 230-2 から出力された推定情報 $\hat{u}^{(2)}$ とをパラレルシリアル変換することによって直列のデータに変換する（ステップ S210）。具体的には、P/S 回路 240 は、推定情報 $\hat{u}^{(1)}$ 及び推定情報 $\hat{u}^{(2)}$ を結合して推定情報 $\hat{u} (\hat{u}^{(1)}, \hat{u}^{(2)})$ を生成する。

[0049] 次に、図 7 を用いて、本発明の手法を用いた評価結果について説明する。

AWGN 環境下、BPSK 変調時の LDPC 符号、BCH 符号の E_b/N_0 - BER 特性をそれぞれ評価した。本発明では、符号器 120-1 で LDPC 符号、符号器 120-2 で BCH 符号を用いている。図 7 では、比較のため、図 10 に示す従来構成 3 にて LDPC 符号と BCH 符号とを均等に用いた場合、例えば符号器 511-1 で LDPC 符号、符号器 511-2 で BCH 符号の BER の平均も算出した。図 7 に示す従来構成 1 は図 9 において復

号器 6 2 1 が S D D を用いる構成であり、従来構成 2 は図 9 において復号器 6 2 1 が H D D を用いる構成である。図 7 のグラフに示すように、H D D である B C H 符号や、S D D と H D D を従来構成 3 のように割り当てた場合に比べ、本発明の構成により性能劣化が低減されることが確認できる。

[0050] 以上のように構成された通信システムによれば、復号における計算量を削減しつつ、高精度に復号を行うことが可能になる。具体的に、符号化回路 1 0 は、複数の誤り訂正符号の符号器 1 2 0 - 1 ~ 1 2 0 - l と、複数の符号器 1 2 0 - 1 ~ 1 2 0 - l から出力された符号語を用いて、ビット系列に発生する雑音量を不均一にするビット変換回路を備える。復号回路 2 1 は、通信路情報を元に復号の尤度情報を算出する尤度計算回路 2 2 0 と、尤度情報を入力として復号情報を出力する複数の復号器 2 3 0 - 1 ~ 2 3 0 - l を備える。復号器 2 3 0 による復号情報の出力は、複数の復号器 2 3 0 - 1 ~ 2 3 0 - l で逐次的に実行される。各復号器 2 3 0 は、直前の復号器 2 3 0 で出力された復号情報を元に尤度計算回路 2 2 0 で更新された尤度情報を入力としてデータの復号を行う。このように、符号化回路 1 0 におけるビット変換回路 1 3 0 により符号器 1 2 0 - 1 ~ 1 2 0 - l から出力された符号語の雑音量を符号器毎に不均一にすることにより、復号回路 2 1 における対応する復号器 2 3 0 では、小さい雑音が付加されたデータの復号には H D D を用いる復号器 2 3 0、大きい雑音が付加されたデータの復号には S D D を用いる復号器 2 3 0 を用いるように設計することで復号における計算量を削減しつつ、高精度に復号を行うことが可能になる。

[0051] (第 2 の実施形態)

第 1 の実施形態では、符号化回路が備える符号器の数が 2 台、復号回路が備える復号器の数が 2 台の場合を例に説明した。符号化回路が備える符号器及び復号回路が備える復号器の数は、2 台以上であればよい。そこで、第 2 の実施形態では、符号器及び復号器が 2 台に限られない場合の構成について説明する。

[0052] 図 8 は、第 2 の実施形態における通信システムのシステム構成を表す図で

ある。通信システムは、送信装置 1 a 及び受信装置 2 a を備える。送信装置 1 a と受信装置 2 a とは、通信路 3 を介して接続される。

[0053] 送信装置 1 a は、符号化回路 1 0 a 及びシンボルマップ 1 1 を備える。符号化回路 1 0 a は、符号器 1 2 0 を 1 台備える点で符号化回路 1 0 と構成が異なる。一方で、符号化回路 1 0 a が行う基本的な動作は、符号化回路 1 0 と同様である。

受信装置 2 a は、シンボルデマップ 2 0 及び復号回路 2 1 a を備える。復号回路 2 1 a は、復号器 2 3 0 を 1 台備える点で復号回路 2 1 と構成が異なる。一方で、復号回路 2 1 a が行う基本的な動作は、復号回路 2 1 と同様である。

[0054] 以下、第 2 の実施形態における送信装置 1 a が行う処理について図 5 を用いて説明する。

S/P 回路 1 1 0 は、ステップ S 1 0 1 において k ビットのデータ $u \in \{0, 1\}^k$ を k_1 ビットのデータ $u^{(1)}$, $\dots$, k_l ビットのデータ $u^{(l)}$ に分割 ($k_1 + k_2 + \dots + k_l = k$) する。S/P 回路 1 1 0 は、分割後のデータ $u^{(1)} \sim$ データ $u^{(l)}$ それぞれを対応する符号器 1 2 0-1 $\sim$ 1 2 0-l に出力する。

[0055] 符号器 1 2 0-1 $\sim$ 1 2 0-l は、ステップ S 1 0 2 として S/P 回路 1 1 0 から出力されたデータ $u^{(1)} \sim$ データ $u^{(l)}$ を符号化する。これにより、符号器 1 2 0-1 $\sim$ 1 2 0-l は、符号語である n/l ビットのデータ $x^{(1)} \sim$ データ $x^{(l)}$ を取得する。符号器 1 2 0-1 $\sim$ 1 2 0-l は、取得した符号語をビット変換回路 1 3 0 に出力する。

[0056] ビット変換回路 1 3 0 は、ステップ S 1 0 3 として符号器 1 2 0-1 $\sim$ 1 2 0-l それぞれから出力された符号語を取得する。ビット変換回路 1 3 0 は、取得した符号語のビット列を変換する。具体的には、ビット変換回路 1 3 0 は、符号器 1 2 0-1 $\sim$ 1 2 0-l それぞれから出力されたデータ $x^{(1)} \sim$ データ $x^{(l)}$ をデータ $x^{(1)} \sim$ データ $x^{(l)}$ に変換する。ビット変換回路 1 3 0 は、変換後のデータ $x^{(1)} \sim$ データ $x^{(l)}$ を P/S 回路 1 4 0 に

出力する。なお、ステップS 1 0 5 及びS 1 0 6 の処理は、第 1 の実施形態と同様である。

[0057] P / S 回路 1 4 0 は、ステップS 1 0 4 においてビット変換回路 1 3 0 から出力されたデータ $x^{(1)}$ ~ データ $x^{(1)}$ をパラレルシリアル変換することによって直列のデータに変換する。具体的には、P / S 回路 1 4 0 は、データ $x^{(1)}$ ~ データ $x^{(1)}$ を結合して n ビットのデータ x ($-x^{(1)}$, $\dots$, $-x^{(1)}$) を生成する。P / S 回路 1 4 0 は、データ x をシンボルマップ 1 1 に出力する。

[0058] 次に第 2 の実施形態における受信装置 2 a が行う処理について図 6 を用いて説明する。

シンボルデマップ 2 0 は、ステップS 2 0 1 において、通信路 3 を伝送してきた送信データを受信する。シンボルデマップ 2 0 は、ステップS 2 0 2 において、受信した送信データを復調する。シンボルデマップ 2 0 は、復調後のデータ y を S / P 回路 2 1 0 に出力する。S / P 回路 2 1 0 は、ステップS 2 0 3 において、シンボルデマップ 2 0 から出力されたデータ y をシリアルパラレル変換することによって、データ y を複数のデータに分割する。具体的には、S / P 回路 2 1 0 は、データ y ($y^{(1)}$, $\dots$, $y^{(1)}$) をデータ $y^{(1)}$, $\dots$, $y^{(1)}$ に分割する。S / P 回路 2 1 0 は、分割後のデータ $y^{(1)}$, $\dots$, $y^{(1)}$ を尤度計算回路 2 2 0 に出力する。

[0059] ステップS 2 0 4 からステップS 2 0 9 までの処理は、第 2 の実施形態においては以下のように行われる。

尤度計算回路 2 2 0 は、S / P 回路 2 1 0 から出力されたデータ $y^{(1)}$, $\dots$, $y^{(1)}$ と、通信路情報 P 2 とに基づいて尤度を算出する。ここで、通信路情報 P 2 が以下の式 (5) で表されるものとする。なお、式 (5) における j は、1 以上の整数である。

[0060] [数5]

$$P2\left(y_i^{(1)} \middle| \bar{x}_i^{(1)}\right), \dots, P2\left(y_i^{(j)} \middle| \bar{x}_i^{(j)}\right) \quad \dots (5)$$

[0061] 尤度計算回路 220 は、以下の式 (6) に基づいて尤度 P_{21} を算出する。

[0062] [数6]

$$P_{21} \left(y_i^{(1)}, \dots, y_i^{(l)}, \hat{x}_i^{(1)}, \dots, \hat{x}_i^{(j-1)} \middle| x_i^{(j)} \right) \dots (6)$$

[0063] 尤度計算回路 220 は、算出結果を復号器 230-j に出力する。復号器 230-j は、尤度計算回路 220 から出力された算出結果を復号する (ステップ S205)。これにより、復号器 230-j は、推定符号語 $\hat{x}^{(j)}$ 及び推定情報 $\hat{u}^{(j)}$ を取得する。復号器 230-j は、推定符号語 $\hat{x}^{(j)}$ を尤度計算回路 220 に出力し、推定情報 $\hat{u}^{(j)}$ を P/S 回路 240 に出力する。なお、尤度計算回路 220 は、j を 1 から l まで順番に繰り上げて上記の処理を l 回繰り返し実行する。

[0064] すなわち、尤度計算回路 220 は、以下のような処理を行うことになる。尤度計算回路 220 は、復号器 230-1 から出力された推定符号語 $\hat{x}^{(1)}$ と、通信路情報 P2 とに基づいて尤度を算出する。次に、尤度計算回路 220 は、算出結果を復号器 230-2 に出力して、復号器 230-2 から出力された推定符号語 $\hat{x}^{(2)}$ と、通信路情報 P2 とに基づいて尤度を算出する。次に、尤度計算回路 220 は、算出結果を復号器 230-3 に出力して、復号器 230-3 から出力された推定符号語 $\hat{x}^{(3)}$ と、通信路情報 P2 とに基づいて尤度を算出する。

上記のように、尤度計算回路 220 は、1 つ前の復号器 230 の復号結果と、通信路情報とを用いて尤度を算出する。

[0065] P/S 回路 240 は、ステップ S210 において、復号器 230-1 ~ 230-l から出力された推定情報 $\hat{u}^{(1)} \sim \hat{u}^{(l)}$ をパラレルシリアル変換することによって直列のデータに変換する。具体的には、P/S 回路 240 は、推定情報 $\hat{u}^{(1)} \sim \hat{u}^{(l)}$ を結合して推定情報 $\hat{u} (\hat{u}^{(1)}, \dots, \hat{u}^{(l)})$ を生成する。

[0066] 以上のように構成された第 2 の実施形態における通信システムによれば、

第1の実施形態と同様の効果を得ることができる。

第2の実施形態における通信システムでは、送信装置1aが符号器120を3台以上備え、受信装置2aが復号器230を3台以上備える場合においても適用することができる。そのため、利便性を向上させることが可能になる。

[0067] 符号化回路及び復号回路におけるデータの分割数が多いほど結果として性能劣化が低減される。これは、雑音がより不均一になるため、雑音が非常に小さい箇所が多くなる。すると、FEC-OHが小さい箇所が増え、HDDの置き換え時の性能劣化が低減されるためである。

一方で、分割数を増やすと、遅延が大きくなってしまう。その理由としては、尤度計算回路220における尤度計算では、前段の符号の結果を待たないと次の尤度の計算できないため、遅延が線形に増加するためである。さらに、多くの符号を必要になったり、尤度計算回路220が複雑になるため、回路規模も大きくなってしまう。そのため、許容遅延量を満たしつつ、できるだけ分割数を多くすることで性能劣化を低減することができる。

[0068] 第1の実施形態及び第2の実施形態に共通する変形例について説明する。

ビット変換回路130は、参考文献1及び2に記載の他のPolar符号のkernelの構成法を用いて構成しても良い。

(参考文献1 : F. Gabry et al., “Multi-Kernel Construction of Polar Codes”, 2017 IEEE International Conference on Communications Workshops (ICC Workshops), pp. 761-765 (2017))

(参考文献2 : H. Lin et al., “Linear and Nonlinear Binary Kernels of Polar Codes of Small Dimensions With Maximum Exponents”, IEEE Transactions on Information Theory, 61(10), 5253, (2015))

[0069] 尤度計算回路220は、参考文献3に記載の他のPolar符号の復号法にて尤度を計算しても良い。

(参考文献3 : I. Tal et al., “List Decoding of Polar Codes”, IEEE Transactions on Information Theory, 61(5) 2213, (2015))

[0070] ビット変換回路 130 及び尤度計算回路 220 は、空間方向、周波数軸方向に関しても不均一にしても良い。

[0071] 上述した実施形態における送信装置 1, 1a が備える一部の機能部（例えば、符号化回路 10, 10a）及び受信装置 2, 2a が備える一部の機能部（例えば、復号回路 21, 21a）をコンピュータで実現するようにしてもよい。その場合、この機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することによって実現してもよい。なお、ここでいう「コンピュータシステム」とは、OS や周辺機器等のハードウェアを含むものとする。また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM 等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムを送信する場合の通信線のように、短時間の間、動的にプログラムを保持するもの、その場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリのように、一定時間プログラムを保持しているものも含んでもよい。また上記プログラムは、前述した機能の一部を実現するためのものであってもよく、さらに前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるものであってもよく、FPGA (Field Programmable Gate Array) 等のプログラマブルロジックデバイスを用いて実現されるものであってもよい。

[0072] 以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

産業上の利用可能性

[0073] 本発明は、複数の符号器及び復号器を用いる通信システムに適用できる。

符号の説明

[0074] 1、1 a…送信装置、2、2 a…受信装置、10、10 a…符号化回路、
11…シンボルマップ、20…シンボルデマップ、21、21 a…復号
回路、110…S/P回路、110、210…S/P回路、120－
1～120－1…符号器、130…ビット変換回路、140、240…
P/S回路、220…尤度計算回路、230－1～230－1…復号器

請求の範囲

- [請求項1] コヒーレントデジタル信号処理に用いられる符号化回路であって、
 入力されたデータをシリアルパラレル変換することによって複数の
 分割データに分割するシリアルパラレル回路と、
 前記分割データに対して誤り訂正符号を付加して符号化する複数の
 符号器と、
 複数の符号器それぞれによって符号化された複数の分割データ間で
 通信路により発生する雑音量を不均一にするためにビット系列を変換
 するビット変換回路と、
 を備える符号化回路。
- [請求項2] コヒーレントデジタル信号処理に用いられる復号回路であって、
 入力されたデータをシリアルパラレル変換することによって複数の
 分割データに分割するシリアルパラレル回路と、
 前記複数の分割データと、通信路において発生する雑音の情報とに
 基づいて、復号の尤度を算出する尤度計算回路と、
 前記尤度を入力として、前記複数の分割データを復号する複数の復
 号器と、
 を備える復号回路。
- [請求項3] 前記尤度計算回路は、前記複数の復号器のうち一つの復号器の復号
 結果が得られた場合、得られた前記復号結果と、前記通信路において
 発生する雑音の情報とに基づいて尤度を更新し、
 前記複数の復号器は、前段の復号器により得られた復号結果を用い
 て更新された尤度を入力として、入力された分割データを復号する、
 請求項2に記載の復号回路。
- [請求項4] コヒーレントデジタル信号処理に用いられる符号化方法であって、
 入力されたデータをシリアルパラレル変換することによって複数の
 分割データに分割し、
 前記分割データに対して誤り訂正符号を付加して符号化し、

符号化された複数の分割データ間で通信路により発生する雑音量を不均一にするためにビット系列を変換する符号化方法。

[請求項5]

コヒーレントデジタル信号処理に用いられる復号方法であって、
入力されたデータをシリアルパラレル変換することによって複数の分割データに分割し、

前記複数の分割データと、通信路において発生する雑音の情報とに基づいて、復号の尤度を算出し、

前記尤度を入力として、前記複数の分割データを復号する復号方法。

[請求項6]

コンピュータに、

入力されたデータをシリアルパラレル変換することによって複数の分割データに分割し、

前記分割データに対して誤り訂正符号を付加して符号化し、

符号化された複数の分割データ間で通信路により発生する雑音量を不均一にするためにビット系列を変換する処理を実行させるためのコンピュータプログラム。

[請求項7]

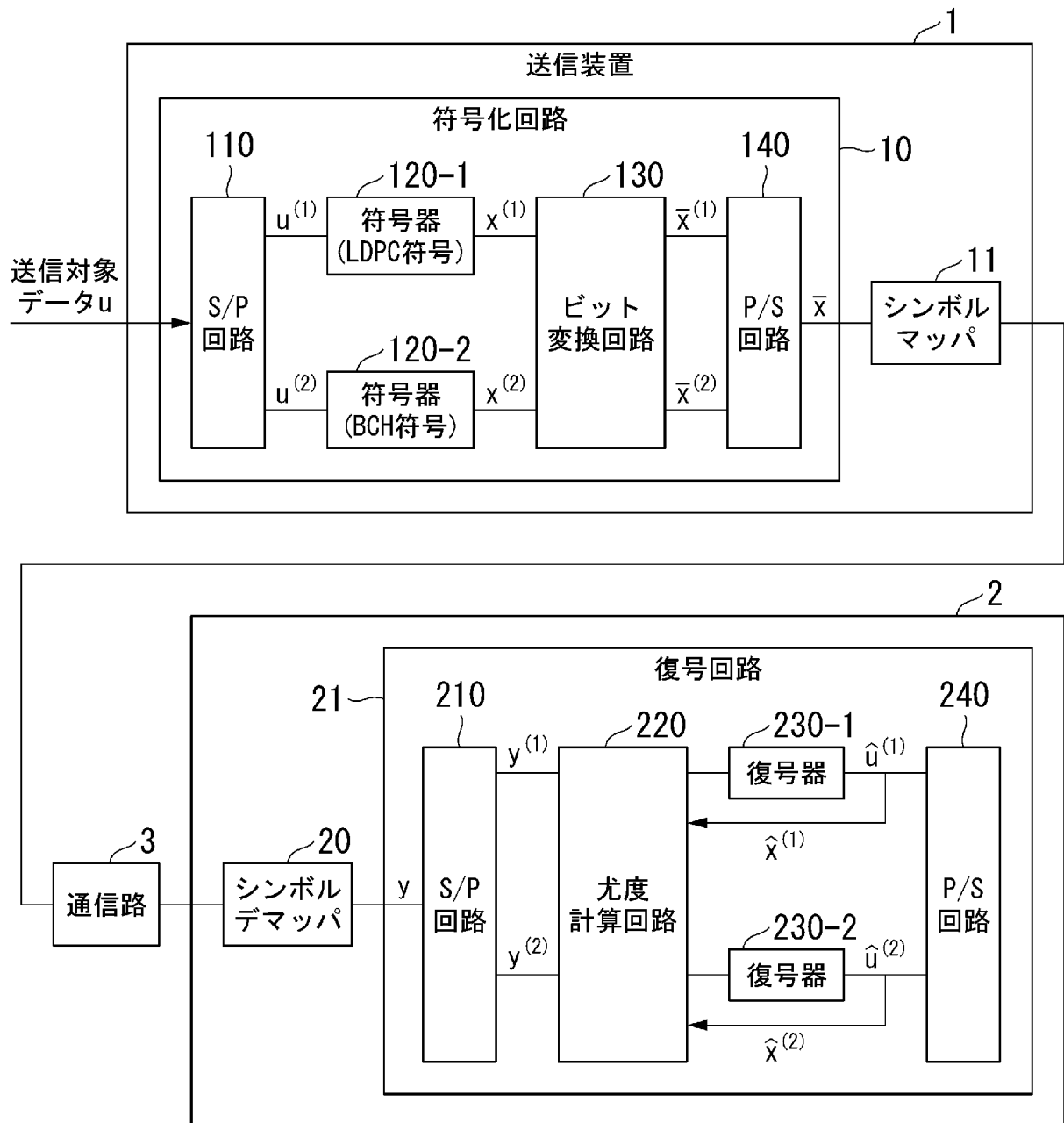
コンピュータに、

入力されたデータをシリアルパラレル変換することによって複数の分割データに分割し、

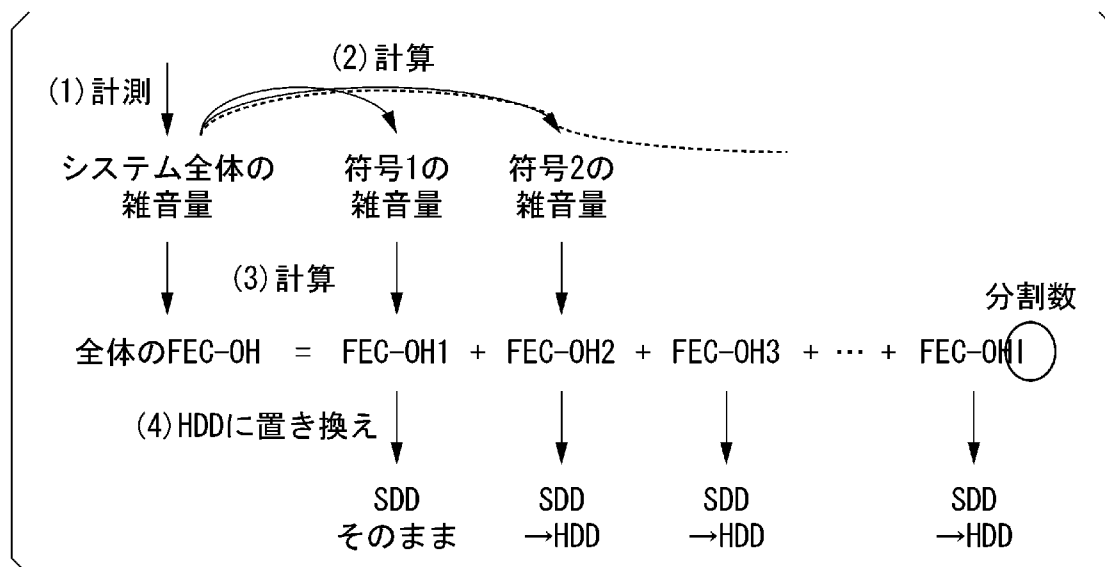
前記複数の分割データと、通信路において発生する雑音の情報とに基づいて、復号の尤度を算出し、

前記尤度を入力として、前記複数の分割データを復号する処理を実行させるためのコンピュータプログラム。

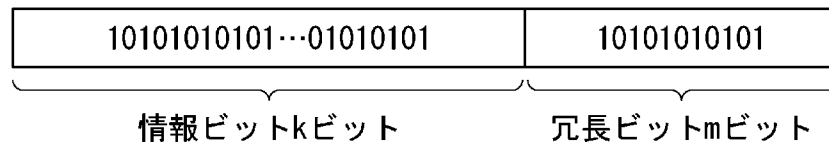
[図1]



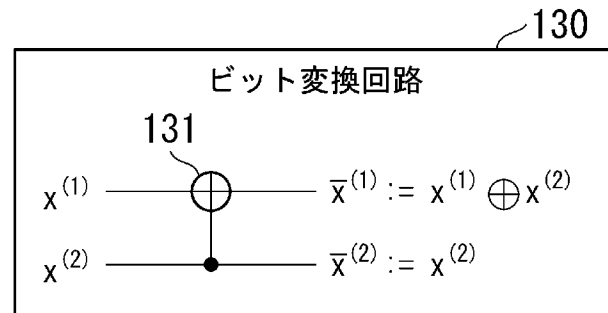
[図2]



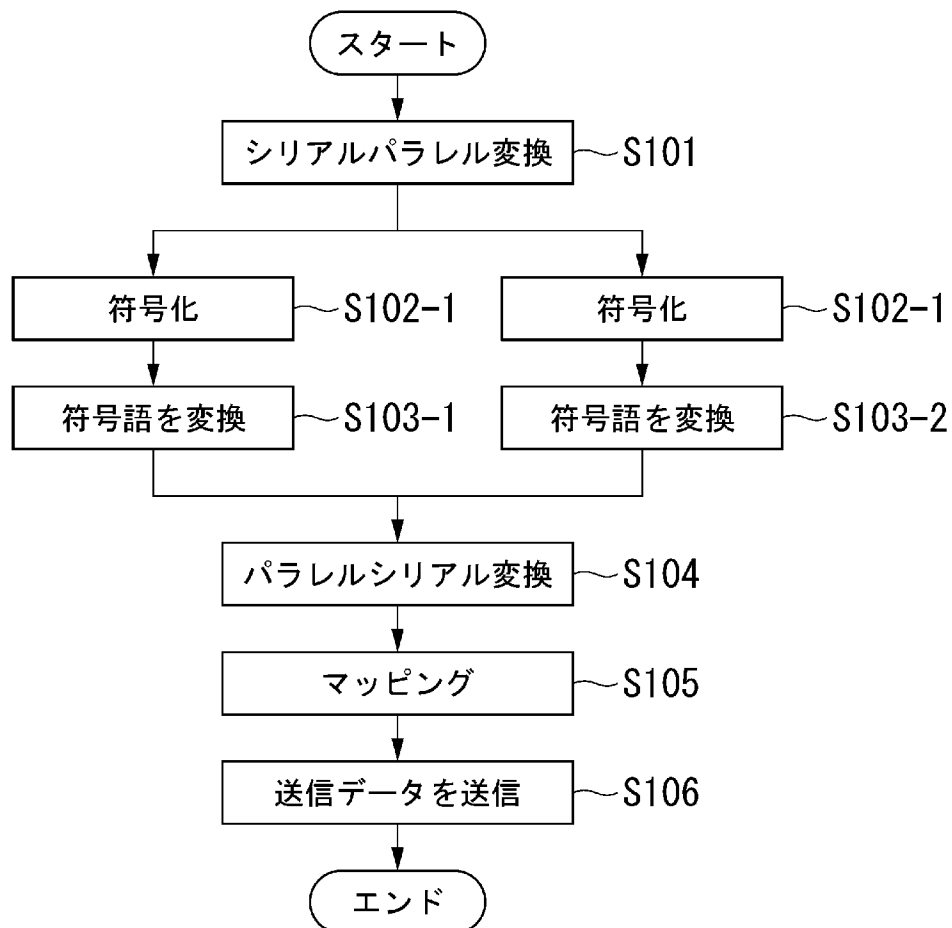
[図3]



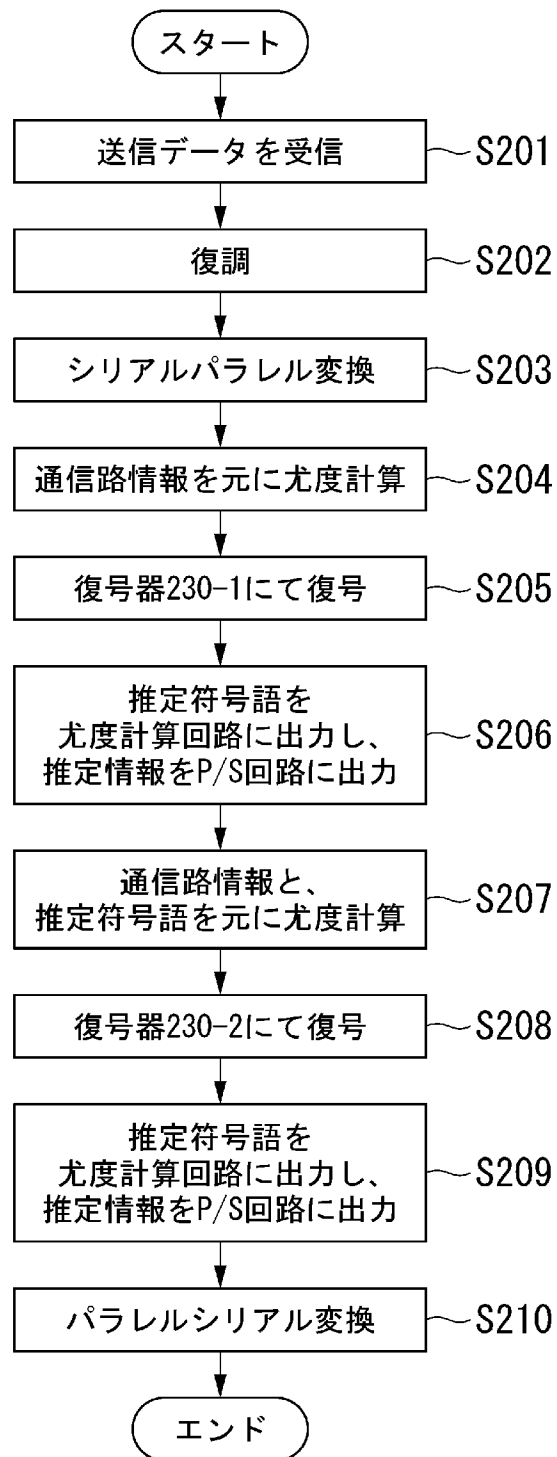
[図4]



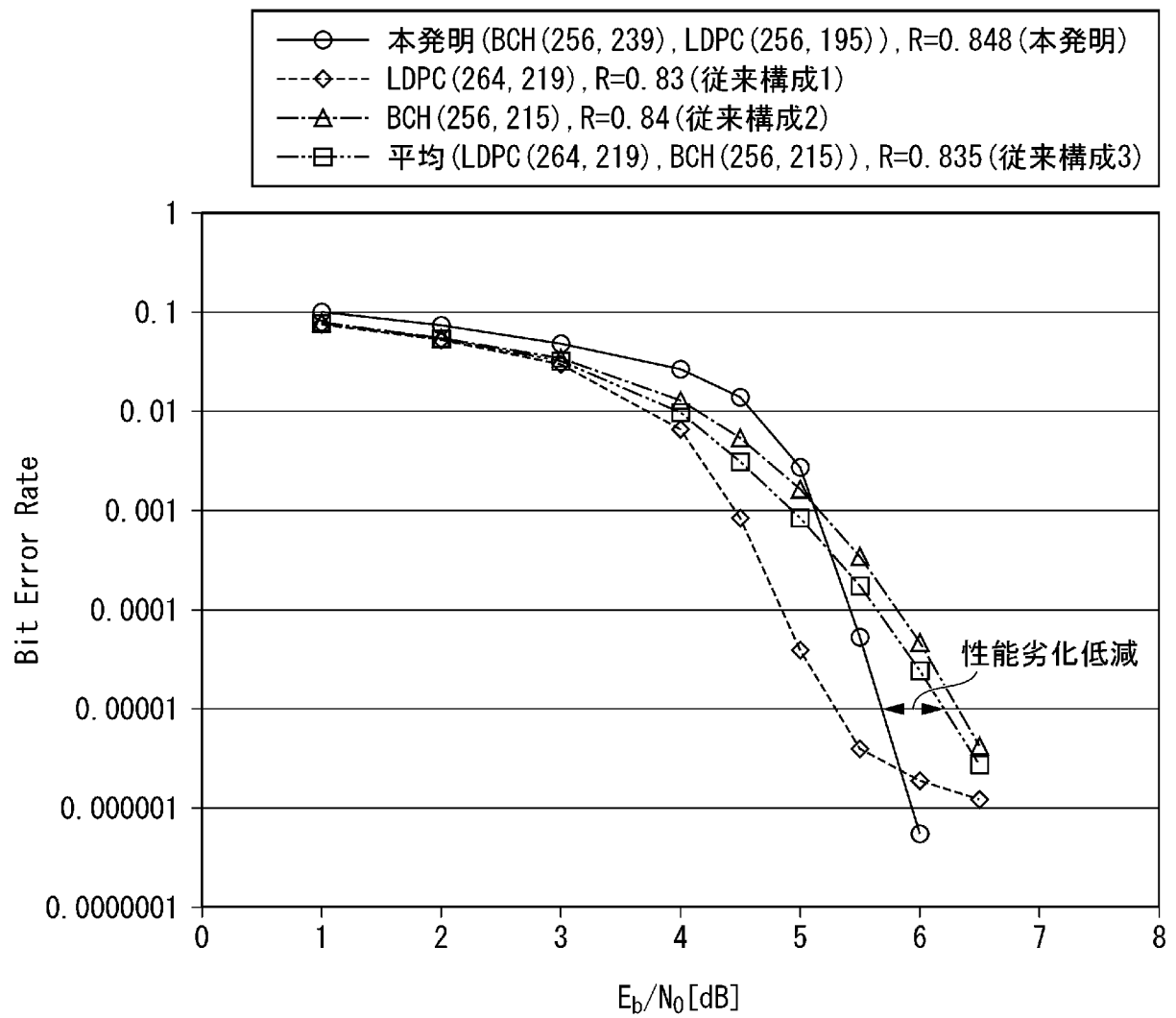
[図5]



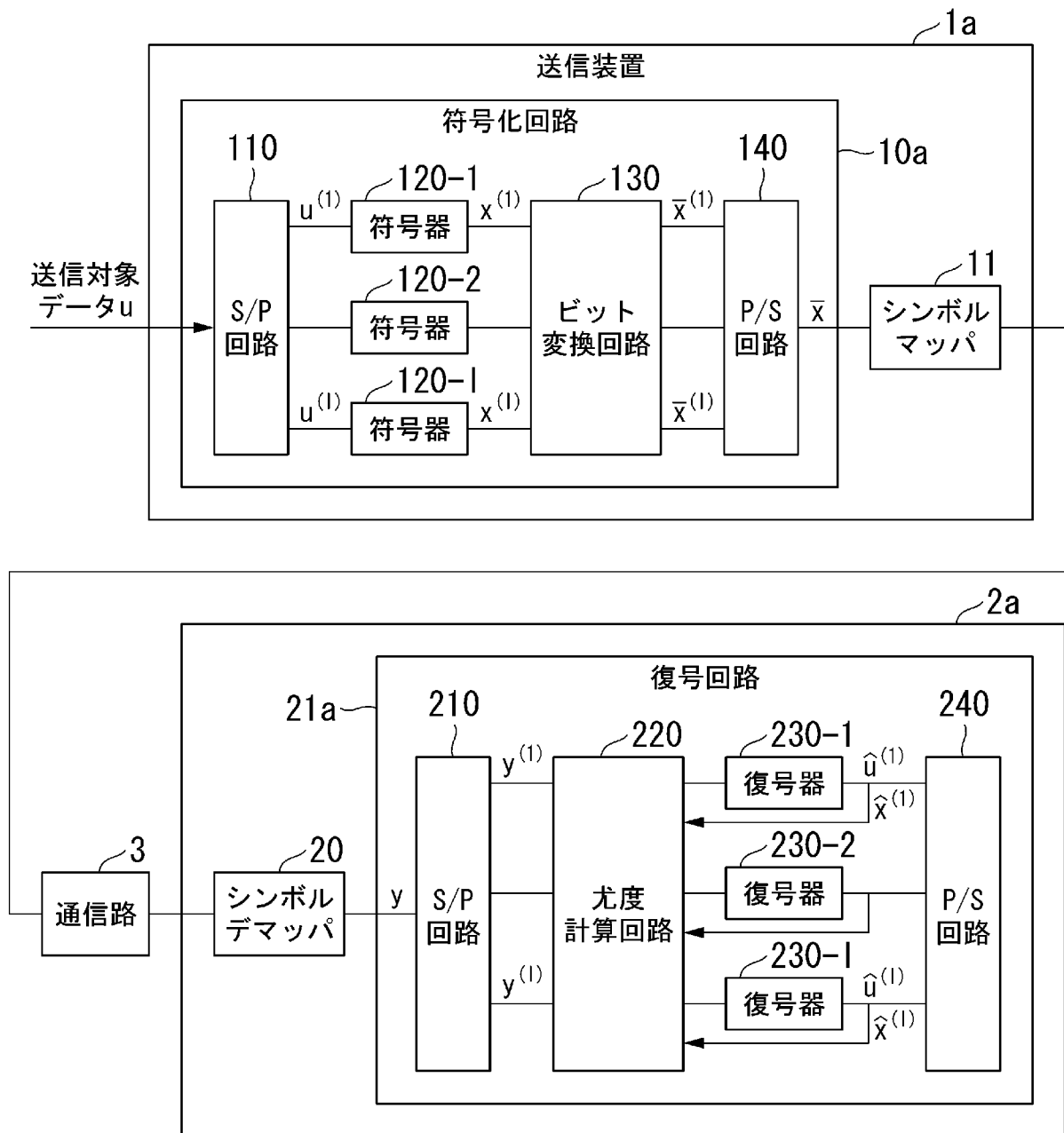
[図6]



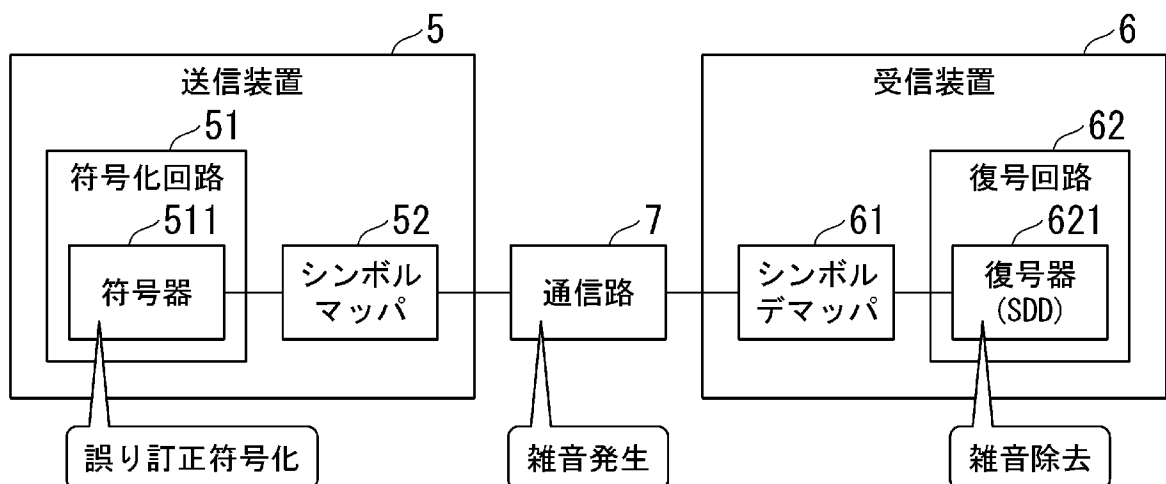
[図7]



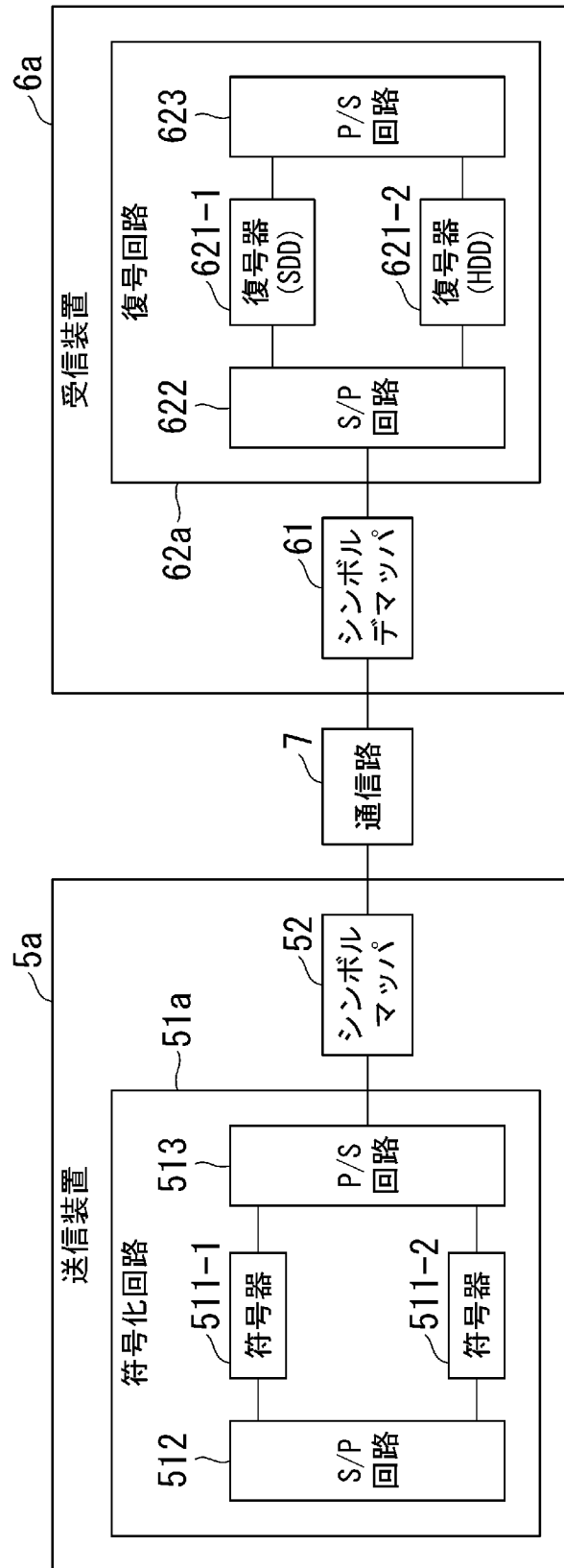
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/000470

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04L1/00(2006.01)i, H03M13/13(2006.01)i, H03M13/29(2006.01)i
FI: H04L1/00B, H03M13/13, H03M13/29

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04L1/00, H03M13/13, H03M13/29

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-520617 A (MITSUBISHI ELECTRIC R&D CENTRE EUROPE B. V.) 26 July 2018 (2018-07-26), paragraphs [0076]-[0082], fig. 1A-2C, 4	1, 4, 6
Y	CN 108270515 A (ZTE CORPORATION) 10 July 2018 (2018-07-10), paragraph [0118], fig. 7, 10, 11	1-7
Y	CN 111200441 A (SUZHOU KEDA TECHNOLOGY CO., LTD.) 26 May 2020 (2020-05-26), paragraphs [0005]-[0011], [0021]-[0026], abstract	2-3, 5, 7

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
21 April 2021

Date of mailing of the international search report
11 May 2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/000470

JP 2018-520617 A 26 July 2018 US 2018/0241414 A1
 paragraphs [0105]-[0113], fig. 1A-2C, 4
 WO 2017/057206 A1
 EP 3151458 A1
 CN 108141314 A

CN 108270515 A 10 July 2018 (Family: none)

CN 111200441 A 26 May 2020 (Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H04L 1/00(2006.01)i; H03M 13/13(2006.01)i; H03M 13/29(2006.01)i FI: H04L1/00 B; H03M13/13; H03M13/29		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04L1/00; H03M13/13; H03M13/29 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2018-520617 A (ミツビシ・エレクトリック・アールアンドディー・センター・ヨーロッパ・ビーヴィ) 26.07.2018 (2018-07-26) [0076]-[0082], 図1A-2C, 4	1, 4, 6
Y	CN 108270515 A (ZTE CORPORATION) 10.07.2018 (2018-07-10) [0118], 図7, 10-11	1-7
Y	CN 111200441 A (SUZHOU KEDA TECHNOLOGY CO., LTD.) 26.05.2020 (2020-05-26) [0005]-[0011], [0021]-[0026], [要約]	2-3, 5, 7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 21.04.2021		国際調査報告の発送日 11.05.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 阿部 弘 5K 9382 電話番号 03-3581-1101 内線 3556

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/000470

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-520617	A	26.07.2018	US 2018/0241414 A1 [0105]-[0113], 図1A-2C, 4 WO 2017/057206 A1 EP 3151458 A1 CN 108141314 A	
CN	108270515	A	10.07.2018	(ファミリーなし)	
CN	111200441	A	26.05.2020	(ファミリーなし)	