【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和7年2月21日(2025.2.21)

【国際公開番号】WO2023/238370
【出願番号】特願2024-526189(P2024-526189)
【国際特許分類】
Ｈ１０Ｂ 99/00(2023.01)
Ｈ１０Ｄ 86/40(2025.01)
Ｈ１０Ｄ 86/60(2025.01)
【ＦＩ】
Ｈ１０Ｂ 99/00 ４５１
Ｈ１０Ｄ 86/40 １０１Ｂ
Ｈ１０Ｄ 86/60 Ｚ

【手続補正書】
【提出日】令和6年12月10日(2024.12.10)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
基板上に水平方向、または垂直方向に伸延する半導体母体と、
前記半導体母体の両端に繋がる第１の不純物領域及び第２の不純物領域と、
前記半導体母体を覆う第１のゲート絶縁層と、
前記第１のゲート絶縁層を覆う、第１のゲート導体層と、
前記第１のゲート絶縁層に繋がり、前記半導体母体を覆う、第２のゲート絶縁層と、
前記第１のゲート導体層に接することなく、前記第２のゲート絶縁層を覆う第２のゲート導体層と、を有するメモリ装置において、
前記第１のゲート導体層と前記第２のゲート導体層のどちらか一方に０Ｖを含む、０Ｖからしきい値電圧の間の電圧をかけ、もう一方のゲート導体層には同じ極性で、かつ絶対値がしきい値の絶対値以上の電圧を印加して、かつ、同じ極性で前記第1の不純物領域と前記第２の不純物領域に電位差ができるように、電圧を印加し、前記半導体母体に残存している多数キャリアである正孔又は電子のいずれかを減少させて、メモリ消去動作を行う、
ことを特徴とする半導体素子を用いたメモリ装置。
【請求項２】
前記第１の不純物領域には、ソース線が接続され、前記第２の不純物領域には、ビット線が接続され、前記第１のゲート導体層と前記第２のゲート導体層の一方がワード線に接続され、他方がプレート線に接続され、前記ソース線、前記ビット線、前記プレート線、前記ワード線のそれぞれに電圧を与えて、メモリ書き込み動作と、メモリ読み出し動作と、前記メモリ消去動作とを行い、ダイナミック　フラッシュ　メモリの動作をさせる、
ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。
【請求項３】
前記ダイナミック　フラッシュ　メモリの前記消去動作時において、前記半導体母体の多数キャリアが正孔の場合には、前記第１の不純物領域と、前記第２の不純物領域と、前記第１のゲート導体層と、前記第２のゲート導体層とに印加する電圧が０Ｖまたは正の電位である、

ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置。
【請求項４】
前記ダイナミック　フラッシュ　メモリの前記消去時動作において、前記半導体母体の多数キャリアが電子の場合には、前記第１の不純物領域と、前記第２の不純物領域と、前記第１のゲート導体層と、前記第２のゲート導体層とに印加する電圧が０Ｖまたは負の電位である、
ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置。
【請求項５】
前記ダイナミック　フラッシュ　メモリの前記メモリ消去時動作において、前記ソース線、もしくは前記ビット線のどちらか一方が０Ｖである、
ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置。
【請求項６】
前記ダイナミック　フラッシュ　メモリの前記メモリ書き込み動作において、前記ワード線に、前記第１のゲート絶縁層と、前記第１のゲート導体層とで構成される第１のＭＯＳトランジスタ領域のしきい値の絶対値以上の絶対値を持ち、かつしきい値と同じ極性の電圧を印加し、前記プレート線には、前記第２のゲート絶縁層と、前記第２のゲート導体層とで構成される第２のＭＯＳトランジスタ領域のしきい値の絶対値以上の絶対値を持ち、かつしきい値と同じ極性の電圧を印加し、前記ビット線には書き込み時に前記半導体母体の最大電界がインパクトイオン化を起こすような電圧を印加し、前記ソース線は０Ｖを印加し、前記第１の不純物領域と前記第２の不純物領域との間に流す電流でインパクトイオン化現象を発生させて、電子群と正孔群を前記半導体母体及び前記第１の不純物領域に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記半導体母体における多数キャリアである前記電子群又は前記正孔群のいずれかの一部または全てを、前記半導体母体に残存させる、
ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置。
【請求項７】
前記ダイナミック　フラッシュ　メモリの前記メモリ消去動作時に前記ビット線に流れる電流の絶対値が、前記ダイナミック　フラッシュ　メモリの前記メモリ書き込み動作時に前記ビット線に流れる電流の絶対値よりも低い、
ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置。
【請求項８】
前記ダイナミック　フラッシュ　メモリの前記メモリ書き込み動作と、前記メモリ消去動作時に、前記プレート線、前記ワード線、前記ソース線、前記ビット線に印加される電圧が、０Ｖ、もしくは全て同じ極性である、
ことを特徴とする請求項２に記載の半導体素子を用いたメモリ装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体メモリ装置に関する。
【背景技術】
【０００２】
近年、ＬＳＩ（Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｉｏｎ）　技術開発において、メモリ素子の高集積化、高性能化、低消費電力化、高機能化が求められている。
【０００３】
メモリ素子の高密度化と高性能化が進められている。ＳＧＴ（Ｓｕｒｒｏｕｎｄｉｎｇ

Ｇａｔｅ　Ｔｒａｎｓｉｓｔｏｒ、特許文献１、非特許文献１を参照）を選択トランジスタとして用いて、キャパシタを接続したＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ、例えば、非特許文献２を参照）、抵抗変化素子を接続したＰＣＭ（Ｐｈａｓｅ　Ｃｈａｎｇｅ　Ｍｅｍｏｒｙ、例えば、非特許文献３を参照）、ＲＲＡＭ（Ｒｅｓｉｓｔｉｖｅ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ、例えば、非特許文献４を参照）、電流により磁気スピンの向きを変化させて抵抗を変化させるＭＲＡＭ（Ｍａｇｎｅｔｏ－ｒｅｓｉｓｔｉｖｅ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ、例えば、非特許文献５を参照）などがある。

【０００４】

また、キャパシタを有しない、１個のＭＯＳトランジスタで構成された、ＤＲＡＭメモリセル（非特許文献６～非特許文献１０を参照）などがある。例えばＮチャネルＭＯＳトランジスタのソース、ドレイン間電流によりチャネル内にインパクトイオン化現象により発生させた正孔、電子群の内、正孔群の一部、または全てをチャネル内に保持させて論理記憶データ“１”書込みを行う。そして、チャネル内から正孔群を除去して論理記憶データ“０”書込みを行う。このメモリセルでは、フローティングボディチャネル電圧変動による動作マージンの低下の改善、そして、チャネルに溜められた信号キャリアである正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。

【０００５】

また、ＳＯＩ層に、２つのＭＯＳトランジスタを用いて１つのメモリセルを形成したＴｗｉｎ－Ｔｒａｎｓｉｓｔｏｒ　ＭＯＳトランジスタメモリ素子がある（例えば、特許文献２、３、非特許文献１１を参照）。これらの素子では、２つのＭＯＳトランジスタのフローティングボディチャネルを分ける、ソース、またはドレインとなるN^+層が基板側にある絶縁層に接して形成されている。このメモリセルにおいても、信号電荷である正孔群は一つのＭＯＳトランジスタのチャネルに溜められるので、前述の１個のＭＯＳトランジスタよりなるメモリセルと同じく、動作マージンの低下の改善、又はチャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。

【０００６】

また、図４に示す、キャパシタを有しない、ＭＯＳトランジスタで構成されたメモリがある（特許文献２、非特許文献１２を参照）。図４（ａ）に示すように、ＳＯＩ基板のＳｉＯ２層１０１上にフローティングボディ半導体母体１０２がある。フローティングボディ半導体母体１０２の両端にソース線ＳＬに接続するｎ＋層１０３とビット線ＢＬに接続するｎ＋層１０４がある。そして、ｎ＋層１０３に繋がり、且つフローティングボディ半導体母体１０２を覆った第１のゲート絶縁層１０９ａと、ｎ＋層１０４に繋がり、且つフローティングボディ半導体母体１０２を覆った第２のゲート絶縁層１０９ｂとがある。そして、第１のゲート絶縁層１０９ａを覆ってプレート線ＰＬに繋がった第１のゲート導体層１０５ａがあり、第２のゲート絶縁層１０９ｂを覆ってワード線ＷＬに繋がった第２のゲート導体層１０５ｂがある。そして、第１のゲート導体層１０５ａと第２のゲート導体層１０５ｂとの間に絶縁層１１０がある。これにより、ＤＦＭのメモリセル１１１が形成される。なお、ソース線ＳＬがｎ＋層１０４に接続し、ビット線ＢＬがｎ＋層１０３に接続していてもよい。

【０００７】

そして、図４（ａ）に示すように、例えば、ｎ＋層１０３にゼロ電圧、ｎ＋層１０４にプラス電圧を印加し、第１のゲート導体層１０５ａで囲まれたフローティングボディ半導体母体１０２よりなる第１のＮチャネルＭＯＳトランジスタ領域を飽和領域で動作させ、第２のゲート導体層１０５ｂで囲まれたフローティングボディ半導体母体１０２よりなる第２のＮチャネルＭＯＳトランジスタ領域を線形領域で動作させる。この結果、第２のＮチャネルＭＯＳトランジスタ領域には、ピンチオフ点は存在せずに第２のゲート絶縁層１０９ｂに接する面全体に反転層１０７ｂが形成される。このワード線ＷＬの接続された第２のゲート導体層１０５ｂの下側に形成された反転層１０７ｂは、第１のＮチャネルＭＯ

Ｓトランジスタ領域の実質的なドレインとして働く。この結果、第１のＮチャネルＭＯＳトランジスタ領域と、第２のＮチャネルＭＯＳトランジスタ領域との間のチャネル領域の境界領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。そして、図４（ｂ）に示すように、インパクトイオン化現象により生じた電子・正孔群の内の電子群をフローティングボディ半導体母体１０２から除き、そして正孔群１０６の一部、または全てをフローティングボディ半導体母体１０２に保持することによりメモリ書き込み動作が行われる。

【０００８】

そして、図４（ｃ）に示すように、例えばプレート線ＰＬにプラス電圧、ワード線ＷＬと、ビット線ＢＬにゼロ電圧、ソース線ＳＬにマイナス電圧を印加して、正孔群１０６をフローティングボディ半導体母体１０２から除去して消去動作を行う。この状態が論理記憶データ“０”となる。そして、データ読み出しにおいて、プレート線ＰＬに繋がる第１のゲート導体層１０５ａに印加する電圧を、論理記憶データ“１”時のしきい値電圧より高く、且つ論理記憶データ“０”時のしきい値電圧より低く設定することにより、図４（ｄ）に示すように論理記憶データ“０”読み出しでワード線ＷＬの電圧を高くしても電流が流れない特性が得られる。この特性により、メモリセルと比べ、大幅に動作マージンの拡大が図れる。このメモリセルでは、プレート線ＰＬに繋がる第１のゲート導体層１０５ａと、ワード線ＷＬに繋がる第２のゲート導体層１０５ｂとをゲートとした第１、第２のＮチャネルＭＯＳトランジスタ領域のチャネルがフローティングボディ半導体母体１０２で繋がっていることにより、ワード線ＷＬに選択パルス電圧が印加された時のフローティングボディ半導体母体１０２の電圧変動が大きく抑圧される。これにより、前述のメモリセルにおいて問題の動作マージンの低下、又はチャネルに溜められた信号電荷である正孔群の一部が除去されることによりデータ保持特性の低下の問題が大きく改善される。今後、本メモリ素子に対して更なる特性改善が求められる。

【先行技術文献】

【特許文献】

【０００９】

【特許文献１】特開平２－１８８９６６号公報

【特許文献２】ＵＳ２００８／０１３７３９４　Ａ１

【特許文献３】ＵＳ２００３／０１１１６８１　Ａ１

【特許文献４】特許第７０５７０３２号公報

【非特許文献】

【００１０】

【非特許文献１】Ｈｉｒｏｓｈｉ　Ｔａｋａｔｏ，　Ｋａｚｕｍａｓａ　Ｓｕｎｏｕｃｈｉ，　Ｎａｏｋｏ　Ｏｋａｂｅ，　Ａｋｉｈｉｒｏ　Ｎｉｔａｙａｍａ，　Ｋａｔｓｕｈｉｋｏ　Ｈｉｅｄａ，　Ｆｕｍｉｏ　Ｈｏｒｉｇｕｃｈｉ，　ａｎｄ　Ｆｕｊｉｏ　Ｍａｓｕｏｋａ：　ＩＥＥＥ　Ｔｒａｎｓａｃｔｉｏｎ　ｏｎ　Ｅｌｅｃｔｒｏｎ　Ｄｅｖｉｃｅｓ，　Ｖｏｌ．３８，　Ｎｏ．３，　ｐｐ．５７３－５７８　（１９９１）

【非特許文献２】Ｈ．　Ｃｈｕｎｇ，　Ｈ．　Ｋｉｍ，　Ｈ．　Ｋｉｍ，　Ｋ．　Ｋｉｍ，　Ｓ．　Ｋｉｍ，　Ｋ．　Ｄｏｎｇ，　Ｊ．　Ｋｉｍ，　Ｙ．Ｃ．　Ｏｈ，　Ｙ．　Ｈｗａｎｇ，　Ｈ．　Ｈｏｎｇ，　Ｇ．　Ｊｉｎ，　ａｎｄ　Ｃ．　Ｃｈｕｎｇ：　“４Ｆ２　ＤＲＡＭ　Ｃｅｌｌ　ｗｉｔｈ　Ｖｅｒｔｉｃａｌ　Ｐｉｌｌａｒ　Ｔｒａｎｓｉｓｔｏｒ（ＶＰＴ），”　２０１１　Ｐｒｏｃｅｅｄｉｎｇ　ｏｆ　ｔｈｅ　Ｅｕｒｏｐｅａｎ　Ｓｏｌｉｄ－Ｓｔａｔｅ　Ｄｅｖｉｃｅ　Ｒｅｓｅａｒｃｈ　Ｃｏｎｆｅｒｅｎｃｅ，　（２０１１）

【非特許文献３】Ｈ．　Ｓ．　Ｐｈｉｌｉｐ　Ｗｏｎｇ，　Ｓ．　Ｒａｏｕｘ，　Ｓ．　Ｋｉｍ，　Ｊｉａｌｅ　Ｌｉａｎｇ，　Ｊ．　Ｒ．　Ｒｅｉｆｅｎｂｅｒｇ，　Ｂ．　Ｒａｊｅｎｄｒａｎ，　Ｍ．　Ａｓｈｅｇｈｉ　ａｎｄ　Ｋ．　Ｅ．　Ｇｏｏｄｓｏｎ：　“Ｐｈａｓｅ　Ｃｈａｎｇｅ　Ｍｅｍｏｒｙ，”　Ｐｒｏｃｅｅｄｉｎｇ　ｏｆ　ＩＥＥＥ，　Ｖｏｌ．９８，　Ｎｏ　１２，　Ｄｅｃｅｍｂｅｒ，　ｐｐ．２２０１－２２２７　（２０１０）

【非特許文献４】Ｔ．Ｔｓｕｎｏｄａ，Ｋ．Ｋｉｎｏｓｈｉｔａ，Ｈ．Ｎｏｓｈｉｒｏ，Ｙ．Ｙａｍａｚａｋｉ，Ｔ．Ｉｉｚｕｋａ，Ｙ．Ｉｔｏ，Ａ．Ｔａｋａｈａｓｈｉ，Ａ．Ｏｋａｎｏ，Ｙ．Ｓａｔｏ，Ｔ．Ｆｕｋａｎｏ，Ｍ．Ａｏｋｉ，ａｎｄ Ｙ．Ｓｕｇｉｙａｍａ：“Ｌｏｗ Ｐｏｗｅｒ ａｎｄ ｈｉｇｈ Ｓｐｅｅｄ Ｓｗｉｔｃｈｉｎｇ ｏｆ Ｔｉ－ｄｏｐｅｄ ＮｉＯ ＲｅＲＡＭ ｕｎｄｅｒ ｔｈｅ Ｕｎｉｐｏｌａｒ Ｖｏｌｔａｇｅ Ｓｏｕｒｃｅ ｏｆ ｌｅｓｓ ｔｈａｎ ３Ｖ，” ＩＥＤＭ （２００７）
【非特許文献５】Ｗ．Ｋａｎｇ，Ｌ．Ｚｈａｎｇ，Ｊ．Ｋｌｅｉｎ，Ｙ．Ｚｈａｎｇ，Ｄ．Ｒａｖｅｌｏｓｏｎａ，ａｎｄ Ｗ．Ｚｈａｏ：“Ｒｅｃｏｎｆｉｇｕｒａｂｌｅ Ｃｏｄｅｓｉｇｎ ｏｆ ＳＴＴ－ＭＲＡＭ Ｕｎｄｅｒ Ｐｒｏｃｅｓｓ Ｖａｒｉａｔｉｏｎｓ ｉｎ Ｄｅｅｐｌｙ Ｓｃａｌｅｄ Ｔｅｃｈｎｏｌｏｇｙ，” ＩＥＥＥ Ｔｒａｎｓａｃｔｉｏｎ ｏｎ Ｅｌｅｃｔｒｏｎ Ｄｅｖｉｃｅｓ，ｐｐ．１－９ （２０１５）
【非特許文献６】Ｍ．Ｇ．Ｅｒｔｏｓｕｍ，Ｋ．Ｌｉｍ，Ｃ．Ｐａｒｋ，Ｊ．Ｏｈ，Ｐ．Ｋｉｒｓｃｈ，ａｎｄ Ｋ．Ｃ．Ｓａｒａｓｗａｔ：“Ｎｏｖｅｌ Ｃａｐａｃｉｔｏｒｌｅｓｓ Ｓｉｎｇｌｅ－Ｔｒａｎｓｉｓｔｏｒ Ｃｈａｒｇｅ－Ｔｒａｐ ＤＲＡＭ （１Ｔ ＣＴ ＤＲＡＭ） Ｕｔｉｌｉｚｉｎｇ Ｅｌｅｃｔｒｏｎ，” ＩＥＥＥ Ｅｌｅｃｔｒｏｎ Ｄｅｖｉｃｅ Ｌｅｔｔｅｒ，Ｖｏｌ．３１，Ｎｏ．５，ｐｐ．４０５－４０７ （２０１０）
【非特許文献７】Ｊ．Ｗａｎ，Ｌ．Ｒｏｊｅｒ，Ａ．Ｚａｓｌａｖｓｋｙ，ａｎｄ Ｓ．Ｃｒｉｔｏｌｏｖｅａｎｕ：“Ａ Ｃｏｍｐａｃｔ Ｃａｐａｃｉｔｏｒ－Ｌｅｓｓ Ｈｉｇｈ－Ｓｐｅｅｄ ＤＲＡＭ Ｕｓｉｎｇ Ｆｉｅｌｄ Ｅｆｆｅｃｔ－Ｃｏｎｔｒｏｌｌｅｄ Ｃｈａｒｇｅ Ｒｅｇｅｎｅｒａｔｉｏｎ，” Ｅｌｅｃｔｒｏｎ Ｄｅｖｉｃｅ Ｌｅｔｔｅｒｓ，Ｖｏｌ．３５，Ｎｏ．２，ｐｐ．１７９－１８１ （２０１２）
【非特許文献８】Ｔａｋａｓｈｉ Ｏｈａｓａｗａ ａｎｄ Ｔａｋｅｓｈｉ Ｈａｍａｍｏｔｏ，“Ｆｌｏａｔｉｎｇ Ｂｏｄｙ Ｃｅｌｌ －ａ Ｎｏｖｅｌ Ｂｏｄｙ Ｃａｐａｃｉｔｏｒｌｅｓｓ ＤＲＡＭ Ｃｅｌｌ”，Ｐａｎ Ｓｔａｎｆｏｒｄ Ｐｕｂｌｉｓｈｉｎｇ （２０１１）．
【非特許文献９】Ｔ．Ｓｈｉｎｏ，Ｎ．Ｋｕｓｕｎｏｋｉ，Ｔ．Ｈｉｇａｓｈｉ，Ｔ．Ｏｈｓａｗａ，Ｋ．Ｆｕｊｉｔａ，Ｋ．Ｈａｔｓｕｄａ，Ｎ．Ｉｋｕｍｉ，Ｆ．Ｍａｔｓｕｏｋａ，Ｙ．Ｋａｊｉｔａｎｉ，Ｒ．Ｆｕｋｕｄａ，Ｙ．Ｗａｔａｎａｂｅ，Ｙ．Ｍｉｎａｍｉ，Ａ．Ｓａｋａｍｏｔｏ，Ｊ．Ｎｉｓｈｉｍｕｒａ，Ｈ．Ｎａｋａｊｉｍａ，Ｍ．Ｍｏｒｉｋａｄｏ，Ｋ．Ｉｎｏｈ，Ｔ．Ｈａｍａｍｏｔｏ，Ａ．Ｎｉｔａｙａｍａ：“Ｆｌｏａｔｉｎｇ Ｂｏｄｙ ＲＡＭ Ｔｅｃｈｎｏｌｏｇｙ ａｎｄ ｉｔｓ Ｓｃａｌａｂｉｌｉｔｙ ｔｏ ３２ｎｍ Ｎｏｄｅ ａｎｄ Ｂｅｙｏｎｄ，” ＩＥＥＥ ＩＥＤＭ （２００６）．
【非特許文献１０】Ｅ．Ｙｏｓｈｉｄａ：“Ａ Ｃａｐａｃｉｔｏｒｌｅｓｓ １Ｔ－ＤＲＡＭ Ｔｅｃｈｎｏｌｏｇｙ Ｕｓｉｎｇ Ｇａｔｅ－Ｉｎｄｕｃｅｄ Ｄｒａｉｎ－Ｌｅａｋａｇｅ （ＧＩＤＬ） Ｃｕｒｒｅｎｔ ｆｏｒ Ｌｏｗ－Ｐｏｗｅｒ ａｎｄ Ｈｉｇｈ－Ｓｐｅｅｄ Ｅｍｂｅｄｄｅｄ Ｍｅｍｏｒｙ，” ＩＥＥＥ ＩＥＤＭ （２００６）．
【非特許文献１１】Ｆ．Ｍｏｒｉｓｈｉｔａ，Ｈ．Ｎｏｄａ，Ｉ．Ｈａｙａｓｈｉ，Ｔ．Ｇｙｏｈｔｅｎ，Ｍ．Ｏｋｓｍｏｔｏ，Ｔ．Ｉｐｐｏｓｈｉ，Ｓ．Ｍａｅｇａｗａ，Ｋ．Ｄｏｓａｋａ，ａｎｄ Ｋ．Ａｒｉｍｏｔｏ：“Ｃａｐａｃｉｔｏｒｌｅｓｓ Ｔｗｉｎ－Ｔｒａｎｓｉｓｔｏｒ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ （ＴＴＲＡＭ） ｏｎ ＳＯＩ，”ＩＥＩＣＥ Ｔｒａｎｓ．Ｅｌｅｃｔｒｏｎ．，Ｖｏｌ．Ｅ９０－ｃ．，Ｎｏ．４ ｐｐ．７６５－７７１ （２００７）
【非特許文献１２】Ｋ．Ｓａｋｕｉ，Ｎ．Ｈａｒａｄａ，” Ｄｙｎａｍｉｃ Ｆｌａ

sh Memory with Dual Gate Surrounding Gate Transistor (SGT),” Proc. IEEE IMW, pp.72-75 (2021)
【非特許文献13】J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B-G. Park: “Design Optimization of Gate-All-Around (GAA) MOSFETs,” IEEE Trans. Electron Devices, vol. 5, no. 3, pp.186-191, (2006)
【非特許文献14】N. Loubet, et al.: “Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET,” 2017 IEEE Symposium on VLSI Technology Digest of Technical Papers, T17-5, T230-T231, (2017)
【非特許文献15】H. Jiang, N. Xu, B. Chen, L. Zeng1, Y. He, G. Du, X. Liu and X. Zhang: “Experimental investigation of self heating effect (SHE) in multiple-fin SOI FinFETs,” Semicond. Sci. Technol. 29 115021 pp.7 (2014).

【発明の概要】
【発明が解決しようとする課題】
【００１１】
本発明の目的は、メモリ装置であるダイナミック フラッシュ メモリの安定したメモリ情報の消去方法を提供することである。
【課題を解決するための手段】
【００１２】
上記の目的を達成するために、本発明に係る半導体素子を用いたメモリ装置は、
基板上に水平方向、または垂直方向に伸延する半導体母体と、
前記半導体母体の両端に繋がる第１の不純物領域及び第２の不純物領域と、
前記半導体母体を覆う第１のゲート絶縁層と、
前記第１のゲート絶縁層を覆う、第１のゲート導体層と、
前記第１のゲート絶縁層に繋がり、前記半導体母体を覆う、第２のゲート絶縁層と、
前記第１のゲート導体層に接することなく、前記第２のゲート絶縁層を覆う第２のゲート導体層と、を有するメモリ装置において、
前記第1の不純物領域と前記第２の不純物領域に電位差ができるように、電圧を印加し、かつ前記第１のゲート導体層と前記第２のゲート導体層のどちらか一方に０Vを含む、０Vからしきい値電圧の間の電圧をかけ、もう一方のゲート導体層には同じ極性で、かつ絶対値がしきい値の絶対値以上の電圧を印加して、前記半導体母体に残存している多数キャリアである正孔又は電子のいずれかを減少させて、メモリ消去動作を行う、
ことを特徴とする（第１発明）。
【００１３】
上記の第１発明において、前記第１の不純物領域には、ソース線が接続され、前記第２の不純物領域には、ビット線が接続され、前記第１のゲート導体層と前記第２のゲート導体層の一方がワード線に接続され、他方がプレート線に接続され、前記ソース線、前記ビット線、前記プレート線、前記ワード線のそれぞれに電圧を与えて、メモリ書き込み動作と、メモリ読み出し動作と、前記メモリ消去動作とを行い、ダイナミック フラッシュ メモリの動作をさせることを特徴とする（第２発明）。
【００１４】
上記の第２発明において、前記ダイナミック フラッシュ メモリの前記消去動作時において、前記半導体母体の多数キャリアが正孔の場合には、前記第１の不純物領域と、前

記第２の不純物領域と、前記第１のゲート導体層と、前記第２のゲート導体層とに印加する電圧が０Ｖまたは正の電位であることを特徴とする（第３発明）。

【００１５】

上記の第２発明において、前記ダイナミック　フラッシュ　メモリの前記消去時動作において、前記半導体母体の多数キャリアが電子の場合には、前記第１の不純物領域と、前記第２の不純物領域と、前記第１のゲート導体層と、前記第２のゲート導体層とに印加する電圧が０Ｖまたは負の電位であることを特徴とする（第４発明）。

【００１６】

上記の第２発明において、前記ダイナミック　フラッシュ　メモリの前記メモリ消去時動作において、前記ソース線、もしくは前記ビット線のどちらか一方が０Ｖであることを特徴とする（第５発明）。

【００１７】

上記の第２発明において、前記ダイナミック　フラッシュ　メモリの前記メモリ書き込み動作において、前記ワード線に、前記第１のゲート絶縁層と、前記第１のゲート導体層とで構成される第１のＭＯＳトランジスタ領域のしきい値の絶対値以上の絶対値を持ち、かつしきい値と同じ極性の電圧を印加し、前記プレート線には、前記第２のゲート絶縁層と、前記第２のゲート導体層とで構成される第２のＭＯＳトランジスタ領域のしきい値の絶対値以上の絶対値を持ち、かつしきい値と同じ極性の電圧を印加し、前記ビット線には書き込み時に前記半導体母体の最大電界がインパクトイオン化を起こすような電圧を印加し、前記ソース線は０Ｖを印加し、前記第１の不純物領域と前記第２の不純物領域との間に流す電流でインパクトイオン化現象を発生させて、電子群と正孔群を前記半導体母体及び前記第１の不純物領域に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記半導体母体における多数キャリアである前記電子群又は前記正孔群のいずれかの一部または全てを、前記半導体母体に残存させることを特徴とする（第６発明）。

【００１８】

上記の第２発明において、前記ダイナミック　フラッシュ　メモリの前記メモリ消去動作時に前記ビット線に流れる電流の絶対値が、前記ダイナミック　フラッシュ　メモリの前記メモリ書き込み動作時に前記ビット線に流れる電流の絶対値よりも低いことを特徴とする（第７発明）。

【００１９】

上記の第２発明において、前記ダイナミック　フラッシュ　メモリの前記メモリ書き込み動作と、前記メモリ消去動作時に、前記プレート線、前記ワード線、前記ソース線、前記ビット線に印加される電圧が、０Ｖ、もしくは全て同じ極性であることを特徴とする（第８発明）。

【図面の簡単な説明】

【００２０】

【図１Ａ】第１実施形態に係る半導体素子を用いたメモリ装置の断面構造を示す図である。

【図１Ｂ】第１実施形態に係る半導体素子を用いたメモリ装置の断面構造を示す図である。

【図２】第１実施形態に係る半導体素子を用いたメモリ装置の書き込み動作時の正孔キャリの蓄積、セル電流を説明するための図である。

【図３】第１実施形態に係る半導体素子を用いたメモリ装置の消去動作を説明するための図である。

【図４】従来例のダイナミック　フラッシュ　メモリ装置の断面構造、動作を示す図である。

【発明を実施するための形態】

【００２１】

以下、本発明の一実施形態に係る、半導体素子を用いたメモリ装置の構造、駆動方式、蓄積キャリアの挙動、について、図面を参照しながら説明する。

【００２２】
（第１実施形態）
図１～図３（以下では、図１Ａと図１Ｂを併せて図１とも言う）を用いて、本発明の第１実施形態に係る半導体素子を用いたメモリセルの構造と動作メカニズムを説明する。図１を用いて、本実施形態による半導体素子を用いたメモリのセル構造を説明する。図２を用いて、半導体素子を用いたメモリセルの書き込みメカニズムとキャリアの挙動を、図３を用いて、データ消去メカニズムを、説明する。
【００２３】
図１に、本発明の第１実施形態に係る半導体素子を用いたメモリセルの構造を示す。図１の（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿った垂直断面図、を示す。（ｃ）はＹ１－Ｙ１’線に沿った断面図、（ｄ）はＹ１－Ｙ１‘線に沿った断面図の（ｃ）の追加例を示す。（ｅ）は、（ａ）のＹ２－Ｙ２’線に沿った断面図、（ｆ）はＹ２－Ｙ２‘線に沿った断面図の（ｅ）の追加例を示す。（ｃ）の構造に変えて（ｄ）のような構造とすることもできるし、また（ｅ）の構造に変えて、（ｆ）のような構造とすることもできる。
【００２４】
基板２０（特許請求の範囲の「基板」の一例である）上に、アクセプタ不純物を含むｐ型又はｉ型（真性型）の導電型を有するシリコン半導体母体であるｐ層１（特許請求の範囲の「半導体母体」の一例である）がある。ｐ層１の水平方向の一方の側にｎ＋層２（以下、ドナー不純物を高濃度で含む半導体領域を「ｎ＋層」と称する。）（特許請求の範囲の「第１の不純物領域」の一例である）がある。ｎ＋層２の反対側にｎ＋層３（特許請求の範囲の「第２の不純物領域」の一例である）がある。ｐ層１を覆い、且つｎ＋層２に接触するかもしくはその近傍にゲート絶縁層４（特許請求の範囲の「第１のゲート絶縁層」の一例である）がある。ゲート絶縁層４の一部もしくは全体を囲んで、第１のゲート導体層５（特許請求の範囲の「第１のゲート導体層」の一例である）がｎ＋層２に近接してある。また、ｐ層１の表面の一部でかつ、ｎ＋層３に接触するようにもしくはその近傍に形成されたゲート絶縁層６（特許請求の範囲の「第２のゲート絶縁層」の一例である）がある。また、第１のゲート導体層５に接することなく、第２のゲート導体層７（特許請求の範囲の「第２のゲート導体層」の一例である）が、ゲート絶縁層６を囲みｎ＋層３に近接してある。これにより、ｐ層１、ｎ＋層２、ｎ＋層３、ゲート絶縁層４、第１のゲート導体層５、ゲート絶縁層６，第２のゲート導体層７により、ひとつのダイナミック　フラッシュ　メモリのセルが形成される。
【００２５】
さらに、ｎ＋層２は配線導電体であるソース線ＳＬ（特許請求の範囲の「ソース線」の一例である）に、第１のゲート導体層５は配線導電体であるワード線ＷＬ（特許請求の範囲の「ワード線」の一例である）に接続され、第２のゲート導体層７は配線導電体であるプレート線ＰＬ（特許請求の範囲の「プレート線」の一例である）に接続されている。また、ｎ＋層３は配線導電体であるビット線ＢＬ（特許請求の範囲の「ビット線」の一例である）に接続されている。ソース線、ビット線、プレート線、ワード線の電位をそれぞれに操作することで、ダイナミック　フラッシュ　メモリの動作をさせる。本実施形態のメモリ装置では、上述の複数のダイナミック　フラッシュ　メモリのセルが複数２次元状、もしくは３次元状に配置されている。
【００２６】
なお、図１（ｄ）のように第２のゲート導体層７やゲート絶縁層６がｐ層１の上下に分割されｐ層１の一部のみを囲んだ構造でもダイナミック　フラッシュ　メモリを構成できる。また、図１の（ｆ）のように第１のゲート導体層５やゲート絶縁層４についてもｐ層１の上下に分割されｐ層１の一部のみを囲んだ構造でもダイナミック　フラッシュ　メモリを構成できる。
【００２７】
また、ゲート絶縁層４、６には、例えばＳｉＯ２膜、ＳｉＯＮ膜、ＨｆＳｉＯＮ膜やＳｉＯ２／ＳｉＮの積層膜など、通常のＭＯＳプロセスにおいて使用されるいかなる絶縁膜

も使用可能である。

【００２８】

また、図１ではｐ層１はｐ型の半導体としたが、不純物の濃度にプロファイルが存在してもよい。また、ｎ＋層２、ｎ＋層３の不純物の濃度にプロファイルが存在してもよい。また、ｐ層１と、ｎ＋層２，３との間にＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）をもうけてもよい。

【００２９】

また、ｎ＋層２とｎ＋層３を正孔が多数キャリアであるｐ＋層（以下、アクセプタ不純物を高濃度で含む半導体領域を「ｐ＋層」と称する。）で形成したときは、ｐ層１をｎ型半導体、とすれば書き込みのキャリアを電子とすることでダイナック　フラッシュ　メモリの動作がなされる。

【００３０】

また、第１のゲート導体層５はゲート絶縁層４を介して、また第２のゲート導体層７はゲート絶縁層６を介してメモリセルの一部の電位を変化させられるのであれば、例えばＷ、Ｐｄ、Ｒｕ、Ａｌ、ＴｉＮ，ＴａＮ、ＷＮのような金属、金属の窒化物、もしくはその合金（シリサイドを含む）、例えばＴｉＮ／Ｗ／ＴａＮのような積層構造であってもよいし、高濃度にドープされた半導体で形成されてもよい。

【００３１】

また、図１においてメモリセルは（ａ）の紙面に対して、垂直の断面構造が矩形であるとして説明したが、台形状でも多角形でも、またメモリセル自体が円柱の形でも構わない。

【００３２】

また、図１（ｄ）ではｐ層１の上下の両側に第２のゲート導体層７がそれぞれ二か所に存在しているが、どちらか一方があってもダイナミック　フラッシュ　メモリの動作ができる。このことは第１のゲート導体層５においても同様である。

【００３３】

また、図１では、メモリセルにおいて、第１のゲート導体層５，第２のゲート導体層７がそれぞれ一体のものとして示されているが、水平方向、または垂直方向において、分割された導体層より構成されていても構わない。第１のゲート導体層５を分割して、第２のゲート導体層７を挟んで、一方をｎ＋層２に隣接させ、他方をビット線ＢＬに接続したｎ＋層３に隣接させても、上記ダイナミック　フラッシュ　メモリの動作ができる。第１のゲート導体層５は、このことは、第２のゲート導体層７についても同様である。また、第１のゲート導体層５と第２のゲート導体層７を、異なる導体材料層で形成してもよい。また、ゲート絶縁層４とゲート絶縁層６を、異なる絶縁材料層で形成してもよい。

【００３４】

図２を用いて、本発明の第１実施形態に係るダイナミック　フラッシュ　メモリの書き込み動作時のキャリア挙動、蓄積、セル電流を説明する。なお、第１のゲート導体層５を持つ部分をゲートとする第１のＭＯＳトランジスタ領域として、ＷＬ－ＦＥＴ（ワード線ＷＬに繋がる電界効果ＭＯＳトランジスタ領域），また、第２のゲート導体層７を持つ第２のＭＯＳトランジスタ領域として、ＰＬ－ＦＥＴ（プレート線ＰＬに繋がる電界効果ＭＯＳトランジスタ領域）と示した。またＷＬ－ＦＥＴのしきい値をＶｔｈ－ＷＬ、ＰＬ－ＦＥＴのしきい値をＶｔｈ－ＰＬと表記する。

【００３５】

図２（ａ）に示すように、まずｎ＋層２とｎ＋層３の多数キャリアが電子であり、たとえばワード線ＷＬに接続つながる第１のゲート導体層５とプレート線ＰＬにつながる第２のゲート導体層７にｎ＋　ｐｏｌｙ（以下、ドナー不純物を高濃度で含むｐｏｌｙ　Ｓｉを「ｎ＋　ｐｏｌｙ」と称する。）を使用し、ｐ層１としてｐ型半導体を使用した場合を説明する。ダイナミック　フラッシュ　メモリでは書き込みを行う場合に、ＷＬ－ＦＥＴ，もしくはＰＬ－ＦＥＴの部分で十分なインパクトイオン化を起こすことが必要である。これを満足するための、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線

ＰＬに印加する電圧条件は、ビット線に与える電圧が、例えばＶｔｈ－ＰＬの高いほうの電圧よりも１０％以上高い電圧をプレート線に与え、ＰＬ－ＦＥＴの第2のゲート絶縁層６とｐ層１の界面の一部、もしくは全面に反転層を形成して、ビット線の電位をＰＬ－ＦＥＴのチャネル全体に伝達すること、及び、例えばＷＬ－Ｖｔｈよりも高い電圧をワード線に与えて、ビット線からソース線に電流が流れるようにする。また、ビット線に与える電圧には、インパクトイオン化を発生させるための最大電界が例えば10^5Ｖ／ｃｍ以上となるような電圧を印加する必要がある。

【００３６】

上述の内容をもとに、メモリの書き込み時の印加電圧の一例を下記に記述する。ここではＶｔｈ－ＷＬ＝Ｖｔｈ－ＰＬ＝０．８Ｖの場合、ｎ＋層２に接続されたソース線ＳＬに、例えば０Ｖを入力し、ｎ＋層３に接続されたビット線ＢＬに、例えば１．０Ｖを入力し、第２のゲート導体層７に接続されたプレート線ＰＬに例えば１．５Ｖを入力し、ワード線ＷＬの接続された第１のゲート導体層５に、例えば、１．２Ｖを入力する。

【００３７】

この電圧印加状態では、ゲート絶縁層６の直下には反転層１４ｂが全面に形成される。そして、ゲート絶縁層４の直下には一部に反転層１４ａが形成される。反転層１４ａが消滅するピンチオフ点１５がゲート絶縁層４の直下に存在し、ここで電界が最大となる。この例では最大電界が４ｘ10^5Ｖ／ｃｍ程度となる。そして、ｎ＋層２からｎ＋層３の方向に向かって電子が流れる。この結果、ピンチオフ点１５近傍領域でインパクトイオン化現象が生じる。このインパクトイオン化現象により、ソース線ＳＬの接続されたｎ＋層２からビット線ＢＬの接続されたｎ＋層３に向かって加速された電子がＳｉ格子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第１のゲート導体層５に流れるが、大半はビット線ＢＬに接続されたｎ＋層３に流れる。

【００３８】

図２（ｂ）には、書き込み直後、すべてのバイアスが０Ｖになったときのｐ層１にある正孔群１７を示す。生成された正孔群１７は、ｐ層１の多数キャリアであり、一時的に空乏層１６に囲まれたｐ層１に蓄積され、非平衡状態では実質的にＷＬ－ＦＥＴやＰＬ－ＦＥＴの基板であるｐ層１を正バイアスに充電する。その結果、第１のゲート導体層５をもつＷＬ－ＦＥＴのしきい値電圧と第２のゲート導体層７をもつＰＬ－ＦＥＴのしきい値電圧は、ｐ層１に一時的に蓄積される正孔により正の基板バイアス効果によって、初期状態から低くなる。ＰＬにこの低くなったしきい値電圧より高い電圧を印加するとＰＬ－ＦＥＴが導通し、ＷＬ－ＦＥＴがＭＯＳトランジスタとして動作する。これにより、図２（ｃ）に示すように、ワード線ＷＬの接続された第１のゲート導体層５をもつＷＬ－ＦＥＴはＷＬの電圧依存性を持つ電流がｎ＋層３からｎ＋層２に流れることになる。この書込み状態を論理記憶データ“１”に割り当てる。

【００３９】

上述した例に加えて、例えば、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件は、１．０Ｖ（ＢＬ）／０Ｖ（ＳＬ）／２Ｖ（ＰＬ）／２．０Ｖ（ＷＬ）や１．５Ｖ（ＢＬ）／０Ｖ（ＳＬ）／３Ｖ（ＰＬ）／１Ｖ（ＷＬ）、１．０Ｖ（ＢＬ）／０Ｖ（ＳＬ）／１．２Ｖ（ＰＬ）／２．０Ｖ（ＷＬ）、などの組み合わせでも可能である。ただし、ビット線ＢＬに１．０Ｖ、ソース線ＳＬに０Ｖ、ワード線ＷＬに２Ｖ、プレート線ＰＬに１．２Ｖをかけた場合にはピンチオフ点１５の位置が第２のゲート導体層７のほうにシフトするが、同様の現象を起こすことができる。

【００４０】

次に、第１実施形態のダイナミック　フラッシュ　メモリの消去動作メカニズムを、図３を用いて、説明する。ダイナミック　フラッシュ　メモリで情報を消去する場合には、蓄積された正孔が電子と短時間に再結合し、かつこの再結合された電子がメモリの接続されている電極から補充されることが必要である。これを満足するための、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件は、ゲート絶縁層６の直下の全面に反転層を形成させるために、Ｖｔｈ－ＰＬの電圧よりも高い電圧をプ

レート線に与えて、ＰＬ－ＦＥＴのゲート絶縁層６とｐ層１の界面に反転層１４ｂを形成し、ｐ層１に蓄積された正孔と電子との再結合面積を増加させること、及び、ＷＬ－Ｖｔｈよりも低い電圧、もしくは０Ｖをワード線に与えて、ＷＬ－ＦＥＴのｐ層１に空乏層を形成することが必要である。また、ビット線に与える電圧は、ソース線から注入された電子がドリフトでビット線まで移動できる、例えば10^4Ｖ／ｃｍ以上の最大電界がかかる電圧を印加すればよい。

【００４１】

図３を用いて、図１に示した第１実施形態のダイナミック　フラッシュ　メモリの消去動作の一例を説明する。図２（ｂ）に示した状態から、ビット線ＢＬの電圧を０．６Ｖ，ソース線ＳＬに０Ｖ、プレート線ＰＬに２Ｖ、ワード線ＷＬに０Ｖに印加する。その結果、ｐ層１に蓄積されている正孔１７の濃度がｎ＋層２の正孔濃度よりも十分高いために、その濃度勾配により、拡散によってｎ＋層２に正孔が流れ込む。逆にｎ＋層２の電子濃度がｐ層１の電子濃度よりも高いために、濃度勾配により、拡散によって電子１８がｐ層１に流れ込む。ｐ層１に流入した電子はｐ層１の中で正孔と再結合し消滅する。しかし、注入された電子１８がすべては消滅せず、消滅しなかった電子１８はビット線ＢＬとソース線ＳＬの電位勾配によるドリフトによって空乏層１６を通り、ｎ＋層３に流れ込む。電子はソース線ＳＬから次々と供給されるので、非常に短時間に過剰の正孔は電子と再結合し、初期の状態に戻る。ここで消費される電力はソース線ＳＬから流入する電子によるもので、書き込み時の消費電力より極めて小さい。これにより、図３（ｂ）に示すように、このワード線ＷＬが接続された第１のゲート導体層５をもつＷＬ－ＦＥＴや第２のゲート導体層７をもつＰＬ－ＦＥＴは元々のしきい値に戻る。図３（ｂ）に示すように、ワード線ＷＬの接続された第１のゲート導体層５をもつＷＬ－ＦＥＴはＷＬの電圧を高くしても、電流は流れない。この記憶素子の消去状態は論理記憶データ“０”となる。

【００４２】

上記において書き込み時の消費電力より極めて小さい理由は、書き込み時に比較して、ビット線ＢＬとソース線ＳＬ間に流れる電流が低いためである。またビット線ＢＬにかける電圧も書き込み時に比較して低いことによる。図１－３の例ではｎ＋層２，３を備えた書き込みの多数キャリアが正孔の場合について説明したが、これはｎ＋層の代わりにｐ＋層で、書き込みの多数キャリアが電子の場合も同様に、消去時の消費電力は同様の理由により、書き込み時よりも小さくなる。ただし、電流は流れる方向によって、プラスにもマイナスにもなるので、高い、低いという表現が、場合により不正確となる。そこで、「メモリ消去動作時にビット線ＢＬに流れる電流の絶対値が、メモリ書き込み動作時にビット線に流れる電流の絶対値よりも低い」と表現する方がより正確となる。

【００４３】

なお、ビット線にかける電圧はビット線とソース線の間の最大電界が10^4Ｖ／ｃｍ以上であれば、ドリフトでキャリが移動するのには十分である。したがって、上記で示した０．６Ｖよりも高くても低くても、電子のドリフトが空乏層１６内で起こるのに十分な電圧を印加すればよい。

【００４４】

また、ワード線にＶｔｈ－ＷＬの１．５倍以上の電圧をかけ、反転層を形成し、かつプレート電圧を０Ｖもしくは－ＰＬよりも低い電圧をかけて、反転層を形成しないようにしても、同様に消去することができる。

【００４５】

上記において、ｎ＋層２，３を備えた書き込みの多数キャリアが正孔の場合について説明した。これに対して、ｎ＋層の代わりにｐ＋層で、書き込みの多数キャリアが電子の場合は、「プレート電圧を０Ｖもしくは－ＰＬよりも高い電圧をかけて」と記述すべきである。このようにＭＯＳトランジスタの種類によって、しきい値が高い、低いという表現が場合により、不正確になる。そこで、しきい値をその「しきい値の絶対値とプラス、マイナスという極性」によって表現することが、より正確な表現である。この表現を用いれば、一例として、「ＭＯＳトランジスタ領域のしきい値の絶対値以上の絶対値を持ち

、かつしきい値と同じ極性の電圧を印加し」となる。

【００４６】

また、本実施形態の説明ではｎ＋層２に隣接した第１のゲート導体層５がワード線ＷＬに接続し、そしてｎ＋層３に隣接した第２のゲート導体層７がプレート線ＰＬに接続している。これに対し、プレート線ＰＬに接続した第２のゲート導体層７をｎ＋層２に隣接させ、そしてワード線ＷＬに接続した第１のゲート導体層５をｎ＋層３に隣接させても、本発明のメモリ消去動作ができる。

【００４７】

また、例にあげた以外のデータの消去方法として、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件は、０．６Ｖ（ＢＬ）／０Ｖ（ＳＬ）／２Ｖ（ＰＬ）／０Ｖ（ＷＬ）や０Ｖ（ＢＬ）／０．６Ｖ（ＳＬ）／０Ｖ（ＰＬ）／２Ｖ（ＷＬ）や０．６Ｖ（ＢＬ）／０Ｖ（ＳＬ）／２Ｖ（ＰＬ）／０．２Ｖ（ＷＬ）や１．５Ｖ（ＢＬ）／０Ｖ（ＳＬ）／２Ｖ（ＰＬ）／０Ｖ（ＷＬ）、などの組み合わせでも可能であり、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件は、メモリ消去動作を行うための一例であり、メモリ消去動作ができる他の動作電圧条件であってもよい。

【００４８】

また、ＰＬ－ＦＥＴやＷＬ－ＦＥＴがｐ型チャネルタイプの時にはｐ層１にはｎ型半導体となり、電子が多数キャリアとなり、ビット線、ワード線、プレート線に与える電位の極性は例で示した正電位からすべて負電位となる。

【００４９】

また、本実施形態の説明で示したように、本ダイナミック　フラッシュ　メモリセルは、インパクトイオン化現象により発生した正孔群１７がｐ層１に保持される条件を満たす構造であればよい。このためには、ｐ層１は基板２０と分離されたフローティングボディ構造であればよい。これより、例えばＳＧＴの１つであるＧＡＡ（Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ　：例えば非特許文献１３を参照）技術、Ｎａｎｏｓｈｅｅｔ技術（例えば、非特許文献１１、１２を参照）を用いて、ｐ層１を基板２０に対して水平に形成されていても、前述のダイナミック　フラッシュ　メモリ動作ができる。また、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）を用いたデバイス構造（例えば、非特許文献７～１０を参照）であってもよい。このデバイス構造ではチャネル領域の底部がＳＯＩ基板の絶縁層に接しており、且つ他のチャネル領域を囲んでゲート絶縁層、及び素子分離絶縁層で囲まれている。この構造においても、チャネル領域はフローティングボディ構造となる。このように、本実施形態が提供するダイナミック　フラッシュ　メモリ素子では、チャネル領域がフローティングボディ構造である条件を満足すればよい。また、Ｆｉｎトランジスタ（例えば非特許文献１３を参照）をＳＯＩ基板上に形成した構造であっても、チャネル領域がフローティングボディ構造であれば、本ダイナミック・フラッシュ動作が出来る。

【００５０】

本実施形態は、下記の特徴を有する。

（特徴１）

本実施形態のメモリ消去動作では、小さい消費電力によりメモリ消去動作を行うことができる。図３に示したように、本発明の特徴は、メモリ消去動作期間において、ｎ＋層３に繋がって、ＰＬ－ＦＥＴのｐ層１に反転層１４ｂを形成するところにある。メモリ保持時には、メモリセル内に蓄積された正孔と、電子が再結合する面積はｎ＋層３とp層1の接触した部分で決まるのに対して、メモリ消去時には、ゲート絶縁層６の直下に形成された反転層１４ｂ全面がn+層３に電気的に接触することにより、正孔と電子の再結合する面積がメモリ保持時と比較して、大きくでき、電子－正孔再結合現象の起こる機会を増やしている。さらにこの時にＷＬ－ＦＥＴはオン状態ではないので、ビット線ＢＬからソース線ＳＬには電流が流れず、したがって、ｐ層１内では消去動作を阻害するインパクトイオン化は発生しない。これは、確実なメモリ消去動作を行うことに加え、安定したメモリ

動作に寄与する。そして、本メモリ消去動作では、電子－正孔再結合現象が起きた分を補充する電子だけがソース線ＳＬから注入されるので、きわめて微小な電流しか流れず、小さい消費電力によりメモリ消去動作を行うことができる。

（特徴２）

本実施形態では、小さい消費電力によりメモリ消去動作を行うことができることにより、全体の動作において、ＰＬ－ＦＥＴ、ＷＬ－ＦＥＴがＮチャネル型ＭＯＳトランジスタ動作の場合、負電位を必要とせず、正電位か、０Ｖで動作できる。これにより、周辺の検知回路、駆動回路の簡易化、小面積化が図られる。

【００５１】

（特徴３）

本発明の第１実施形態に係るダイナミック　フラッシュ　メモリでは、メモリ消去動作時において、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬ、ビット線ＢＬに逆極性の電圧を印加する必要がない。これにより、ＰＬ－ＦＥＴのゲート酸化膜に大きな電界が印加されることによる、酸化膜の信頼性低下を防止することができる。

【００５２】

また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

【産業上の利用可能性】

【００５３】

本発明に係る、半導体素子を用いれば従来よりも、密度の高い、かつ高速であり、かつ動作マージンの高い、半導体メモリ装置を提供することができる。

【符号の説明】

【００５４】

１　ｐ層
２　第１の不純物領域　ｎ＋層　（ＳＬに接続）
３　第２の不純物領域　ｎ＋層　（ＢＬに接続）
４　第１のゲート絶縁膜
５　第１のゲート導体層　（ＷＬに接続）
６　第２のゲート絶縁膜　（ＰＬに接続）
７　第２のゲート導体層
１０　基板
１４ａ，１４ｂ　反転層
１５　ピンチオフ点
１６　空乏層
１７　余剰正孔
１８　注入された電子
１０１　ＳｉＯ２層
１０２　半導体母体
１０３　Ｎ＋層　（ＳＬに接続）
１０４　Ｎ＋層　（ＢＬに接続）
１０５ａ　第１のゲート導体層　（ＰＬに接続）
１０５ｂ　第２のゲート導体層　（ＷＬに接続）
１０６　正孔群
１０７ａ、１０７ｂ　反転層
１０８　ピンチオフ点
１０９ａ　第１のゲート絶縁膜
１０９ｂ　第２のゲート絶縁膜

１１０　絶縁層
１１１　ダイナミック　フラッシュ　メモリセル