

# 公告本

|      |                          |
|------|--------------------------|
| 申請日期 | 86.11. 8                 |
| 案 號  | 86116673                 |
| 類    | Int. Cl. 6<br>H01L 21/66 |

A4  
C4

379397

(以上各欄由本局填註)

## 發明專利說明書

|             |               |                        |
|-------------|---------------|------------------------|
| 一、發明<br>名稱  | 中 文           | 取晶背偏壓平均值之平行測試方法        |
|             | 英 文           |                        |
| 二、發明<br>創作人 | 姓 名           | 吳聰志                    |
|             | 國 籍           | 中華民國                   |
|             | 住、居所          | 新竹縣竹東鎮中正路 94 巷 7 弄 3 號 |
| 三、申請人       | 姓 名<br>(名稱)   | 聯華電子股份有限公司             |
|             | 國 籍           | 中華民國                   |
|             | 住、居所<br>(事務所) | 新竹科學工業園區新竹市力行二路三號      |
|             | 代 表 人<br>姓 名  | 曹興誠                    |

裝

訂

線

## 五、發明說明(1)

本發明是有關於一種平行測試(Parallel Test)方法，且特別是有關於一種使用晶背偏壓(Back Bias Voltage,  $V_{BB}$ )平均值之平行測試方法。

在傳統有關 P 型基底之記憶體之製程中，例如是動態隨機存取記憶體(DRAM)或是靜態隨機存取記憶體(SRAM)之晶片，如第 1 圖所繪示晶元平行測試之晶片剖面圖，在晶片 14 上之晶元(12 或 16)接上  $V_{cc}$  及  $V_{ss}$  後，以 P 型基底 10 上之晶元(12 或 16)會自動產生一個 -1.5V~-2.5V 左右的晶背偏壓( $V_{BB1}$  或  $V_{BB2}$ )，且每一個晶元所產生之晶背偏壓  $V_{BB}$  不同，對在晶元作平行測試(即一次以 16 個或 32 個等作測試)時，晶背偏壓  $V_{BB}$  又會有振盪情形發生，或是電路電荷激射(Charge Injection)原因，如第 1 圖所示晶元 12 釋出電洞  $h^+$  與電子  $e^-$ ，不僅影響鄰近受測晶元 14 的正常功能，甚至使晶元的功能故障，導致平行測試失誤，降低其效益。所以晶元作平行測試時，在 P 型基底都會直接使用一晶背偏壓  $V_{BB}$ (如 -2V)，用以提高晶元在受測時的穩定性。

接著第 2 圖，其繪示為習知之平行測試方法之流程圖。

首先在步驟 40，對所提供晶片以 16 個晶元為一組進行直流測試，其目的在檢測一靜態電流、一運作電流以及一漏電流。

接著步驟 42，對晶元進行晶背偏壓測試，用以得到

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( > )

個別的晶背偏壓值，以此判斷這些晶元中的晶背偏壓值過大或太小，已經損壞不能使用者先記錄去除，其中一般可測試規格的晶背偏壓大約在(-1.0V~-3.0V)。

最後在步驟 44，使用固定之晶背偏壓(如-2.0V)，強灌於晶元上，進行功能測試。

但是，在上述步驟之平行測試時，由於使用固定晶背偏壓，對於一些本來適用之晶元，卻因為製程參數漂移導致晶背偏壓值(如-1.2V)與固定之晶背偏壓(如-2.0V)差距較大，往往在進行功能測試時，無法發揮正常作用，必須要捨去不用，即誤宰情形發生，進一步使晶片良率降低，造成廠商成本提高。

且所使用晶背偏壓在負值越大時，會使得 DRAM 特性較差，而使用固定晶背偏壓，無法依實際狀況去作修正，以達到最佳化目的，所以得到的成果較差。

再者，對於晶背偏壓(如-2.4V)接近固定晶背偏壓(-2.0V)之晶元，在一般的測試因與固定晶背偏壓(-2.0V)差距小，所以都可以輕易通過檢驗，但在最後的包裝測試(Package test)時，晶背偏壓係自動產生，因自動產生之晶背偏壓較固定偏壓之值為負，特性變差，固可能無法通過檢測，即產生晶元測試誤放現象產生。

因此，本發明的主要目的就是在提供一種使用晶背偏壓平均值之平行測試，可以避免上述使用固定晶背偏壓，產生誤宰情形發生，使得廠商成本降低。

本發明的另一目的在於晶背偏壓平均值，為針對不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( ㄅ )

同批號、不同製程之晶元，作自動最佳化修正，能夠避免在晶背偏壓過負，DRAM 特性變差的缺點。

本發明的再一目的在於使用晶背偏壓平均值，能夠避免誤放現象產生，對在最後的包裝測試，才產生問題的可能性大為降低。

根據本發明的主要目的，提出一種使用晶背偏壓平均值之平行測試，包括下列步驟：

首先提供一 P 型基底晶片，並對晶片之複數個晶元進行直流測試，用以檢測一靜態電流、一運作電流以及一漏電流，接著對上述晶元進行晶背偏壓測試，用以得到個別的晶背偏壓值，將符合測試規格(電壓在-3.0 伏特至-1.0 伏特間)之晶背偏壓值相加後，除以合格者之總數得一晶背偏壓平均值，最後使用得到的晶背偏壓平均值於該些晶元進行功能測試。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

- 第 1 圖繪示晶元平行測試之晶片剖面圖；
- 第 2 圖繪示習知的平行測試方法之流程圖；以及
- 第 3 圖依照本發明之一較佳實施例的流程圖。

標號之簡單說明：

10:P 型基底

12:晶元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

14:晶片

16:晶元

### 實施例

為改善使用固定晶背偏壓之缺點，本發明之測試方法，取用符合可測試規格之每一個晶背偏壓之平均值，使用於晶元上作測試，得到較佳的使用狀況。

其中，第3圖繪示依照本發明之一較佳實施例的流程圖。請參考第3圖，步驟50乃針對所提供晶片，以16個晶元為一組進行直流測試，其目的在檢測一靜態電流、一運作電流以及一漏電流。

接著步驟52，對晶元進行晶背偏壓測試，用以得到個別的晶背偏壓值，以此判斷這些晶元中的晶背偏壓值過大或太小，已經損壞不能使用必須先作記錄去除，例如一般可測試規格的晶背偏壓大約在(-1.0V~-3.0V)。

接著在步驟54，對於上述步驟52測試之晶背偏壓值中，符合在一般測試規格(-3.0V~-1.0V間)，取出來相加後，除以合格者之總數得到晶背偏壓平均值，至於其他不合者，則省略不計。

最後在步驟56，使用上述步驟54所得之晶背偏壓平均值，強灌於晶元上，進行一功能測試。

為使第3圖之上述步驟50至步驟56更進一步了解，下面以實際數據說明：首先如步驟50，進行平行測試時，例如以16個測試元件(Device Under Test,DUT)為一組進行直流測試，接著如步驟52，對16個DUT作晶背偏壓測試，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 5 )

得到下列分佈情況:(-0.5V\*2 個,-1.2V\*3 個,-1.3V\*5 個,-1.4V\*3 個,-1.6V\*2 個,-3.2V\*1 個), 由步驟 54 中, 將不合一般測試規格(-3.0V~-1.0V 間)去除, 在本例子中有 3 個數值過大或過小(-0.5V\*2 個,-3.2V\*1 個), 其餘 13 個晶元則在範圍內, 將 13 個晶背偏壓相加得到總和, 再除以具有符合一般測試規格的晶元總數 13, 得到一品背偏壓平均值(-1.35V), 最後步驟 56 係利用所得之晶背偏壓平均值(-1.35V), 進行功能測試。

由上述的方法, 可更接近真實狀況, 如使用習知的固定晶背偏壓(-2.0V), 對如(-1.2V)和(-1.3V)的晶元, 本來可使用, 卻因與晶背偏壓(-2.0V)差距過大, 在功能測試時, 容易產生不適用的情況, 即誤宰情形發生。

而使用晶背偏壓平均值(-1.35V), 對如測試之晶背偏壓為(-2.4V), 因為差距過大, 在功能測試時, 會產生不適用的情況, 而自動將它排除, 若使用固定晶背偏壓為(-2.0V), 因差距較小, 在一般測試都可以使用, 但在最後的包裝測試時, 卻產生無法使用的情形, 即誤放現象發生。

因此, 本發明的特徵之一在使用晶背偏壓平均值之平行測試時, 可以避免習知使用固定晶背偏壓, 產生誤宰情形發生, 而使良率降低, 廠商成本提高的損失。

本發明的另一特徵在於使用的晶背偏壓平均值, 為針對不同批號、不同製程之晶元, 自動作最佳化修正, 能夠避免在晶背偏壓過負時, DRAM 特性變差的缺點。

## 五、發明說明( 6 )

本發明的再一特徵在於使用晶背偏壓平均值，能夠避免誤放現象產生，對最後測試才發生問題情形降低。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要(發明之名稱： 取晶背偏壓平均值之平行測試方法)

一種取晶背偏壓平均值之平行測試方法，包括下列步驟，首先提供一晶片，並對其複數個晶元進行直流測試，接著作晶背偏壓測試，得到個別的晶背偏壓值，把符合測試規格之晶背偏壓值相加後，除以合格者之總數得一晶背偏壓平均值，使用得到的晶背偏壓平均值於晶元上，進行功能測試。本發明以取晶背偏壓平均值之平行測試方法，可以減少因晶元平行測試時提供之固定晶背偏壓，與晶元本身自動產生之值差距過大，而產生誤宰或誤放之情形發生。

英文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線



## 六、申請專利範圍

1.一種取晶背偏壓平均值之平行測試方法，其中該取晶背偏壓平均值之平行測試方法包括下列步驟：

提供一晶片；

對該晶片之複數個晶元進行一直流測試；

對該晶片之該些晶元進行一晶背偏壓測試，用以得到複數個晶背偏壓值；

由該些晶背偏壓值中，符合一測試規格之部份得到一晶背偏壓平均值；以及

使用該晶背偏壓平均值於該些晶元進行一功能測試。

2.如申請專利範圍第1項所述之測試方法，其中該晶片具有一P型基底。

3.如申請專利範圍第1項所述之測試方法，其中該直流測試，用以檢測一靜態電流、一運作電流以及一漏電流。

4.如申請專利範圍第1項所述之測試方法，其中該測試規格係設定為電壓在-3.0伏特至-1.0伏特間。

5.如申請專利範圍第1項所述之測試方法，其中該晶背偏壓平均值，係隨不同之該些晶元改變。

6.如申請專利範圍第1項所述之測試方法，其中該功能測試係使用於符合該測試規格之該些晶元。

7.一種取晶背偏壓平均值之平行測試方法，其中該取晶背偏壓平均值之平行測試方法包括下列步驟：

提供一晶片；

## 六、申請專利範圍

對該晶片之該些晶元進行一品背偏壓測試，用以得到複數個晶背偏壓值；

由該些晶背偏壓值中，符合一測試規格之部份得到一品背偏壓平均值；以及

使用該晶背偏壓平均值於該些晶元進行一功能測試。

8.如申請專利範圍第 7 項所述之測試方法，其中該晶片具有一 P 型基底。

9.如申請專利範圍第 7 項所述之測試方法，其中該測試規格係設定為電壓在 -3.0 伏特至 -1.0 伏特間。

10.如申請專利範圍第 7 項所述之測試方法，其中該晶背偏壓平均值，係隨不同之晶元改變。

11.如申請專利範圍第 7 項所述之測試方法，其中該功能測試係使用於符合該測試規格之晶元。

(請先閱讀背面之注意事項再填寫本頁)

裝

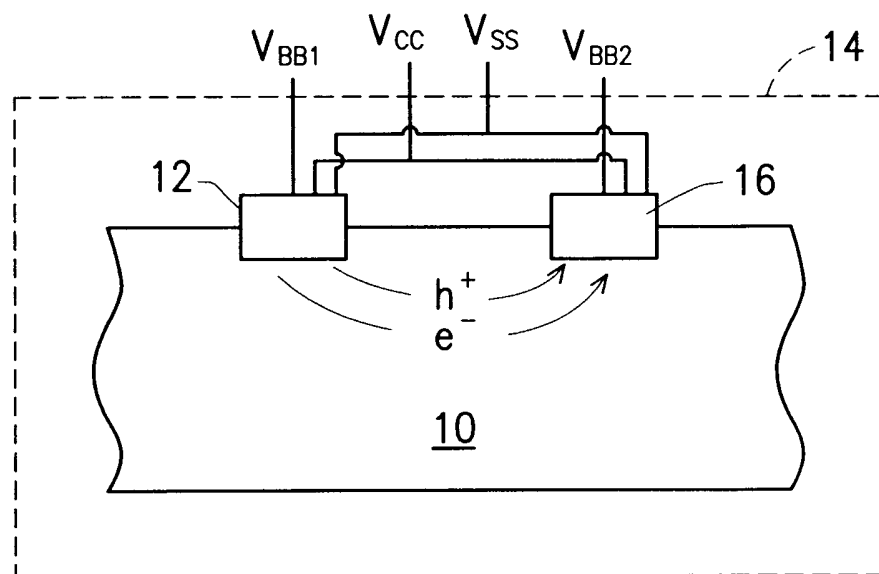
訂

線

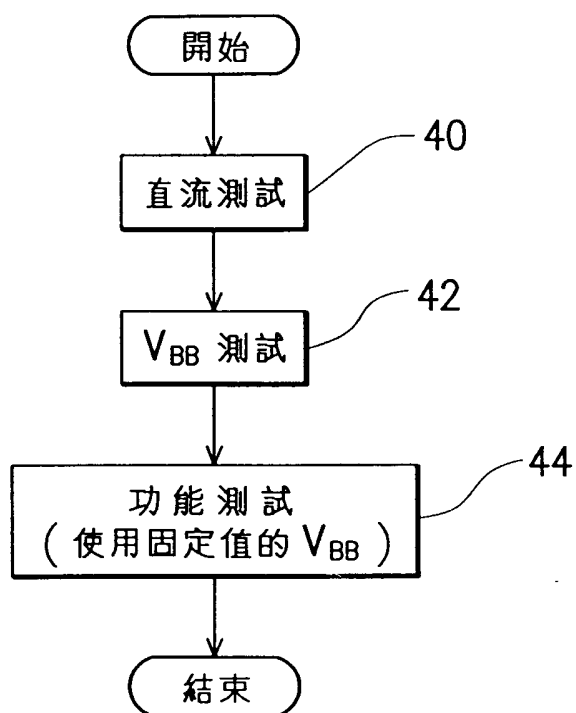
86116673

372397

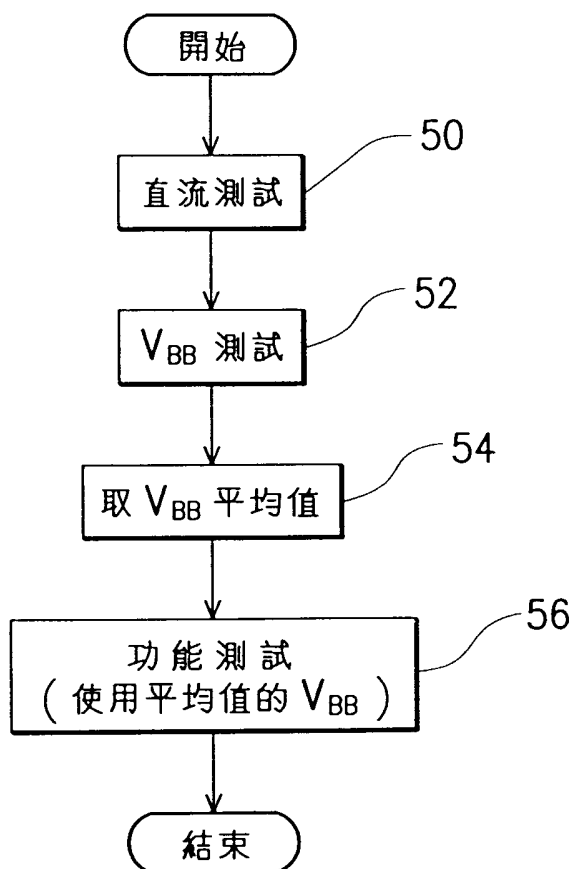
2171TW



第 1 圖



第 2 圖



第 3 圖