



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월05일
(11) 등록번호 10-2691316
(24) 등록일자 2024년07월30일

- (51) 국제특허분류(Int. Cl.)
H05K 3/46 (2006.01) H01L 23/498 (2006.01)
H05K 1/03 (2006.01) H05K 3/40 (2006.01)
- (52) CPC특허분류
H05K 3/4602 (2013.01)
H01L 23/49822 (2013.01)
- (21) 출원번호 10-2023-0076819(분할)
- (22) 출원일자 2023년06월15일
심사청구일자 2023년06월15일
- (65) 공개번호 10-2023-0092854
- (43) 공개일자 2023년06월26일
- (62) 원출원 특허 10-2016-0048927
원출원일자 2016년04월21일
심사청구일자 2021년03월24일
- (30) 우선권주장
1020160002884 2016년01월08일 대한민국(KR)
- (56) 선행기술조사문헌
JP2012099610 A*
JP2014179613 A*
W02011102561 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
- (72) 발명자
백용호
경기도 수원시 영통구 매영로 150 (매탄동)
조정현
경기도 수원시 영통구 매영로 150 (매탄동)
국승엽
경기도 수원시 영통구 매영로 150 (매탄동)
- (74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 17 항

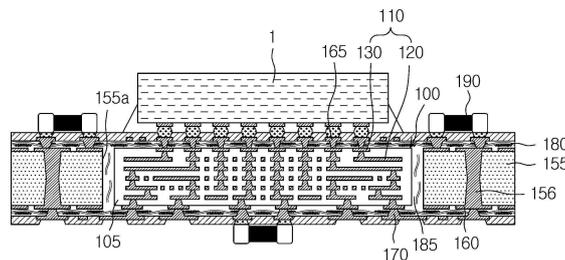
심사관 : 최동기

(54) 발명의 명칭 인쇄회로기판

(57) 요약

인쇄회로기판이 개시된다. 본 발명에 따른 인쇄회로기판은 관통홀이 형성된 코어부재, 관통홀에 배치된 서브 회로기판, 코어부재 및 서브 회로기판의 양면에 적층된 제1 절연층 및 관통홀의 내벽과 서브 회로기판 사이에 충진된 절연재를 포함한다.

대표도 - 도1



(52) CPC특허분류

H05K 1/0366 (2013.01)

H05K 3/4007 (2013.01)

H05K 3/4614 (2013.01)

H05K 3/4647 (2013.01)

명세서

청구범위

청구항 1

관통홀이 형성된 코어부재;
 상기 관통홀에 배치된 서브 회로기관;
 상기 코어부재 및 상기 서브 회로기관 상에 적층된 제1절연층; 및
 상기 제1절연층 상에 배치된 외측 회로층; 을 포함하며,
 상기 외측 회로층은, 제1피치를 가지며 두께 방향으로 상기 코어부재와 중첩되도록 배치된 제1회로패턴들, 및 제2피치를 가지며 두께 방향으로 상기 서브 회로기관과 중첩되도록 배치된 제2회로패턴들을 포함하며,
 상기 제1피치는 상기 제2피치보다 크며,
 상기 서브 회로기관은 내측 회로층 및 제2절연층을 포함하고,
 상기 내측 회로층은, 상기 제2절연층의 상측에 매립되며 상면이 상기 제2절연층의 상면으로부터 노출되어 상기 제2회로패턴들과 연결되며 측면이 상기 제2절연층으로 커버되어 제2절연층으로부터 노출되지 않는 제1패드, 및 상기 제2절연층의 하면 상에 돌출되어 배치되는 제2패드를 포함하는,
 인쇄회로기관.

청구항 2

제1항에 있어서,
 상기 제1 및 제2회로패턴들은 서로 동일 레벨에 배치된 인쇄회로기관.

청구항 3

제1항에 있어서,
 상기 관통홀의 내벽과 상기 서브 회로기관 사이에 배치된 절연재; 를 더 포함하며,
 상기 절연재는 상기 제2절연층과 다른 재질인 인쇄회로기관.

청구항 4

제3항에 있어서,
 상기 절연재는 상기 제1절연층의 절연물질 일부가 충전되어 형성된 인쇄회로기관.

청구항 5

제1항에 있어서,
 상기 제1절연층은 섬유 보강재를 더 포함하는 인쇄회로기관.

청구항 6

제1항에 있어서,
 상기 서브 회로기관은 코어리스 구조를 가지는 인쇄회로기관.

청구항 7

제1항에 있어서,
 상기 서브 회로기관은 섬유 보강재를 구비한 보강층을 더 포함하는 인쇄회로기관.

청구항 8

제1항에 있어서,
 상기 내측 회로층은 고밀도 회로를 포함하며,
 상기 외측 회로층은 상기 고밀도 회로보다 밀도가 낮은 저밀도 회로를 포함하는 인쇄회로기판.

청구항 9

제8항에 있어서,
 상기 고밀도 회로는 서로 대칭되게 적층된 스택 비아(stack via)를 포함하는 인쇄회로기판.

청구항 10

제8항에 있어서,
 상기 저밀도 회로와 상기 고밀도 회로를 연결시키는 비아 또는 솔더범프를 더 포함하는 인쇄회로기판.

청구항 11

제8항에 있어서,
 상기 고밀도 회로의 회로층 간격은 상기 저밀도 회로의 회로층 간격보다 좁은 인쇄회로기판.

청구항 12

제8항에 있어서,
 상기 고밀도 회로의 폭은 상기 저밀도 회로의 폭보다 좁은 인쇄회로기판.

청구항 13

제8항에 있어서,
 상기 고밀도 회로에 전기적으로 연결된 전자소자; 를 더 포함하는 인쇄회로기판.

청구항 14

제8항에 있어서,
 상기 제1절연층 상에 배치되며, 상기 저밀도 회로의 일부를 노출시키는 개구를 갖는 솔더 레지스트층; 및
 상기 솔더 레지스트층 상에 배치되며, 상기 노출된 저밀도 회로의 일부와 연결된 다이; 를 더 포함하며,
 상기 다이는 상기 저밀도 회로를 통하여 상기 고밀도 회로와 전기적으로 연결된 인쇄회로기판.

청구항 15

제1항에 있어서,
 상기 제1절연층은 상기 코어부재의 양면 및 상기 서브 회로기판의 양면 상에 적층된 인쇄회로기판.

청구항 16

제1회로를 포함하는 제1회로기판;
 상기 제1회로기판에 내장되며, 상기 제1회로와 전기적으로 연결된 제2회로를 포함하는 제2회로기판;
 상기 제1회로기판의 상부에 배치된 다이; 및
 상기 제1회로기판의 하부에 배치된 커패시터; 를 포함하며,
 상기 제2회로의 회로패턴 밀도는 상기 제1회로의 회로패턴 밀도보다 크며,
 상기 제1회로는 제1피치를 갖는 제1회로패턴들 및 제2피치를 갖는 제2회로패턴들을 포함하며,

상기 제2회로패턴들은 두께 방향으로 상기 제2회로기판과 중첩되도록 상기 제1회로패턴들 사이에 배치되며,
 상기 제1피치는 상기 제2피치보다 크며,
 상기 다이는 상기 커패시터보다 단면 상에서 폭이 더 크며,
 상기 다이와 상기 제2회로기판과 상기 커패시터는 상기 두께 방향으로 서로 적어도 일부가 중첩되는, 인쇄회로기판.

청구항 17

제16항에 있어서,
 상기 제1 및 제2회로패턴들은 서로 동일 레벨에 배치된 인쇄회로기판.

발명의 설명

기술 분야

[0001] 본 발명은 인쇄회로기판에 관한 것이다.

배경 기술

[0002] 컴퓨터 산업이 발달함에 따라 더 높은 성능을 가지고 더 낮은 비용으로 생산할 수 있는 집적회로(다이, die)에 대한 기술이 발달하고 있다. 이에 따라, 다이(die)가 실장되는 다양한 인쇄회로기판에 대한 기술도 개발되고 있다.

[0003] 특히, 서버에 사용되는 기판은 고다층의 구조 및 큰 사이즈로 인해 수율 확보가 매우 어렵고 긴 리드타임(lead time)이 필요하다. 또한, 서버 기판은 여러 층의 비아구조, 정밀한 정합도 및 우수한 전기 특성 요구하는 어려움이 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 미국등록공고 제8754514호

발명의 내용

과제의 해결 수단

[0005] 본 발명의 일 측면에 따르면, 관통홀이 형성된 코어부재, 관통홀에 배치된 서브 회로기판, 코어부재 및 서브 회로기판의 양면에 적층된 제1 절연층 및 관통홀의 내벽과 서브 회로기판 사이에 증진된 절연재를 포함하는 인쇄회로기판이 제공된다.

도면의 간단한 설명

- [0006] 도 1은 본 발명의 제1 실시예에 따른 인쇄회로기판을 나타낸 도면.
- 도 2는 본 발명에 따른 인쇄회로기판의 고밀도 회로에서 비아 구조를 예시하는 도면.
- 도 3 내지 도 14는 본 발명의 제1 실시예에 따른 인쇄회로기판의 제조방법을 나타낸 도면.
- 도 15는 본 발명의 제2 실시예에 따른 인쇄회로기판을 나타낸 도면.
- 도 16은 본 발명의 제3 실시예에 따른 인쇄회로기판을 나타낸 도면.
- 도 17 내지 도 25는 본 발명의 제3 실시예에 따른 인쇄회로기판의 제조방법을 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0007] 본 발명에 따른 인쇄회로기판의 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0008] 또한, 이하 사용되는 제1, 제2 등과 같은 용어는 동일 또는 상응하는 구성 요소들을 구별하기 위한 식별 기호에 불과하며, 동일 또는 상응하는 구성 요소들이 제1, 제2 등의 용어에 의하여 한정되는 것은 아니다.
- [0009] 또한, 결합이라 함은, 각 구성 요소 간의 접촉 관계에 있어, 각 구성 요소 간에 물리적으로 직접 접촉되는 경우만을 뜻하는 것이 아니라, 다른 구성이 각 구성 요소 사이에 개재되어, 그 다른 구성에 구성 요소가 각각 접촉되어 있는 경우까지 포괄하는 개념으로 사용하도록 한다.
- [0010] 도 1은 본 발명의 제1 실시예에 따른 인쇄회로기판을 나타낸 도면이다. 도 1을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판은 서브 회로기판(100), 코어부재(155), 제1 절연층(180) 및 절연재(185)를 포함한다.
- [0011] 서브 회로기판(100)은 인쇄회로기판에 내장되는 또 하나의 회로기판으로서, 적어도 한 층의 회로층과 회로층을 절연시키는 제2 절연층을 포함할 수 있다. 서브 회로기판(100)은 인쇄회로기판의 다른 영역에서는 처리하지 않는 특정할 기능을 수행할 수 있다. 예를 들면, 서브 회로기판(100)은 인쇄회로기판에 실장되는 다이(die, 1)와 전기적으로 연결되어 전기적 신호전달 등의 기능을 수행할 수 있다. 여기서, 다이(1)는 집적회로로서, 다이(1)와 연결되기 위해서는 작은 공간에 매우 밀집된 회로가 필요하다. 다시 말해 서브 회로기판(100)은, 미세한 회로패턴(120)으로 이루어진 고밀도 회로(110)를 구비할 수 있다.
- [0012] 서브 회로기판(100)에서 고밀도 회로(110)의 폭과 회로 간의 간격은 후술하는 저밀도 회로(160)의 폭과 회로 간 간격에 비하여 좁게 형성된다. 또한, 고밀도 회로(110)는 서브 회로기판(100)을 내장한 이 후에 외층에 형성된 외층 회로(165)보다 미세하게 형성될 수 있다. 예를 들면, 고밀도 회로(110)는 반도체 공정 등으로 형성하고, 저밀도 회로(160)는 SAP공정(Semi-Additive Process), M-SAP공정(Modified Semi-Additive Process) 또는 텐팅(tenting)공정 등의 기판 공정으로 형성할 수 있다. 또는, 고밀도 회로(110)를 기판 공정 중 상대적으로 정밀한 SAP공정으로 형성하고, 저밀도 회로(160)는 덜 정밀한 기판 공정인 M-SAP공정 또는 텐팅 공정 등으로 형성할 수 있다.
- [0013] 서브 회로기판(100)은 코어리스(coreless) 구조 즉, 별도의 보강부재를 가운데 부분에 가지지 않는 구조로 형성될 수 있다. 예를 들면, 서브 회로기판(100)은 중심부에 보강부재가 없이 미세한 회로패턴(120)과 이를 절연시키는 제2 절연층을 차례로 적층하여 형성할 수 있다. 이 때, 코어리스 구조의 서브 회로기판(100)의 휨(warping)을 방지하기 위하여 서브 회로기판(100)에 섬유 보강재를 구비한 보강층을 추가할 수 있다. 예를 들면, 미세한 회로패턴(120)과 제2 절연층으로 빌드업 된 회로층에 프리프레그(prepreg)층을 추가로 적층할 수 있다.
- [0014] 서브 회로기판(100)은 다이(1)와 직접 연결될 수 있도록, 일면에 패드(130)가 형성되고 패드(130)에 다이(1)가 직접 결합될 수 있다. 이 때, 서브 회로기판(100)의 일면은 인쇄회로기판의 외층이 될 수 있다.
- [0015] 또한, 서브 회로기판(100)의 일면 위에 부가적으로 외층이 형성되고, 외층에는 다이(1)와 고밀도 회로(110)를 연결시키는 외층 회로(165)가 형성될 수 있다. 도 1에 나타난 바와 같이, 외층 회로(165)는 다이(1)와의 연결을 위한 패드를 포함하고 고밀도 회로(110)의 패드(130)와 연결될 수 있다. 외층 회로(165)는 미세한 고밀도 회로(110)가 직접 솔더링되어 손상되는 것을 방지할 수 있다.
- [0016] 한편, 외층 회로(165)는 고밀도 회로(110)를 팬아웃(fan-out)시키는 팬아웃 회로패턴을 포함할 수 있다. 다시 말해, 서브 회로기판(100)의 조밀하게 형성된 고밀도 회로(110)를 팬아웃 회로패턴을 통하여 저밀도 회로기판 영역의 외층으로 넓게 분산시킬 수 있다. 팬아웃 회로패턴은 다이(1)의 규격에 맞추어 인쇄회로기판의 외층에 패드를 형성된 포함할 수 있다. 이에 따라, 고밀도 회로(110)는 다이(1)의 규격에 영향을 받지 않고 자유롭게 설계될 수 있으므로, 고밀도 회로(110)의 설계 자유도를 높일 수 있다.
- [0017] 서브 회로기판(100)은 고밀도 회로(110)에 연결되고 제1 절연층(180)에 매립되는 제1 전자소자(140)를 포함할 수 있다. 예를 들면, 서브 회로기판(100)의 외층에 능동 및 수동소자와 같은 제1 전자소자(140)가 탑재될 수 있다. 도 15를 참조하면, 서브 회로기판(100)의 상면에 커패시터와 같은 수동소자가 탑재될 수 있다. 특히, 다이 사이드 커패시터(die side capacitor) 등과 같이 종래에는 인쇄회로기판의 외층에 탑재되는 전자소자도 서브 회로기판(100)에 탑재되어 인쇄회로기판에 내장될 수 있다. 또한, 서브 회로기판(100)은 다이(1)의 기능을 지원할 수 있도록, 마이크로 전자장치/시스템의 라우팅 및 전력 전달 기능을 가지는 제1 전자소자(140)를 탑재할 수 있

다.

- [0018] 서브 회로기판(100)에서 고밀도 회로(110)는 서로 대칭되게 적층된 스택 비아(stack via, 125a, 125b)를 포함할 수 있다. 서브 회로기판(100)의 휨을 저감시키기 위하여, 고밀도 회로(110)의 비아는 중심부분을 기준으로 양측으로 대칭되게 적층되는 비아구조를 가질 수 있다. 도 2는 본 발명에 따른 인쇄회로기판의 고밀도 회로(110)에서 비아 구조를 예시하는 도면이다. 도 2를 참조하면, 초기에 몇 층만을 일방으로 적층한 후에, 나머지 층을 양쪽에서 나누어 연속적으로 적층하여 서로 대칭된 스택 비아의 구조(125a, 125b)를 형성할 수 있다.
- [0019] 코어부재(155)는 인쇄회로기판의 중심부 층을 이루며, 제1 절연층(180)과 함께 서브 회로기판(100)의 휨(warp)을 방지하는 역할을 한다. 이를 위해, 코어부재(155)는 서브 회로기판(100) 및 제1 절연층(180)보다 강성이 높은 재질로 이루어지며, 코어부재(155)에는 관통홀이 형성되어 서브 회로기판(100)을 내부에 배치시킬 수 있다.
- [0020] 예를 들면, 코어부재(155)은 절연수지 내에 유리 섬유 또는 탄소 섬유와 같은 보강부재가 함침된 절연기판일 수 있으며, 금속재질의 메탈코어를 코어부재(155)으로 이용할 수도 있는 등, 그 재질은 다양하게 변경될 수 있다. 또한, 코어부재(155)는 관통하는 비아(156)를 더 포함할 수 있다. 코어부재(155)의 비아(156)는 코어부재(155) 양측을 전기적으로 연결시킨다. 도 1을 참조하면, 코어부재(155)의 상면 및 하면에 형성된 저밀도 회로(160)는 비아(156)를 통하여 연결될 수 있다.
- [0021] 본 실시예에서 제시한 바와 같이, 코어부재(155)가 서브 회로기판(100)을 내장하는 구조를 가지게 되면, 서브 회로기판(100)이 내장되는 영역은 두꺼운 코어(core)구조가 삭제될 수 있다. 이에 따라, 적어도 서브 회로기판(100)이 내장되는 영역은 코어부재(155)를 관통하여 형성된 비아(156)를 생략할 수 있다. 코어부재(155)를 관통하는 비아(156)는 가공 상의 문제로 인하여 미세한 간격으로 형성하는데 제약이 있다. 따라서, 코어부재(155)를 관통하는 비아(156)를 생략하고, 서브 회로기판(100)의 스택 비아로 코어부재(155)의 비아(156)의 역할을 대체하면 비아 간의 피치를 미세화할 수 있다. 또한, 코어구조가 삭제됨으로써, 코어 상/하면 2층의 회로층을 줄일 수 있다. 비아의 간격을 줄이고 코어 상/하면의 회로층을 줄임으로써, 회로 라우팅(routing) 거리를 감소시키고 전체 기판의 층수와 사이즈(size)를 줄일 수 있다. 또한, 코어부재(155)의 비아(156)와 이에 연결된 비아를 스택 비아로 대체함으로써, 코어부재(155)의 비아(156)와 이에 연결된 비아의 CTE(열팽창계수) 차이로 인한 응력 발생 문제를 방지할 수 있다.
- [0022] 제1 절연층(180)은 코어부재(155) 및 서브 회로기판(100)의 양면에 적층되어, 코어부재(155)의 관통홀에 배치된 서브 회로기판(100)의 양면과 코어부재(155)를 결합시킬 수 있다.
- [0023] 도 1을 참조하면, 코어부재(155)가 인쇄회로기판의 중심부 층으로 이용되고, 코어부재(155)의 가운데 부분에 형성된 관통홀에 서브 회로기판(100)이 배치될 수 있다. 그리고, 제1 절연층(180)에 의해 코어부재(155)과 서브 회로기판(100)이 결합될 수 있다. 예를 들면, 코어부재(155)은 사각 프레임 형상을 지니고, 서브 회로기판(100)은 사각 프레임 내부에 배치되고 내장되는 구조를 가질 수 있다. 그리고, 양면에 적층된 제1 절연층(180)에 의해서, 코어부재(155)가 내장된 서브 회로기판(100)을 잡아주는 구조를 가져서 서브 회로기판(100)의 휨(warp)을 방지할 수 있다.
- [0024] 또한, 제1 절연층(180)은 유리섬유(Glass cloth)와 같은 섬유 보강재가 포함될 수 있다. 예를 들면, 제1 절연층(180)은 프리프레그(prepreg)가 적층되어 형성될 수 있다. 유리섬유와 같은 섬유 보강재가 포함된 제1 절연층(180)은 서브 회로기판(100) 및 코어부재(155)를 일체로 할 때, 서브 회로기판(100)의 강성을 더욱 보강시킬 수 있다.
- [0025] 절연재(185)는 관통홀의 내벽(155a)과 서브 회로기판(100) 사이에 충전되어서, 서브 회로기판(100)의 측면을 코어부재(155)에 결합시킬 수 있다.
- [0026] 도 1을 참조하면, 코어부재(155)의 관통홀에 서브 회로기판(100)이 배치되고, 관통홀의 내벽(155a)과 서브 회로기판(100) 사이에는 갭이 형성된다. 절연재(185)는 갭을 메움과 동시에 코어부재(155)와 서브 회로기판(100)을 결합시킬 수 있다. 이에 따라, 절연재(185)는 코어부재(155)가 서브 회로기판(100)의 측면을 잡아주는 구조를 가지게 함으로써, 서브 회로기판(100)의 휨(warp)을 방지할 수 있다.
- [0027] 절연재(185)는 서브 회로기판(100)의 제2 절연층(105)와는 다른 재질로 이루어질 수 있다. 예를 들면, 제1 절연층(180)의 절연물질 일부가 충전되어 형성될 수 있다. 이 때, 제1 절연층(180)이 섬유 보강재를 포함할 경우, 절연재(185)도 같이 섬유 보강재를 포함할 수 있다. 또한, 제1 절연층(180)을 적층하기 이전에 관통홀의 내벽

(155a)과 서브 회로기판(100) 사이에 별도의 물질을 충전하여 절연재(185)를 형성할 수도 있다.

- [0028] 코어부재(155)와 제1 절연층(180)으로 이루어진 영역에는 고밀도 회로(110)에 비하여 밀도가 낮은 저밀도 회로(160)가 형성될 수 있다. 인쇄회로기판에서 특별한 용도로 고밀도 회로(110)가 필요한 부분 이외의 나머지 부분에는 고밀도의 회로가 구성되어야 할 필요성이 적다. 따라서, 다른 부분에는 수율이 높고 비용이 적게 소모되는 저밀도의 회로가 형성됨이 바람직하다.
- [0029] 예를 들면, 코어부재(155)와 제1 절연층(180) 중 적어도 어느 하나에는 내부 또는 외부에 저밀도 회로(160)가 형성될 수 있다. 이에 따라, 코어부재(155), 제1 절연층(180) 및 저밀도 회로(160)은 일체로서 저밀도 회로기판 영역을 형성할 수 있고, 전체적으로 보면 저밀도 회로기판 영역이 고밀도 회로(110)를 구비한 서브 회로기판(100)을 내장하는 구조를 가질 수 있다.
- [0030] 서브 회로기판(100)은 저밀도 회로기판 영역에 비하여 높은 밀도의 회로층을 가지므로 층 간격이 저밀도 회로기판 영역의 층 간격보다 좁게 형성된다. 예를 들면, 저밀도 회로기판 영역 중 하나의 절연층에 복수 층의 서브 회로기판(100)이 내장될 수 있다. 내장된 서브 회로기판(100)은 저밀도 회로기판 영역의 외층에 의해 덮일 수 있다.
- [0031] 또한, 저밀도 회로기판 영역은 서버기판의 폼 팩터(form factor)에 부합되게 형성될 수 있다. 폼 팩터는, 서버기판과 같은 특정한 용도를 가지는 회로기판의 크기, 구성 및 물리적 배열을 말하는 것으로 하드웨어를 구성하는 표준이 된다. 본 발명의 인쇄회로기판은 저밀도 회로기판 영역이 폼 팩터에 대응되게 형성되고, 서브 회로기판(100)은 자유롭게 형성될 수 있다. 예를 들면, 폼 팩터에 대응되는 영역인 저밀도 회로기판 영역은 규격에 따른 레이아웃을 가지고, 폼 팩터 외의 영역인 서브 회로기판(100)은 다양한 사이즈 또는 형태로 제작될 수 있다.
- [0032] 한편, 저밀도 회로기판 영역은 다이(1) 사이드 쪽의 부품 실장 공간을 확보한다. 저밀도 회로기판 영역에는 다이(1) 사이드 캐패시터(die side capacitor) 등과 같이 서버기판의 외층에 탑재되는 제2 전자소자(190)가 탑재될 수 있다. 또한, 저밀도 회로기판 영역에는 그라운드(GND)가 형성될 수도 있으며, 그라운드는 비아를 통하여 서브 회로기판(100)에 연결될 수 있다.
- [0033] 저밀도 회로기판 영역은, 저밀도 회로(160)와 서브 회로기판(100)의 와 고밀도 회로(110)를 연결시키는 비아(170) 또는 솔더범프를 더 포함할 수 있다. 저밀도 회로기판 영역의 저밀도 회로(160)는 서브 회로기판(100)을 향하는 패드 및 이와 연결되는 회로패턴을 구비할 수 있다. 도 1을 참조하면, 비아(170)를 통하여 저밀도 회로(160)와 고밀도 회로(110)는 상하로 직접 연결할 수 있다. 이에 따라, 신호를 전달하는 회로의 라우팅 거리가 감소하여 전기적 신뢰성을 높일 수 있다.
- [0034] 도 3 내지 도 14는 본 발명의 제1 실시예에 따른 인쇄회로기판의 제조방법을 나타낸 도면이다. 본 발명의 제1 실시예에 따른 인쇄회로기판의 제조방법은 코어부재(155)를 구비한 저밀도 회로기판 영역에 서브 회로기판(100)을 결합시키고 내장시키는 방법을 예시한다.
- [0035] 도 3 내지 도 5를 참조하면, 금속층(160a)이 형성된 코어부재(155)를 준비하고, 코어부재(155)를 관통하는 비아(156)를 포함하는 저밀도 회로(160)의 일부를 형성할 수 있다. 이 때, 서브 회로기판(100)이 수용될 부분은 금속층(160a)을 미리 제거할 수 있다. 도 6을 참조하면, 코어부재(155)를 가공하여 관통홀(C)을 형성할 수 있다.
- [0036] 도 7을 참조하면, 고밀도 회로(110)를 구비한 서브 회로기판(100)을 준비하고, 서브 회로기판(100)을 관통홀(C) 내부에 배치시킬 수 있다. 서브 회로기판(100)을 고정할 수 있도록, 코어부재(155)의 일면에는 접착 테이프(155b)가 부착될 수 있다.
- [0037] 도 8을 참조하면, 코어부재(155)의 타면에 제1 절연층(180) 적층하여, 절연재(185)를 충전하고 서브 회로기판(100)을 내장(encapsulation)시킬 수 있다. 제1 절연층(180)의 절연물질 일부가, 관통홀의 내벽(155a)과 서브 회로기판(100) 사이의 갭에 충전되어 절연재(185)가 형성될 수 있다. 이 때, 제1 절연층(180)은 유리섬유(Glass cloth)와 같은 섬유 보강재가 포함될 수 있다.
- [0038] 도 9를 참조하면, 코어부재(155)의 일면에서 접착 테이프(155b)를 제거하고, 코어부재(155)의 일면에도 제1 절연층(180)을 적층할 수 있다. 이에 따라, 서브 회로기판(100)의 양면은 제1 절연층(180)에 의해 코어부재(155)와 단단히 결합되어 힘을 방지할 수 있다.
- [0039] 도 10 및 도 11을 참조하면, 서브 회로기판(100)의 일면과 연결되는 외층 회로(165)를 형성할 수 있다. 또한, 서브 회로기판(100)의 타면에는 비아(170) 및 비아(170)와 연결되는 저밀도 회로(160)를 형성할 수 있다. 도 12

를 참조하면, 인쇄회로기판의 외층에 솔더레지스트층을 추가로 형성할 수 있다.

- [0040] 도 13을 참조하면, 솔더레지스트층의 오프닝을 통하여 인쇄회로기판의 일면으로 노출된 외층 회로(165)에 솔더 범프를 형성할 수 있으며, 타면에는 제2 전자소자(190)를 실장할 수 있다. 도 14를 참조하면, 인쇄회로기판의 일면에 다이(1)를 실장하고 솔더 범프로 외층 회로(165)와 연결시킬 수 있다.
- [0041] 도 16은 본 발명의 제3 실시예에 따른 인쇄회로기판을 나타낸 도면이다. 도 16을 참조하면, 본 발명의 제3 실시예에 따른 인쇄회로기판은 서브 회로기판(100)의 타면에 적층되는 다층의 저밀도 회로층(200a)을 더 포함하는 구조를 가진다. 다시 말해, 상술한 제1 실시예에 따른 인쇄회로기판을 상부기판으로 하고 다층의 저밀도 회로층(200a)을 하부기판으로 더하여진 구조를 가질 수 있다.
- [0042] 다층의 저밀도 회로층(200a)은 서브 회로기판(100)을 내장한 상부기판을 지지하도록 연결된다. 다층의 저밀도 회로층(200a)의 회로는 비아(220)를 통하여 서브 회로기판(100) 및 상부기판의 저밀도 회로와 연결된다. 다층의 저밀도 회로층(200a)에는 서브 회로기판(100)보다 두꺼운 회로와 절연층이 형성되므로 서브 회로기판(100)을 내장하는 상부기판보다는 높은 강성을 가질 수 있다. 이에 따라, 다층의 저밀도 회로층(200a)은 서브 회로기판(100) 및 상부기판의 휨을 방지하는 역할을 할 수 있다.
- [0043] 도 17 내지 도 25는 본 발명의 제3 실시예에 따른 인쇄회로기판의 제조방법을 나타낸 도면이다. 본 발명의 제3 실시예에 따른 인쇄회로기판의 제조방법은 코어부재(155)와 다층의 저밀도 회로층(200a)을 구비한 저밀도 회로기판(200)에 서브 회로기판(100)을 결합시키고 내장시키는 방법을 예시한다.
- [0044] 도 17 및 도 18을 참조하면, 캐리어(5)를 준비하고, 캐리어(5)의 양면에 접착층(6)을 형성할 수 있다. 도 19를 참조하면, 캐리어(5)의 양면에 관통홀(C) 및 저밀도 회로(160)의 일부가 형성된 코어부재(155)를 부착시킬 수 있다.
- [0045] 도 20을 참조하면, 고밀도 회로(110)를 구비한 서브 회로기판(100)을 준비하고, 서브 회로기판(100)을 관통홀(C) 내부에 배치시킬 수 있다. 이 때, 본 실시예의 서브 회로기판(100)은 상술한 제1 실시예의 서브 회로기판(100)이 뒤집힌 형태로 배치된다. 다시 말해, 다이(1)가 연결되는 서브 회로기판(100)의 일면이 캐리어(5)를 향하여 배치된다.
- [0046] 도 21을 참조하면, 코어부재(155)의 타면에 제1 절연층(180)을 적층하여, 절연재(185)를 충전하고 서브 회로기판(100)을 내장시킬 수 있다. 또한, 섬유 보강재를 포함하는 제1 절연층(180)을 서브 회로기판(100)과 코어부재(155)에 적층하여 서브 회로기판(100)을 코어부재(155)에 더욱 단단히 결합시킬 수 있다.
- [0047] 도 22를 참조하면, 캐리어(5)의 양면에 형성된 2개의 상부기판 각각에 다층의 저밀도 회로층(200a)을 부가로 형성할 수 있다. 이 때, 서브 회로기판(100)의 타면에 저밀도 회로층(200a)과 연결되는 비아(220)를 형성할 수 있다. 또한, 휨(warp)를 방지하기 위하여 다층의 저밀도 회로층(200a)에 섬유 보강재가 포함된 절연층을 적용할 수 있다.
- [0048] 도 23 및 도 24를 참조하면, 캐리어(5)를 분리한 후에 서브 회로기판(100)의 일면과 연결되는 외층 회로(230)를 형성할 수 있다. 또한, 인쇄회로기판의 외층에 솔더레지스트층을 추가로 형성할 수 있다.
- [0049] 도 25을 참조하면, 솔더레지스트층의 오프닝을 통하여 인쇄회로기판의 일면으로 노출된 외층 회로에 다이(1)를 실장할 수 있으며, 타면에는 제2 전자소자(190)를 실장할 수 있다.
- [0050] 이상, 본 발명의 일 실시예에 대하여 설명하였으나, 해당 기술 분야에서 통상의 지식을 가진 자라면 특허청구범위에 기재된 본 발명의 사상으로부터 벗어나지 않는 범위 내에서, 구성 요소의 부가, 변경, 삭제 또는 추가 등에 의해 본 발명을 다양하게 수정 및 변경시킬 수 있을 것이며, 이 또한 본 발명의 권리범위 내에 포함한다고 할 것이다.

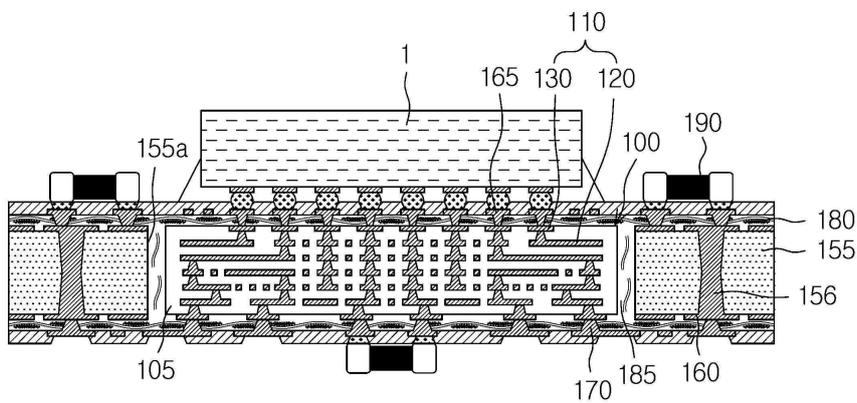
부호의 설명

- [0051] 1: 다이
- 5: 캐리어
- 100: 서브 회로기판
- 110: 고밀도 회로

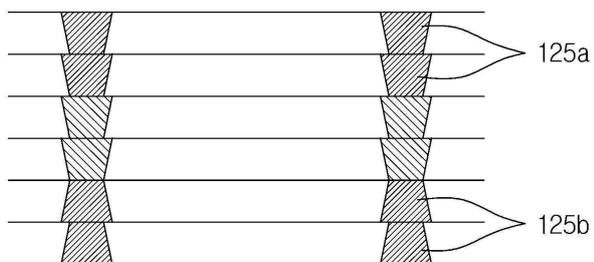
- 140: 제1 전자소자
- 155: 코어부재
- 160: 저밀도 회로
- 165, 230: 외층 회로
- 180: 제1 절연층
- 185: 절연재
- 190: 제2 전자소자

도면

도면1



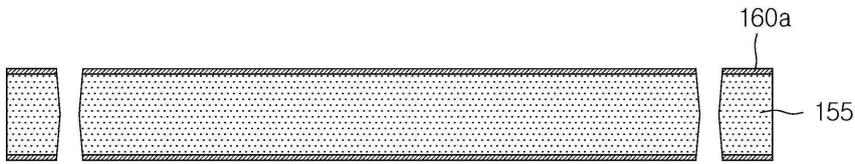
도면2



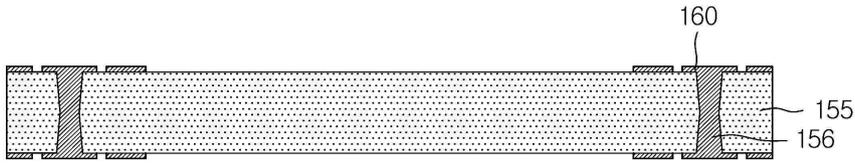
도면3



도면4



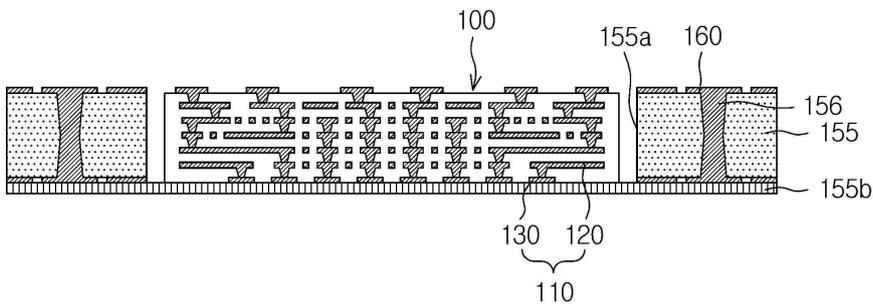
도면5



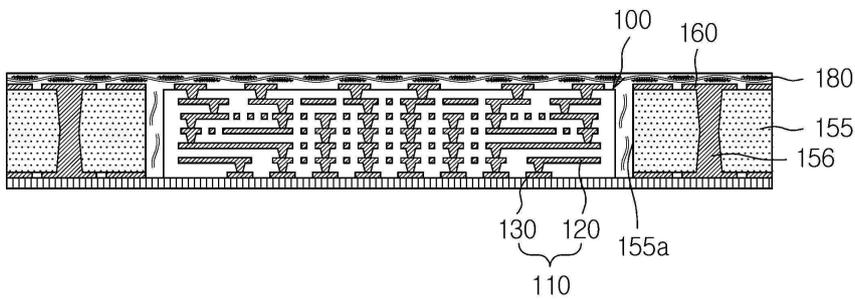
도면6



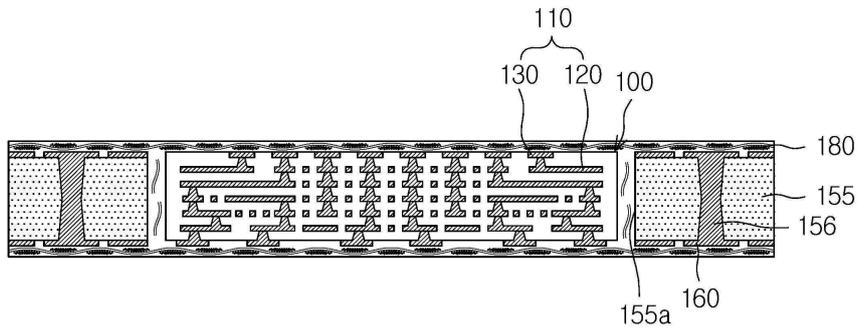
도면7



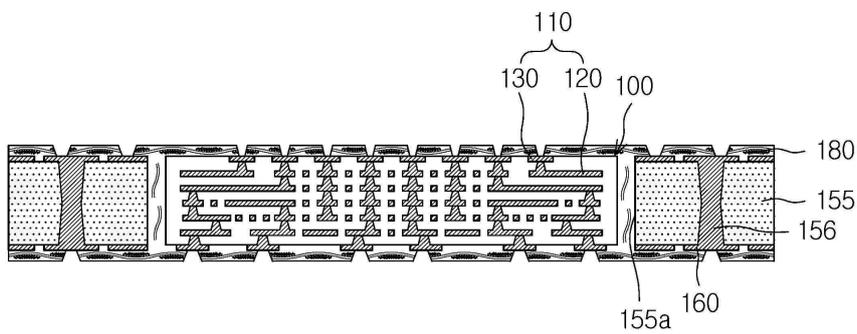
도면8



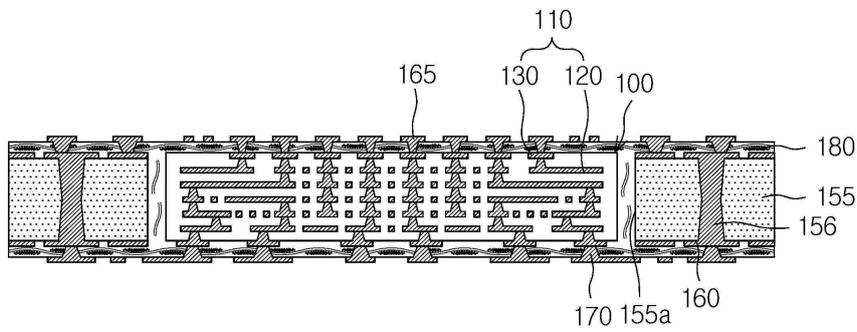
도면9



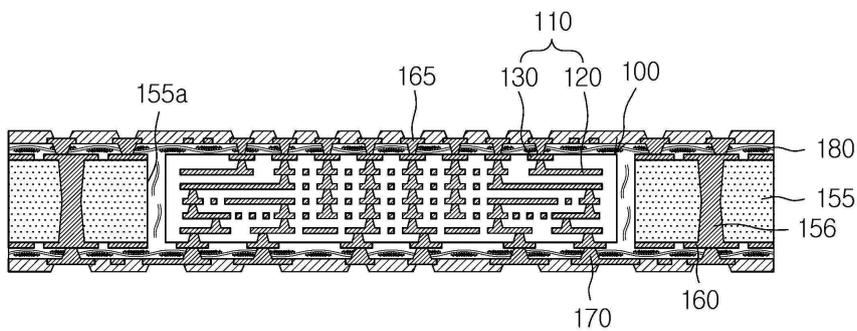
도면10



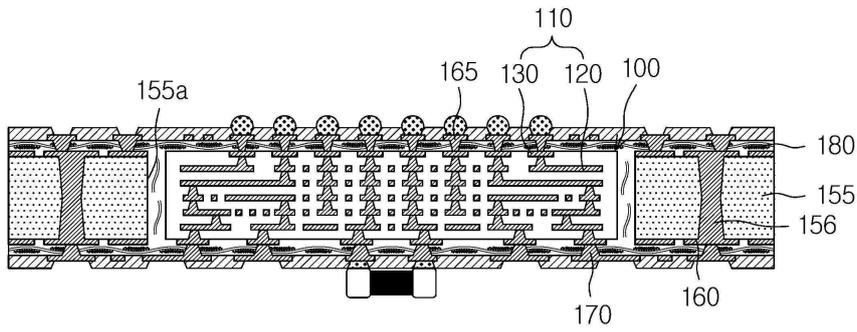
도면11



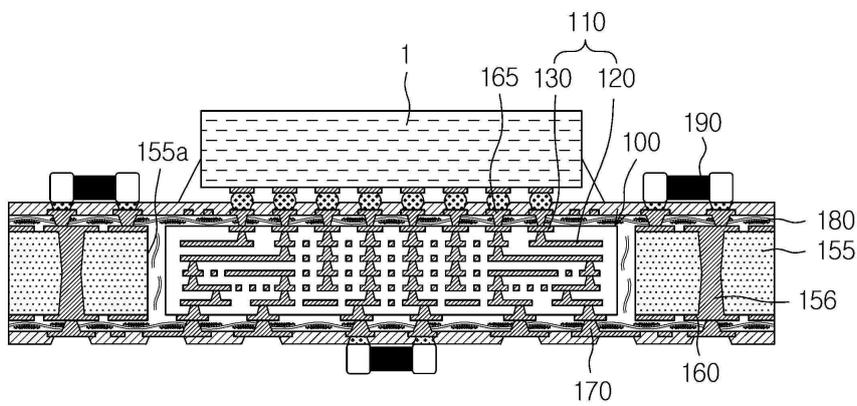
도면12



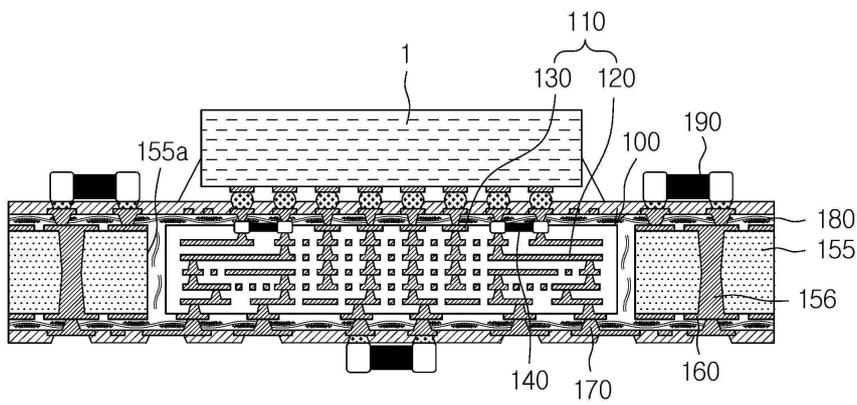
도면13



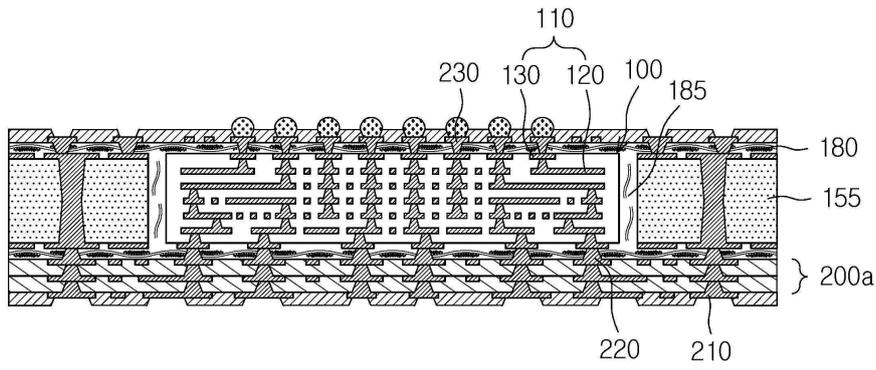
도면14



도면15



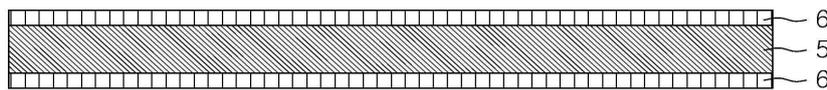
도면16



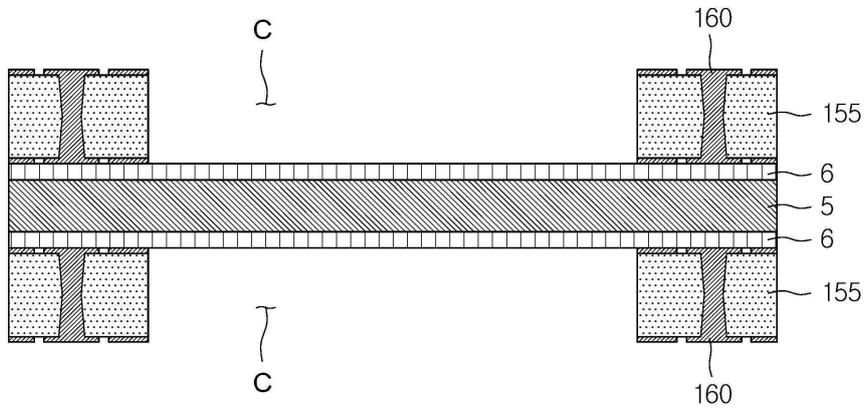
도면17



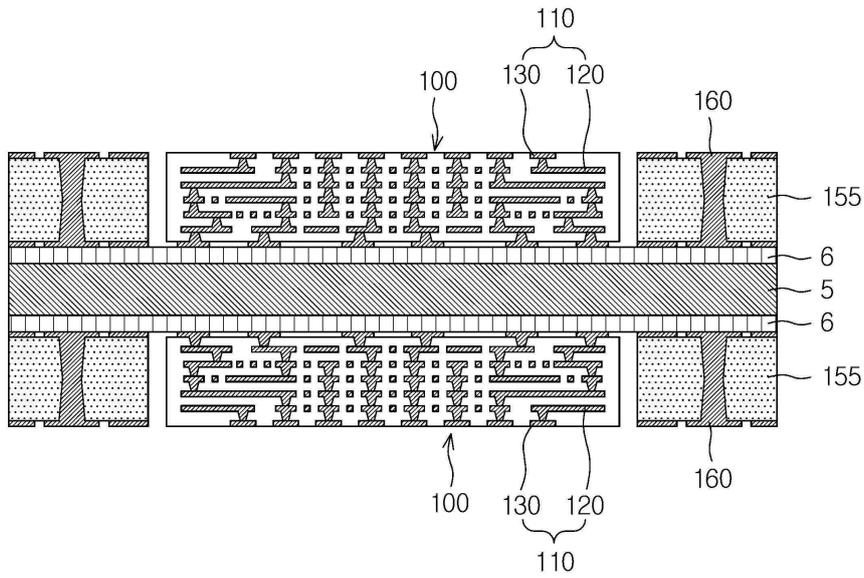
도면18



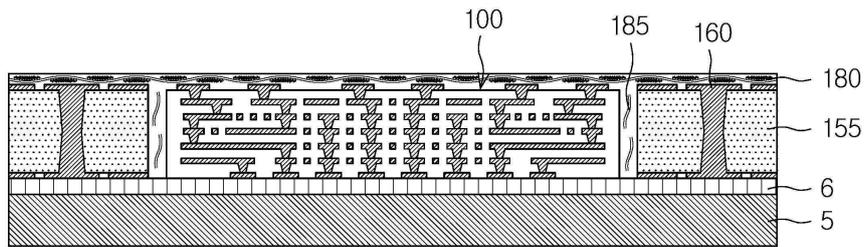
도면19



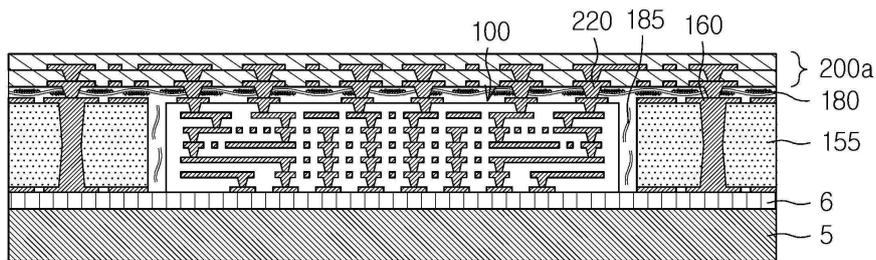
도면20



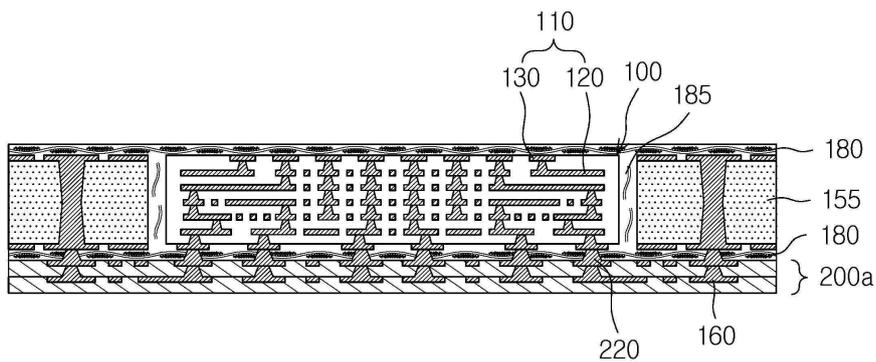
도면21



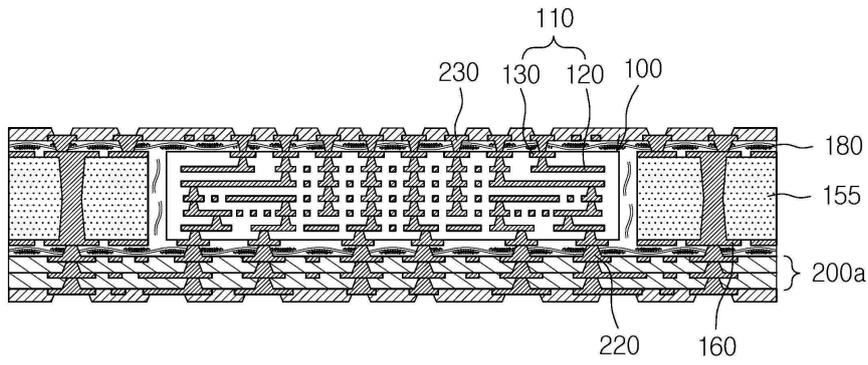
도면22



도면23



도면24



도면25

