

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/092 (2006.01)

H01L 21/8238 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200810129778.7

[43] 公开日 2009年4月22日

[11] 公开号 CN 101414608A

[22] 申请日 2008.8.18

[21] 申请号 200810129778.7

[30] 优先权

[32] 2007.10.16 [33] KR [31] 10-2007-0104062

[71] 申请人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞416

[72] 发明人 姜东勋 李商文 田重锡 白光铉

[74] 专利代理机构 北京铭硕知识产权代理有限公司

代理人 郭鸿禧 罗延红

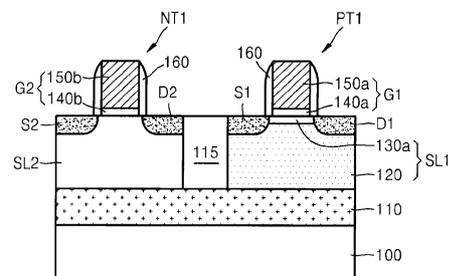
权利要求书3页 说明书8页 附图5页

## [54] 发明名称

互补金属氧化物半导体装置及其制造方法

## [57] 摘要

本发明提供了一种互补金属氧化物半导体 (CMOS) 装置及其制造方法。该 CMOS 装置包括：外延层，可形成在基底上；第一半导体层和第二半导体层，可分别形成在外延层的不同区域上；PMOS 晶体管和 NMOS 晶体管，可分别形成在第一半导体层上和第二半导体层上。



1、一种互补金属氧化物半导体装置，包括：

外延层，在基底上；

第一半导体层和第二半导体层，在外延层的不同区域上；

PMOS 晶体管，在第一半导体层上；

NMOS 晶体管，在第二半导体层上。

2、如权利要求 1 所述的互补金属氧化物半导体装置，其中，外延层包括 SiGe 层。

3、如权利要求 1 所述的互补金属氧化物半导体装置，其中，第一半导体层包括在外延层上方的下层和在所述下层上方的上层，所述下层形成沟道，所述上层是覆盖层。

4、如权利要求 3 所述的互补金属氧化物半导体装置，其中，所述下层包括压应变的 Ge 层或压应变的 GaAs 层。

5、如权利要求 3 所述的互补金属氧化物半导体装置，其中，覆盖层包括 Si 层。

6、如权利要求 3 所述的互补金属氧化物半导体装置，其中，覆盖层的厚度是 3nm 至 100nm。

7、如权利要求 1 所述的互补金属氧化物半导体装置，其中，第二半导体层包括拉应变的 Si 层。

8、如权利要求 1 所述的互补金属氧化物半导体装置，还包括位于第一半导体层和第二半导体层之间的绝缘层。

9、一种互补金属氧化物半导体装置，包括：

第一半导体层和第二半导体层，在基底的不同区域上；

PMOS 晶体管，在第一半导体层上；

NMOS 晶体管，在第二半导体层上，其中，第一半导体层包括其中形成有沟道的下层和在所述下层上的覆盖层，覆盖层和第二半导体层由相同的材料形成。

10、如权利要求 9 所述的互补金属氧化物半导体装置，还包括在基底上的 SiGe 层，第一半导体层和第二半导体层在所述 SiGe 层上。

11、如权利要求 9 所述的互补金属氧化物半导体装置，其中，所述下层

包括压应变的 Ge 层或压应变的 GaAs 层。

12、如权利要求 9 所述的互补金属氧化物半导体装置，其中，第二半导体层包括拉应变的 Si 层。

13、如权利要求 9 所述的互补金属氧化物半导体装置，其中，覆盖层的厚度是 3nm 至 100nm。

14、如权利要求 9 所述的互补金属氧化物半导体装置，还包括位于第一半导体层和第二半导体层之间的绝缘层。

15、一种制造互补金属氧化物半导体装置的方法，包括以下步骤：

在基底上形成外延层；

在外延层的第一区域上形成第一半导体层；

在外延层的第二区域上形成第二半导体层；

在第一半导体层上形成 PMOS 晶体管；

在第二半导体层上形成 NMOS 晶体管。

16、如权利要求 15 所述的方法，其中，由 SiGe 形成外延层。

17、如权利要求 15 所述的方法，其中，在外延层的第一区域上形成第一半导体层的步骤包括：在外延层上方形成下层并在所述下层上方形成上层，从而形成包括所述上层和所述下层的第一半导体层，其中，所述下层形成沟道，所述上层是覆盖层。

18、如权利要求 17 所述的方法，其中，在外延层的第一区域和第二区域上分别形成第一半导体层和第二半导体层的步骤包括：

在第一区域上形成所述下层；

在所述下层上形成所述覆盖层，并在第二区域上形成第二半导体层。

19、如权利要求 17 所述的方法，其中，由相同的材料形成第二半导体层和所述覆盖层。

20、如权利要求 19 所述的方法，其中，同时形成第二半导体层和所述覆盖层。

21、如权利要求 15 所述的方法，其中，第二半导体层包括拉应变的 Si 层。

22、如权利要求 19 所述的方法，其中，第二半导体层包括拉应变的 Si 层。

23、如权利要求 17 所述的方法，其中，所述下层包括压应变的 Ge 层或

---

压应变的 GaAs 层。

24、如权利要求 17 所述的方法，其中，将所述覆盖层形成为具有 3nm 至 100nm 的厚度。

25、如权利要求 15 所述的方法，其中，在第一半导体层和第二半导体层之间设置绝缘层。

## 互补金属氧化物半导体装置及其制造方法

### 技术领域

示例实施例涉及一种半导体装置及其制造方法，更具体地讲，涉及一种互补金属氧化物半导体（CMOS）装置及其制造方法。

### 背景技术

如所公知的，金属氧化物半导体（MOS）晶体管用在电子装置的领域中。具体地讲，由于互补金属氧化物半导体（CMOS）装置的许多优点，例如低功耗、宽范围的工作区域、高的噪声容限（margin）等，所以 CMOS 装置可以用在各种类型的电子装置中，在 CMOS 装置中，P 沟道 MOS（PMOS）晶体管和 N 沟道 MOS（NMOS）晶体管形成在一起以互补地工作。

随着对工作速度更高、尺寸减小和制造成本降低的电子装置（例如存储器装置）的需求增多，已经对增大 CMOS 装置的工作速度和集成度进行了研究。

通常，如果缩短沟道的长度，则晶体管的集成度增大，同时流过沟道的电流的量也增大。然而，如果沟道的长度小于临界值，则会发生短沟道效应。具体地讲，缩短的沟道长度会导致源极和沟道的电势受漏极电势的影响。因此，会难以通过缩短沟道的长度来增大晶体管的工作速度和/或集成度。

因此，为了通过增大沟道的载流子迁移率来增大晶体管的输出电流和/或提高晶体管的开关性能，已经进行了研究。然而，因为传统的方法会利用昂贵的绝缘体上硅（SOI）基底或晶片键合方法等，所以与制造工艺相关的问题会被复杂化和/或其成本增大。

### 发明内容

示例实施例可提供一种可以以更低的制造成本更容易地制造的互补金属氧化物半导体（CMOS）装置，该 CMOS 装置可包括具有更高的载流子迁移率的沟道。

示例实施例还可提供一种制造 CMOS 装置的方法。

根据示例实施例，可提供一种 CMOS 装置，该 CMOS 装置包括：外延层，形成在基底上；第一半导体层和第二半导体层，可分别形成在外延层的不同区域上；PMOS 晶体管和 NMOS 晶体管，可分别形成在第一半导体层上和第二半导体层上。

外延层可包括 SiGe 层。

第一半导体层可包括上层和下层，上层和下层可顺序地堆叠在外延层上，其中，下层可以是其中可形成有沟道的层，上层可以是覆盖层。

下层可包括压应变的 Ge 层或压应变的 GaAs 层。

覆盖层可包括 Si 层。

覆盖层的厚度可以处于 3nm 至 100nm 的范围内。

第二半导体层可包括拉应变的 Si 层。

根据示例实施例，可提供一种 CMOS 装置，该 CMOS 装置包括：第一半导体层和第二半导体层，可分别形成在基底的不同区域上；PMOS 晶体管和 NMOS 晶体管，可分别形成在第一半导体层上和第二半导体层上，其中，第一半导体层包括其中可形成有沟道的下层和可形成在所述下层上的覆盖层，覆盖层和第二半导体层可由相同的材料形成。

SiGe 层可形成在基底上，第一半导体层和第二半导体层可形成在所述 SiGe 层上。

下层可包括压应变的 Ge 层或压应变的 GaAs 层。

第二半导体层可包括拉应变的 Si 层。

覆盖层的厚度可以处于 3nm 至 100nm 的范围内。

根据示例实施例，可提供一种制造 CMOS 装置的方法，该方法包括以下步骤：在基底上形成外延层；在外延层的第一区域和第二区域上分别形成第一半导体层和第二半导体层；在第一半导体层和第二半导体层上分别形成 PMOS 晶体管和 NMOS 晶体管。

可由 SiGe 形成外延层。

第一半导体层可包括上层和下层，上层和下层可顺序地堆叠在外延层上，其中，下层可以是其中可形成有沟道的层，上层可以是覆盖层。

在外延层的第一区域和第二区域上分别形成第一半导体层和第二半导体层的步骤可包括：在第一区域上形成下层；在下层上形成覆盖层，并在第二区域上形成第二半导体层。

可以由相同的材料形成第二半导体层和覆盖层。

可以同时形成第二半导体层和覆盖层。

第二半导体层可包括拉应变的 Si 层。

下层可包括压应变的 Ge 层或压应变的 GaAs 层。

可将所述覆盖层形成为具有范围为 3nm 至 100nm 的厚度。

#### 附图说明

通过参照附图详细描述示例实施例，示例实施例的以上和其它特征及优点将变得更加清楚。附图意在示出示例实施例，而不应该被解释为限制权利要求意图覆盖的范围。除非明确地标出，否则附图将不被视为按比例绘制的。

图 1 是根据示例实施例的互补金属氧化物半导体 (CMOS) 装置的剖视图。

图 2A 至图 2E 是示出根据示例实施例的制造 CMOS 装置的方法的剖视图。

图 3A 至图 3C 是示出根据另一示例实施例的制造 CMOS 装置的方法的剖视图。

#### 具体实施方式

在这里公开了详细的示例实施例。然而，为了描述示例实施例的目的，这里公开的特定的结构上和功能上的细节仅仅是代表性的。然而，可以以许多替换性的形式来实施示例实施例，且示例实施例不应该被解释为仅限于在此阐述的实施例。

因此，虽然示例实施例能够具有各种修改和可选择的形式，但是在附图中通过示例的方式示出了示例实施例的实施例，并且在这里将详细描述示例实施例的实施例。然而，应该理解的是，没有意图使示例实施例局限于公开的具体形式，而是相反，示例实施例将覆盖落入示例实施例的范围内的所有修改、等同物和替换物。在附图的整个描述中，相同的标号表示相同的元件。

将理解的是，虽然术语“第一”、“第二”等在这里可以用来描述各种元件，但是这些元件不应该受这些术语的限制。这些术语仅用来将一个元件与另一元件区别开来。例如，在不脱离示例实施例的范围的情况下，第一元件可被称为第二元件，类似地，第二元件可被称为第一元件。如这里所使用的，

术语“和/或”包括一个或多个相关所列项目的任意组合和所有组合。

应该理解的是，当元件被称作“连接”或“结合”到另一元件时，该元件可以直接连接或结合到另一元件，或者可以存在中间元件。相反，当元件被称作“直接连接”或“直接结合”到另一元件时，不存在中间元件。应当以相同的方式解释用于描述元件之间的关系的其它词语（例如“在...之间”和“直接在...之间”、“与...相邻”和“与...直接相邻”等）。

这里使用的术语仅为了描述具体实施例的目的，而不意图限制示例实施例。如这里所使用的，除非上下文另外清楚地指出，否则单数形式也意图包括复数形式。还将理解的是，当这里使用术语“包含”和/或“包括”时，说明存在所述特征、整体、步骤、操作、元件和/或组件，但不排除存在或添加一个或多个其它特征、整体、步骤、操作、元件、组件和/或它们的组。

还应该注意的，在一些可选择的实施方式中，标示出的功能/动作可以不按照图中标示出的顺序发生。例如，根据所涉及的功能/动作，连续示出的两幅图实际上可以基本同时地执行，或者有时可以按照相反的顺序来执行。

图 1 是根据示例实施例的互补金属氧化物半导体（CMOS）装置的剖视图。

参照图 1，外延层（epi-layer）110 可形成在基底 100 上，基底 100 可以是 Si 基底，外延层 110 可以是 SiGe 层，例如  $\text{Si}_{0.5}\text{Ge}_{0.5}$  层。第一半导体层 SL1 和第二半导体层 SL2 可分别形成在外延层 110 的不同区域上。绝缘层 115 可作为第一半导体层 SL1 和第二半导体层 SL2 之间的分隔层形成在外延层 110 上。在其它示例实施例中，可以省略外延层 110，即，第一半导体层 SL1 和第二半导体层 SL2 可直接形成在基底 100 的不同区域上。

第一半导体层 SL1 可包括下层 120 和上层 130a，下层 120 和上层 130a 可顺序地堆叠在外延层 110 上。下层 120 可以是其中可形成沟道的层，上层 130a 可以是覆盖层（capping layer）。下层 120 可以是 Ge 层或 GaAs 层，上层 130a 可以是 Si 层。第二半导体层 SL2 可以是 Si 层。

下层 120 和第二半导体层 SL2 可以在外延层 110 上外延生长。下层 120 可以是压应变层，第二半导体层 SL2 可以是拉应变层。根据外延层 110、下层 120 和第二半导体层 SL2 的材料的晶格常数的差异，下层 120 和第二半导体层 SL2 可以分别是压应变的和拉应变的。例如，因为 SiGe（外延层 110 的材料的示例）的晶格常数大于 Si（第二半导体层 SL2 的材料的示例）的晶格

常数，所以在外延层 110 的 SiGe 层上生长的第二半导体层 SL2 的 Si 层可以是拉应变的。此外，因为 SiGe 的晶格常数小于 Ge 或 GaAs（下层 120 的材料示例）的晶格常数，所以在外延层 110 的 SiGe 层上生长的下层 120 的 Ge 层或 GaAs 层可以是压应变的。外延层 110、下层 120 和第二半导体层 SL2 不需要分别局限于 SiGe 层、Ge 层或 GaAs 层、Si 层，只要外延层 110 可由晶格常数大于第二半导体层 SL2 的晶格常数且小于下层 120 的晶格常数的材料形成即可。

PMOS 晶体管 PT1 可形成在第一半导体层 SL1 上，NMOS 晶体管 NT1 可形成在第二半导体层 SL2 上。PMOS 晶体管 PT1 可包括第一栅极 G1 以及形成在第一半导体层 SL1 的两侧的第一源极 S1 和第一漏极 D1，使得第一栅极 G1 可以形成在第一半导体层 SL1 上，从而位于第一源极 S1 和第一漏极 D1 之间。在示例实施例中，第一源极 S1 和第一漏极 D1 可以是 p+ 掺杂区。NMOS 晶体管 NT1 可包括第二栅极 G2 以及可形成在第二半导体层 SL2 的两侧的第二源极 S2 和第二漏极 D2，使得第二栅极 G2 可以形成在第二半导体层 SL2 上，从而位于第二源极 S2 和第二漏极 D2 之间。第二源极 S2 和第二漏极 D2 可以是 n+ 掺杂区。第一栅极 G1 可包括第一栅极绝缘层 140a 和第一栅极导电层 150a，第一栅极绝缘层 140a 和第一栅极导电层 150a 可顺序地堆叠在第一半导体层 SL1 上，第二栅极 G2 可包括第二栅极绝缘层 140b 和第二栅极导电层 150b，第二栅极绝缘层 140b 和第二栅极导电层 150b 可顺序地堆叠在第二半导体层 SL2 上。第一栅极导电层 150a 和第二栅极导电层 150b 可以由相同的材料形成，或者可由不同的材料形成。在第一栅极 G1 和第二栅极 G2 的两个侧壁上还可形成绝缘分隔件 160。

当第一栅极绝缘层 140a 直接形成在下层 120 上时，下层 120 的特性会劣化，因此可以采用上层 130a 来覆盖下层 120 并减少或防止这种劣化。如上所述，上层 130a 可以是 Si 层，且可以不用作沟道。也就是说，因为当将预定的或给定的电压施加到第一栅极导电层 150a 时，在下层 120 中可以比在上层 130a 中更快地形成沟道。然而，为了容易地在下层 120 中形成沟道，上层 130a 可被形成为具有范围为 3nm 至 100nm 的厚度。

第一源极 S1 和第一漏极 D1 之间的下层 120 可以是用作空穴的通路的 P 沟道。如上所述，下层 120 可以是 Ge 层或 GaAs 层，所述 Ge 层或 GaAs 层可以是压应变层。空穴在 Ge 层或 GaAs 层中的运动速度可以大于空穴在 Si

层中的运动速度。空穴在压应变的 Ge 层或压应变的 GaAs 层中的运动速度可以大于空穴在非应变的 Ge 或非应变的 GaAs 层中的运动速度。因此,下层 120 的 P 沟道可具有更高的空穴迁移率, PMOS 晶体管 PT1 可具有更高的运动速度和更高的开关性能。

第二源极 S2 和第二漏极 D2 之间的第二半导体层 SL2 可以是用作电子的通路的 N 沟道。可用作 N 沟道的第二半导体层 SL2 可以是拉应变的 Si 层。电子在拉应变的 Si 层中的运动速度大于电子在不是拉应变的 Si 层中的运动速度。换言之,第二半导体层 SL2 的 N 沟道可具有更高的电子迁移率。因此, NMOS 晶体管 NT1 可具有更高的运动速度和更高的开关性能。

另外,如果在第一源极 S1、第一漏极 D1、第二源极 S2 和第二漏极 D2 上形成肖特基势垒结,则它们的接触电阻可被减小。因此,可进一步增大 CMOS 装置的运动速度。

图 2A 至图 2E 是示出根据示例实施例的制造 CMOS 装置的方法的剖视图。

参照图 2A,可在基底 100 上形成外延层 110,基底 100 可以是 Si 基底,外延层 110 可以是 SiGe 层,例如  $\text{Si}_{0.5}\text{Ge}_{0.5}$  层。在外延层 110 的一部分上可形成绝缘层 115。绝缘层 115 可以是氧化硅层或氮化硅层。可在没有形成绝缘层的外延层 110 上形成下层 120。下层 120 可以是可在外延层 110 上外延生长的 Ge 层或 GaAs 层,且可以是压应变层。可将下层 120 形成为在高度上低于绝缘层 115。

随后,参照图 2B,可以去除绝缘层 115 的一部分,从而暴露外延层 110 的可以与下层 120 分开的一部分。

参照图 2C,可以在下层 120 和暴露的外延层 110 上形成半导体层 130。半导体层 130 可以是 Si 层,并可以利用外延生长法来形成半导体层 130。在示例实施例中,可在绝缘层 115 上形成半导体层 130。形成在绝缘层 115 上的半导体层 130 的晶体结构可以不同于形成在外延层 110 和下层 120 上的半导体层 130 的晶体结构。例如,形成在绝缘层 115 上的半导体层 130 可以是非晶的或多晶的。然而,如果通过控制外延生长工艺的条件来促进半导体层 130 的侧向生长,则可以在绝缘层 115 上形成外延的半导体层 130。在不同的条件下,可以不在绝缘层 115 上形成半导体层 130。

可以通过利用绝缘层 115 作为蚀刻停止层来蚀刻半导体层 130,直到可

以暴露绝缘层 115 为止。可以利用化学机械抛光 (CMP) 法来执行该蚀刻工艺。蚀刻工艺的结果示出在图 2D 中。参照图 2D, 保留在外延层 110 上的第二半导体层 SL2 可以等同于图 1 中的第二半导体层 SL2, 保留在下层 120 上的半导体层 130a 可以等同于图 1 中的上层 130a。在下文中, 形成在外延层 110 上的半导体层 SL2 将被称作第二半导体层 SL2, 形成在下层 120 上的半导体层 130a 将被称作上层 130a。下层 120 和上层 130a 构成图 1 中的第一半导体层 SL1。

参照图 2E, 可以在第一半导体层 SL1 上形成 PMOS 晶体管 PT1, 可以在第二半导体层 SL2 上形成 NMOS 晶体管 NT1。在示例实施例中, 在第一半导体层 SL1 和第二半导体层 SL2 上分别形成第一栅极 G1 和第二栅极 G2 之后, 可在第一栅极 G1 和第二栅极 G2 的两个侧壁上形成绝缘分隔件 160。第一栅极 G1 可包括顺序地堆叠在第一半导体层 SL1 上的第一栅极绝缘层 140a 和第一栅极导电层 150a, 第二栅极 G2 可包括顺序地堆叠在第二半导体层 SL2 上的第二栅极绝缘层 140b 和第二栅极导电层 150b。第一栅极导电层 150a 和第二栅极导电层 150b 可以由相同的材料形成, 或者可以由不同的材料形成。可以通过将 p 型杂质以高浓度掺杂在位于第一栅极 G1 的两侧部的第一半导体层 SL1 中来形成第一源极 S1 和第一漏极 D1。可以通过将 n 型杂质以高浓度掺杂在位于第二栅极 G2 的两侧部的第二半导体层 SL2 中来形成第二源极 S2 和第二漏极 D2。第一栅极 G1、第一源极 S1 和第一漏极 D1 构成 PMOS 晶体管 PT1, 第二栅极 G2、第二源极 S2 和第二漏极 D2 构成 NMOS 晶体管 NT1。

虽然在附图中未示出, 但是可在第一源极 S1、第一漏极 D1、第二源极 S2 和第二漏极 D2 上形成金属层之后, 可以对其执行退火工艺。通过执行退火工艺, 第一源极 S1、第一漏极 D1、第二源极 S2 和第二漏极 D2 的掺杂剂会分凝 (segregate), 从而形成肖特基势垒结。因此, 可减小第一源极 S1、第一漏极 D1、第二源极 S2 和第二漏极 D2 的接触电阻。

根据示例实施例的制造 CMOS 装置的上述方法可以被改变成各种形式。例如, 可以改变图 2D 中示出的制造 CMOS 装置的方法, 其变形之一示出在图 3A 至图 3C 中。

参照图 3A, 绝缘层 115' 可以高于图 2B 中的绝缘层 115。除绝缘层 115' 的高度之外的其它部分可以基本上与图 2B 中示出的相同。

参照图 3B, 可以利用外延生长法使半导体层 130 在外延层 110 和下层 120 上生长。

可以通过对半导体层 130 和绝缘层 115' 执行 CMP 方法来获得图 3C 中示出的结构。图 3C 中示出的 CMOS 装置的结构可以与图 2D 中示出的 CMOS 装置的结构基本相同。制造 CMOS 装置的后续方法可以与上述方法相同。

根据示例实施例, 因为可以由 Si 基底制造 CMOS 装置, 而无需利用晶片键合方法, 所以与由诸如 SOI 基底的其它基底制造的 CMOS 装置相比, 或者与利用晶片键合方法制造 CMOS 装置的情况相比, 可以简化 CMOS 装置的制造工艺, 且可以降低 CMOS 装置的制造成本。例如, 通过采用这样的制造 CMOS 装置的方法, 即, 由相同的材料形成第二半导体层 SL2 和上层 130a, 并可以使层同时生长, 就是说利用可以仅执行一次的外延生长工艺来形成第二半导体层 SL2 和上层 130a, 可以减少工艺数目和/或降低制造成本。

虽然已经示出和描述了示例实施例, 但是这些实施例不得受到限制。例如, 本领域技术人员应理解, 可以以各种方式改变图 1 中示出的 CMOS 装置的结构和元件以及参照图 2A 至图 2E 描述的制造 CMOS 装置的方法。例如, 第二半导体层 SL2 和上层 130a 可以由不同的材料形成, 或者可以在不同的时间单独地形成第二半导体层 SL2 和上层 130a, 而不是同时形成第二半导体层 SL2 和上层 130a。

因此, 已经描述了示例实施例, 将明显的是, 可以以许多方式改变示例实施例。这样的改变将不被视为脱离示例实施例意图覆盖的精神和范围, 对本领域技术人员将清楚的是所有这样的修改意图被包括在权利要求的范围内。



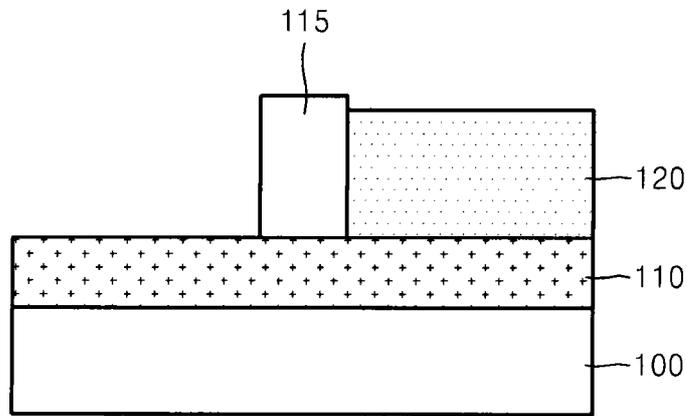


图 2B

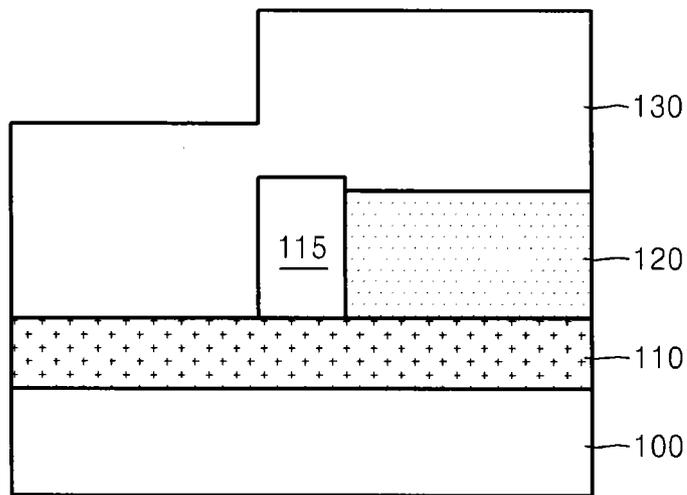


图 2C

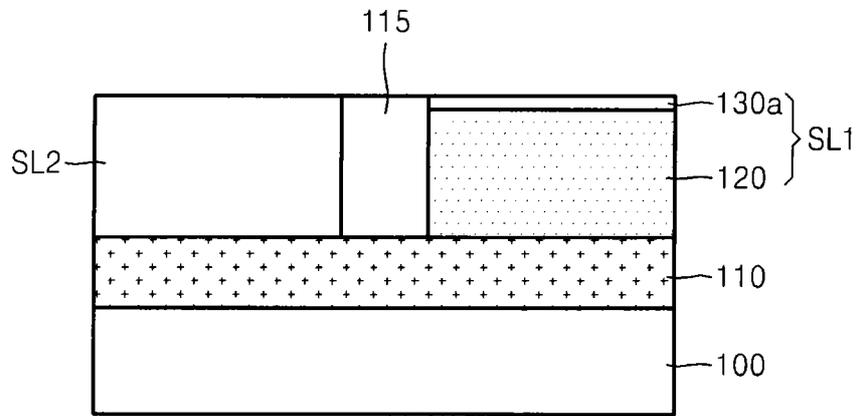


图 2D

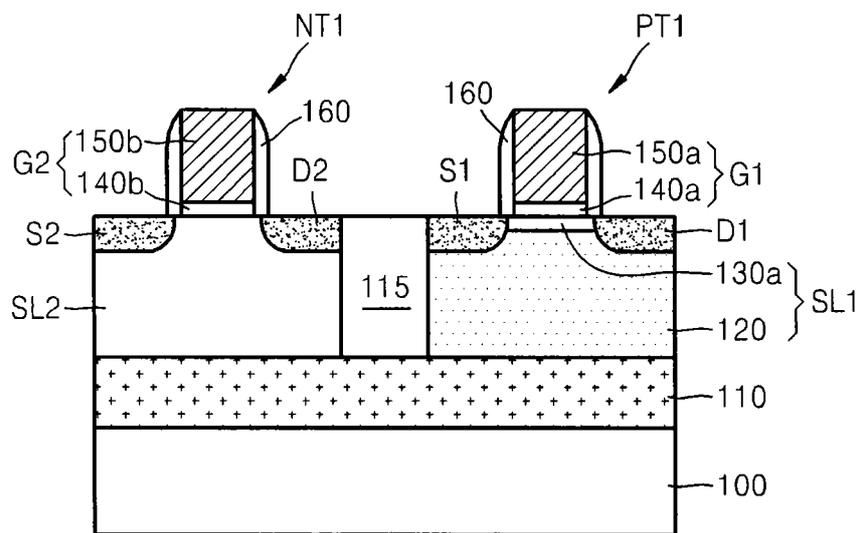


图 2E

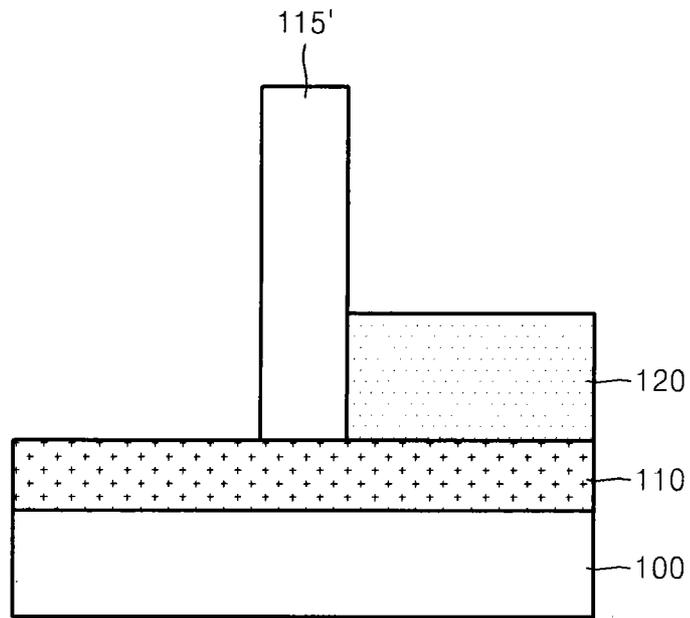


图 3A

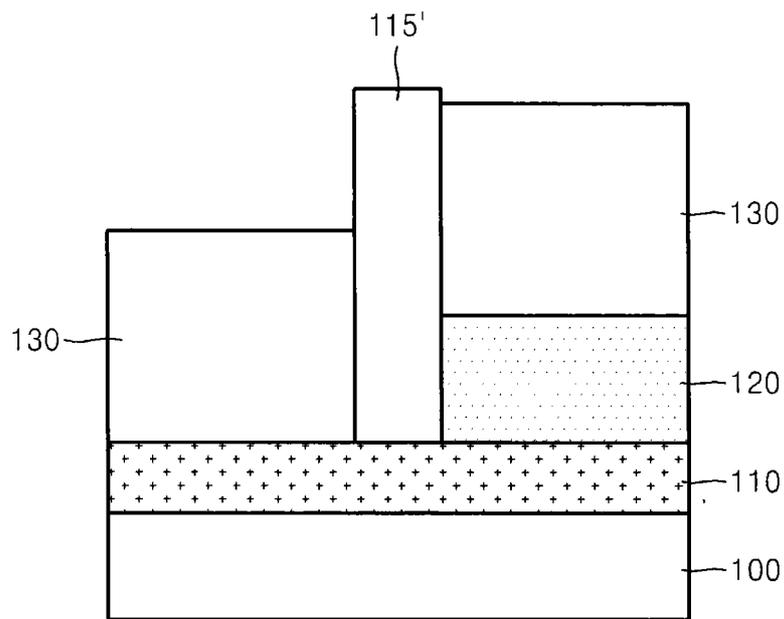


图 3B

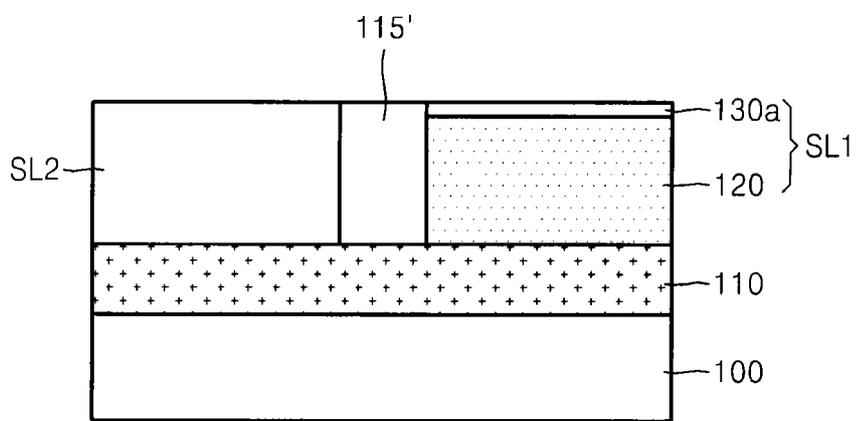


图 3C