(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118588742 A
(43)申请公布日 2024.09.03

(21)申请号 202410727601.6

(22)申请日 2015.02.17

(30)优先权数据
2014-032192 2014.02.21 JP
2014-098071 2014.05.09 JP
2014-122792 2014.06.13 JP
2014-131834 2014.06.26 JP
2014-218310 2014.10.27 JP

(62)分案原申请数据
201510086792.3 2015.02.17

(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72)发明人 下村明久 山根靖正 佐藤裕平 石山贵久 冈崎健一 川锅千穗 太田将志 石原典隆

(74)专利代理机构 中国专利代理(香港)有限公司 72001
专利代理师 李啸 陈岚

(51)Int.Cl.
H01L 29/24(2006.01)
H01L 29/786(2006.01)
H01L 29/04(2006.01)
C01G 15/00(2006.01)
H01L 27/12(2006.01)

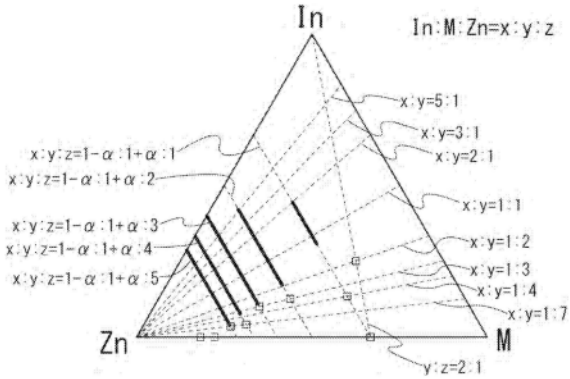
权利要求书1页 说明书99页 附图108页

(54)发明名称

半导体膜、晶体管、半导体装置、显示装置以及电子设备

(57)摘要

本发明提供一种半导体膜、晶体管、半导体装置、显示装置以及电子设备。本发明提供一种氧化物半导体膜，使用束径的半宽度为1nm的电子线在使氧化物半导体膜的位置与电子线的位置相对地移动时对氧化物半导体膜的被形成面进行照射，由此观察到氧化物半导体膜具有的多个电子衍射图案，多个电子衍射图案具有在彼此不同的观察地点观察的50个以上的电子衍射图案，第一电子衍射图案与第二电子衍射图案所占的比率之和为100%，第一电子衍射图案所占的比率为90%以上，第一电子衍射图案包括表示c轴朝向大致垂直于氧化物半导体膜的被形成面的方向的观察点，第二电子衍射图案包括不具有对称性的观察点或配置为如圆圈那样的观察区域。



CN 118588742 A

1.一种氧化物半导体层，

其中，使用束径的半宽度为1nm的电子束在使所述氧化物半导体层的位置与所述电子束的位置相对地移动的同时对形成有所述氧化物半导体层的面进行照射，由此观察到所述氧化物半导体层具有多个电子衍射图案，

所述多个电子衍射图案具有在不同的观察区域观察的50个以上的电子衍射图案，

所述多个电子衍射图案随机取向，

第一电子衍射图案的百分比与第二电子衍射图案的百分比之和占所述50个以上的电子衍射图案的100％，

所述第一电子衍射图案占所述50个以上的电子衍射图案的90％以上，

所述第一电子衍射图案包括表示c轴取向大致垂直于形成有所述氧化物半导体层的所述面的方向的观察点，

并且，所述第二电子衍射图案包括不对称的观察点或配置为环状的观察区域。

2.根据权利要求1所述的氧化物半导体层，其中，观察到所述第二电子衍射图案中的一个的区域包含纳米晶。

3.根据权利要求1所述的氧化物半导体层，

其中，所述氧化物半导体层包含In、元素M及Zn，

所述元素M为铝、镓、钇和锡中的至少一个，

所述氧化物半导体层所包含的In、所述元素M及Zn的原子个数比满足In:M:Zn＝x:y:z，

并且，在以In、所述元素M及Zn这三个元素为顶点的平衡状态图中，所述原子个数比处于由依次连接第一坐标x:y:z＝2:2:1、第二坐标x:y:z＝23:27:25、第三坐标x:y:z＝8:12:35、第四坐标x:y:z＝4:0:7、第五坐标x:y:z＝2:0:3、第六坐标x:y:z＝7:1:8、第七坐标x:y:z＝10:4:7以及所述第一坐标的线段围绕的区域的范围内。

4.根据权利要求1所述的氧化物半导体层，

其中，所述氧化物半导体层通过溅射法并使用包含In、元素M及Zn的靶材而形成，

所述元素M为铝、镓、钇和锡中的至少一个，

所述靶材的In、所述元素M及Zn的原子个数比满足In:M:Zn＝a:b:c，

并且，在以In、所述元素M及Zn这三个元素为顶点的平衡状态图中，所述原子个数比处于由依次连接第一坐标a:b:c＝2:2:1、第二坐标a:b:c＝23:27:25、第三坐标a:b:c＝1:2:9、第四坐标a:b:c＝1:0:3、第五坐标a:b:c＝2:0:3、第六坐标a:b:c＝7:1:8、第七坐标a:b:c＝10:4:7以及所述第一坐标的线段围绕的区域的范围内。

5.一种在沟道区域中包括权利要求1所述的氧化物半导体层的晶体管。

6.一种包括权利要求1所述的氧化物半导体层的半导体装置。

半导体膜、晶体管、半导体装置、显示装置以及电子设备

[0001] 本申请是分案申请,其母案申请号为202010201041.2,申请日是2015年2月17日,发明名称是“半导体膜、晶体管、半导体装置、显示装置以及电子设备”。

技术领域

[0002] 本发明涉及一种物体、方法或制造方法。或者,本发明涉及一种工序(process)、机器(machine)、产品(manufacture)或组成物(composition of matter)。尤其是,本发明涉及一种半导体装置、显示装置、发光装置、蓄电装置、存储装置、它们的驱动方法或它们的制造方法。

[0003] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。晶体管、半导体电路是半导体装置的一个方式。另外,运算装置、存储装置、摄像装置、电光装置、发电装置(包括薄膜太阳能电池、有机薄膜太阳能电池等)及电子设备有时包括半导体装置。

背景技术

[0004] 在非专利文献1中,描述以$In_{1-x}Ga_{1+x}O_3(ZnO)_m$(x满足-1≤x≤1,m为自然数)表示的同系物(homologous phase)的存在。此外,描述同系物的固溶区域(solid solution range)。例如,描述m＝1的情况下的同系物的固溶区域在x为-0.33至0.08的范围内,并且m＝2的情况下的同系物的固溶区域在x为-0.68至0.32的范围内。

[0005] 作为具有尖晶石型的结晶结构的化合物,已知有以AB_2O_4(A及B为金属元素)表示的化合物。在非专利文献1中示出$In_xZn_yGa_zO_w$的例子,并且记载有在x、y及z具有$ZnGa_2O_4$附近的组成,即x、y及z具有(x,y,z)＝(0,1,2)附近的值的情况下,容易形成或混合尖晶石型的结晶结构。

[0006] 使用半导体材料构成晶体管的技术受到关注。该晶体管被广泛地应用于集成电路(IC)、图像显示装置(简单地记载为显示装置)等电子器件。作为可以用于晶体管的半导体材料,硅类半导体材料被广泛地周知,而作为其他材料,氧化物半导体受到关注。

[0007] 例如,公开了作为氧化物半导体使用氧化锌或In-Ga-Zn氧化物半导体来制造晶体管的技术(参照专利文献1及专利文献2)。

[0008] 近年来,随着电子设备的高功能化、小型化或轻量化,对高密度地集成有被微型化的晶体管等半导体元件的集成电路的要求提高。

[0009] [专利文献1]日本专利申请公开2007-123861号公报[专利文献2]日本专利申请公开2007-96055号公报。

[0010] [非专利文献1]M.Nakamura,N.Kimizuka,and T.Mohri,″The Phase Relations in the In_2O_3-Ga_2ZnO_4-ZnO System at 1350℃″,J.SolidState Chem.,1991,Vol.93,pp.298-315。

发明内容

[0011] 本发明的一个方式的目的之一是使半导体装置具有良好的电特性。或者,本发明的一个方式的目的之一是提供一种可靠性高的半导体装置。

[0012] 或者,本发明的一个方式的目的之一是提供一种特性偏差少的良好的晶体管。或者,本发明的一个方式的目的之一是提供一种包括具有良好的保持特性的存储元件的半导体装置。或者,本发明的一个方式的目的之一是提供一种适合于微型化的半导体装置。或者,本发明的一个方式的目的之一是提供一种缩小电路面积的半导体装置。或者,本发明的一个方式的目的之一是提供一种具有新颖结构的半导体装置。

[0013] 注意,这些目的的记载不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。另外,说明书、附图以及权利要求书等的记载中显然存在上述目的以外的目的,可以从说明书、附图以及权利要求书等的记载中获得上述目的以外的目的。

[0014] 本发明的一个方式是一种氧化物半导体膜,其中,使用束径的半宽度为1nm的电子线在使氧化物半导体膜的位置与电子线的位置相对地移动的同时对氧化物半导体膜的被形成面进行照射,由此观察到氧化物半导体膜具有的多个电子衍射图案,多个电子衍射图案具有在彼此不同的观察地点观察的50个以上的电子衍射图案,多个电子衍射图案的方向不同,第一电子衍射图案所占的比率为90%以上,并且,第一电子衍射图案包括表示c轴朝向大致垂直于氧化物半导体膜的被形成面的方向的观察点。

[0015] 或者,本发明的一个方式是一种氧化物半导体膜,其中,使用束径的半宽度为1nm的电子线在使氧化物半导体膜的位置与电子线的位置相对地移动的同时对氧化物半导体膜的被形成面进行照射,由此观察到氧化物半导体膜具有的多个电子衍射图案,多个电子衍射图案具有在彼此不同的观察地点观察的50个以上的电子衍射图案,多个电子衍射图案的方向不同,在50个以上的电子衍射图案中第一电子衍射图案所占的比率与第二电子衍射图案所占的比率之和为100%,第一电子衍射图案所占的比率为90%以上,第一电子衍射图案包括表示c轴朝向大致垂直于氧化物半导体膜的被形成面的方向的观察点,并且,第二电子衍射图案包括不具有对称性的观察点或配置为如圆圈那样的(环状的)观察区域。

[0016] 或者,本发明的一个方式是一种氧化物半导体膜,其中,使用束径的半宽度为1nm的电子线在使氧化物半导体膜的位置与电子线的位置相对地移动的同时对氧化物半导体膜的被形成面进行照射,由此观察到氧化物半导体膜具有的多个电子衍射图案,在多个电子衍射图案中,彼此不同的观察地点观察的50个以上的电子衍射图中的第一电子衍射图案所占的比率为100%,第一电子衍射图案包括表示c轴朝向大致垂直于氧化物半导体膜的被形成面的方向的观察点,并且,多个电子衍射图案的方向不同。

[0017] 在上述结构中,观察到第二电子衍射图案的区域优选为包含纳米晶的氧化物半导体膜。

[0018] 或者,本发明的一个方式是一种包含In、以M表示的元素及Zn的氧化物半导体膜,其中,以M表示的元素选自铝、镓、钇和锡中的至少一个,In、M及Zn的原子个数比满足In:M:Zn=x:y:z,并且,x、y及z在以In、元素M及Zn的三个元素为顶点的平衡状态图中具有由依次连接第一坐标(x:y:z=2:2:1)、第二坐标(x:y:z=23:27:25)、第三坐标(x:y:z=8:12:35)、第四坐标(x:y:z=4:0:7)、第五坐标(x:y:z=2:0:3)、第六坐标(x:y:z=7:1:8)、第七坐标(x:y:z=15:5:8)以及上述第一坐标的线段围绕的范围内的原子个数比。

[0019] 在上述结构中,优选的是,氧化物半导体膜通过溅射法并使用包含In、以M表示的元素及Zn的靶材而形成,以M表示的元素选自铝、镓、钇和锡中的至少一个,靶材所包含的In、M及Zn的原子个数比满足In:M:Zn=a:b:c,并且,a、b及c在以In、元素M及Zn的三个元素为顶点的平衡状态图中具有由依次连接第一坐标(a:b:c=2:2:1)、第二坐标(a:b:c=23:27:25)、第三坐标(a:b:c=1:2:9)、第四坐标(a:b:c=1:0:3)、第五坐标(a:b:c=2:0:3)、第六坐标(a:b:c=7:1:8)、第七坐标(a:b:c=10:4:7)以及上述第一坐标的线段围绕的范围内的原子个数比。

[0020] 或者,本发明的一个方式是一种包含In、Ga及Zn的氧化物半导体膜,其中,In、Ga及Zn的原子个数比满足In:Ga:Zn=x:y:z,并且,x、y及z在以In、Ga及Zn的三个元素为顶点的平衡状态图中具有由依次连接第一坐标(x:y:z=2:2:1)、第二坐标(x:y:z=23:27:25)、第三坐标(x:y:z=8:12:35)、第四坐标(x:y:z=4:0:7)、第五坐标(x:y:z=2:0:3)、第六坐标(x:y:z=7:1:8)、第七坐标(x:y:z=15:5:8)以及上述第一坐标的线段围绕的范围内的原子个数比。

[0021] 或者,本发明的一个方式是一种包括如上所记载的氧化物半导体膜的半导体装置。

[0022] 或者,本发明的一个方式是一种在沟道区域中包括如上所记载的氧化物半导体膜的晶体管。

[0023] 在上述结构中,优选的是,半导体装置还包括第二氧化物膜及第三氧化物膜,其中,氧化物半导体膜接触于第二氧化物膜的顶面,并且,第三氧化物膜接触于氧化物半导体膜的顶面。另外,在上述结构中,第三氧化物膜优选接触于第二氧化物膜的侧面、氧化物半导体膜的侧面及顶面。此外,在上述结构中,氧化物半导体膜所包含的氧化物的电子亲和势优选大于第二氧化物膜所包含的氧化物及第三氧化物膜所包含的氧化物的电子亲和势。

[0024] 或者,本发明的一个方式是一种包括第一氧化物膜及接触于第一氧化物膜的第二氧化物膜的半导体装置,其中,第一氧化物膜包含铟、元素M及锌,第一氧化物膜所包含的铟、元素M及锌的原子个数比满足铟:元素M:锌=$x_a:y_a:z_a$,并且,x_a、y_a、z_a及α满足$x_a:y_a:z_a=(1-\alpha):(1+\alpha):1$且$-0.33\leqslant\alpha\leqslant+0.08$、$x_a:y_a:z_a=(1-\alpha):(1+\alpha):2$且$-0.68\leqslant\alpha\leqslant+0.32$、$x_a:y_a:z_a=(1-\alpha):(1+\alpha):3$且$-1\leqslant\alpha\leqslant+0.46$、$x_a:y_a:z_a=(1-\alpha):(1+\alpha):4$且$-1\leqslant\alpha\leqslant+0.54$以及$x_a:y_a:z_a=(1-\alpha):(1+\alpha):5$且$-1\leqslant\alpha\leqslant+0.72$中的任一个。

[0025] 或者,本发明的一个方式是一种包括第一氧化物膜及接触于第一氧化物膜的第二氧化物膜的半导体装置,其中,第一氧化物膜包含铟、元素M及锌,第一氧化物膜所包含的铟、元素M及锌的原子个数比满足铟:元素M:锌=$x_a:y_a:z_a$,第二氧化物膜包含铟、元素M及锌,第二氧化物膜所包含的铟、元素M及锌的原子个数比满足铟:元素M:锌=$x_b:y_b:z_b$,x_a、y_a及z_a在以铟、元素M及锌的三个元素为顶点的平衡状态图中具有由依次连接第一坐标($x_a:y_a:z_a$=8:14:7)、第二坐标($x_a:y_a:z_a$=2:5:7)、第三坐标($x_a:y_a:z_a$=51:149:300)、第四坐标($x_a:y_a:z_a$=46:288:833)、第五坐标($x_a:y_a:z_a$=0:2:11)、第六坐标($x_a:y_a:z_a$=0:0:1)、第七坐标($x_a:y_a:z_a$=2:2:1)以及上述第一坐标的线段围绕的范围内的原子个数比,并且,x_b、y_b及z_b在以铟、元素M及锌的三个元素为顶点的平衡状态图中具有由依次连接第一坐标($x_b:y_b:z_b$=2:2:1)、第二坐标($x_b:y_b:z_b$=23:27:25)、第三坐标($x_b:y_b:z_b$=8:12:35)、第四坐标($x_b:y_b:z_b$=4:0:7)、第五坐标($x_b:y_b:z_b$=2:0:3)、第六坐标($x_b:y_b:z_b$=7:1:8)、第七坐标

($x_b:y_b:z_b=10:4:7$)以及上述第一坐标的线段围绕的范围内的原子个数比。

[0026] 在上述结构中,优选的是,半导体装置包括第一晶体管,并且,第二氧化物膜具有用作第一晶体管的沟道区域的功能。此外,在上述结构中,x_b及y_b优选满足$x_b>y_b$。另外,在上述结构中,第一氧化物膜的电子亲和势优选小于第二氧化物膜的电子亲和势。此外,在上述结构中,优选的是,半导体装置包括接触于第二氧化物膜的第三氧化物膜,并且,第三氧化物膜的电子亲和势优选小于第二氧化物膜的电子亲和势。

[0027] 在上述结构中,x_a、y_a、z_a及α优选满足$x_a:y_a:z_a=(1-\alpha):(1+\alpha):1$且$-0.33\leqslant\alpha\leqslant+0.08$、$x_a:y_a:z_a=(1-\alpha):(1+\alpha):2$且$-0.68\leqslant\alpha\leqslant+0.32$、$x_a:y_a:z_a=(1-\alpha):(1+\alpha):3$且$-1\leqslant\alpha\leqslant+0.46$、$x_a:y_a:z_a=(1-\alpha):(1+\alpha):4$且$-1\leqslant\alpha\leqslant+0.54$以及$x_a:y_a:z_a=(1-\alpha):(1+\alpha):5$且$-1\leqslant\alpha\leqslant+0.72$中的任一个。

[0028] 在上述结构中,x_b、y_b、z_b及β优选满足$x_b:y_b:z_b=(1-\beta):(1+\beta):1$且$-0.33\leqslant\beta\leqslant+0.08$、$x_b:y_b:z_b=(1-\beta):(1+\beta):2$且$-0.68\leqslant\beta\leqslant+0.32$、$x_b:y_b:z_b=(1-\beta):(1+\beta):3$且$-1\leqslant\beta\leqslant+0.46$、$x_b:y_b:z_b=(1-\beta):(1+\beta):4$且$-1\leqslant\beta\leqslant+0.54$以及$x_b:y_b:z_b=(1-\beta):(1+\beta):5$且$-1\leqslant\beta\leqslant+0.72$中的任一个。

[0029] 根据本发明的一个方式,可以使半导体装置具有良好的电特性。另外,可以提供一种可靠性高的半导体装置。

[0030] 另外,可以提供一种特性偏差少的良好的晶体管。另外,可以提供一种包括具有良好的保持特性的存储元件的半导体装置。另外,可以提供一种适合于微型化的半导体装置。另外,可以提供一种缩小电路面积的半导体装置。另外,可以提供一种具有新颖结构的半导体装置。注意,这些效果的记载不妨碍其他效果的存在。本发明的一个方式并不需要实现所有上述效果。另外,说明书、附图以及权利要求书等的记载中显然存在上述效果以外的效果,可以从说明书、附图以及权利要求书等的记载中获得上述效果以外的效果。

附图说明

[0031] 图1A和图1B是说明根据本发明的一个方式的氧化物膜的原子个数比的图;
图2A和图2B是说明根据本发明的一个方式的氧化物膜的原子个数比的相图;
图3A和图3B是说明相图的图;
图4是说明根据本发明的一个方式的靶材的原子个数比的相图;
图5A至图5C是示出根据本发明的一个方式的晶体管的一个例子的图;
图6A和图6B是示出根据本发明的一个方式的晶体管的一个例子的图;
图7A和图7B是示出根据本发明的一个方式的晶体管的一个例子的图;
图8A和图8B是示出根据本发明的一个方式的晶体管的一个例子的图;
图9A至图9D是示出根据本发明的一个方式的晶体管的一个例子的图;
图10A和图10B是示出根据本发明的一个方式的晶体管的一个例子的图;
图11A至图11C是示出根据本发明的一个方式的晶体管的一个例子的图;
图12A和图12B是根据本发明的一个方式的电路图;
图13A至图13C是示出根据本发明的一个方式的半导体装置的一个例子的图;
图14A至图14C是示出根据本发明的一个方式的半导体装置的一个例子的图;
图15A至图15D是示出根据本发明的一个方式的半导体装置的一个例子的图;

图16A至图16E是示出根据本发明的一个方式的半导体装置的制造方法的图；

图17A至图17D是示出根据本发明的一个方式的半导体装置的制造方法的图；

图18A至图18C是示出根据本发明的一个方式的半导体装置的制造方法的图；

图19A和图19B是示出根据本发明的一个方式的半导体装置的制造方法的图；

图20A是示出根据本发明的一个方式的晶体管的一部分的能带结构的图,图20B是说明导通时的电流的路径的图；

图21A至图21C是氧化物半导体的截面TEM图像及局部的傅立叶变换图像；

图22A至图22D是示出氧化物半导体膜的纳米束电子衍射图案的图及示出透射电子衍射测定装置的一个例子的图；

图23A至图23C是示出利用透射电子衍射测定的结构分析的一个例子的图及平面TEM图像；

图24A至图24D是根据实施方式的电路图；

图25是根据实施方式的RF标签的结构实例；

图26是根据实施方式的CPU的结构实例；

图27是根据实施方式的存储元件的电路图；

图28A至图28C是根据实施方式的显示装置的俯视图及电路图；

图29A至图29F是根据实施方式的电子设备；

图30A至图30F是根据实施方式的RF标签的使用例子；

图31A至图31C是示出靶材的原子个数比和氧化物半导体膜的原子个数比的关系的图；

图32示出氧化物半导体膜的SIMS分析结果；

图33A和图33B示出氧化物半导体膜的截面TEM观察结果；

图34A和图34B示出氧化物半导体膜的TDS分析结果；

图35A和图35B示出氧化物半导体膜的TDS分析结果；

图36A至图36D示出根据本发明的一个方式的氧化物半导体膜的XRD评价结果；

图37A和图37B示出氧化物半导体膜的截面TEM观察结果；

图38A和图38B示出氧化物半导体膜的截面TEM观察结果；

图39A和图39B示出氧化物半导体膜的截面TEM观察结果；

图40A和图40B示出氧化物半导体膜的截面TEM观察结果；

图41A至图41D示出氧化物半导体膜的截面TEM观察结果；

图42A至图42D示出氧化物半导体膜的截面TEM观察结果；

图43A和图43B示出氧化物半导体膜的平面TEM观察结果；

图44A和图44B是示出氧化物半导体膜的CAAC比率的图；

图45示出氧化物半导体膜的电子衍射图案；

图46示出氧化物半导体膜的电子衍射图案；

图47示出氧化物半导体膜的电子衍射图案；

图48示出氧化物半导体膜的电子衍射图案；

图49示出氧化物半导体膜的电子衍射图案；

图50示出氧化物半导体膜的电子衍射图案；

图51示出氧化物半导体膜的电子衍射图案；
图52示出氧化物半导体膜的电子衍射图案；
图53示出氧化物半导体膜的电子衍射图案；
图54示出氧化物半导体膜的电子衍射图案；
图55示出氧化物半导体膜的平面TEM观察结果；
图56A至图56C示出氧化物半导体膜的电子衍射图案；
图57A和图57B是示出晶体管的Vg-Id特性的图；
图58A和图58B是示出晶体管的Vg-Id特性的图；
图59A和图59B示出氧化物半导体膜的截面TEM观察结果；
图60是根据实施方式的半导体装置的电路图；
图61是说明In-Ga-Zn氧化物中的氧的移动路径的图；
图62A至图62C是示出根据本发明的一个方式的晶体管的一个例子的图；
图63A和图63B是示出根据本发明的一个方式的晶体管的一个例子的图；
图64A和图64B是示出根据本发明的一个方式的晶体管的一个例子的图；
图65A至图65D是示出根据本发明的一个方式的晶体管的一个例子的图；
图66A和图66B是示出根据本发明的一个方式的晶体管的一个例子的图；
图67A和图67B是示出根据本发明的一个方式的晶体管的一个例子的图；
图68A至图68C是示出根据本发明的一个方式的氧化物半导体膜的XRD评价结果；
图69A至图69C是示出晶体管的Vg-Id特性的图；
图70是示出晶体管的Vg-Id特性的图；
图71A和图71B示出氧化物半导体膜的CPM评价结果；
图72是示出晶体管的Vg-Id特性的图；
图73是示出晶体管的阈值变化的图；
图74是示出晶体管的阈值变化的图；
图75是示出晶体管的阈值变化的图；
图76A和图76B是示出晶体管的Vg-Id特性的计算结果的图；
图77A和图77B是示出根据本发明的一个方式的晶体管的截面照片；
图78是示出晶体管的Vg-Id特性的图；
图79是示出晶体管的Vd-Id特性的图；
图80A至图80C示出根据本发明的一个方式的氧化物的XRD评价结果；
图81A至图81D示出根据本发明的一个方式的氧化物的XRD评价结果；
图82A和图82B示出根据本发明的一个方式的氧化物的平面TEM观察结果；
图83A和图83B示出根据本发明的一个方式的氧化物的平面TEM观察结果；
图84A和图84B示出根据本发明的一个方式的氧化物的平面TEM观察结果；
图85A和图85B是示出晶体管的Vg-Id特性的图；
图86A和图86B是示出晶体管的Vg-Id特性的图；
图87A和图87B是示出晶体管的Vg-Id特性的图；
图88A和图88B是示出晶体管的Vg-Id特性的图；
图89A和图89B是示出晶体管的Vg-Id特性的图。

具体实施方式

[0032] 参照附图对实施方式进行详细的说明。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅局限于以下所示的实施方式所记载的内容中。

[0033] 注意,在下面说明的发明结构中,在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略反复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0034] 注意,在本说明书所说明的各个附图中,有时为了明确起见,夸大表示各构成要素的大小、层的厚度或区域。因此,本发明的一个方式并不限于附图中的比例。

[0035] 另外,在本说明书等中使用的“第一”、“第二”等序数词是为了方便识别构成要素而附的,而不是为了在数目方面上进行限定的。

[0036] 注意,例如当导电性充分低时,有时即使表示为“半导体”也具有“绝缘体”的特性。此外,“半导体”和“绝缘体”的境界不太清楚,因此有时不能精确地区别。由此,有时可以将本说明书所记载的“半导体”换称为“绝缘体”。同样地,有时可以将本说明书所记载的“绝缘体”换称为“半导体”。

[0037] 晶体管是半导体元件的一种,可以进行电流或电压的放大、控制导通或非导通的开关动作等。本说明书中的晶体管包括IGFET(Insulated Gate Field Effect Transistor:绝缘栅场效应晶体管)和薄膜晶体管(TFT:Thin Film Transistor)。

[0038] 另外,根据情况或状态,可以互相调换“膜”和“层”。例如,有时可以将“导电层”调换为“导电膜”。另外,有时可以将“绝缘膜”调换为“绝缘层”。

[0039] 实施方式1

在本实施方式中,说明本发明的一个方式的氧化物半导体。

[0040] 在此,氧化物半导体例如是包含铟的氧化物半导体。在氧化物半导体包含铟时,例如其载流子迁移率(电子迁移率)提高。另外,氧化物半导体优选包含元素M。元素M优选是铝、镓、钇或锡等。作为可用作元素M的其他元素,有硼、硅、钛、铁、镍、锗、钇、锆、钼、镧、铈、钕、铪、钽、钨等。注意,作为元素M有时也可以组合多个上述元素。元素M例如是与氧的键能高的元素。元素M例如是与氧的键能高于铟的元素。或者,元素M例如是具有增大氧化物半导体的能隙的功能的元素。此外,氧化物半导体优选包含锌。当氧化物半导体包含锌时,有时容易晶化。

[0041] [氧化物半导体膜的结构]

以下说明氧化物半导体膜的结构。

[0042] 氧化物半导体膜大致分为非单晶氧化物半导体膜和单晶氧化物半导体膜。非单晶氧化物半导体膜包括CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor:c轴取向结晶氧化物半导体)膜、多晶氧化物半导体膜、微晶氧化物半导体膜以及非晶氧化物半导体膜等。

[0043] 首先,说明CAAC-OS膜。

[0044] CAAC-OS膜是包含呈c轴取向的多个结晶部的氧化物半导体膜之一。

[0045] 通过利用透射电子显微镜(TEM:Transmission Electron Microscope)观察CAAC-

OS膜的亮视场像及衍射图案的复合分析图像(也称为高分辨率TEM图像),可以确认到多个结晶部。另一方面,通过高分辨率TEM也观察不到结晶部与结晶部之间的明确的边界,即晶界(grain boundary)。因此,在CAAC-OS膜中,不容易发生由晶界引起的电子迁移率的下降。

[0046] 根据从大致平行于样品面的方向观察的CAAC-OS膜的高分辨率截面TEM图像可知在结晶部中金属原子排列为层状。各金属原子层具有反映形成CAAC-OS膜的面(也称为被形成面)或CAAC-OS膜的顶面的凸凹的形状并以平行于CAAC-OS膜的被形成面或顶面的方式排列。

[0047] 另一方面,当从大致垂直于样品面的方向观察CAAC-OS膜的高分辨率平面TEM图像时,可以确认到在结晶部中金属原子排列为三角形状或六边形状。但是,在不同的结晶部之间金属原子的排列没有规律性。

[0048] 在本说明书中,“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此,也包括该角度为-5°以上且5°以下的状态。“大致平行”是指两条直线形成的角度为-30°以上且30°以下的状态。另外,“垂直”是指两条直线形成的角度为80°以上且100°以下的状态。因此也包括85°以上且95°以下的角度的状态。“大致垂直”是指两条直线形成的角度为60°以上且120°以下的状态。

[0049] 在本说明书中,六方晶系包括三方晶系和菱方晶系。

[0050] 图21A是CAAC-OS膜的截面的高分辨率TEM图像。另外,图21B是进一步放大图21A的截面的高分辨率TEM图像,其中,为便于理解而突出显示原子排列。

[0051] 图21C是图21A中的A-O-A’之间的由圆圈包围的区域(直径大致为4nm)的局部性的傅立叶变换图像。在图21C所示的各区域中可以确认到c轴取向性。另外,A-O间的c轴方向不同于O-A’间的c轴方向,由此可知A-O间的晶粒不同于O-A’间的晶粒。另外,可知在A-O之间,c轴的角度以14.3°、16.6°、26.4°等而逐渐地连续变化。同样地,可知在O-A’之间,c轴的角度以-18.3°、-17.6°、-15.9°等而逐渐地连续变化。

[0052] 另外,在CAAC-OS膜的电子衍射图案中,观察到呈现取向性的斑点(亮点)。例如,在使用例如为1nm以上且30nm以下的电子束获得的CAAC-OS膜的顶面的电子衍射图案(也称为纳米束电子衍射图案)中,观察到斑点(参照图22A)。

[0053] 由截面的高分辨率TEM图像及平面的高分辨率TEM图像可知,CAAC-OS膜的结晶部具有取向性。

[0054] 注意,CAAC-OS膜所包含的结晶部几乎都可以容纳在一个边长小于100nm的立方体内。因此,有时包括在CAAC-OS膜中的结晶部能够容纳在一边短于10nm、短于5nm或短于3nm的立方体。但是,有时包含在CAAC-OS膜中的多个结晶部联结,从而形成一个大结晶区域。例如,在平面的高分辨率TEM图像中有时会观察到2500nm^{2}以上、5μm^{2}以上或1000μm^{2}以上的结晶区域。

[0055] 使用X射线衍射(XRD:X-Ray Diffraction)装置对CAAC-OS膜进行结构分析。例如,当利用out-of-plane法分析包括$InGaZnO_4$结晶的CAAC-OS膜时,在衍射角(2θ)为31°附近时常出现峰值。由于该峰值来源于$InGaZnO_4$结晶的(009)面,由此可知CAAC-OS膜中的结晶具有c轴取向性,并且c轴朝向大致垂直于CAAC-OS膜的被形成面或顶面的方向。

[0056] 另一方面,当利用从大致垂直于c轴的方向使X射线入射到样品的in-plane法分析CAAC-OS膜时,在2θ为56°附近时常出现峰值。该峰值来源于$InGaZnO_4$结晶的(110)面。在此,

将2θ固定为56°附近并在以样品面的法线向量为轴(φ轴)旋转样品的条件下进行分析(φ扫描)。当该样品是$InGaZnO_4$的单晶氧化物半导体膜时,出现六个峰值。该六个峰值来源于相等于(110)面的结晶面。相对于此,当该样品是CAAC-OS膜时,即使在将2θ固定为56°附近的状态下进行φ扫描也不能观察到明确的峰值。

[0057] 由上述结果可知,在具有c轴取向的CAAC-OS膜中,虽然a轴及b轴的方向在不同结晶部之间不规律,但是c轴都朝向平行于被形成面或顶面的法线向量的方向。因此,在上述截面的高分辨率TEM图像中观察到的排列为层状的各金属原子层相当于与结晶的ab面平行的面。

[0058] 注意,结晶部在形成CAAC-OS膜或进行加热处理等晶化处理时形成。如上所述,结晶的c轴朝向平行于CAAC-OS膜的被形成面或顶面的法线向量的方向。由此,例如,当CAAC-OS膜的形状因蚀刻等而发生改变时,结晶的c轴不一定平行于CAAC-OS膜的被形成面或顶面的法线向量。

[0059] 另外,在CAAC-OS膜中,c轴取向的晶化部的分布不一定要均匀。例如,当CAAC-OS膜的结晶部是由CAAC-OS膜的顶面附近的结晶成长而形成时,有时顶面附近的c轴取向的结晶部比例会高于被形成面附近的晶化度。另外,在添加有杂质的CAAC-OS膜中,添加有杂质的区域变质而有时CAAC-OS膜中的c轴取向结晶部所占的比例根据区域而不同。

[0060] 注意,当利用out-of-plane法分析包括$InGaZnO_4$结晶的CAAC-OS膜时,除了在2θ为31°附近的峰值之外,有时还在2θ为36°附近观察到峰值。2θ为36°附近的峰值意味着CAAC-OS膜的一部分中含有不具有c轴取向的结晶,例如典型为尖晶石型结晶结构。优选的是,在CAAC-OS膜中在2θ为31°附近时出现峰值而在2θ为36°附近时不出现峰值。

[0061] CAAC-OS膜是杂质浓度低的氧化物半导体膜。杂质是指氢、碳、硅、过渡金属元素等氧化物半导体膜的主要成分以外的元素。尤其是,某一种元素如硅等与氧的键合力比构成氧化物半导体膜的金属元素与氧的键合力强,该元素会夺取氧化物半导体膜中的氧,从而打乱氧化物半导体膜的原子排列,导致结晶性下降。另外,由于铁或镍等的重金属、氩、二氧化碳等的原子半径(或分子半径)大,所以若包含在氧化物半导体膜内,则会打乱氧化物半导体膜的原子排列,导致结晶性下降。注意,包含在氧化物半导体膜中的杂质有时成为载流子陷阱或载流子发生源。

[0062] 另外,CAAC-OS膜是缺陷态密度低的氧化物半导体膜。例如,氧化物半导体膜中的氧缺陷有时成为载流子陷阱,或因俘获氢而成为载流子发生源。

[0063] 将杂质浓度低且缺陷态密度低(氧缺陷量少)的状态称为“高纯度本征”或“实质上高纯度本征”。在高纯度本征或实质上高纯度本征的氧化物半导体膜中载流子发生源少,所以可以降低载流子密度。在此,说明将该氧化物半导体膜用于晶体管的情况。使用该氧化物半导体膜的晶体管很少具有负阈值电压的电特性(也称为常开启特性)。在高纯度本征或实质上高纯度本征的氧化物半导体膜中载流子陷阱少。因此,使用该氧化物半导体膜的晶体管的电特性变动小,于是成为高可靠性晶体管。另外,被氧化物半导体膜的载流子陷阱俘获的电荷的释放需要长时间,有时像固定电荷那样动作。因此,使用杂质浓度高且缺陷态密度高的氧化物半导体膜的晶体管的电特性有时不稳定。杂质及氧缺陷少的CAAC-OS膜是载流子密度低的氧化物半导体。具体而言,可以使用载流子密度小于$8\times10^{11}/cm^3$、优选小于$1\times10^{11}/cm^3$、更优选小于$1\times10^{10}/cm^3$、且是$1\times10^{-9}/cm^3$以上的氧化物半导体。将这样的氧化物

半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。CAAC-OS膜的杂质浓度和缺陷态密度低。即,CAAC-OS膜可以说是具有稳定的特性的氧化物半导体。

[0064] 另外,在使用CAAC-OS膜的晶体管中,起因于可见光或紫外光的照射的电特性的变动小。

[0065] 接下来,对多晶氧化物半导体膜进行说明。

[0066] 在多晶氧化物半导体膜的高分辨率TEM图像中,可以观察到晶粒。例如在高分辨率TEM图像中,多晶氧化物半导体膜中含有的晶粒的粒径尺寸大多为2nm以上且300nm以下、3nm以上且100nm以下或5nm以上且50nm以下。另外,在多晶氧化物半导体膜的高分辨率TEM图像中,有时观察到晶界。

[0067] 多晶氧化物半导体膜包含多个晶粒,并且,在该多个晶粒之间结晶取向有时不同。另外,使用XRD装置对多晶氧化物半导体膜进行结构分析。例如,当利用out-of-plane法分析包括$InGaZnO_4$结晶的多晶氧化物半导体膜时,有时在2θ为31°或36°等附近时出现峰值。

[0068] 由于多晶氧化物半导体膜具有高结晶性,因此有时具有高电子迁移率。所以,使用多晶氧化物半导体膜的晶体管具有高场效应迁移率。注意,有时在多晶氧化物半导体膜中,杂质偏析在晶界。另外,多晶氧化物半导体膜的晶界成为缺陷能级。多晶氧化物半导体膜的晶界有可能成为载流子陷阱或载流子发生源,因此有时与使用CAAC-OS膜的晶体管相比,使用多晶氧化物半导体膜的晶体管的电特性变动大,而成为可靠性低的晶体管。

[0069] 接下来,说明微晶氧化物半导体膜。

[0070] 在高分辨率TEM图像中,微晶氧化物半导体膜包括能够确认到结晶部的区域以及不能够明确地确认到结晶部的区域。微晶氧化物半导体膜中含有的结晶部的尺寸大多为1nm以上且100nm以下或1nm以上且10nm以下。尤其是,将具有尺寸为1nm以上且10nm以下或1nm以上且3nm以下的微晶的纳米晶(nc:nanocrystal)的氧化物半导体膜称为nc-OS(nanocrystalline Oxide Semiconductor:纳米晶氧化物半导体)膜。另外,例如在nc-OS膜的高分辨率TEM图像中,有时难以明确地确认到晶界。

[0071] nc-OS膜在微小区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中其原子排列具有周期性。另外,nc-OS膜在不同的结晶部之间观察不到晶体取向的规律性。因此,在膜整体上观察不到取向性。所以,有时nc-OS膜在某些分析方法中与非晶氧化物半导体膜没有差别。例如,在通过利用使用其束径比结晶部大的X射线的XRD装置的out-of-plane法对nc-OS膜进行结构分析时,检测不出表示结晶面的峰值。另外,在对nc-OS膜进行使用其束径比结晶部大(例如,50nm以上)的电子射线的电子衍射(也称为选区电子衍射)时,观察到类似于光晕图案的衍射图案。另一方面,在对nc-OS膜进行使用其束径近于或小于结晶部的电子射线的纳米束电子衍射时,观察到斑点。另外,在nc-OS膜的纳米束电子衍射图案中,有时观察到如圆圈那样的(环状的)亮度高的区域。在nc-OS膜的纳米束电子衍射图案中,还有时观察到环状的区域内的多个斑点(参照图22B)。

[0072] nc-OS膜是其规律性比非晶氧化物半导体膜高的氧化物半导体膜。因此,nc-OS膜的缺陷态密度比非晶氧化物半导体膜低。但是,nc-OS膜在不同的结晶部之间观察不到晶体取向的规律性。所以,nc-OS膜的缺陷态密度比CAAC-OS膜高。

[0073] 因此,nc-OS膜有时具有比CAAC-OS膜高的载流子密度。载流子密度高的氧化物半导体膜有时具有高电子迁移率。所以,使用nc-OS膜的晶体管有时具有较高的场效应迁移

率。此外,因为nc-OS膜有时具有比CAAC-OS膜高的缺陷态密度,所以有时具有较多的载流子陷阱。因此,与使用CAAC-OS膜的晶体管相比,使用nc-OS膜的晶体管的电特性变动大,而成为可靠性低的晶体管。注意,因为nc-OS膜即使包含较多的杂质也可以形成,所以与CAAC-OS膜相比容易形成,从而有时根据用途优选使用nc-OS膜。因此,有时能够高生产率地制造具有使用nc-OS膜的晶体管的半导体装置。

[0074] 接着,对非晶氧化物半导体膜进行说明。

[0075] 非晶氧化物半导体膜是具有无序的原子排列并不具有结晶部的氧化物半导体膜。其一个例子为具有如石英那样的无定形状态的氧化物半导体膜。

[0076] 在使用高分辨率TEM观察的非晶氧化物半导体膜的图像中,观察不到结晶部。

[0077] 使用XRD装置对非晶氧化物半导体膜进行结构分析。当利用out-of-plane法分析时,检测不到表示结晶面的峰值。另外,在对非晶氧化物半导体膜进行电子衍射时,观察到光晕图案。另外,在对非晶氧化物半导体膜进行纳米束电子衍射时,观察不到斑点,而观察到光晕图案。

[0078] 非晶氧化物半导体膜是以高的浓度包含氢等杂质的氧化物半导体膜。此外,非晶氧化物半导体膜是其缺陷态密度高的氧化物半导体膜。

[0079] 杂质浓度高且缺陷态密度高的氧化物半导体膜是载流子陷阱或载流子发生源多的氧化物半导体膜。

[0080] 因此,非晶氧化物半导体膜有时具有比nc-OS膜更高的载流子密度。所以,使用非晶氧化物半导体膜的晶体管容易具有常导通电特性。因此,有时可以将非晶氧化物半导体膜适用于需要常导通电特性的晶体管。非晶氧化物半导体膜具有较高的缺陷态密度,因此有时具有较多的载流子陷阱。由此,与使用CAAC-OS膜或nc-OS膜的晶体管相比,使用非晶氧化物半导体膜的晶体管的电特性变动大,而成为可靠性低的晶体管。

[0081] 接着,对单晶氧化物半导体膜进行说明。

[0082] 单晶氧化物半导体膜是杂质浓度低且缺陷态密度低(氧缺陷少)的氧化物半导体膜。所以,可以降低载流子密度。因此,使用单晶氧化物半导体膜的晶体管很少具有常导通电特性。另外,由于单晶氧化物半导体膜具有较低的杂质浓度和较低的缺陷态密度,因此有时具有很少的载流子陷阱。因此,使用单晶氧化物半导体膜的晶体管的电特性变动小,而成为可靠性高的晶体管。

[0083] 为了形成单晶,例如能够以大约1000℃以上的高温度进行焙烧。另一方面,CAAC-OS膜能够以室温至500℃左右的低温度形成,所以在产业上是优选的。

[0084] 注意,氧化物半导体膜的缺陷越少其密度越高。此外,氧化物半导体膜的结晶性越高其密度越高。另外,当氧化物半导体膜中的氢等杂质的浓度越低其密度越高。单晶氧化物半导体膜的密度比CAAC-OS膜高。此外,CAAC-OS膜的密度比微晶氧化物半导体膜高。另外,多晶氧化物半导体膜的密度比微晶氧化物半导体膜高。此外,微晶氧化物半导体膜的密度比非晶氧化物半导体膜高。

[0085] 此外,氧化物半导体膜有时具有呈现nc-OS膜与非晶氧化物半导体膜之间的物性的结构。将具有这种结构的氧化物半导体膜特别称为amorphous-like氧化物半导体(a-likeOS:amorphous-like Oxide Semiconductor)膜。

[0086] 在使用高分辨率TEM观察的a-like OS膜的图像中,有时观察到空洞(也称为空

隙)。此外,在使用高分辨率TEM观察的a-like OS膜的图像中,有明确地确认到结晶部的区域及确认不到结晶部的区域。a-like OS膜有时因TEM观察时的微量的电子照射而产生晶化,由此观察到结晶部的生长。另一方面,在良好的nc-OS膜中,几乎观察不到因TEM观察时的微量的电子照射而产生晶化。

[0087] 此外,a-like OS膜及nc-OS膜的结晶部的大小的测量可以使用高分辨率TEM图像进行。例如,$InGaZnO_4$的结晶具有层状结构,在In-O层之间具有两个Ga-Zn-O层。$InGaZnO_4$的结晶的单位晶格具有三个In-O层和六个Ga-Zn-O层的一共九个层在c轴方向上重叠为层状的结构。因此,这些彼此相邻的层之间的间隔与(009)面的晶格表面间隔(也称为d值)大致相等,从结晶结构分析求出其值为0.29nm。因此,着眼于高分辨率TEM图像的晶格条纹,在晶格条纹的间隔为0.28nm以上且0.30nm以下的区域,每个晶格条纹都被认为是对应于$InGaZnO_4$的结晶的a-b面。

[0088] 另外,氧化物半导体膜的密度有时根据结构而不同。例如,当已知某个氧化物半导体膜的组成时,通过以与该组成相同的组成中的单晶的密度与其进行比较,可以估计该氧化物半导体膜的结构。例如,相对于单晶的密度,a-like OS膜的密度为78.6%以上且小于92.3%。例如,相对于单晶的密度,nc-OS膜的密度和CAAC-OS膜的密度都为92.3%以上且小于100%。注意,难以形成其密度相对于单晶的密度小于78%的氧化物半导体膜。

[0089] 使用具体例子对上述内容进行说明。例如,在原子个数比满足In:Ga:Zn=1:1:1的氧化物半导体膜中,具有菱方晶系结构的单晶$InGaZnO_4$的密度为6.357g/cm^3。因此,例如,在原子个数比满足In:Ga:Zn=1:1:1的氧化物半导体膜中,a-like OS膜的密度为5.0g/cm^{3}以上且小于5.9g/cm^3。另外,例如,在原子个数比满足In:Ga:Zn=1:1:1的氧化物半导体膜中,nc-OS膜的密度和CAAC-OS膜的密度为5.9g/cm^{3}以上且小于6.3g/cm^3。

[0090] 注意,有时不存在相同组成的单晶。此时,通过以任意比例组合组成不同的单晶,可以算出相当于所希望的组成的单晶的密度。根据组成不同的单晶的组合比例使用加权平均计算所希望的组成的单晶的密度即可。注意,优选尽可能减少所组合的单晶的种类来计算密度。

[0091] 注意,氧化物半导体膜例如可以是包括非晶氧化物半导体膜、a-like OS膜、微晶氧化物半导体膜和CAAC-OS膜中的两种以上的叠层膜。

[0092] 如上所述,CAAC-OS膜在产业上也是优选的。另外,由于与多晶及微晶相比起因于晶界的载流子散射小,所以有不容易发生载流子迁移率的降低的优点。此外,因为CAAC-OS膜是缺陷态密度低的氧化物半导体膜且载流子陷阱少,所以使用CAAC-OS膜的晶体管成为电特性的变动小且可靠性高的优良的晶体管。

[0093] 在此,CAAC-OS膜有时具有多个结构。在CAAC-OS膜具有多个结构时,有时通过利用后述的纳米束电子衍射可以进行结构分析。在此,将c轴取向的多个结晶部称为CAAC结构。另外,将在CAAC-OS膜中代表性地观察到的衍射图案,即呈现c轴取向的衍射图案,称为CAAC结构的衍射图案。例如,c轴取向的多个结晶部即具有CAAC结构的CAAC-OS膜在使用纳米束电子衍射的情况下有时观察到CAAC结构的衍射图案之外的衍射图案。例如,有时观察到与nc-OS膜同样的衍射图案,即nc结构的衍射图案,有时观察到尖晶石型结晶结构的衍射图案。如此,在氧化物半导体膜具有多个结构的情况下,例如在这些结构与观察到CAAC-OS膜的衍射图案的区域之间的边界增大载流子的散射,而导致载流子迁移率的降低。此外,由于

考虑到边界部容易成为杂质的移动路径且容易俘获杂质,所以有增大CAAC-OS膜的杂质浓度的担忧。

[0094] [纳米束电子衍射]

接着,说明纳米束电子衍射。在氧化物半导体膜具有多个结构时,有时通过利用纳米束电子衍射可以进行结构分析。

[0095] 图22C示出一种透射电子衍射测量装置,包括:电子枪室610;电子枪室610下的光学系统612;光学系统612下的样品室614;样品室614下的光学系统616;光学系统616下的观察室620;设置于观察室620的拍摄装置618;以及观察室620下的胶片室622。以朝向观察室620内部的方式设置拍摄装置618。另外,该透射电子衍射测量装置也可以不包括胶片室622。

[0096] 另外,图22D示出图22C所示的透射电子衍射测量装置内部的结构。在透射电子衍射测量装置内部中,从设置在电子枪室610的电子枪发射的电子通过光学系统612照射到配置在样品室614中的物质628。穿过物质628的电子通过光学系统616入射到设置在观察室620内部的荧光板632中。在荧光板632中,通过呈现对应于所入射的电子的强度的图案,可以测量透射电子衍射图案。

[0097] 因为拍摄装置618朝向荧光板632地设置,所以可以拍摄呈现于荧光板632的图案。穿过拍摄装置618的透镜的中间部及荧光板632的中间部的直线和荧光板632所形成的角度例如为15°以上且80°以下、30°以上且75°以下或45°以上且70°以下。该角度越小,由拍摄装置618拍摄的透射电子衍射图案的应变越大。但若预先得知该角度,则能够校正所得到的透射电子衍射图案的应变。另外,有时也可以将拍摄装置618设置在胶片室622。例如,也可以以与电子624的入射方向相对的方式将拍摄装置618设置在胶片室622中。在此情况下,可以从荧光板632的背面拍摄应变少的透射电子衍射图案。

[0098] 样品室614设置有用来固定作为样品的物质628的支架。支架具有使穿过物质628的电子透过的结构。例如,支架也可以具有在X轴、Y轴、Z轴等上移动物质628的功能。支架的移动功能例如具有在1nm以上且10nm以下、5nm以上且50nm以下、10nm以上且100nm以下、50nm以上且500nm以下、100nm以上且1μm以下等的范围内移动的精度即可。至于这些范围,根据物质628的结构设定最适合的范围即可。

[0099] 接着,说明使用上述透射电子衍射测量装置测量物质的透射电子衍射图案的方法。

[0100] 例如,如图22D所示,通过改变物质中的纳米束的电子624的照射位置(进行扫描),可以确认到物质的结构逐渐地产生变化的状况。此时,若物质628是CAAC-OS膜,则可以观察到图22A所示的衍射图案。或者,若物质628是nc-OS膜,则可以观察到图22B所示的具有亮点的环状衍射图案。

[0101] 如图22A所示,在CAAC-OS膜的衍射图案中,例如观察到位于六边形的顶点的斑点。通过改变CAAC-OS膜的照射位置(进行扫描),观察到该六边形方向不同而逐渐地旋转的状态。旋转的角度具有某些宽度。

[0102] 或者,通过改变照射位置(进行扫描),观察到CAAC-OS膜的衍射图案以c轴为中心而逐渐地旋转的状态。这是例如也可以说a轴和b轴形成的面旋转。

[0103] [CAAC比率]

在此,即使物质628是CAAC-OS膜,有时也部分地观察到与nc结构等同样的衍射图案。因此,有时可以以在一定范围内观察到CAAC结构的衍射图案的区域的比例(也称为CAAC比率或CAAC化率)表示CAAC-OS膜的优劣。在此,CAAC比率优选为90%以上,更优选为95%以上,进一步优选为97%以上且100%以下。

[0104] 以下说明CAAC-OS膜的CAAC比率的评价方法。随机选择测量点,取得透过电子衍射图案,而算出相对于所有测量点的数量的观察到CAAC结构的衍射图案的测量点的数量的比率。在此,测量点的数量优选为50点以上,更优选为100点以上。

[0105] 作为随机选择测量点的方法,例如可以直线状地扫描照射位置,按每个相等间隔的时间取得衍射图案。通过扫描照射位置,可以确认具有CAAC结构的区域与其他区域的边界等,所以是优选的。

[0106] 作为一个例子,对具有刚进行成膜之后(表示为as-sputtered)的CAAC-OS膜或在包含氧的气氛中以450℃进行加热处理之后的CAAC-OS膜的各样品的顶面一边进行扫描一边得到透射电子衍射图案。在此,一边以5nm/秒钟的速度进行扫描60秒钟一边观察衍射图案,且每隔0.5秒钟将观察到的衍射图案转换为静态图像,从而导出CAAC比率。注意,作为电子线使用束径为1nm的纳米束。另外,对六个样品进行同样的测量。并且,利用六个样品的平均值算出CAAC比率。

[0107] 此外,优选在因TEM图像的观察或电子衍射的测量等而照射电子线时结晶结构不变化。例如,在利用日本日立高新技术公司(Hitachi High-Technologies Corporation)制造的H-9000NAR的情况下,例如加速电压优选为300kV以下,例如电子线的累积照射量(电流密度×时间)优选为$1\times10^{7}e^{-}/nm^{2}$以下。另外,例如优选使用TEM图像等确认:结晶结构在照射前后没有由于例如TEM图像的观察等而显著地变化。

[0108] 图23A示出各样品的CAAC比率。刚进行成膜之后的CAAC-OS膜的CAAC比率为75.7%(非CAAC比率为24.3%)。另外,进行450℃的加热处理之后的CAAC-OS膜的CAAC比率为85.3%(非CAAC比率为14.7%)。由此可知,与刚进行成膜之后相比,450℃的加热处理之后的CAAC比率较高。也就是说,可知高温(例如400℃以上)下的加热处理降低非CAAC比率(提高CAAC比率)。另外,在进行低于500℃的加热处理时也可以得到具有高CAAC比率的CAAC-OS膜。

[0109] 在此,与CAAC结构不同的衍射图案的大部分是nc结构的衍射图案。另外,在测量区域中观察不到与非晶氧化物半导体膜同样的衍射图案。由此可知,通过加热处理,具有nc结构的区域受到相邻的区域的结构的影响而重新排列,并CAAC化。

[0110] 图23B及图23C是刚进行成膜之后及450℃的加热处理之后的CAAC-OS膜的平面TEM图像。通过对图23B和图23C进行比较,可知450℃的加热处理之后的CAAC-OS膜的性质更均匀。也就是说,可知通过高温的加热处理提高CAAC-OS膜的性质。

[0111] 通过采用这种测量方法,有时可以对具有多种结构的氧化物半导体膜进行结构分析。

[0112] 例如,当对CAAC-OS膜进行截面TEM观察时,可以说CAAC比率越高,金属原子有规律地排列为层状的区域越大。虽然在后面的实施例中详细地描述,但是例如在对CAAC比率不同的两个CAAC-OS膜进行截面TEM观察时,有时在CAAC比率更大的膜中增大金属原子有规律地排列为层状的区域。图59A示出对CAAC比率约为90%的CAAC-OS膜的截面进行观察的结

果,图59B示出对CAAC比率约为98％的CAAC-OS膜的截面进行观察的结果。在图59A和图59B中以线表示的区域示出金属原子有规律地排列为层状的区域。在有规律地排列的区域之间有时存在排列不明确的区域,有时CAAC-OS膜的CAAC比率越高,不明确的区域越少。

[0113] 在此,考虑到如下情况:在进行纳米束电子衍射的情况下,CAAC-OS膜部分具有CAAC结构之外的结构的区域,例如观察到nc结构的衍射图案的区域或者观察到尖晶石型结晶结构的衍射图案的区域。在此情况下,在观察到CAAC结构的衍射图案的区域与观察到其他结构的衍射图案的区域之间的边界,例如有时增大载流子的散射而导致载流子迁移率的下降。此外,由于考虑到边界部容易成为杂质的移动路径且容易俘获杂质,所以有增大CAAC-OS膜的杂质浓度的担忧。

[0114] 尤其是,在具有其他结构的区域为具有尖晶石型结晶结构的区域的情况下,有时在具有与CAAC结构的区域之间观察到明确的边界,因此有时在其边界部中由于载流子的散射等而电子迁移率下降。另外,在CAAC-OS膜上形成导电膜的情况下,有时导电膜所包含的元素如金属等扩散到尖晶石型结晶结构的区域与其他区域之间的边界。在具有尖晶石型结晶结构的膜中,有时膜中的杂质浓度如氢浓度上升,例如有可能考虑到在晶界部分中氢等杂质被俘获。因此,CAAC-OS膜尤其优选不包含尖晶石型结晶结构或者尖晶石型结晶结构较少。

[0115] [原子个数比]

考虑到氧化物半导体膜包含铟、元素M及锌的情况。在此,元素M优选是铝、镓、钇或锡等。作为可用作元素M的其他元素,有硼、硅、钛、铁、镍、锗、钇、锆、钼、镧、铈、钕、铪、钽、钨等。注意,作为元素M有时也可以组合多个上述元素。参照图1A至图2B说明氧化物半导体膜所包含的铟、元素M及锌的原子个数比x:y:z的优选的范围。

[0116] 在此,使用图3A和图3B说明各元素的原子个数比。图3A及图3B示出以X、Y及Z为顶点的正三角形以及作为坐标点的例子的坐标点R(4:2:1)。在此,各顶点分别表示元素X、Y及Z。各个原子个数比越近于各顶点越高,越远于各顶点越低。如图3A所示,各个原子个数比被表示为坐标点与三角形的顶点的对边之间的垂线的长度。例如,元素X被表示为坐标点与顶点X的对边即边YZ之间的垂线21的长度。因此,在图3A和图3B所示的坐标R中,元素X、元素Y及元素Z的原子个数比表示垂线21、垂线22及垂线23的长度的比例,即x:y:z＝4:2:1。另外,将经过顶点X和坐标点R的直线与边YZ交叉的点称为γ。此时,在将线Yγ的长度与线γZ的长度的比例设定为Yγ:γZ的情况下,满足Yγ:γZ＝(元素Z的原子个数):(元素Y的原子个数)。

[0117] 如图3B所示,划经过坐标点R并分别与三角形的三个边分别平行的三条直线。此时,使用三条直线与三个边的交点,x、y及z可以如图3B所示。

[0118] 图1A至图2B示出氧化物半导体膜所包含的铟、元素M及锌的原子个数比的范围。在此,图1A至图2B示出元素M为Ga的例子。注意,图1A至图2B不记载氧的原子个数比。

[0119] 例如,如非专利文献1所记载,已知在包含铟、元素M及锌的氧化物中存在以$InMO_3(ZnO)_m$(m为自然数)表示的同源相(同系列)。在此,考虑到元素M为Ga的情况的例子。在图1A和图1B中以粗直线表示的区域是已知例如在将In_2O_3、Ga_2O_3及ZnO的粉末以图1A和图1B所示的区域的比例混合并以1350℃的温度焙烧的情况下有可能为单一相的固溶区域的区域。此外,在图1A和图1B中以四边形的符号表示的坐标已知具有容易混合尖晶石型结晶结构的组

成。

[0120] 例如,作为具有尖晶石型结晶结构的化合物,已知$ZnGa_2O_4$等以ZnM_2O_4表示的化合物。例如,在非专利文献1中,记载了:在如图1A和图1B所示具有$ZnGa_2O_4$附近的组成,即x、y及z具有近似于(x:y:z)=(0:1:2)的值的情况下,容易形成或混合尖晶石型结晶结构。

[0121] 在此,氧化物半导体膜优选为CAAC-OS膜。在CAAC-OS膜中尤其优选不包含尖晶石型结晶结构。为了提高载流子迁移率优选提高In的含有率。在包含铟、元素M及锌的氧化物半导体中,重金属的s轨道主要有助于载流子传导,并且,通过增加铟的含有率来增加s轨道的重叠,由此铟的含有率多的氧化物的迁移率比铟的含有率少的氧化物高。因此,通过将铟含量高的氧化物用于氧化物半导体膜,可以提高载流子迁移率。

[0122] 因此,氧化物半导体膜所包含的铟、元素M及锌的原子个数比x:y:z例如优选在图1B所示的区域11的范围内。在此,区域11是具有依次连接第一坐标K(x:y:z=8:14:7)、第二坐标L(x:y:z=2:5:7)、第三坐标M(x:y:z=51:149:300)、第四坐标N(x:y:z=46:288:833)、第五坐标O(x:y:z=0:2:11)、第六坐标P(x:y:z=0:0:1)、第七坐标Q(x:y:z=1:0:0)以及上述第一坐标K的范围内的原子个数比的区域。注意,区域11包括线上的坐标。

[0123] 通过将x:y:z设定为图1B所示的区域11,在纳米束电子衍射图案时可以使尖晶石型结晶结构没有观察到或尽可能减少观察到的比率。由此,可以获得优良的CAAC-OS膜。另外,因为能够减少CAAC结构与尖晶石型结晶结构之间的境界的载流子散射等,所以在将氧化物半导体膜用于晶体管的情况下,可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0124] 在此,为了提高氧化物半导体膜的CAAC比率,优选提高锌的原子个数比。在图1A至图2B中,以虚线表示铟、元素M及锌的原子个数比x:y:z满足如下算式(1)的范围。

[0125] [算式1]

$$x:y:z=(1-\alpha):(1+\alpha):m\ (-1\leqslant\alpha\leqslant1) \quad (1)$$

在此,图1A至图2B示出m=1、2、3、4、5的情况。图1A和图1B所示的粗线表示已知例如在元素M为镓的情况下In-Ga-Zn氧化物有可能为单一相的固溶区域的区域。例如,通过将In-Ga-Zn氧化物的原子个数比设定为有可能为固溶区域的范围,有时可以提高CAAC比率。有可能为固溶区域的范围有在相对于铟与镓的原子个数之和提高锌的原子个数比时扩大的倾向。因此,通过相对于铟与镓的原子个数之和提高锌的原子个数比,有时可以提高氧化物半导体膜的CAAC比率。

[0126] 在此,图1A和图1B所示的粗线的区域即有可能为固溶区域的范围在m=1至5的情况下以如下算式(2)至算式(6)表示。

[0127] [算式2]

$$x:y:z=(1-\alpha):(1+\alpha):1\ (-0.33\leqslant\alpha\leqslant+0.08) \quad (2)$$

[算式3]

$$x:y:z=(1-\alpha):(1+\alpha):2\ (-0.68\leqslant\alpha\leqslant+0.32) \quad (3)$$

[算式4]

$$x:y:z=(1-\alpha):(1+\alpha):3\ (-1\leqslant\alpha\leqslant+0.46) \quad (4)$$

[算式5]

$$x:y:z=(1-\alpha):(1+\alpha):4\ (-1\leqslant\alpha\leqslant+0.54) \quad (5)$$

[算式6]

$x:y:z=(1-\alpha):(1+\alpha):5(-1\leqslant\alpha\leqslant+0.72)$ (6)

因此,为了提高氧化物半导体膜的CAAC比率,优选将氧化物半导体膜所包含的铟、元素M及锌的原子个数比x:y:z设定为图2A所示的区域12的范围,更优选设定为图2B所示的区域13的范围。在此,由于区域12及区域13都包括在区域11中,因此,可以使氧化物半导体膜的尖晶石型结晶结构的区域没有观察到或减少观察到的区域,所以是优选的。

[0128] 在此,区域12是具有依次连接第一坐标A(x:y:z=2:2:1)、第二坐标B(x:y:z=23:27:25)、第三坐标C(x:y:z=8:12:35)、第四坐标D(x:y:z=4:0:7)、第五坐标E(x:y:z=2:0:3)、第六坐标F(x:y:z=7:1:8)、第七坐标G(x:y:z=15:5:8)以及上述第一坐标A的范围内的原子个数比的区域。注意,区域12包括线上的坐标。

[0129] 此外,区域13是具有依次连接第一坐标H(x:y:z=35:20:22)、第二坐标I(x:y:z=7:4:11)、第三坐标J(x:y:z=5:1:6)、第四坐标U(x:y:z=25:10:14)以及上述第一坐标H的范围内的原子个数比的区域。注意,区域13包括线上的坐标。例如,通过提高铟的原子个数比,可以提高载流子迁移率,所以是优选的。例如,x优选为y的1.75倍以上。

[0130] 在区域12及区域13的范围内,x、y及z满足算式(1)或算式(2)至算式(6)的关系的情况下,尤其CAAC比率得到提高,所以是更优选的。在此,x、y及z例如也可以包括满足算式(1)至算式(6)的关系的值的±10%左右的误差。例如,在$(x:y:z)=(x_1:y_1:z_1)$满足算式(1)的情况下,x、y及z的值优选为$0.9\times x_1\leqslant x\leqslant 1.1\times x_1$、$0.9\times y_1\leqslant y\leqslant 1.1\times y_1$以及$0.9\times z_1\leqslant z\leqslant 1.1\times z_1$。

[0131] 根据本发明的一个方式,能够实现CAAC比率高的氧化物半导体膜。就是说,能够实现品质良好的CAAC-OS膜。此外,根据本发明的一个方式,可以实现观察到尖晶石型结晶结构的区域没有或极少的CAAC-OS膜。在此,CAAC比率优选为95%以上,更优选为97%以上且100%以下。

[0132] 当利用溅射法形成氧化物半导体膜时,形成之后的膜的原子个数比有时与靶材的原子个数比不一致。尤其是,形成之后的膜中的锌的原子个数比有时小于靶材中的锌的原子个数比。具体而言,该膜中的锌的原子个数比有时为靶材中的锌的原子个数比的40%以上且90%以下左右。在此,所使用的靶材优选为多晶。

[0133] 在此,描述关于铟、镓及锌对靶材的原子个数比与通过溅射法得到的氧化物半导体膜的原子个数比的关系进行调查的结果。表1示出所使用的靶材的原子个数比以及通过溅射法得到的氧化物半导体膜的原子个数比。

[表1]

靶材的原子个数比 In:Ga:Zn	膜的原子个数比		
	In	Ga	Zn
1:1:1	1	0.99	0.66
1:1:1.2	1	0.98	0.84
1:1:1.5	1	0.92	1.04
1:3:2	1	2.89	1.24
1:3:4	1	3.02	2.56
1:3:6	1	3.06	4.19
3:1:2	3	0.98	1.40
3:1:3	3	1.01	2.30

[0134] 作为成膜条件,将氩及氧用作成膜气体,并将氧流量比设定为33%。在此氧流量比是指以氧流量÷(氧流量+氩流量)×100[%]表示的量。此外,压力为0.4Pa至0.7Pa,衬底温度为200℃至300℃,电源功率为0.5kW(DC)。

[0135] 通过ICP-MS(Inductively Coupled Plasma Mass Spectrometry,电感耦合等离子体质谱分析法)对使用各个原子个数比的靶材得到的氧化物半导体膜的各元素的浓度进行评价。图31A至图31C示出靶材的原子个数比与锌的残留率的关系。图31A至图31C中的数字表示靶材的铟:镓:锌的原子个数比,纵轴表示锌的残留率。在此说明锌的残留率。将通过成膜得到的膜的锌的原子个数比除以铟、镓及锌的原子个数比的和的值称为Zn(Film)。另外,将靶材的锌的原子个数比除以靶材的铟、镓及锌的原子个数比的和的值称为Zn(Target)。在此,将锌的残留率定义为以A=Zn(Film)÷Zn(Target)×100[%]表示的值。图31A的横轴表示靶材的相对于镓的原子个数比的锌的原子个数比(Zn/Ga),图31B的横轴表示靶材的相对于铟的原子个数比的镓的原子个数比(Ga/In),图31C的横轴表示靶材的相对于铟的原子个数比的锌的原子个数比(Zn/In)。各个附图的纵轴表示锌的残留率A。

[0136] 由图31A至图31C可知,通过溅射法得到的氧化物半导体膜的锌的残留率大致在50%以上且90%以下的范围内。就是说,可知与靶材的原子个数比相比锌大幅度地减少。另外,由表1所记载的铟及镓的原子个数比可知,与锌相比,铟及镓从靶材的原子个数比几乎没有变化。此外,例如在靶材的相对于镓的锌的原子个数比(Zn/Ga)为1的情况下,锌的残留率A大约为66%,在2的情况下A大约为74%,在3的情况下A大约为83%。

[0137] 由图31A可知,在靶材的相对于镓的锌的原子个数比(z/y)与锌的残留率之间有良好的关系。就是说,相对于镓的锌的量越少,残留率越低。

[0138] 在此,在氧化物半导体膜的铟、镓及锌的原子个数比x、y及z满足算式(1)的情况下,有时可以进一步提高氧化物半导体膜的CAAC比率。

[0139] 作为满足算式(1)的原子个数比的例子,考虑到x:y:z=4:2:3、x:y:z=1.1:2.9:6、x:y:z=1:2:3这三个例子。

[0140] 例如,通过采用x:y:z=4:2:3,可以使铟的原子个数比增加到镓的2倍,由此可以提高铟的含有率。因此,有时能够获得高迁移率。

[0141] 例如,通过采用x:y:z=1.1:2.9:6,可以满足算式(1)并在有可能呈现在图1A和图1B中以粗线表示的固溶区域的范围内,由此有时能够获得高CAAC比率,所以是优选的。此外,通过减少铟的含有率,可以减少电子亲和势。例如,因为具有x:y:z=1.1:2.9:6的原子个数比的氧化物半导体膜的铟的含有率比具有区域12或区域13的原子个数比的氧化物半导体膜低,所以可以使电子亲和势较小。

[0142] 同样地,例如,通过采用x:y:z=1:2:3,可以满足算式(1)并在有可能为固溶区域的范围内,由此有时能够获得高CAAC比率,所以是优选的。此外,因为具有x:y:z=1:2:3的原子个数比的氧化物半导体膜的铟的含有率比具有区域12或区域13的原子个数比的氧化物半导体膜低,所以可以使电子亲和势较小。

[0143] 将靶材的铟、镓及锌的原子个数比设定为a、b及c。由图31A至图31C可知,锌的残留率A与b及c满足以如下算式(7)表示的近似式。

[0144] [算式7]

$$A[\%]=\{0.0811\times(c/b)+0.5825\}\times100 \quad (7)$$

由此,如果假定铟及镓的残留率为100%,则在使用In:Ga:Zn=a:b:c的靶材通过溅射法形成氧化物半导体膜的情况下,所得到的氧化物半导体膜满足原子个数比x:y:z=a:b:{0.0811×(c/b)+0.5825}×c。

[0145] 在此,在使所得到的氧化物半导体膜的铟、镓及锌满足原子个数比x:y:z=4:2:3的情况下,靶材的锌的原子个数比c满足如下算式(3)即可。注意,a=x=4、b=y=2、z=3。

[0146] [算式8]

$$3=\{0.0811\times(c/2)+0.5825\}\times c \quad (8)$$

算式(8)为c的2次方程式,求出其解是4.0234及-18.3883。由于在此负值不适合,所以为了满足x:y:z=4:2:3而满足a:b:c=4:2:4即可。

[0147] 同样地,为了满足x:y:z=1.1:2.9:6而满足a:b:c=1.1:2.9:7.6即可,为了满足x:y:z=1:2:3而满足a:b:c=1:2:4即可。

[0148] 另外,例如,为了得到图2A和图2B所示的区域12的氧化物半导体膜,靶材中的锌的原子个数比优选多于图2A和图2B所示的区域12。在此,将靶材所包含的铟、元素M及锌的原子个数比设定为a:b:c。在此,为了将通过溅射法得到的氧化物半导体膜的铟、元素M及锌的原子个数比设定为x:y:z,在c/b为1的情况下,例如使c/(a+b+c)的值成为z/(x+y+z)的大约1.5倍(100÷66=1.51)即可,在c/b为2的情况下,例如使c/(a+b+c)的值成为z/(x+y+z)的大约1.35倍(100÷74=1.35)即可,在c/b为3的情况下,例如使c/(a+b+c)的值成为z/(x+y+z)的大约1.20倍(100÷83=1.20)即可。

[0149] 通过将氧化物半导体膜的原子个数比设定为区域12的范围,可以进一步提高CAAC比率,所以是优选的。

[0150] 因此,为了获得CAAC比率更高的氧化物半导体膜,如果靶材的原子个数比满足c/b≥2,则例如使c/(a+b+c)的值成为z/(x+y+z)的大约1.4倍即可。具体而言,靶材的原子个数比例如优选满足图4所示的区域14的范围内的值。在此,区域14是具有依次连接第一坐标A(a:b:c=2:2:1)、第二坐标B(a:b:c=23:27:25)、第三坐标S(a:b:c=2:4:15)、第四坐标T

(a:b:c＝2:0:5)、第五坐标E(a:b:c＝2:0:3)、第六坐标F(a:b:c＝7:1:8)、第七坐标G(a:b:c＝15:5:8)以及上述第一坐标A的范围内的原子个数比的区域。注意,区域14包括线上的坐标。

[0151] 在此,作为本发明的一个方式的氧化物半导体膜也可以层叠多个膜。另外,多个膜的每一个的CAAC比率也可以彼此不同。此外,被层叠的多个膜中的至少一层的膜的CAAC比率例如优选高于90％,更优选为95％以上,进一步优选为97％以上且100％以下。

[0152] 在此,说明氧化物半导体膜的膜密度。

[0153] [膜密度评价结果]

CAAC-OS膜包含c轴取向的多个结晶部,并且观察不到结晶部与结晶部之间的明确的边界,从而可以得到致密的膜。对通过溅射法作为靶材使用原子个数比为In:Ga:Zn＝1:1:1的In-Ga-Zn氧化物形成的CAAC-OS膜以及使用原子个数比为In:Ga:Zn＝2:1:3的In-Ga-Zn氧化物形成的CAAC-OS膜的膜密度进行评价,其密度都大约为6.3g/cm^3。在后面的实施例中描述详细的条件。采用氧流量比为33％,成膜时的衬底温度为200℃以上且300℃以下的条件。膜密度通过X射线反射率(XRR:X-RayReflectivity)法而被求出。

[0154] 另一方面,根据氧化物半导体膜的形成条件而可以得到膜密度低的膜。此外,随着膜密度的下降,有时可以得到包含所谓的空洞的膜。在此空洞例如是指密度极低的区域或空间。这样的膜的结晶性低,有时容易俘获杂质,而难以得到良好的晶体管特性。

[0155] 在此,说明空洞多的膜的膜密度。例如,通过使用溅射法,采用氧流量比低的条件,并以低衬底温度进行成膜,有时形成空洞多的膜。通过采用表2所示的条件并利用溅射法,形成氧化物半导体膜。作为靶材,使用原子个数比为In:Ga:Zn＝1:1:1的In-Ga-Zn氧化物。作为电源,使用RF电源。

[表2]

	电源功率	气体流量		衬底温度 [℃]	压力 [Pa]
		Ar [sccm]	O_2 [sccm]		
条件C	100W	98	2	室温	1.0
条件D	100W	98	2	室温	0.4

[0156] 表2所示的条件C的成膜率为0.48nm/分,条件D的成膜率为1.78nm/分。

[0157] 表3是对使用表2所示的条件C及条件D形成的氧化物半导体膜的膜密度进行测量的结果。

[表3]

	膜密度 [g/cm³]
条件C	5.57
条件D	6.10

[0158] 条件C、条件D都示出膜密度低的倾向。可以认为:这是因为氧流量比低即2%,且成膜温度低。此外,在与条件D相比成膜压力高的条件C中,示出膜密度更低的结果。

[0159] [膜中氢浓度]

接着,图32示出采用条件C及条件D形成的氧化物半导体膜的膜中氢浓度。在条件C中得到氢浓度显著高的结果。

[0160] 图33A和图33B示出采用条件C及条件D形成的氧化物半导体膜的观察截面TEM图像的结果。图33A是采用条件C的膜的截面TEM图像,图33B是采用条件D的膜的截面TEM图像。在条件C中观察到膜稀疏的部分,所谓的空洞。以虚线围绕观察到空洞的区域的一个例子而示出。

[0161] 图34A和图34B示出采用条件C及条件D形成的氧化物半导体膜的TDS(Thermal Desorption Spectroscopy:热脱附谱分析法)分析结果。图34A和图34B示出分子量=18时的释放量。图34A是采用条件C的膜的结果,图34B是采用条件D的膜的结果。在采用膜密度低的条件C形成的氧化物半导体膜中,显著地观察到TDS分析的分子量=18时的释放,由此可以认为H_2O即水的释放。就是说,可以认为水分的吸附多的膜。

[0162] 为了详细地调查水分的吸附,对采用条件C形成的氧化物半导体膜进行TDS分析,将该氧化物半导体膜放在平均温度24℃且平均湿度61℃的大气中24小时,然后再次进行TDS分析。图35A和图35B示出其结果。图35A示出第一次的分析结果,图35B示出放在大气之后的分析结果即第二次的分析结果。在第二次分析中,再次观察到起因于分子量18的峰值。由此可知,因第一次TDS分析而氧化物半导体膜中的水分被释放,之后在大气中再次吸附水分。就是说,可以说密度低且包含空洞的膜容易吸附水分。

[0163] 实施方式2

在本实施方式中,对使用作为本发明的一个方式的氧化物半导体的晶体管的一个例子进行说明。

[0164] 在使用现有的硅、锗及其化合物的晶体管中,尤其在具有微小的沟道长度的元件中,为了抑制短沟道效应而优选增强栅电场,为了增强栅电场而优选进行栅极绝缘膜的薄膜化。

[0165] 另一方面,使用氧化物半导体膜的晶体管是以电子为多数载流子的积累型晶体管。由此,该晶体管与具有pn结的反转型晶体管相比作为短沟道效应之一的DIBL(Drain-Induced Barrier Lowering,漏极导致的势垒降低)的影响小。换言之,使用氧化物半导体膜的晶体管具有对短沟道效应的耐性。

[0166] 因为使用氧化物半导体膜的晶体管对短沟道效应的耐性高,所以与使用硅等的现有的晶体管相比可以使栅极绝缘膜增厚。例如,在沟道长度及沟道宽度为50nm以下的微型晶体管中也可以使用10nm左右的厚栅极绝缘膜。在此,通过使栅极绝缘膜增厚,可以减少寄

生电容。由此,有时可以提高电路的动态特性。此外,通过使栅极绝缘膜增厚,有时减少泄漏电流并降低耗电量。

[0167] 由于随着沟道长度的微型化而使漏电场增强,所以在使用硅等的现有的晶体管中,尤其在具有微型的沟道长度的情况下明显看出热载流子劣化导致的可靠性的下降。另一方面,在氧化物半导体中,带隙大(例如,包含铟、镓及锌的氧化物半导体的带隙为2.5eV以上),不容易激发电子,空穴的有效质量大。由此,与现有的使用硅等的晶体管相比,有时不容易发生雪崩击穿(avalanche breakdown)等。因此,例如有时可以抑制起因于雪崩击穿的热载流子劣化等。

[0168] 通过使栅极绝缘膜增厚,可以提高栅极绝缘膜的耐压,由此能够以更高栅极电压驱动晶体管。此外,通过抑制热载流子劣化,能够以高漏极电压驱动晶体管而不使沟道长度增加。因此,可以在输入高电压的电路中提高晶体管的可靠性的同时使沟道长度缩小,从而能够提高电路的集成度。

[0169] 另外,在使用本征或实质上本征的氧化物半导体膜的晶体管中,当源电极与漏电极间的距离充分小时,受源电场及漏电场的影响导带底的能量变低,导带底的能量与费米能级接近。将该现象称为Conduction Band Lowering Effect(导带降低效应,CBL效应)。由于CBL效应而以Vg-Id特性上的0V附近的低栅极电压开始流过漏电流,因此有时能够降低晶体管的驱动电压。

[0170] 在此,作为氧化物半导体膜,优选使用CAAC-OS膜。CAAC-OS膜的CAAC比率优选高。通过提高CAAC比率,例如可以减小晶体管的载流子散射的影响,因此可以获得高的场效应迁移率。此外,因为可以减小晶界的影响,所以可以降低晶体管的导通特性的偏差。因此,可以得到可靠性高的半导体装置。另外,通过使用偏差小的晶体管而减小驱动电压,可以减少耗电量。另外,例如可以实现缺陷密度低的CAAC-OS膜。可以实现杂质少的CAAC-OS膜。通过减少缺陷密度,例如可以实现极低的关闭电流特性。

[0171] [使用氧化物半导体膜的晶体管]

参照图5A至图5C说明使用氧化物半导体膜的晶体管的一个例子。

[0172] 图5A示出晶体管100的俯视图。图5B示出沿着图5A所示的点划线X-X'的截面,图5C示出沿着图5A所示的点划线Y-Y'的截面。图5A至图5C所示的晶体管100包括:半导体层101;导电层104a及导电层104b;半导体层101上的栅极绝缘膜102;以及隔着栅极绝缘膜102重叠于半导体层101的栅电极103。以覆盖晶体管100的方式设置有绝缘膜112及绝缘膜113。晶体管100还可以包括导电层105。在此,如图5A至图5C所示,晶体管100优选设置在衬底50上。此外,也可以在衬底与晶体管100之间包括接触于衬底50的顶面的绝缘膜51以及接触于绝缘膜51的顶面的绝缘膜114。在图5A至图5C中,半导体层101与绝缘膜114的顶面接触。在衬底50与绝缘膜114之间也可以不设置绝缘膜。

[0173] 半导体层101也可以以单层形成,如图5A至图5C所示,优选以半导体层101a、半导体层101b及半导体层101c的叠层结构形成。在此情况下,图5A至图5C所示的晶体管100包括:半导体层101a;接触于半导体层101a的顶面的半导体层101b;接触于半导体层101b的顶面并在重叠于半导体层101b的区域隔开的导电层104a及导电层104b;接触于半导体层101b的顶面的半导体层101c;半导体层101c上的栅极绝缘膜102;以及隔着栅极绝缘膜102及半导体层101c重叠于半导体层101b的栅电极103。半导体层101a设置在绝缘膜114与半导体层

101b之间。半导体层101c设置在半导体层101b与栅极绝缘膜102之间。导电层104a及导电层104b接触于半导体层101b的顶面及半导体层101c的底面。

[0174] 导电层104a及导电层104b具有用作源电极或漏电极的功能。另外,也可以对导电层105施加比源电极低的电压或比源电极高的电压而使晶体管的阈值电压向正方向或负方向变动。例如,通过使晶体管的阈值电压向正方向变动,有时即便栅极电压为0V也能够实现晶体管成为非导通状态(关闭状态)的常关闭(normally-off)。注意,施加到导电层105的电压既可为可变,又可为恒定。在施加到导电层105的电压为可变的情况下,也可以使控制电压的电路与导电层105连接。另外,导电层105也可以与栅电极103连接。

[0175] 作为设置在晶体管中的导电层104a及导电层104b,可以使用钨、钛、铝、铜、钼、铬或钽或者其合金等容易与氧键合的导电材料。其结果,半导体层101所包含的氧与导电层104a及导电层104b所包含的导电材料键合,在半导体层101中形成氧缺陷区域。另外,有时在半导体层101中混入形成导电层104a及导电层104b的导电材料的构成元素的一部分。其结果是,第一低电阻区域及第二低电阻区域形成在半导体层101中的与导电层104a及导电层104b接触的区域附近。由于第一低电阻区域及第二低电阻区域的导电性高,所以可以降低半导体层101与导电层104a及导电层104b之间的接触电阻,因此可以增大晶体管的通态电流(on-state current)。

[0176] 另外,第一低电阻区域及第二低电阻区域的端部也可以与导电层104a、导电层104b的端部大致一致。或者,第一低电阻区域及第二低电阻区域的端部位于导电层104a及导电层104b的端部的内侧。当在半导体层101中形成第一低电阻区域及第二低电阻区域时,沟道长度是半导体层101和栅极绝缘膜102之间的界面上的第一低电阻区域及第二低电阻区域之间的距离。

[0177] 作为半导体层101b,优选使用电子亲和势比半导体层101a及半导体层101c大的氧化物。例如,作为半导体层101b,使用电子亲和势比半导体层101a及半导体层101c大0.07eV以上且1.3eV以下,优选大0.1eV以上且0.7eV以下,更优选大0.15eV以上且0.4eV以下的氧化物。注意,电子亲和势是指真空能级与导带底的能量之间的差异。

[0178] 通过作为半导体层101b使用电子亲和势大于半导体层101a及半导体层101c的氧化物,在对栅电极施加电场时,在半导体层101a、半导体层101b和半导体层101c中的电子亲和势较大的半导体层101b中形成沟道。在此,通过在半导体层101b中形成沟道,例如沟道形成区域从与栅极绝缘膜102之间的界面远离,由此可以减小与栅极绝缘膜之间的界面的散射的影响。因此,可以提高晶体管的场效应迁移率。在此,因为半导体层101b与半导体层101c如后面所述构成元素相同,所以几乎没有发生界面散射。

[0179] 此外,在使用氧化硅膜、氧氮化硅膜、氮氧化硅膜或氮化硅膜等作为栅极绝缘膜的情况下,包含在栅极绝缘膜中的硅有可能混入氧化物半导体膜中。如果硅混入氧化物半导体膜中,则会导致氧化物半导体膜的结晶性下降、载流子迁移率下降等。因此,为了降低形成有沟道的半导体层101b的杂质浓度,例如硅浓度,优选在半导体层101b与栅极绝缘膜之间设置半导体层101c。由于同样的理由,为了降低从绝缘膜114扩散杂质的影响,优选在半导体层101b与绝缘膜114之间设置半导体层101a。

[0180] 半导体层101b例如是包含铟的氧化物半导体。在半导体层101b包含铟时,例如其载流子迁移率(电子迁移率)提高。另外,半导体层101b优选包含元素M。元素M优选是铝、镓、

钇或锡等。作为可用作元素M的其他元素,有硼、硅、钛、铁、镍、锗、钇、锆、钼、镧、铈、钕、铪、钽、钨等。注意,作为元素M有时也可以组合多个上述元素。元素M例如是与氧的键能高的元素。元素M例如是与氧的键能高于铟的元素。或者,元素M例如是具有增大氧化物半导体的能隙的功能的元素。此外,半导体层101b优选包含锌。当氧化物半导体包含锌时,有时容易晶化。

[0181] 作为半导体层101b例如使用能隙大的氧化物。半导体层101b的能隙例如是2.5eV以上且4.2eV以下,优选为2.7eV以上且3.7eV以下,更优选为2.8eV以上且3.3eV以下。

[0182] 在此,作为半导体层101b,优选使用CAAC-OS膜。通过使用CAAC-OS膜,能够实现载流子散射小且场效应迁移率高的晶体管。另外,优选提高半导体层101b的CAAC比率。例如,CAAC比率优选为90%以上,更优选为95%以上,进一步优选为97%以上且100%以下。

[0183] 接着,说明半导体层101a及半导体层101c。例如,半导体层101a及半导体层101c是包含一种或多种构成半导体层101b的除了氧之外的元素的氧化物半导体。因为半导体层101a及半导体层101c包含一种或多种构成半导体层101b的除了氧之外的元素,所以不容易在半导体层101a与半导体层101b的界面以及半导体层101b与半导体层101c的界面处形成界面能级。

[0184] 在此,半导体层101a及半导体层101c优选使用CAAC-OS膜。

[0185] 例如,通过将包括c轴取向的多个结晶部的CAAC-OS膜用作半导体层101a,层叠在其上的半导体层101b在与半导体层101a之间的界面附近也可以形成具有良好的c轴取向的区域。

[0186] 此外,通过提高CAAC-OS膜的CAAC比率,例如可以进一步减少缺陷。例如,可以减少具有尖晶石型结构的区域。例如,可以降低载流子的散射。例如,可以形成对杂质具有高阻挡性的膜。因此,通过提高半导体层101a及半导体层101c的CAAC比率,在与形成有沟道的半导体层101b之间形成良好的界面,由此可以将载流子散射抑制为小。另外,能够抑制杂质混入到半导体层101b并减少半导体层101b的杂质浓度。

[0187] 在此,图20A示出能带结构。图20A示出真空能级(记为“vacuum level”)、各层的导带底的能量(记为“Ec”)以及价带顶(记为“Ev”)。

[0188] 在此,在半导体层101a与半导体层101b之间有时存在半导体层101a和半导体层101b的混合区域。此外,在半导体层101b与半导体层101c之间有时存在半导体层101b和半导体层101c的混合区域。混合区域的界面态密度低。因此,在半导体层101a、半导体层101b及半导体层101c的叠层体具有各层之间的界面附近的能量连续地变化(也称为连接结合)的能带结构。

[0189] 注意,图20A示出半导体层101a的Ec与半导体层101c的Ec相同的情况,但是也可以相互不同。例如,半导体层101c的Ec也可以具有比半导体层101a的Ec高的能量。

[0190] 此时,电子不是在半导体层101a及半导体层101c中而主要在半导体层101b中移动(参照图20B)。如上所述,通过降低半导体层101a与半导体层101b的界面处的界面态密度、半导体层101b与半导体层101c的界面处的界面态密度,在半导体层101b中妨碍电子移动的情况减少,从而可以提高晶体管的通态电流。

[0191] 如图5B所示,半导体层101b的侧面与导电层104a及导电层104b接触。此外,如图5C所示,可以由栅电极103的电场电围绕半导体层101b(将导电体的电场电围绕半导体的晶体

管结构称为围绕沟道(surrounded channel,s-channel)结构)。因此,有时在整个半导体层101b中(块内)形成沟道。在s-channel结构中可以使大电流流在晶体管的源极-漏极间,可以提高导通时的电流(通态电流)。

[0192] 由于可以得到高的通态电流,因此s-channel结构可以说是适合于微型晶体管的结构。包括微型晶体管的半导体装置可以具有高集成度及高密度。例如,晶体管的沟道长度优选为40nm以下,更优选为30nm以下,进一步优选为20nm以下,并且,晶体管的沟道宽度优选为40nm以下,更优选为30nm以下,进一步优选为20nm以下。

[0193] 注意,例如,沟道长度是指在晶体管的俯视图中,半导体(或在晶体管处于开启状态时,在半导体中电流流动的部分)与栅电极重叠的区域或形成有沟道的区域中的源极(源区域或源电极)与漏极(漏区域或漏电极)之间的距离。另外,在一个晶体管中,沟道长度在所有区域中不一定为相同。换言之,一个晶体管的沟道长度有时不局限于一个值。因此,在本说明书中,沟道长度是形成沟道的区域中的任一个值、最大值、最小值或平均值。

[0194] 例如,沟道宽度是指半导体(或在晶体管处于开启状态时,在半导体中电流流动的部分)与栅电极重叠的区域或形成有沟道的区域中的源极与漏极相对的部分的长度。另外,在一个晶体管中,沟道宽度在所有区域中不一定为相同。换言之,一个晶体管的沟道宽度有时不局限于一个值。因此,在本说明书中,沟道宽度是形成有沟道的区域中的任一个值、最大值、最小值或平均值。

[0195] 另外,在有的晶体管结构中,有时形成有沟道的区域中的实际上的沟道宽度(下面称为实效沟道宽度)不同于晶体管的俯视图所示的沟道宽度(下面称为外观上的沟道宽度)。例如,在具有立体结构的晶体管中,有时因为实效沟道宽度大于晶体管的俯视图所示的外观上的沟道宽度,所以不能忽略其影响。例如,在具有立体结构的微型晶体管中,有时形成在半导体侧面中的沟道区域的比例大于形成在半导体顶面中的沟道区域的比例。在此情况下,形成有沟道的实际上的实效沟道宽度大于俯视图所示的外观上的沟道宽度。

[0196] 在具有立体结构的晶体管中,有时难以通过实测来估计实效沟道宽度。例如,为了根据设计值估计实效沟道宽度,需要一个假设,即已知半导体的形状。因此,当半导体的形状不确定时,难以正确地测定实效沟道宽度。

[0197] 因此,在本说明书中,有时将在晶体管的俯视图中半导体与栅电极重叠的区域中的源极与漏极相对的部分的长度,即外观上的沟道宽度称为“围绕沟道宽度(SCW:Surrounded Channel Width)”。此外,在本说明书中,在简单地描述为“沟道宽度”时,有时是指围绕沟道宽度或外观上的沟道宽度。或者,在本说明书中,在简单地描述为“沟道宽度”时,有时是指实效沟道宽度。注意,通过对截面TEM图像等进行分析等,可以决定沟道长度、沟道宽度、实效沟道宽度、外观上的沟道宽度、围绕沟道宽度等的值。

[0198] 另外,在通过计算求得晶体管的场效应迁移率或每个沟道宽度的电流值等时,有时使用围绕沟道宽度来计算。在此情况下,该值有时不同于使用实效沟道宽度计算的值。

[0199] 在此,虽然图5A至图5C示出作为氧化物半导体层叠半导体层101a、半导体层101b及半导体层101c的三层的例子,但是也可以将氧化物半导体的单层用于晶体管100。此外,也可以采用不具有半导体层101a、半导体层101b和半导体层101c中的一个或两个的结构。

[0200] 半导体层101a、半导体层101b及半导体层101c优选至少包含铟。另外,在半导体层101a是In-M-Zn氧化物的情况下,在In和M的总和为100atomic%时,优选的是:In为低于

50atomic%,M为50atomic%以上,更优选的是:In为低于25atomic%,M为75atomic%以上。此外,在半导体层101b是In-M-Zn氧化物的情况下,在In和M的总和为100atomic%时,优选的是:In为25atomic%以上,M为低于75atomic%,更优选的是:In为34atomic%以上,M为低于66atomic%。此外,在半导体层101c是In-M-Zn氧化物的情况下,在In和M的总和为100atomic%时,优选的是:In为低于50atomic%,M为50atomic%以上,更优选的是:In为低于25atomic%,M为75atomic%以上。另外,半导体层101c也可以使用与半导体层101a相同的种类的氧化物。

[0201] 注意,铟镓氧化物的电子亲和势小,其氧阻挡性高。因此,例如半导体层101c也可以包含铟镓氧化物。镓原子的比率[Ga/(In+Ga)]例如为70%以上,优选为80%以上,更优选为90%以上。

[0202] 在此,作为半导体层101b,使用电子亲和势比半导体层101a及半导体层101c大0.07eV以上且1.3eV以下,优选大0.1eV以上且0.7eV以下,更优选大0.15eV以上且0.4eV以下的氧化物。

[0203] 为了获得具有高的CAAC比率的更优良的CAAC-OS膜,例如在半导体层101b包含铟、元素M及锌的情况下,铟、元素M及锌的原子个数比x:y:z优选为实施方式1所示的图2A和图2B的区域12的范围内的值,更优选为区域13所示的范围内的值。

[0204] 半导体层101a、半导体层101b及半导体层101c优选不包含尖晶石型结晶结构或者尖晶石型结晶结构很少。另外,半导体层101a、半导体层101b及半导体层101c优选为CAAC-OS膜。

[0205] 在此,作为更具体的例子,考虑到半导体层101a、半导体层101b及半导体层101c分别为包含铟、元素M及锌的氧化物的情况。在此,将半导体层101a的铟、元素M及锌的原子个数比设定为铟:元素M:锌＝$x_a:y_a:z_a$。同样地,将半导体层101b的铟、元素M及锌的原子个数比设定为铟:元素M:锌＝$x_b:y_b:z_b$,将半导体层101c的铟、元素M及锌的原子个数比设定为铟:元素M:锌＝$x_c:y_c:z_c$。

[0206] 半导体层101a及半导体层101c优选不包含尖晶石型结晶结构或者尖晶石型结晶结构很少。因此,$x_a:y_a:z_a$及$x_c:y_c:z_c$例如优选在图1B的区域11的范围内。作为半导体层101b,优选使用电子亲和势比半导体层101a及半导体层101c大的氧化物。

[0207] 由此,$x_a:y_a:z_a$及$x_c:y_c:z_c$例如优选在区域11的范围内,且其电子亲和势优选小于半导体层101b。

[0208] 在此,为了使半导体层101b的电子亲和势大于半导体层101a及半导体层101c,例如优选使半导体层101b的铟的含有率大于半导体层101a及半导体层101c。例如,优选满足$x_b/(x_b+y_b+z_b)>x_a/(x_a+y_a+z_a)$及$x_b/(x_b+y_b+z_b)>x_c/(x_c+y_c+z_c)$。

[0209] 或者,优选的是,半导体层101a例如在区域11的范围内且满足$x_a\leqslant 2y_a$。此外,更优选的是,半导体层101c例如在区域11的范围内且满足$x_c\leqslant y_c$。

[0210] 同样地,优选的是,半导体层101c例如在区域11的范围内且满足$x_c\leqslant 2y_c$。此外,更优选的是,半导体层101c例如在区域11的范围内且满足$x_c\leqslant y_c$。

[0211] 就是说,半导体层101a优选具有依次连接坐标K(8:14:7)、坐标L(2:5:7)、坐标M(51:149:300)、坐标N(46:288:833)、坐标O(0:2:11)、坐标P(0:0:1)、坐标A(2:2:1)以及上述坐标K的范围内的原子个数比。

[0212] 半导体层101c优选具有依次连接坐标K(8:14:7)、坐标L(2:5:7)、坐标M(51:149:300)、坐标N(46:288:833)、坐标O(0:2:11)、坐标P(0:0:1)、坐标A(2:2:1)以及上述坐标K的范围内的原子个数比。

[0213] 半导体层101a及半导体层101c优选具有依次连接坐标K(8:14:7)、坐标L(2:5:7)、坐标M(51:149:300)、坐标N(46:288:833)、坐标P(0:0:1)、坐标C(8:12:25)、坐标B(23:27:25)、坐标A(2:2:1)以及上述坐标K的范围内的原子个数比。

[0214] 注意,当晶体管具有s-channel结构时,在整个半导体层101b中形成有沟道。因此,半导体层101b的厚度越大,沟道区域越大。即,半导体层101b越厚,越能够提高晶体管的通态电流。例如,半导体层101b具有其厚度为20nm以上,优选为40nm以上,更优选为60nm以上,进一步优选为100nm以上的区域即可。注意,半导体装置的生产率有时会下降,因此,例如,半导体层101b具有其厚度为300nm以下,优选为200nm以下,更优选为150nm以下的区域即可。

[0215] 此外,为了提高晶体管的通态电流,半导体层101c的厚度越小越优选。例如,半导体层101c具有其厚度为低于10nm,优选为5nm以下,更优选为3nm以下的区域即可。另一方面,半导体层101c具有阻挡构成相邻的绝缘体的氧之外的元素(氢、硅等)侵入形成有沟道的半导体层101b中的功能。因此,半导体层101c优选具有一定程度的厚度。例如,半导体层101c具有其厚度为0.3nm以上,优选为1nm以上,更优选为2nm以上的区域即可。另外,为了抑制从栅极绝缘膜102等释放的氧向外扩散,半导体层101c优选具有阻挡氧的性质。

[0216] 此外,为了提高可靠性,优选使半导体层101a变厚并使半导体层101c变薄。例如,半导体层101a具有其厚度例如为10nm以上,优选为20nm以上,更优选为40nm以上,进一步优选为60nm以上的区域即可。通过将半导体层101a形成为厚,可以拉开从相邻的绝缘体和半导体层101a的界面到形成有沟道的半导体层101b的距离。注意,因为半导体装置的生产率可能会下降,所以半导体层101a具有其厚度例如为200nm以下,优选为120nm以下,更优选为80nm以下的区域即可。

[0217] 当氧化物半导体膜含有多量的氢时,有时起因于氢而形成供体能级。其结果是,导致晶体管的阈值电压向负向漂移。因此,优选通过在形成氧化物半导体膜之后进行脱水化处理(脱氢化处理),从氧化物半导体膜中去除氢或水分以使其尽量不包含杂质来实现高度纯化。

[0218] 另外,有时氧化物半导体膜中的氧也因脱水化处理(脱氢化处理)而被减少。因此,为了填补因对氧化物半导体膜的脱水化处理(脱氢化处理)而增加的氧缺陷,优选将氧添加到氧化物半导体膜。在本说明书等中,有时将对氧化物半导体膜供应氧的处理称为加氧化处理,或者,有时将使氧化物半导体膜的氧含量超过化学计量组成的处理称为过氧化处理。

[0219] 如上所述,通过进行脱水化处理(脱氢化处理)从氧化物半导体膜去除氢或水分,并进行加氧化处理以填补氧缺陷,可以得到被i型(本征)化的氧化物半导体膜或极其接近于i型而实质上呈i型(本征)的氧化物半导体膜。注意,“实质上本征”是指:在氧化物半导体膜中,来自于供体的载流子极少(近于零),载流子密度为$1\times10^{17}/cm^3$以下,$1\times10^{16}/cm^3$以下,$1\times10^{15}/cm^3$以下,$1\times10^{14}/cm^3$以下,$1\times10^{13}/cm^3$以下。

[0220] 如此,具备i型或实质上呈i型的氧化物半导体膜的晶体管可以实现极为优良的关态电流特性。例如,可以将使用氧化物半导体膜的晶体管处于关闭状态时的漏电流在室温

(25℃左右)下设定为1×10^{-18}A以下,优选为1×10^{-21}A以下,更优选为1×10^{-24}A以下,或者,可以将漏电流在85℃的温度下设定为1×10^{-15}A以下,优选为1×10^{-18}A以下,更优选为1×10^{-21}A以下。注意,“晶体管处于关闭状态”是指:在采用n沟道型晶体管的情况下,栅极电压充分小于阈值电压的状态。具体而言,在栅极电压比阈值电压小1V以上、2V以上或3V以上时,晶体管成为关闭状态。

[0221] 在此,通过器件仿真计算因晶体管的半导体的形状不同而产生的电特性的差异。图65A至图65D示出用于计算的晶体管的模型。注意,将Synopsys公司制造的Sentaurus用于计算。

[0222] 图65A及图65B是包括叠层结构的半导体层的晶体管60a的截面结构。图65A是沟道长度方向的截面图,图65B的沟道宽度方向的截面图。

[0223] 晶体管60a包括:与衬底(未图示)的顶面接触的绝缘膜61;与绝缘膜61的顶面接触的半导体层62;与半导体层62的顶面接触的半导体层63;与半导体层63的顶面接触并在重叠于半导体层63的区域隔开的导电层65s及导电层65d;与半导体层63的顶面接触的半导体层66;半导体层66上的绝缘膜67;以及隔着绝缘膜67重叠于半导体层63的栅电极68。半导体层63中的与导电层65s、65d接触的区域包括低电阻层64s、64d。绝缘膜67用作栅极绝缘膜。导电层65s、65d用作源电极或漏电极。以覆盖晶体管60a的方式设置有绝缘膜69。

[0224] 图65C及图65D是包括单层结构的半导体层的晶体管60b的截面结构。图65C是沟道长度方向的截面图,图65D的沟道宽度方向的截面图。

[0225] 晶体管60b包括:与衬底(未图示)的顶面接触的绝缘膜61;与绝缘膜61的顶面接触的绝缘膜72;与绝缘膜72的顶面接触的半导体层63;与半导体层63的顶面接触并在重叠于半导体层63的区域隔开的导电层65s及导电层65d;与半导体层63的顶面接触的绝缘膜76;绝缘膜76上的绝缘膜67;以及隔着绝缘膜67重叠于半导体层63的栅电极68。半导体层63中的与导电层65s、65d接触的区域包括低电阻层64s、64d。绝缘膜67及绝缘膜76具有用作栅极绝缘膜的功能。以覆盖晶体管60b的方式设置有绝缘膜69。

[0226] 以下示出用于计算的条件。在晶体管60a、60b中,沟道长度L为60nm,沟道宽度为60nm,半导体层63的长度L1为140nm,沟道长度方向上的导电层65s、65d重叠于栅电极68的长度为20nm。绝缘膜61的相对介电常数为4.1,厚度为400nm。导电层65s、65d的功函数为4.6eV。绝缘膜67的相对介电常数为4.1,厚度为10nm。栅电极68的功函数为5.0eV。

[0227] 表4示出晶体管60a、60b的半导体层63的条件。

[表4]

组成比	IGZO(In:Ga:Zn=1:1:1)	
电子亲和势	4.6	eV
Eg	3.2	eV
相对介电常数	15	
供体密度	6.60E-09	cm^{-3}
供体密度(66s,66d)	5.00E+18	cm^{-3}
电子迁移率	10	cm^2/Vs
空穴迁移率	0.01	cm^2/Vs
N_c	5.00E+18	cm^{-3}
N_v	5.00E+18	cm^{-3}
膜厚	15	nm

[0228] 此外,在晶体管60a中,作为半导体层62、66,使用In-Ga-Zn氧化物(In:Ga:Zn=1:3:2),半导体层62、66的电子亲和势为4.3eV,带隙为3.7eV,相对介电常数为15,供体密度为6.6×10^{-9}个/cm^3,电子迁移率为0.1cm^2/Vs,空穴迁移率为0.01cm^2/Vs,Nc及Nv分别为5×10^{18}个/cm^3。另外,半导体层62的厚度为20nm,半导体层66的厚度为5nm。

[0229] 在晶体管60b中,绝缘膜72、76的电子亲和势为0.9eV,带隙为9eV,相对介电常数为15。绝缘膜72的厚度为20nm,绝缘膜76的厚度为5nm。

[0230] 在晶体管60a的半导体层66与绝缘膜67之间设置电子陷阱。在晶体管60b的半导体层63与绝缘膜76之间设置电子陷阱。因为电子陷阱的分布f是正态分布,所以可以根据算式9而被求出。

[0231] [算式9]

$$f = N_0 \exp\left(-\frac{(E-E_0)^2}{2E_S^2}\right) \qquad (9)$$

注意,在算式9中,N_0为电子俘获的最大密度,E_0为导带底的能量,E为从导带底向价带分布的电子俘获的能级,E_s为电子俘获的偏差的大小。在此,在$N_0=1.7\times10^{13}$/eVcm^2,E_0=0eV,E_s=0.1eV的条件下进行计算。

图76A示出晶体管60a的Vg-Id特性的计算结果,图76B示出晶体管60b的Vg-Id特性的计算结果。在图76A和图76B中,横轴示出栅极电压Vg,第一纵轴示出漏电流Id,第二纵轴示出场效应迁移率。实线示出不设置有电子陷阱的晶体管的计算结果,虚线示出设置有电子陷阱的晶体管的计算结果。细线示出漏极电压Vd=0.1V时的计算结果,粗线是漏极电压Vd=1V时的计算结果。

[0232] 如图76B所示,当在半导体层63与绝缘膜76之间的界面设置电子俘获时,通态电流下降。然而,如图76A所示,当在半导体层66与绝缘膜67之间的界面设置电子陷阱时,通态电流几乎没有下降。在叠层结构的半导体层中,半导体层63是电子亲和势大于半导体层62及

半导体层66的氧化物。在对栅电极施加电场时,沟道形成在半导体层62、半导体层63、半导体层66中电子亲和势最大的半导体层63中。由于沟道从半导体层66与绝缘膜67之间的界面远离,所以在沟道中可以减小半导体层66与绝缘膜67之间的界面的电子陷阱的影响。因此,能够抑制晶体管的通态电流的下降。另外,能够抑制晶体管的阈值电压的变动,而可以提高晶体管的可靠性。

[0233] 在本实施方式中,描述本发明的一个方式。或者,在其他实施方式中,描述本发明的一个方式。但是,本发明的一个方式不局限于此。例如,虽然作为本发明的一个方式示出使用包含氧化物半导体的晶体管的情况的例子,但是本发明的一个方式不局限于此。根据情况,本发明的一个方式也可以使用不包含氧化物半导体的晶体管。或者,根据情况,本发明的一个方式也可以使用包含与氧化物半导体不同的半导体材料的晶体管。作为这样的晶体管,本发明的一个方式例如也可以使用包含Si(硅)、Ge(锗)、SiGe(硅锗)、GaAs(镓砷)、碳化硅、氮化物半导体、化合物半导体或有机半导体等的晶体管。作为半导体的结晶性,根据情况,也可以使用非晶半导体、微晶半导体、多晶半导体、单晶半导体等。此外,虽然作为本发明的一个方式示出以固定的原子比包含固定的原子的半导体的例子,但是本发明的一个方式不局限于此。根据情况,本发明的一个方式也可以使用以不与固定的原子比一致的比率包含原子的半导体。

[0234] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0235] 实施方式3

以下,对本发明的一个方式的使用氧化物半导体的晶体管的结构及半导体装置进行说明。

[0236] [晶体管的变形例]

使用氧化物半导体的晶体管100不局限于实施方式2所示的图5A至图5C的结构。例如,晶体管100也可以具有图6A和图6B所示的结构。图6A及图6B与图5A至图5C之间的不同之处在于导电层104a及导电层104b的形状。在图5B所示的截面中,导电层104a及导电层104b与半导体层101a的侧面、半导体层101b的侧面及半导体层101b的顶面接触。在图6A中,导电层104a及导电层104b与半导体层101b的顶面接触,并且导电层104a的端部及导电层104b的端部与半导体层101b的端部大致一致。另外,图6B示出穿过图6A所示的点划线A-B且垂直于图6A的面的截面。

[0237] 另外,晶体管100也可以具有图66A和图66B所示的结构。图66A及图66B与图6A及图6B之间的不同之处主要在于:在图66A及图66B中,不对绝缘膜114的表面进行平坦化。

[0238] 此外,晶体管100也可以具有图7A和图7B所示的结构。图7A及图7B与图5A至图5C之间的不同之处在于栅极绝缘膜102及半导体层101c的形状。在图5B及图5C中,栅极绝缘膜102及半导体层101c的端部与栅电极103的端部大致一致。另一方面,在图7A及图7B中,栅极绝缘膜102及半导体层101c的端部位于栅电极103的端部的外侧。此外,图7B示出穿过图7A所示的点划线A-B且垂直于图7A的面的截面。

[0239] 另外,晶体管100也可以具有图8A和图8B所示的结构。在图5A至图5C中,半导体层101c与导电层104a及导电层104b的顶面接触,而在图8A和图8B中,半导体层101c与导电层104a及导电层104b的底面接触。此外,图8B示出穿过图8A所示的点划线A-B且垂直于图8A的

面的截面。通过采用这种结构,当形成构成半导体层101a、半导体层101b及半导体层101c的各膜时,可以以不接触于大气的方式连续地进行成膜,所以可以降低各膜之间的界面缺陷。

[0240] 另外,如图67A和图67B所示,晶体管100也可以具有层119a及层119b。

[0241] 作为层119a及层119b,例如可以使用透明导电体、氧化物半导体、氮化物半导体或氧氮化物半导体。作为层119a及层119b,例如可以使用包含铟、锡及氧的层、包含铟及锌的层、包含铟、钨及锌的层、包含锡及锌的层、包含锌及镓的层、包含锌及铝的层、包含锌及氟的层、包含锌及硼的层、包含锡及锑的层、包含锡及氟的层或包含钛及铌的层等。另外,这些层也可以包含氢、碳、氮、硅、锗或氩。

[0242] 层119a及层119b也可以具有使可见光线透过的性质。另外,层119a及层119b也可以具有通过反射或吸收可见光线、紫外线、红外线或X线而不使它们透过的性质。通过具有这种性质,有时可以抑制杂散光导致的晶体管的电特性变动。

[0243] 另外,作为层119a及层119b,有时优选使用不在与半导体层101b等之间形成肖特基势垒的层。由此,可以提高晶体管的导通特性。

[0244] 另外,作为层119a及层119b,有时优选使用具有比导电层104a及导电层104b高的电阻的层。此外,作为层119a及层119b,有时优选使用具有比晶体管的沟道低的电阻的层。例如,可以将层119a及层119b的电阻率设定为0.1Ωcm以上且100Ωcm以下、0.5Ωcm以上且50Ωcm以下或1Ωcm以上且10Ωcm以下。通过将层119a及层119b的电阻率设定在上述范围内,可以缓和沟道与漏极之间的边界部中的电场集中。因此,可以降低晶体管的电特性变动。另外,也可以降低起因于从漏极产生的电场的穿透电流。因此,也可以在沟道长度短的晶体管中实现良好的饱和特性。注意,在源极和漏极不调换的电路结构中,有时优选仅配置层119a和层119b中的一个(例如,位于漏极一侧的层)。

[0245] 另外,晶体管100也可以具有图9A至图9D所示的结构。此外,图9B示出穿过图9A所示的点划线A-B且垂直于图9A的面的截面。图9A至图9D与图5A至图5C之间的不同之处在于:图9A至图9D不具有导电层104a及导电层104b。在此,如图9C所示,晶体管100也可以具有低电阻层171a及低电阻层171b。低电阻层171a及低电阻层171b优选具有用作源区域或漏区域的功能。此外,也可以对低电阻层171a及低电阻层171b添加杂质。通过添加杂质,可以降低半导体层101的电阻。作为杂质,例如优选添加选自氩、硼、碳、镁、铝、硅、磷、钙、钪、钛、钒、铬、锰、铁、钴、镍、镓、锗、砷、钇、锆、铌、钼、铟、锡、镧、铈、钕、铪、钽、钨中的一种以上。低电阻层171a及低电阻层171b是例如在半导体层101中包含5×10^{19}atoms/cm^{3}以上,优选为1×10^{20}atoms/cm^{3}以上,更优选为2×10^{20}atoms/cm^{3}以上,进一步优选为5×10^{20}atoms/cm^{3}以上的上述杂质元素的区域。图9D是图9C中的区域324的放大图。

[0246] 另外,有时可以在这种电阻低的区域中俘获杂质诸如不需要的氢等。通过在低电阻层中俘获不需要的氢,可以降低沟道区域的氢浓度,而获得晶体管100的良好的特性。

[0247] 此外,晶体管100也可以具有图10A和图10B所示的结构。图10A及图10B与图9A至图9D之间的不同之处在于半导体层101c和栅极绝缘膜102的形状。在图9A及图9B中,栅极绝缘膜102的端部与栅电极103的端部大致一致,半导体层101c位于栅电极103的端部的外侧。在图10A及图10B中,半导体层101c和栅极绝缘膜102的端部位于栅电极103的端部的外侧且半导体层101c与半导体层101a及半导体层101b的侧面接触。另外,图10B示出穿过图10A所示的点划线A-B且垂直于图10A的面的截面。

[0248] 另外,虽然在图6A至图10B所示的结构中说明以接触于半导体层101b的方式设置有半导体层101a及半导体层101c的结构,但是也可以采用不设置半导体层101a和半导体层101c中的一个或两个的结构。

[0249] 此外,如图11A至图11C所示,晶体管100也可以具有栅电极103隔着栅极绝缘膜102设置在半导体层101的下侧的结构。图11A及图11B分别示出晶体管100的俯视图及截面图。图11A是晶体管100的俯视图,图11B是沿着图11A的点划线A-B的截面图,并且图11C是沿着图11A的点划线C-D的截面图。另外,在图11A中,为了明确起见,省略衬底50、栅极绝缘膜102、保护膜25等。图11A至图11C所示的晶体管100包括:设置在衬底50上的栅电极103;形成在衬底50及栅电极103上的栅极绝缘膜102;隔着栅极绝缘膜102重叠于栅电极103的半导体层101;以及接触于半导体层101的导电层104a及导电层104b。此外,在栅极绝缘膜102、半导体层101、导电层104a及导电层104b上形成保护膜25。

[0250] 另外,保护膜25接触于与半导体层101中的接触于栅极绝缘膜102的面相反一侧的面。就是说,保护膜25接触于与半导体层101中的形成沟道的区域相反一侧的面(以下,称为背沟道区域),由此具有保护半导体层101的背沟道区域的功能。

[0251] 在此,保护膜25例如可以是两层以上的叠层。另外,保护膜25优选具有其氧含量超过化学计量组成且通过加热使氧的一部分脱离的膜。作为保护膜25,例如可以使用氧化硅膜、氧氮化硅膜、氮化硅膜等。

[0252] 另外,如图62A至图62C所示,晶体管100也可以在保护膜25上具有电极126。

[0253] 此外,晶体管100也可以具有图63A和图63B所示的结构。在此,图11A至图11C以及图62A至图62C所示的晶体管100是沟道蚀刻型晶体管,而图63A和图63B所示的晶体管100是沟道保护型晶体管。

[0254] 在此,对沟道蚀刻型晶体管的制造工序进行说明。通过作为沟道蚀刻型晶体管的半导体层101使用CAAC-OS膜,即使当进行用来形成一对导电层104a及导电层104b的蚀刻时半导体层101被露出,由于半导体层101的结晶性高而不容易受到蚀刻的损伤,由此也可以获得良好的晶体管特性。通过使用沟道蚀刻型晶体管,可以使结构简化。因此,例如可以降低晶体管的制造所需要的价格。

[0255] 另外,因为CAAC-OS膜不具有晶界,所以用作铜的阻挡膜。例如,可以认为:在将铜用于导电层104a及导电层104b时,CAAC-OS膜防止导电层104a及导电层104b所包含的铜扩散到晶体管的沟道区域。

[0256] 图63A所示的晶体管100包括:设置在衬底50上的栅电极103;形成在衬底50及栅电极103上的栅极绝缘膜102;隔着栅极绝缘膜102重叠于栅电极103的半导体层101;栅极绝缘膜102及半导体层101上的绝缘膜127;以及在该绝缘膜的开口部中接触于半导体层101的一对导电层104a及导电层104b。

[0257] 另外,如图63B所示的晶体管100,也可以包括:形成在半导体层101上的绝缘膜128;以及其端部形成在绝缘膜128上且接触于半导体层101的一对导电层104a及导电层104b。

[0258] 当形成一对导电层104a及导电层104b时,图63A和图63B所示的晶体管100的半导体层101都被绝缘膜127或128覆盖,由此半导体层101不受到进行用来形成一对导电层104a及导电层104b的蚀刻时的损伤。并且,通过使绝缘膜127、128为包含氮且缺陷量少的氧化物

绝缘膜,能够制造电特性变动得到抑制且可靠性得到提高的晶体管。

[0259] 另外,图63A和图63B所示的晶体管100也可以具有如图62A至图62C所示的保护膜25或电极126。

[0260] [结构实例1]

图12A是本发明的一个方式的半导体装置的电路图的一个例子。图12A所示的半导体装置包括:晶体管100;晶体管130;电容元件150;布线BL;布线WL;布线CL;布线SL;以及布线BG。

[0261] 在晶体管130中,源极和漏极中的一个与布线BL电连接,另一个与布线SL电连接,栅极与晶体管100的源极和漏极中的一个及电容元件150的一个电极电连接。在晶体管100中,源极和漏极中的另一个与布线BL电连接,栅极与布线WL电连接。电容元件150的另一个电极与布线CL电连接。另外,布线BG与晶体管100的第二栅极电连接。此外,将晶体管130的栅极、晶体管100的源极和漏极中的一个与电容元件150的一个电极之间的节点称为节点FN。

[0262] 在图12A所示的半导体装置中,当晶体管100处于导通状态(开启状态)时,对应于布线BL的电位的电位施加到节点FN。另外,当晶体管100处于非导通状态(关闭状态)时,具有保持节点FN的电位的功能。就是说,图12A所示的半导体装置具有存储装置的存储单元的功能。另外,当图12A所示的半导体装置具有与节点FN电连接的液晶元件或有机EL(Electroluminescence:电致发光)元件等显示元件时,可以将其用作显示装置的像素。

[0263] 可以根据施加到布线WL或布线BG的电位控制晶体管100的导通状态、非导通状态的选择。另外,可以根据施加到布线WL或布线BG的电位控制晶体管100的阈值电压。通过作为晶体管100使用关态电流小的晶体管,可以长期间地保持非导通状态下的节点FN的电位。因此,可以降低半导体装置的刷新频度,所以可以实现耗电量小的半导体装置。另外,作为关态电流小的晶体管的一个例子,可以举出使用氧化物半导体的晶体管。

[0264] 另外,布线CL被施加参考电位、接地电位或任意的固定电位等恒电位。此时,晶体管100的外观上的阈值电压根据节点FN的电位变动。根据外观上的阈值电压的变动而晶体管130的导通状态、非导通状态变化,由此可以作为数据读出保持在节点FN中的电位的信息。

[0265] 另外,为了使保持在节点FN中的电位以85℃保持10年(3.15×10^{8}秒),优选的是,每电容1fF的关态电流值及晶体管的每沟道宽度1μm的关态电流值小于4.3yA(幺科托安培(yoctoampere):1yA为10^{-24}A)。此时,节点FN的电位的允许变动优选为0.5V以内。此外,在95℃下,上述关态电流优选小于1.5yA。在本发明的一个方式的半导体装置中,阻挡膜的下层的氢浓度充分得到降低,其结果,其上层的使用氧化物半导体的晶体管可以实现这种极低的关态电流。

[0266] 另外,通过增加电容,可以在节点FN中更长时间地保持电位。就是说,可以延长保持时间。

[0267] 通过将图12A所示的半导体装置配置为矩阵状,可以构成存储装置(存储单元阵列)。

[0268] 图13A至图13C示出能够实现图12A所示的电路的半导体装置的截面结构的一个例子。另外,图13B示出穿过图13A所示的点划线A-B且垂直于图13A的面的截面。此外,图13C示

出穿过图13A所示的点划线C-D且垂直于图13A的面的截面。

[0269] 半导体装置包括晶体管130、晶体管100及电容元件150。晶体管100设置在晶体管130的上方,在晶体管130与晶体管100之间至少设置有一层以上的阻挡膜。另外,也可以形成多个阻挡膜。

[0270] 在图13A至图13C中,作为晶体管100使用图7A和图7B所示的晶体管结构。

[0271] 晶体管130包含第一半导体材料。另外,晶体管100包含第二半导体材料。虽然第一半导体材料和第二半导体材料可以为相同的材料,但是优选为不同的半导体材料。

[0272] 作为可以用作第一半导体材料或第二半导体材料的半导体,例如可以举出:硅、锗、镓、砷等半导体材料;包含硅、锗、镓、砷、铝等的化合物半导体材料;有机半导体材料;或氧化物半导体材料等。

[0273] 在此,对作为第一半导体材料使用单晶硅且作为第二半导体材料使用氧化物半导体的情况进行说明。

[0274] [第一晶体管]

晶体管130设置在半导体衬底131上,并且包括:半导体衬底131的一部分的半导体层132;栅极绝缘膜134;栅电极135;以及用作源区域或漏区域的低电阻层133a及低电阻层133b。

[0275] 晶体管130可以为p沟道型或n沟道型,可以根据电路结构或驱动方法使用适当的晶体管。

[0276] 半导体层132的形成沟道的区域或其附近的区域、用作源区域或漏区域的低电阻层133a及低电阻层133b等优选包含硅类半导体等半导体,更优选包含单晶硅。另外,也可以使用包含Ge(锗)、SiGe(硅锗)、GaAs(砷化镓)、GaAlAs(镓铝砷)等材料形成。也可以使用具有晶格畸变的硅。此外,晶体管130也可以是使用GaAs和GaAlAs等的HEMT(High Electron Mobility Transistor:高电子迁移率晶体管)。

[0277] 另外,晶体管130也可以包括用作LDD(Lightly Doped Drain:轻掺杂漏)区域的区域176a和区域176b。

[0278] 在低电阻层133a及低电阻层133b中,除了应用于半导体层132的半导体材料之外,还包含磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。

[0279] 作为栅电极135,可以使用包含磷等赋予n型导电性的元素或硼等赋予p型导电性的元素的硅等半导体材料、金属材料、合金材料或金属氧化物材料等导电材料。尤其是,优选使用同时实现耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。

[0280] 在此,也可以使用如图15C及图15D所示的晶体管190代替晶体管130。图15D示出穿过图15C所示的点划线E-F且垂直于图15C的面的截面。在晶体管190中,形成沟道的半导体层132(半导体衬底的一部分)具有凸形状,沿着其侧面及顶面设置有栅极绝缘膜134及栅电极135。另外,在晶体管之间设置有元件分离层181。因为利用半导体衬底的凸部,所以这种晶体管190被称为FIN型晶体管。另外,也可以以与凸部的上部接触的方式具有用作用来形成凸部的掩模的绝缘膜。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI(Silicon on Insulator:绝缘体上硅)衬底进行加工来形成具有凸形状的半导体层。

[0281] 以覆盖晶体管130的方式依次层叠有绝缘膜136、绝缘膜137及绝缘膜138。

[0282] 在半导体装置的制造工序中,绝缘膜136用作用来使添加到低电阻层133a及低电阻层133b的赋予导电性的元素活化的保护膜。如果不需要则可以不设置绝缘膜136。

[0283] 当将硅类半导体材料用于半导体层132时,绝缘膜137优选包含含有氢的绝缘材料。通过将含有氢的绝缘膜137设置在晶体管130上而进行加热处理,由绝缘膜137中的氢终结半导体层132中的悬空键,由此可以提高晶体管130的可靠性。

[0284] 绝缘膜138用作使起因于设置在其下层的晶体管130等产生的台阶平坦化的平坦化层。为了提高绝缘膜138的顶面的平坦性,其顶面也可以通过利用CMP(Chemical Mechanical Polishing:化学机械抛光)法等平坦化处理被平坦化。

[0285] 另外,也可以在绝缘膜136、绝缘膜137、绝缘膜138中埋入有与低电阻层133a或低电阻层133b等电连接的插头140、与晶体管130的栅电极135电连接的插头139等。

[0286] [电容元件]

在晶体管130与晶体管100之间设置有阻挡膜111。如图13A至图13C所示,阻挡膜可以是单层或多层。

[0287] 阻挡膜111具有抑制水及氢从阻挡膜111的下层扩散到其上层的功能。另外,阻挡膜111的氧透过性优选为低。此外,阻挡膜111也可以具有用来将设置在阻挡膜111的上方的电极或布线与设置在其下方的电极或布线电连接的开口或插头。在此,“抑制水及氧的扩散”是指例如与一般用作绝缘膜的氧化硅等相比,不容易使水及氢扩散或者水及氢的透过性低的情况。此外,“氧透过性低”是指与一般用作绝缘膜的氧化硅等相比,氧的透过性低的情况。

[0288] 与阻挡膜111同样,作为绝缘膜112优选使用水或氢不容易扩散的材料。另外,尤其是,作为绝缘膜112优选使用不容易使氧透过的材料。此外,绝缘膜112也可以是两层以上的叠层结构。在此情况下,例如使绝缘膜112具有两层的叠层结构,例如可以将氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等用于下层。另外,与阻挡膜111同样,优选将水或氢不容易扩散的材料用于上层。此外,设置在下层的绝缘膜作为与后面说明的绝缘膜114同样的通过加热使氧脱离的绝缘膜,可以采用隔着栅极绝缘膜102从半导体层101的上侧也供应氧的结构。

[0289] 通过由包含不容易使氧透过的材料的绝缘膜112覆盖半导体层101,可以抑制氧从半导体层101释放到绝缘膜112的上方。再者,可以使从绝缘膜114脱离的氧封闭在绝缘膜112的下侧,所以可以增大可能供应到半导体层101的氧量。

[0290] 另外,通过设置不容易使水或氢透过的绝缘膜112,可以抑制从外部混入对氧化物半导体来说是杂质的水或氢,而晶体管100的电特性变动得到抑制,因此可以实现可靠性高的晶体管。

[0291] 另外,也可以在绝缘膜112的下侧设置与绝缘膜114同样的通过加热使氧脱离的绝缘膜,通过栅极绝缘膜102从半导体层101的上侧也供应氧。

[0292] 在此,优选的是,在阻挡膜111的下层中尽量降低氢或水等。或者,优选抑制气体的释放。氢或水对氧化物半导体来说有可能成为引起电特性变动的主要原因。另外,虽然可以由阻挡膜111抑制氢或水从阻挡膜111的下层扩散到上层,但是氢或水有时通过设置在阻挡膜111中的开口或插头等会扩散到上层。

[0293] 为了降低位于阻挡膜111的下层的各层所包含的氢或水,或者为了抑制气体的释

放,优选的是,在形成阻挡膜111之前,或者刚在阻挡膜111中形成用来形成插头的开口之后,进行用来去除阻挡膜111的下层所包含的氢或水或者用来抑制气体的释放的加热处理。只要构成半导体装置的导电膜等的耐热性或晶体管的电特性不发生劣化,加热处理的温度越高越好。具体而言,例如可以将其设定为450℃以上,优选为490℃以上,更优选为530℃以上,但是也可以设定为650℃以上。优选的是,在惰性气体气氛下或减压气氛下进行1小时以上,优选为5小时以上,更优选为10小时以上的加热处理。另外,加热处理的温度可以考虑到位于阻挡膜111的下方的布线或电极的材料的耐热性而决定,例如当该材料的耐热性低时,可以在550℃以下、600℃以下、650℃以下或800℃以下的温度下进行加热处理。另外,只要进行这种加热处理至少一次以上即可,而优选进行多次。

[0294] 在设置在阻挡膜111的下层的绝缘膜中,通过热脱附谱分析(也称为TDS分析)测量的衬底表面温度为400℃下的氢分子的脱离量为衬底表面温度为300℃下的氢分子的脱离量的130%以下,优选为110%以下。或者,通过TDS分析测量的衬底表面温度为450℃下的氢分子的脱离量为衬底表面温度为350℃下的氢分子的脱离量的130%以下,优选为110%以下。

[0295] 另外,阻挡膜111本身所包含的水或氢也优选得到减少。或者,优选抑制气体的释放。例如,作为阻挡膜111,优选使用通过TDS分析测量的衬底表面温度为20℃至600℃的范围内的氢分子(M/z=2)的脱离量低于2×10^{15}个/cm^2,优选低于1×10^{15}个/cm^2,更优选低于5×10^{14}个/cm^2的材料。或者,作为阻挡膜111,优选使用通过TDS分析测量的衬底表面温度为20℃至600℃的范围内的水分子(M/z=18)的脱离量低于1×10^{16}个/cm^2,优选低于5×10^{15}个/cm^2,更优选低于2×10^{12}个/cm^2的材料。

[0296] 另外,在作为晶体管130的半导体层使用单晶硅的情况下,该加热处理可以兼作由氢终结硅的悬空键的处理(也称为氢化处理)。通过氢化处理,晶体管130的栅极绝缘膜或形成于阻挡膜111的下层的其他绝缘膜所包含的一部分氢脱离并扩散到第一晶体管的半导体层中,而使硅中的悬空键终结,由此可以提高第二晶体管的可靠性。

[0297] 作为阻挡膜111,例如可以使用包含氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或$(Ba,Sr)TiO_3$(BST)等所谓的高介电常数(high-k)材料的绝缘膜的单层或叠层。另外,例如也可以对这些绝缘膜添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆、氧化镓。此外,也可以对这些绝缘膜进行氮化处理形成氧氮化膜。还可以在上述绝缘膜上层叠氧化硅、氧氮化硅或氮化硅。尤其是,氧化铝具有对水或氢的优良的阻挡性,所以是优选的。

[0298] 作为阻挡膜111,除了不容易使水或氢透过的材料的层之外,也可以使用包含其他绝缘材料的层的叠层。例如,也可以使用包含氧化硅或氧氮化硅的层、包含金属氧化物的层等的叠层。

[0299] 另外,作为阻挡膜111,优选使用不容易使氧透过的材料。上述材料是不但对氢、水而且对氧也具有优良的阻挡性的材料。通过使用这种材料,可以抑制当对绝缘膜114进行加热时被释放的氧扩散到阻挡膜111的下层。其结果,可以增大可能从绝缘膜114被释放而供应到晶体管100的半导体层的氧量。

[0300] 如此,降低位于阻挡膜111的下层的各层所包含的氢或水的浓度,或者通过抑制气体的释放且设置阻挡膜111抑制氢或水扩散到晶体管100中。因此,可以使绝缘膜114或构成

晶体管100的各层中的氢及水的含量极低。例如,可以将绝缘膜114、晶体管100的半导体层101或栅极绝缘膜102所包含的氢的浓度降低到低于$5\times10^{18}cm^{-3}$,优选低于$1\times10^{18}cm^{-3}$,更优选低于$3\times10^{17}cm^{-3}$。

[0301] 通过上述结构,也可以在第一晶体管和第二晶体管中都可以实现高可靠性,由此可以实现可靠性极高的半导体装置。

[0302] 以夹着阻挡膜111的方式设置有导电层151、导电层152a及导电层152b,由此形成电容元件150。插头140、导电层251与晶体管100的导电层104b电连接。导电层151与晶体管100的导电层104a电连接。导电层151、导电层143及导电层251以填充在绝缘膜115中的开口部的方式形成。

[0303] 以覆盖阻挡膜111、导电层152a、导电层152b及导电层105等的方式设置有绝缘膜114。

[0304] 绝缘膜114的顶面优选通过利用CMP法等的平坦化处理被平坦化。

[0305] 另外,绝缘膜114优选包含氧化物。尤其是,优选包含通过加热使一部分氧脱离的氧化物材料。优选使用其氧含量超过化学计量组成的氧化物。当作为第二半导体材料使用氧化物半导体时,从绝缘膜114脱离的氧供应到氧化物半导体,可以减少氧化物半导体中的氧缺陷。其结果,可以抑制第二晶体管的电特性变动,而可以提高可靠性。

[0306] 另外,作为绝缘膜114,优选使用通过加热使一部分氧脱离的氧化物材料。作为通过加热使氧脱离的氧化物材料,优选使用其氧含量超过化学计量组成的氧化物。在其氧含量超过化学计量组成的氧化物膜中,通过加热使一部分氧脱离。其氧含量超过化学计量组成的氧化物膜是在热脱附谱分析中,换成为氧原子的氧的脱离量为$1.0\times10^{18}atoms/cm^3$以上,优选为$3.0\times10^{20}atoms/cm^3$以上的氧化物膜。注意,上述TDS分析时的膜的表面温度优选为100℃以上且700℃以下或100℃以上且500℃以下。

[0307] 例如,作为这种材料,优选使用包含氧化硅或氧氮化硅的材料。另外,也可以使用金属氧化物。作为金属氧化物,可以使用氧化铝、氧氮化铝、氧化镓、氧氮化镓、氧化钇、氧氮化钇、氧化铪、氧氮化铪等。注意,在本说明书中,“氧氮化硅”是指在其组成中氧含量多于氮含量的材料,而“氮氧化硅”是指在其组成中氮含量多于氧含量的材料。

[0308] 另外,为了使绝缘膜114含有过剩氧,也可以对绝缘膜114引入氧而形成含有过剩氧的区域。例如,对成膜之后的绝缘膜114引入氧(至少包含氧自由基、氧原子、氧离子中的任一个)而形成包含过剩氧的区域。作为氧的引入方法,可以使用离子注入法、离子掺杂法、等离子体浸没离子注入法、等离子体处理等。

[0309] [第二晶体管]

在绝缘膜114的上部设置有晶体管100的半导体层101。

[0310] 晶体管110包括:接触于绝缘膜114的顶面的半导体层101;导电层104a及导电层104b;半导体层101上的栅极绝缘膜102;以及隔着栅极绝缘膜102重叠于半导体层101的栅电极103。另外,以覆盖晶体管100的方式设置有绝缘膜112、绝缘膜113及绝缘膜116。此外,晶体管100也可以具有用作第二栅电极的导电层105。

[0311] 另外,半导体层101也可以以单层形成,如图13A至图13C所示,优选以半导体层101a、半导体层101b及半导体层101c的叠层结构形成。图13A至图13C所示的晶体管100包括:半导体层101a;接触于半导体层101a的顶面的半导体层101b;接触于半导体层101b的顶

面并在重叠于半导体层101b的区域隔开的导电层104a及导电层104b;接触于半导体层101b的顶面的半导体层101c;半导体层101c上的栅极绝缘膜102;以及隔着栅极绝缘膜102及半导体层101c重叠于半导体层101b的栅电极103。另外,图13A至图13C所示的晶体管100包括用作第二栅电极的导电层105。导电层105也可以在与构成电容元件150的一部分的导电层152a及导电层152b同时形成。半导体层101a设置在绝缘膜114与半导体层101b之间。半导体层101c设置在半导体层101b与栅极绝缘膜102之间。导电层104a及导电层104b接触于半导体层101b的顶面及栅极绝缘膜103c的底面。

[0312] 另外,以覆盖晶体管100的方式设置有绝缘膜112、绝缘膜113及绝缘膜116。

[0313] 在此,作为半导体层101b优选使用氧化物半导体。通过加热从绝缘膜114脱离的氧供应到半导体层101b,由此可以降低半导体层101b中的氧缺陷。其结果,例如可以抑制晶体管100的电特性变动,而提高可靠性。

[0314] 下面,对半导体层101b为In-Ga-Zn氧化物时的结晶性与氧透过性的关系进行说明。

[0315] 通过计算来求得In-Ga-Zn氧化物的结晶中的起因于过剩氧(氧)迁移的势垒。在计算中,使用根据密度泛函理论的平面波基第一原理计算软件VASP(Vienna ab-initio simulation package)。注意,作为泛函数,使用GGA-PBE。另外,将平面波截止能量设定为400eV。此外,通过PAW(Projector Augmented Wave:投影缀加波)法将内壳层电子的效果反映在计算结果中。

[0316] 在此,在图61所示的In-Ga-Zn氧化物的结晶中,计算出过剩氧(氧)在迁移路径1、迁移路径2、迁移路径3和迁移路径4之中哪个路径比较容易迁移。

[0317] 另外,迁移路径1是键合于与三个铟原子以及一个锌原子键合的氧的过剩氧(氧)键合到相邻的与三个铟原子以及一个锌原子键合的氧的路径。此外,迁移路径2是键合于与三个铟原子以及一个镓原子键合的氧的过剩氧(氧)穿过包含铟及氧的层而键合到相邻的与三个铟原子以及一个锌原子键合的氧的路径。另外,迁移路径3是键合于与两个镓原子以及一个锌原子键合的氧的过剩氧(氧)键合到相邻的与两个锌原子以及一个镓原子键合的氧的路径。此外,迁移路径4是键合于与两个镓原子以及一个锌原子键合的氧的过剩氧(氧)穿过包含镓、锌及氧的层而键合到相邻的与三个铟原子以及一个镓原子键合的氧的路径。

[0318] 在将超越每单位时间的扩散的势垒E_a的频度作为扩散频度R时,R可以以下面所示的算式来表示。

[0319] $R=\nu\cdot\exp[-E_a/(k_BT)]$

另外,ν表示扩散原子的热振动数,k_B表示玻尔兹曼常数,T表示绝对温度。以表5表示对ν施加10^{13}[1/sec]作为德拜频率时的350℃及450℃下的扩散频度R。

[表5]

	势垒 [eV]	扩散频度 R [1/sec] 350℃	450℃
迁移路径 1	0.50	9.0×10^{8}	3.3×10^{9}
迁移路径 2	1.97	1.2×10^{-3}	1.9×10^{-1}
迁移路径 3	0.53	5.2×10^{8}	2.0×10^{9}
迁移路径 4	0.56	3.0×10^{8}	1.3×10^{9}

[0320] 如表5所示,穿过包含铟及氧的层的迁移路径2的势垒比其他迁移路径高。这示出在In-Ga-Zn氧化物的结晶中,过剩氧(氧)不容易在c轴方向上迁移。即,示出在如CAAC-OS等,结晶具有c轴取向性且c轴朝向大致垂直于被形成面或顶面的方向的情况下,过剩氧(氧)不容易在大致垂直于被形成面或顶面的方向上迁移。

[0321] 因此,在将过剩氧供应到半导体层101b的情况下,可以从与垂直于被形成面或顶面的方向稍微偏离的方向供应氧。例如,在形成半导体层101b之后,从其侧面供应氧即可。

[0322] 另外,例如在半导体层101a上层叠半导体层101b的情况下,在半导体层101a的顶面,即与半导体层101b的界面不容易产生过剩氧的移动。因此,可以抑制供应到半导体层101b的氧的释放。与此同样,在半导体层101b上层叠半导体层101c的情况下,在半导体层101b与半导体层101c的界面不容易产生过剩氧的移动,可以抑制氧从半导体层101b被释放。另一方面,氧从半导体层101b的侧面有可能容易被释放,所以如图5A至图5C所示那样,优选由半导体层101c覆盖半导体层101b的侧面。或者,如图6A和图6B所示那样,优选由绝缘膜112覆盖半导体层101b的侧面,或者隔着栅极绝缘膜102由栅电极103等覆盖半导体层101b的侧面。

[0323] 另外,导电层104a(和/或导电层104b)的至少一部分(或全部)设置在半导体层101b(和/或半导体层101a)等半导体层的表面、侧面、顶面和/或底面的至少一部分(或全部)。

[0324] 另外,导电层104a(和/或导电层104b)的至少一部分(或全部)与半导体层101b(和/或半导体层101a)等半导体层的表面、侧面、顶面和/或底面的至少一部分(或全部)接触。此外,导电层104a(和/或导电层104b)的至少一部分(或全部)与半导体层101b(和/或半导体层101a)等半导体层的至少一部分(或全部)接触。

[0325] 另外,导电层104a(和/或导电层104b)的至少一部分(或全部)与半导体层101b(和/或半导体层101a)等半导体层的表面、侧面、顶面和/或底面的至少一部分(或全部)电连接。此外,导电层104a(和/或导电层104b)的至少一部分(或全部)与半导体层101b(和/或

半导体层101a)等半导体层的至少一部分(或全部)电连接。

[0326] 另外,导电层104a(和/或导电层104b)的至少一部分(或全部)设置在半导体层101b(和/或半导体层101a)等半导体层的表面、侧面、顶面和/或底面的至少一部分(或全部)的附近。此外,导电层104a(和/或导电层104b)的至少一部分(或全部)设置在半导体层101b(和/或半导体层101a)等半导体层的至少一部分(或全部)的附近。

[0327] 另外,导电层104a(和/或导电层104b)的至少一部分(或全部)设置在半导体层101b(和/或半导体层101a)等半导体层的表面、侧面、顶面和/或底面的至少一部分(或全部)的横方向上。此外,导电层104a(和/或导电层104b)的至少一部分(或全部)设置在半导体层101b(和/或半导体层101a)等半导体层的至少一部分(或全部)的横方向上。

[0328] 另外,导电层104a(和/或导电层104b)的至少一部分(或全部)设置在半导体层101b(和/或半导体层101a)等半导体层的表面、侧面、顶面和/或底面的至少一部分(或全部)的斜上方。此外,导电层104a(和/或导电层104b)的至少一部分(或全部)设置在半导体层101b(和/或半导体层101a)等半导体层的至少一部分(或全部)的斜上方。

[0329] 另外,导电层104a(和/或导电层104b)的至少一部分(或全部)设置在半导体层101b(和/或半导体层101a)等半导体层的表面、侧面、顶面和/或底面的至少一部分(或全部)的上方。此外,导电层104a(和/或导电层104b)的至少一部分(或全部)设置在半导体层101b(和/或半导体层101a)等的半导体层的至少一部分(或全部)的上方。

[0330] 半导体层101也可以在沟道形成区域中包含硅类半导体等半导体。尤其是,半导体层101优选包含带隙比硅宽的半导体。优选的是,半导体层101包含氧化物半导体。通过使用带隙比硅宽且载流子密度小的半导体材料,可以降低晶体管的关闭状态(off-state)时的电流,所以是优选的。

[0331] 通过作为半导体层使用上述材料,可以实现电特性变动得到抑制的可靠性高的晶体管。

[0332] 能够适用于半导体层的氧化物半导体的优选的方式例如可以参照实施方式1所示的氧化物半导体。

[0333] 注意,在本说明书等中,实质上本征是指氧化物半导体层的载流子密度低于$1\times10^{17}/cm^3$、低于$1\times10^{15}/cm^3$或低于$1\times10^{13}/cm^3$的状态。通过使氧化物半导体层高纯度本征化,可以对晶体管赋予稳定的电特性。

[0334] 导电层104a和导电层104b中的一个用作源电极,另一个用作漏电极。

[0335] 导电层104a及导电层104b使用铝、钛、铬、镍、铜、钇、锆、钼、银、钽和钨等金属或以这些元素为主要成分的合金以单层结构或叠层结构形成。例如,可以举出包含硅的铝膜的单层结构、在钛膜上层叠铝膜的两层结构、在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构、依次层叠钛膜或氮化钛膜、铝膜或铜膜以及钛膜或氮化钛膜的三层结构、以及依次层叠钼膜或氮化钼膜、铝膜或铜膜以及钼膜或氮化钼膜的三层结构等。另外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0336] 作为栅极绝缘膜102,例如使用氧化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铪、氧化镓、Ga-Zn类金属氧化物、氮化硅等即可,并以叠层或单层的结构设置。

[0337] 此外,作为栅极绝缘膜102也可以使用硅酸铪($HfSiO_x$)、添加有氮的硅酸铪

($HfSi_xO_yN_z$)、添加有氮的铝酸铪($HfAl_xO_yN_z$)、氧化钇等high-k材料。

[0338] 另外,作为栅极绝缘膜102可以使用氧化铝、氧化镁、氧化硅、氧氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪和氧化钽等氧化物绝缘膜、氮化硅、氮氧化硅、氮化铝和氮氧化铝等氮化物绝缘膜或者混合上述材料的膜。

[0339] 另外,与绝缘膜114同样,作为栅极绝缘膜102优选使用其氧含量超过化学计量组成的氧化物绝缘膜。

[0340] 此外,通过将特定的材料用于栅极绝缘膜,可以在特定的条件下使栅极绝缘膜俘获电子而提高阈值电压。例如,如氧化硅及氧化铪的叠层膜那样,作为栅极绝缘膜的一部分使用氧化铪、氧化铝、氧化钽等电子俘获能级多的材料,在更高温度(比半导体装置的使用温度或保管温度高的温度、或者125℃以上且450℃以下,典型的是150℃以上且300℃以下)下,将栅电极的电位保持为高于源电极或漏电极的电位的状态1秒以上,典型的是1分钟以上,电子从半导体膜向栅电极移动,其一部分被电子俘获能级俘获。

[0341] 像这样,使电子俘获能级俘获电子的晶体管的阈值电压向正一侧漂移。通过控制栅电极的电压可以控制电子的俘获量,由此可以控制阈值电压。另外,俘获电子的处理在晶体管的制造过程中进行即可。

[0342] 例如,在形成与晶体管的源电极或漏电极连接的布线金属之后、前工序(薄片处理)结束之后、薄片切割工序之后或者封装之后等发货之前的任一个阶段进行俘获电子的处理即可。不管在上述哪一种情况下,都优选在该处理之后不将晶体管放置在125℃以上的温度下1小时以上。

[0343] 栅电极103例如可以使用选自铝、铬、铜、钽、钛、钼、钨中的金属、以上述金属为成分的合金或组合上述金属元素的合金等而形成。另外,也可以使用选自锰、锆中的一个或多个的金属。此外,也可以使用以掺杂有磷等杂质元素的多晶硅为代表的半导体、镍硅化物等硅化物。另外,栅电极103可以具有单层结构或两层以上的叠层结构。例如,可以举出包含硅的铝膜的单层结构、在铝膜上层叠钛膜的两层结构、在氮化钛膜上层叠钛膜的两层结构、在氮化钛膜上层叠钨膜的两层结构、在氮化钽膜或氮化钨膜上层叠钨膜的两层结构以及依次层叠钛膜、该钛膜上的铝膜和其上的钛膜的三层结构等。此外,也可以使用组合铝与选自钛、钽、钨、钼、铬、钕、钪中的一种或多种的合金膜或它们的氮化膜。

[0344] 另外,栅电极103也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等透光导电材料。此外,也可以采用上述透光导电材料与上述金属的叠层结构。

[0345] 另外,可以在栅电极103和栅极绝缘膜102之间设置In-Ga-Zn类氧氮化物半导体膜、In-Sn类氧氮化物半导体膜、In-Ga类氧氮化物半导体膜、In-Zn类氧氮化物半导体膜、Sn类氧氮化物半导体膜、In类氧氮化物半导体膜、金属氮化膜(InN、ZnN等)等。由于上述膜具有5eV以上,优选为5.5eV以上的功函数,且该值比氧化物半导体的电子亲和势大,所以可以使使用氧化物半导体的晶体管的阈值电压向正方向漂移,从而可以实现所谓常关闭特性的开关元件。例如,在使用In-Ga-Zn类氧氮化物半导体膜的情况下,使用氮浓度至少高于半导体层101,具体为7at.%(原子百分比)以上的In-Ga-Zn类氧氮化物半导体膜。

[0346] 与阻挡膜111同样,作为绝缘膜112优选使用水或氢不容易扩散的材料。另外,尤其

是,作为绝缘膜112优选使用不容易使氧透过的材料。

[0347] 通过由包含不容易使氧透过的材料的绝缘膜112覆盖半导体层101,可以抑制氧从半导体层101释放到绝缘膜112的上方。再者,可以使从绝缘膜114脱离的氧封闭在绝缘膜112的下侧,所以可以增大可能供应到半导体层101的氧量。

[0348] 另外,通过设置不容易使水或氢透过的绝缘膜112,可以抑制从外部混入对氧化物半导体来说是杂质的水或氢,而晶体管100的电特性变动得到抑制,因此可以实现可靠性高的晶体管。

[0349] 另外,也可以在绝缘膜112的下侧设置与绝缘膜114同样的通过加热使氧脱离的绝缘膜,通过栅极绝缘膜102从半导体层101的上侧也供应氧。

[0350] 另外,如图13B所示,通过在晶体管的沟道宽度方向上的截面中栅电极103与半导体层101b的顶面及侧面对置,不但在半导体层101b的顶面附近,而且在侧面附近也形成沟道,实效的沟道宽度增大,可以增高开启状态下的电流(通态电流)。尤其是,在半导体层101b的宽度极小(例如,50nm以下,优选为30nm以下,更优选为20nm以下)的情况下,形成沟道的区域扩散到半导体层101b的内部;因此,越进行微型化,越有助于通态电流。

[0351] 以上是对晶体管100的说明。

[0352] 覆盖晶体管100的绝缘膜116用作覆盖其下层的凹凸形状的平坦化层。另外,绝缘膜113也可以具有形成绝缘膜116时的保护膜的功能。如果不需要,则可以不设置绝缘膜113。

[0353] 在绝缘膜112、绝缘膜113及绝缘膜116中埋入有与导电层104b或导电层104a电连接的插头321、插头322、插头123。

[0354] 在绝缘膜116的上部设置有与插头322电连接的布线124等。

[0355] 在此,图13A所示的布线124相当于图12A和图12B所示的布线BL。与此同样,图13B所示的布线166相当于布线BG。另外,虽然未图示,但是与图13A至图13C所示的栅电极103连接的布线相当于布线WL。此外,与导电层152a及导电层152b连接的布线相当于布线CL。另外,与晶体管130的低电阻层133b连接的布线相当于布线SL。此外,包括晶体管130的栅电极135、用作电容元件150的第一电极的导电层151及晶体管100的导电层104a的节点相当于图12A所示的节点FN。

[0356] 另外,如图13A至图13C所示,也可以在包含氢的绝缘膜136上设置包含与阻挡膜111同样的材料的绝缘膜137的结构。通过采用这种结构,可以有效地抑制残留在包含氢的绝缘膜136中的水或氢扩散到上方。此时,优选在形成绝缘膜137之前以及在形成绝缘膜137之后且形成阻挡膜111之前一共进行用来去除水或氢的加热处理2次以上。

[0357] 作为布线124、布线166等布线的材料,可以使用金属材料、合金材料或金属氧化物材料等导电材料。尤其是,优选使用同时实现耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。

[0358] 另外,作为导电层151、导电层152a、导电层152b、导电层251、导电层143等导电层、插头123、插头139、插头140、插头164、插头165等的插头的材料,可以使用金属材料、合金材料或金属氧化物材料等导电材料。尤其是,优选使用同时实现耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。另外,也可以使用氮化钛、钛等的材料和其他材料的叠层。例如,通过使用氮化钛或钛,可以提高与开口部的密接性。导电层151、导电层152a、导电层

152b、导电层251、导电层143等导电层、插头123、插头139、插头140、插头164、插头165等插头以埋入在绝缘膜的方式设置,各顶面优选被平坦化。

[0359] 因为本发明的一个方式的半导体装置包括晶体管130以及位于晶体管130的上方的晶体管100,所以通过层叠它们可以缩小元件所占的面积。再者,通过设置在晶体管130与晶体管100之间的阻挡膜111,可以抑制存在于其下层的水或氢等杂质扩散到晶体管100一侧。并且,隔着该阻挡膜111设置其一部分用作第一电极的导电层151及其一部分用作第二电极的导电层152a及导电层152b来形成电容元件150,因此可以容易制造电容元件150而不另行追加用来制造电容元件150的工序。

[0360] [结构实例2]

下面,图12B所示的电路示出两级所谓的CMOS电路连接的结构,在CMOS电路中,将p沟道型晶体管与n沟道型晶体管串联连接且将各栅极连接。在此,例如,作为n沟道型晶体管使用包含第二半导体材料的晶体管100及晶体管201,作为p沟道型晶体管使用包含第一半导体材料的晶体管130及晶体管230,即可。

[0361] 图14A至图14C示出能够实现图12B所示的电路的半导体装置的截面结构的一个例子。另外,图14B示出穿过图14A所示的点划线A-B且垂直于图14A的面的截面。如图14A至图14B所示,通过层叠p沟道型晶体管和n沟道型晶体管,有时可以缩小电路面积。

[0362] 图14A至图14C所示的半导体装置包括晶体管230、晶体管231及晶体管100。如图14A所示,晶体管100设置在晶体管230的上方,在晶体管230与晶体管100之间至少设置有一层以上的阻挡膜。另外,如图14B所示,晶体管100设置在晶体管231的上方,在晶体管231与晶体管100之间至少设置有一层以上的阻挡层。另外,图14A至图14C未图示晶体管201。

[0363] 晶体管230及晶体管231包含第一半导体材料。另外,晶体管100及晶体管201包含第二半导体材料。虽然第一半导体材料和第二半导体材料可以为相同的材料,但是优选为不同的半导体材料。

[0364] 作为可以用作第一半导体材料或第二半导体材料的半导体,例如可以举出:硅、锗、镓、砷等半导体材料;包含硅、锗、镓、砷、铝等的化合物半导体材料;有机半导体材料;或氧化物半导体材料等。

[0365] 在此,对作为第一半导体材料使用单晶硅且作为第二半导体材料使用氧化物半导体的情况进行说明。

[0366] 晶体管230及晶体管231与晶体管100层叠。在此,晶体管230是p沟道型晶体管,晶体管100是n沟道型晶体管。

[0367] 晶体管230设置在半导体衬底131上,并且包括:作为半导体衬底131的一部分的半导体层132;栅极绝缘膜134;栅电极135;以及用作源区域或漏区域的低电阻层233a及低电阻层233b。另外,晶体管231设置在半导体衬底131上,并且包括:作为半导体衬底131的一部分的半导体层132b;栅极绝缘膜134b;栅电极135b;以及用作源区域或漏区域的低电阻层233c及低电阻层233d。图14C示出沿着图14B的点划线C-D的截面。

[0368] 半导体层132的形成沟道的区域或其附近的区域、用作源区域或漏区域的低电阻层233a、低电阻层233b、低电阻层233c及低电阻层233d等优选包含硅类半导体等半导体,更优选包含单晶硅。另外,也可以使用包含Ge(锗)、SiGe(硅锗)、GaAs(砷化镓)、GaAlAs(镓铝砷)等的材料形成。也可以使用具有晶格畸变的硅。此外,晶体管230也可以是使用GaAs和

AlGaAs等的HEMT(High Electron Mobility Transistor:高电子迁移率晶体管)。

[0369] 另外,晶体管230也可以包括用作LDD区域的区域276a、区域276b、区域276c及区域276d。

[0370] 在低电阻层233a、低电阻层233b、低电阻层233c及低电阻层233d中,除了应用于半导体层132的半导体材料之外,还包含磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。在此,作为例子,考虑到包含硼等赋予p型导电性的元素的情况。

[0371] 作为栅电极135,可以使用包含磷等赋予n型导电性的元素或硼等赋予p型导电性的元素的硅等半导体材料、金属材料、合金材料或金属氧化物材料等导电材料。尤其是,优选使用同时实现耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。

[0372] 如图14A所示,晶体管230的低电阻层233a通过插头140、导电层251与晶体管100的导电层104b电连接。在此,优选以填充在绝缘膜114及阻挡膜211的开口部的方式形成导电层104b。通过以填充在绝缘膜114及阻挡膜211的开口部的方式形成导电层104b,不一定必须要另行形成用来将导电层104b与导电层251电连接的插头,不但可以简化工序,而且不需要考虑导电层104b与插头的位置精度而设计,由此可以实现集成化。

[0373] 另外,如图14B所示,晶体管230的栅电极135、晶体管231的低电阻层233c及栅电极103通过插头139、插头323、导电层151及导电层104c电连接。在此,优选的是,在形成导电层104a及导电层104b的同时形成导电层104c。通过同时形成导电层104a、导电层104b及导电层104c,不需要在阻挡膜211及绝缘膜114的开口部中另行形成插头,所以可以简化工序。

[0374] 另外,作为晶体管230及晶体管231,也可以采用如图15C及图15D所示那样的所谓的FIN型晶体管结构。

[0375] 此外,图14A至图14C所示的晶体管100可以参照图13A至图13C所示的晶体管100的记载。

[0376] 下面,图15A示出图14A至图14C所示的半导体装置的结构的变形例。另外,图15B示出穿过图15A所示的点划线A-B且垂直于图15A的面的截面。在图15A至图15D中,作为晶体管100,采用图9A所示的晶体管结构。

[0377] 图15A至图15D与图14A至图14C之间的不同之处在于:图15A至图15D不包括导电层104a、导电层104b及导电层104c;设置有插头121及插头122;以及插头322的形状不同等。

[0378] 在此,本实施方式所示的CMOS电路可能用于NAND电路、NOR电路、编码器、译码器、MUX(multiplamplifier)、DEMUX(demultiplexer)等逻辑电路的基本元件。

[0379] 以上是对结构实例的说明。

[0380] [制造方法例子]

以下,参照图16A至图19B说明上述结构实例所示的半导体装置中的图13A至图13C所示的半导体装置的制造方法的一个例子。

[0381] 首先,准备半导体衬底131。作为半导体衬底131,例如可以使用单晶硅衬底(包括p型半导体衬底或n型半导体衬底)、以碳化硅或氮化镓为材料的化合物半导体衬底等。另外,作为半导体衬底131,也可以使用SOI衬底。以下,对作为半导体衬底131使用单晶硅的情况进行说明。

[0382] 接着,在半导体衬底131中形成元件分离层(未图示)。元件分离层可以利用LOCOS(Local Oxidation of Silicon:硅局部氧化)法或STI(Shallow Trench Isolation:浅沟

槽隔离)法、台面隔离法等形成。

[0383] 当在同一衬底上形成p型晶体管和n型晶体管时,也可以在半导体衬底131的一部分形成n阱或p阱。例如,也可以对n型半导体衬底131添加赋予p型导电性的硼等杂质元素形成p阱,在同一衬底上形成n型晶体管和p型晶体管。

[0384] 接着,在半导体衬底131上形成成为栅极绝缘膜134的绝缘膜。例如,使半导体衬底131的表面氧化,形成氧化硅膜。另外,也可以在通过热氧化法形成氧化硅之后进行氮化处理而使氧化硅膜的表面氮化,由此形成氧化硅膜和氧氮化硅膜的叠层结构。此外,也可以使用氧化硅、氧氮化硅、高介电常数物质(也称为high-k材料)的钽氧化物、氧化铪、氧化铪硅酸盐、氧化锆、氧化铝、氧化钛等金属氧化物或氧化镧等稀土氧化物等。

[0385] 该绝缘膜也可以通过溅射法、CVD(Chemical Vapor Deposition:化学气相沉积)法(包括热CVD法、MOCVD(Metal Organic CVD:有机金属CVD)法、PECVD(Plasma Enhanced CVD:等离子体CVD)法等)、MBE(Molecular Beam Epitaxy:分子束外延)法,ALD(Atomic Layer Deposition:原子层沉积)法或PLD(Pulsed Laser Deposition:脉冲激光沉积)法等形成。

[0386] 接着,形成成为栅电极135的导电膜。作为导电膜,优选使用选自钽、钨、钛、钼、铬、铌等的金属或以这些金属为主要成分的合金材料或化合物材料。另外,还可以使用添加有磷等杂质的多晶硅。此外,还可以使用金属氮化物膜和上述金属膜的叠层结构。作为金属氮化物,可以使用氮化钨、氮化钼或氮化钛。通过设置金属氮化物膜,可以提高金属膜的密接性,从而能够防止剥离。

[0387] 导电膜也可以通过溅射法、蒸镀法、CVD法(包括热CVD法、MOCVD法、PECVD法等)等形成。另外,为了减少等离子体所导致的损伤,优选利用热CVD法、MOCVD法或ALD法。

[0388] 接着,通过光刻法等在该导电膜上形成抗蚀剂掩模,来去除该导电膜的不需要的部分。然后,去除抗蚀剂掩模,由此可以形成栅电极135。

[0389] 在此,对被加工膜的加工方法进行说明。当对被加工膜进行微细加工时,可以使用各种微细加工技术。例如,也可以采用对通过光刻法等形成的抗蚀剂掩模进行缩小处理的方法。另外,也可以通过光刻法等形成假图案,在该假图案处形成侧壁之后去除假图案,将残留的侧壁用作抗蚀剂掩模,对被加工膜进行蚀刻。此外,为了实现高纵横比,作为被加工膜的蚀刻优选利用各向异性干蚀刻。另外,也可以使用由无机膜或金属膜构成的硬掩模。

[0390] 作为用来形成抗蚀剂掩模的光,例如可以使用i线(波长为365nm)、g线(波长为436nm)、h线(波长为405nm)或将这些光混合的光。此外,还可以使用紫外线、KrF激光或ArF激光等。此外,也可以利用液浸曝光技术进行曝光。作为用于曝光的光,也可以使用极紫外光(EUV:Extreme Ultra-Violet)或X射线。此外,代替用于曝光的光,也可以使用电子束。当使用极紫外光、X射线或电子束时,可以进行极其微细的加工,所以是优选的。注意,在通过扫描电子束等而进行曝光时,不需要光掩模。

[0391] 也可以在形成将成为抗蚀剂掩模的抗蚀剂膜之前,形成具有提高被加工膜与抗蚀剂膜的密接性的功能的有机树脂膜。可以利用旋涂法等以覆盖其下层的台阶而使其表面平坦化的方式形成该有机树脂膜,而可以降低形成在该有机树脂膜的上层的抗蚀剂掩模的厚度的偏差。尤其是,在进行微细的加工时,作为该有机树脂膜优选使用具有对用于曝光的光的反射防止膜的功能的材料。作为具有这种功能的有机树脂膜,例如有BARC(Bottom Anti

Reflection Coating:底部抗反射涂料)膜等。在去除抗蚀剂掩模的同时或在去除抗蚀剂掩模之后去除该有机树脂膜即可。

[0392] 在形成栅电极135之后,也可以形成覆盖栅电极135的侧面的侧壁。在形成比栅电极135的厚度厚的绝缘膜之后,进行各向异性蚀刻,只残留栅电极135的侧面部分的该绝缘膜,由此可以形成侧壁。

[0393] 虽然图16A至图16E示出在形成侧壁时不对栅极绝缘膜进行蚀刻的例子,但是也可以在形成侧壁的同时形成对成为栅极绝缘膜134的绝缘膜进行蚀刻。在此情况下,在栅电极135及侧壁的下部形成栅极绝缘膜134。

[0394] 接着,对半导体衬底131的不设置栅电极135(及侧壁)的区域添加磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。此时的截面示意图相当于图16A。

[0395] 接着,在形成绝缘膜136之后,进行用来使上述赋予导电性的元素活化的第一加热处理。

[0396] 绝缘膜136例如可以利用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等,以叠层或单层设置。绝缘膜136可以通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成。尤其是,当通过CVD法、优选为通过等离子体CVD法形成该绝缘膜时,可以提高覆盖性,所以是优选的。另外,为了减少等离子体所导致的损伤,优选利用热CVD法、MOCVD法或ALD法。

[0397] 可以在稀有气体或氮气体等惰性气体气氛下或者在减压气氛下,例如以400℃以上且低于衬底的应变点的温度进行第一加热处理。

[0398] 在此阶段形成了晶体管130。另外,也可以通过与形成晶体管130的方法同样的方法形成第三晶体管160。

[0399] 下面,形成绝缘膜137及绝缘膜138。

[0400] 除了能够用于绝缘膜136的材料之外,还优选使用包含氧和氢的氮化硅(SiNOH)形成绝缘膜137,这是因为可以增大通过加热脱离的氢量。另外,作为绝缘膜138,除了能够用作绝缘膜136的材料之外,优选使用使TEOS(Tetra-Ethyl-Ortho-Silicate:四乙氧基硅烷)或硅烷等与氧或一氧化二氮起反应而形成的台阶覆盖性良好的氧化硅。

[0401] 绝缘膜137及绝缘膜138例如可以通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成。尤其是,当通过CVD法、优选为通过等离子体CVD法形成该绝缘膜时,可以提高覆盖性,所以是优选的。另外,为了减少等离子体所导致的损伤,优选利用热CVD法、MOCVD法或ALD法。

[0402] 接着,通过CMP法等对绝缘膜138的顶面进行平坦化。另外,也可以作为绝缘膜138使用平坦化膜。在此情况下,不一定必须要通过CMP法等进行平坦化。当形成平坦化膜时,例如可以利用常压CVD法或涂敷法等。作为可以通过常压CVD法形成的膜,例如可以举出BPSG(Boron Phosphorus Silicate Glass:硼磷硅玻璃)等。另外,作为可以通过涂敷法形成的膜,例如可以举出HSQ(氢倍半硅氧烷)等。

[0403] 然后,进行用来由从绝缘膜137脱离的氢终结半导体层132中的悬空键的第二加热处理。另外,通过第二加热处理使各层所包含的水或氢脱离,可以减少水或氢的含有量。

[0404] 第二加热处理可以在上述叠层结构的说明所例示的条件下进行。例如,可以采用第一加热处理所说明的条件等。

[0405] 接着,在绝缘膜136、绝缘膜137及绝缘膜138中形成到达低电阻层133a、低电阻层133b及栅电极135等的开口(参照图16B)。然后,以填充开口的方式形成导电膜(参照图16C)。之后,通过以使绝缘膜138的顶面露出的方式对该导电膜进行平坦化处理,由此形成插头139和插头140等(参照图16D)。例如通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成导电膜。

[0406] 接着,在绝缘膜138上形成绝缘膜215。绝缘膜215可以使用与绝缘膜136等同样的材料及方法形成。

[0407] 在形成绝缘膜215之后,优选进行第三加热处理。通过第三加热处理,使各层所包含的水或氢脱离,由此可以降低水或氢的含量。即将形成阻挡膜111之前进行第三加热处理,彻底去除阻挡膜111的下层所包含的氢或水,然后形成阻挡膜111,由此可以抑制在后面的工序中水或氢扩散到阻挡膜111的下侧。

[0408] 第三加热处理可以在上述叠层结构的说明所例示的条件下进行。例如,可以采用第一加热处理所说明的条件等。

[0409] 接着,在绝缘膜215中形成开口部。然后,以填充开口的方式形成导电膜,以使绝缘膜215的顶面露出的方式对该导电膜进行平坦化处理,由此形成导电层251、导电层143及导电层151等(参照图16E)。

[0410] 接着,形成阻挡膜111,形成开口部(参照图17A)。阻挡膜111例如可以通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成。尤其是,当通过CVD法、优选为通过等离子体CVD法形成该绝缘膜时,可以提高覆盖性,所以是优选的。另外,为了减少等离子体所导致的损伤,优选利用热CVD法、MOCVD法或ALD法。

[0411] 接着,形成成为导电层105、导电层152a及导电层152b的导电膜。然后,通过蚀刻等形成导电层105、导电层152a及导电层152b(参照图17B)。

[0412] 接着,形成绝缘膜114。绝缘膜114例如也可以通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成。尤其是,当通过CVD法、优选为通过等离子体CVD法形成该绝缘膜时,可以提高覆盖性,所以是优选的。另外,为了减少等离子体所导致的损伤,优选利用热CVD法、MOCVD法或ALD法。

[0413] 为了使绝缘膜114含有过剩氧,例如,在氧气氛下进行绝缘膜114的形成即可。或者,可以对成膜后的绝缘膜114引入氧而形成含有过剩氧的区域。或者,还可以组合上述两种方法。

[0414] 例如,对成膜之后的绝缘膜114引入氧(至少包含氧自由基、氧原子、氧离子中的任一个)而形成包含过剩氧的区域。作为氧的引入方法,可以使用离子注入法、离子掺杂法、等离子体浸没离子注入法、等离子体处理等。

[0415] 引入氧的处理可以使用含有氧的气体进行。作为含有氧的气体,例如可以使用氧、一氧化二氮、二氧化氮、二氧化碳及一氧化碳等。此外,在引入氧的处理中,也可以使含有氧的气体包含稀有气体。或者,也可以使其含有氢等。例如,优选使用二氧化碳、氢、氩的混合气体。

[0416] 另外,在形成绝缘膜114之后,为了提高顶面的平坦性,也可以进行使用CMP法等的平坦化处理。

[0417] 接着,依次形成成为半导体层101a的半导体膜和成为半导体层101b的半导体膜

(参照图17C)。优选以不接触于大气的方式连续地形成该半导体膜。成为半导体层101a的半导体以及成为半导体层101b的半导体可以通过溅射法、CVD法、MBE法、PLD法或ALD法等形成。

[0418] 另外,在作为成为半导体层101a的半导体以及成为半导体层101b的半导体通过MOCVD法形成In-Ga-Zn氧化物层的情况下,作为源气体可以使用三甲基铟、三甲基镓及二甲基锌等。注意,不局限于上述源气体的组合,也可以使用三乙基铟等代替三甲基铟。另外,也可以使用三乙基镓等代替三甲基镓。此外,也可以使用二乙基锌等代替二甲基锌。

[0419] 在此,也可以在形成半导体层101a之后对半导体层101a引入氧。例如,对成膜之后的半导体层101a引入氧(至少包含氧自由基、氧原子、氧离子中的任一个)而形成包含过剩氧的区域。作为氧的引入方法,可以使用离子注入法、离子掺杂法、等离子体浸没离子注入法、等离子体处理等。

[0420] 引入氧的处理可以使用含有氧的气体进行。作为含有氧的气体,例如可以使用氧、一氧化二氮、二氧化氮、二氧化碳及一氧化碳等。此外,在引入氧的处理中,也可以使含有氧的气体包含稀有气体。或者,也可以使其含有氢等。例如,优选使用二氧化碳、氢、氩的混合气体。

[0421] 优选在形成半导体层101a及半导体层101b之后进行第四加热处理。以250℃以上且650℃以下,优选为300℃以上且500℃以下的温度,在惰性气体气氛下、包含10ppm以上的氧化气体的气氛下或者减压状态下进行加热处理,即可。另外,在惰性气体气氛下进行加热处理之后,为了填补脱离的氧,也可以在包含10ppm以上的氧化气体的气氛下进行加热处理。加热处理既可以在形成半导体膜之后立即进行,又可以在对半导体膜进行加工来形成岛状半导体层101a及101b之后进行。通过加热处理,氧从绝缘膜114或氧化物膜供应到半导体膜,而可以减少半导体膜中的氧缺陷。

[0422] 然后,形成抗蚀剂掩模,通过蚀刻去除不需要的部分。然后去除抗蚀剂掩模,由此可以形成岛状半导体层101a和岛状半导体层101b的叠层结构(参照图17D)。另外,当对半导体膜进行蚀刻时,绝缘膜114的一部分被蚀刻,而绝缘膜114中的不被半导体层101a及半导体层101b覆盖的区域有时薄膜化。因此,优选预先形成厚度较厚的绝缘膜114,以便防止该蚀刻导致的绝缘膜114的消失。

[0423] 此外,根据半导体膜的蚀刻条件,有时在蚀刻时抗蚀剂消失,所以也可以使用蚀刻耐性高的材料,例如由无机膜或金属膜构成的所谓的硬掩模。在此,示出作为硬掩模281使用导电膜的例子。图18A示出使用硬掩模281对半导体膜进行加工,由此形成半导体层101a及半导体层101b的例子。在此,在作为硬掩模281使用可以用于导电层104a及导电层104b的材料时,可以对硬掩模281进行加工,而形成导电层104a及导电层104b。通过采用这种方法,例如可以制造图6A和图6B所示的晶体管100。

[0424] 在形成图17D所示的结构之后,在绝缘膜114中形成到达导电层151、导电层251等的开口部(参照图18B)。然后,以填充在形成于绝缘膜114中的开口部的方式形成成为导电层104a、导电层104b等的导电膜。例如通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成成为导电层104a、导电层104b等的导电膜。尤其是,当通过CVD法、优选为通过等离子体CVD法形成该绝缘膜时,可以提高覆盖性,所以是优选的。另外,为了减少等离子体所导致的损伤,优选利用热CVD法、MOCVD法或ALD法。

[0425] 接着,形成抗蚀剂掩模,通过蚀刻去除成为导电层104a、导电层104b等的导电膜的不需要的部分。然后,去除抗蚀剂掩模,形成导电层104a及导电层104b等(参照图18C)。在此,当对导电膜进行蚀刻时,半导体层101b和绝缘膜114的上部的一部分被蚀刻,而不与导电层104a及导电层104b重叠的部分有时薄膜化。因此,优选考虑到被蚀刻的深度而预先形成厚度较厚的成为半导体层101b的半导体膜等。

[0426] 接着,形成半导体层101c及栅极绝缘膜102。然后,形成抗蚀剂掩模,通过蚀刻进行加工,之后去除抗蚀剂掩模(参照图19A)。接着,形成成为栅电极103的导电膜,形成抗蚀剂掩模,通过蚀刻对该导电膜进行加工,然后去除抗蚀剂掩模,由此形成栅电极103(参照图19B)。成为半导体层101c的半导体可以通过溅射法、CVD法、MBE法、PLD法或ALD法等形成。

[0427] 另外,也可以在形成栅电极之后对半导体层101c及栅极绝缘膜102进行蚀刻。作为蚀刻,例如可以利用抗蚀剂掩模。此外,也可以以所形成的栅电极103为掩模对栅极绝缘膜102及半导体层101c进行蚀刻。通过将栅电极103用作掩模,如图5A至图5C以及图6A和图6B所示那样,可以制造栅电极103、栅极绝缘膜102及半导体层101c的侧面大致连续的形状。

[0428] 另外,在作为成为半导体层101c的半导体通过MOCVD法形成In-Ga-Zn氧化物层的情况下,作为源气体可以使用三甲基铟、三甲基镓及二甲基锌等。注意,不局限于上述源气体的组合,也可以使用三乙基铟等代替三甲基铟。另外,也可以使用三乙基镓等代替三甲基镓。此外,也可以使用二乙基锌等代替二甲基锌。

[0429] 另外,也可以在形成半导体层101c之后对半导体层101c引入氧。例如,对成膜之后的半导体层101c引入氧(至少包含氧自由基、氧原子、氧离子中的任一个)而形成包含过剩氧的区域。作为氧的引入方法,可以使用离子注入法、离子掺杂法、等离子体浸没离子注入法、等离子体处理等。

[0430] 引入氧的处理可以使用含有氧的气体进行。作为含有氧的气体,例如可以使用氧、一氧化二氮、二氧化氮、二氧化碳及一氧化碳等。此外,在引入氧的处理中,也可以使含有氧的气体包含稀有气体。或者,也可以使其含有氢等。例如,优选使用二氧化碳、氢、氩的混合气体。

[0431] 在此阶段形成了晶体管100。

[0432] 接着,形成绝缘膜112。绝缘膜112例如也可以通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成。尤其是,当通过CVD法、优选为通过等离子体CVD法形成该绝缘膜时,可以提高覆盖性,所以是优选的。另外,为了减少等离子体所导致的损伤,优选利用热CVD法、MOCVD法或ALD法。

[0433] 优选在形成绝缘膜112之后进行第五加热处理。通过加热处理,可以将氧从绝缘膜114等供应到半导体层101,而降低半导体层101中的氧缺陷。另外,此时,从绝缘膜114脱离的氧被阻挡膜111及绝缘膜112阻挡,不扩散到阻挡膜111的下层及绝缘膜114的上层,所以可以有效地封闭该氧。因此,可以增大可能供应到半导体层101的氧量,而可以有效地降低半导体层101中的氧缺陷。

[0434] 此外,绝缘膜112也可以是两层以上的叠层结构。在此情况下,例如使绝缘膜112具有两层的叠层结构,例如可以将氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等用于下层。另外,与阻挡膜111同样,优选将水或氢不容易扩散的材料用于上层。此外,设置在下层的绝缘膜作为与绝缘膜114同样的通过加热使氧脱离的绝缘膜,可

以采用隔着栅极绝缘膜102从半导体层101的上侧也供应氧的结构。

[0435] 接着,形成绝缘膜113。绝缘膜113例如可以利用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等,以叠层或单层设置。绝缘膜113例如可以通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成。尤其是,当通过CVD法、优选为通过等离子体CVD法形成该绝缘膜时,可以实现良好的覆盖性,所以是优选的。另外,为了减少等离子体所导致的损伤,优选利用热CVD法、MOCVD法或ALD法。

[0436] 接着,在绝缘膜113、绝缘膜112、栅极绝缘膜102及半导体层101c中形成到达导电层104a等的开口部。接着,在以填充开口部的方式形成导电膜之后,使用抗蚀剂掩模去除不需要的部分,然后去除抗蚀剂掩模,由此形成插头321及插头322。

[0437] 接着,形成绝缘膜116。绝缘膜116例如可以利用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等,以叠层或单层设置。例如可以通过溅射法、CVD法(包括热CVD法、MOCVD法、PECVD法等)、MBE法、ALD法或PLD法等形成绝缘膜116。此外,在作为绝缘膜116使用有机树脂等有机绝缘材料的情况下,也可以利用旋涂法等涂敷法。另外,优选在形成绝缘膜116之后对其顶面进行平坦化处理。此外,也可以作为绝缘膜116利用绝缘膜138所示的材料或形成方法。

[0438] 接着,通过与上述方法同样的方法,在绝缘膜116中形成到达插头322的插头123等。

[0439] 接着,在绝缘膜116上形成导电膜。然后,通过与上述方法同样的方法形成抗蚀剂掩模,通过蚀刻去除导电膜的不需要的部分。然后,去除抗蚀剂掩模,由此可以形成布线124等。

[0440] 通过上述工序,可以制造本发明的一个方式的半导体装置。

[0441] 实施方式4

在本实施方式中,参照附图对本发明的一个方式的晶体管的电路的一个例子进行说明。

[0442] [电路结构实例]

在实施方式1所示的结构中,通过改变晶体管或布线、电极的连接结构,可以构成各种电路。下面说明通过使用本发明的一个方式的半导体装置来可以实现的电路结构的例子。

[0443] [CMOS电路]

图24A所示的电路图示出所谓的CMOS电路的结构,其中将p沟道晶体管2200和n沟道晶体管2100串联连接且将各栅极连接。注意,在附图中,对使用第二半导体材料的晶体管附上“OS”的符号。

[0444] [模拟开关]

图24B所示的电路图示出将晶体管2100和晶体管2200的各源极和漏极连接的结构。通过采用该结构,可以将其用作所谓的模拟开关。

[0445] [存储装置的例子]

图24A至图24D示出半导体装置(存储装置)的一个例子,该半导体装置(存储装置)使用本发明的一个方式的晶体管,即使在没有电力供应的情况下也能够保持存储内容,并且,对写入次数也没有限制。

[0446] 在图24C所示的半导体装置包括:使用第一半导体材料的晶体管3200;使用第二半导体材料的晶体管3300;以及电容元件3400。作为晶体管3300,可以使用在上述实施方式中例示的晶体管。

[0447] 在本实施方式中,示出作为晶体管3300使用其沟道形成在具有氧化物半导体的半导体层中的晶体管的例子。因为晶体管3300的关态电流小,所以通过使用该晶体管,可以长期保持存储内容。换言之,因为可以制造不需要刷新工作或刷新工作的频度极低的半导体存储装置,所以可以充分降低耗电量。

[0448] 在图24C中,第一布线3001与晶体管3200的源电极电连接,第二布线3002与晶体管3200的漏电极电连接。此外,第三布线3003与晶体管3300的源电极和漏电极中的一个电连接,第四布线3004与晶体管3300的栅电极电连接。并且,晶体管3200的栅电极及晶体管3300的源电极和漏电极中的另一个与电容元件3400的电极的一个电连接,第五布线3005与电容元件3400的电极的另一个电连接。

[0449] 在图24C所示的半导体装置中,通过有效地利用能够保持晶体管3200的栅电极的电位的特征,可以像如下所示那样进行数据的写入、保持以及读出。

[0450] 对数据的写入及保持进行说明。首先,将第四布线3004的电位设定为使晶体管3300成为开启状态的电位,使晶体管3300成为开启状态。由此,第三布线3003的电位供应到晶体管3200的栅电极及电容元件3400。换言之,对晶体管3200的栅电极供应规定的电荷(写入)。这里,供应赋予两种不同电位电平的电荷(以下,称为低电平电荷、高电平电荷)中的任一种。然后,通过将第四布线3004的电位设定为使晶体管3300成为关闭状态的电位,来使晶体管3300成为关闭状态,而保持供应到晶体管3200的栅电极的电荷(保持)。

[0451] 因为晶体管3300的关态电流极小,所以晶体管3200的栅电极的电荷被长时间地保持。

[0452] 接着,对数据的读出进行说明。当在对第一布线3001供应规定的电位(恒电位)的状态下对第五布线3005供应适当的电位(读出电位)时,根据保持在晶体管3200的栅电极中的电荷量,第二布线3002具有不同的电位。这是因为如下缘故:一般而言,在晶体管3200为n沟道晶体管的情况下,对晶体管3200的栅电极供应高电平电荷时的外观上的阈值电压V_{th_H}低于对晶体管3200的栅电极供应低电平电荷时的外观上的阈值电压V_{th_L}。在此,外观上的阈值电压是指为了使晶体管3200成为“开启状态”所需要的第五布线3005的电位。因此,通过将第五布线3005的电位设定为V_{th_H}与V_{th_L}之间的电位V_0,可以辨别供应到晶体管3200的栅电极的电荷。例如,在写入时被供应高电平电荷的情况下,如果第五布线3005的电位为V_0($>V_{th\_H}$),晶体管3200成为“开启状态”。当被供应低电平电荷时,即使第五布线3005的电位为V_0($<V_{th\_L}$),晶体管3200依然是“关闭状态”。因此,通过辨别第二布线3002的电位,可以读出所保持的数据。

[0453] 注意,当将存储单元配置为阵列状时,需要仅读出所希望的存储单元的数据。如此,当不读出数据时,对第五布线3005供应不管栅电极的状态如何都使晶体管3200成为“关闭状态”的电位,即小于V_{th_H}的电位,即可。或者,对第五布线3005供应不管栅电极的状态如何都使晶体管3200成为“开启状态”的电位,即大于V_{th_L}的电位,即可。

[0454] 图24D所示的半导体装置与图24C所示的半导体装置之间的主要不同点是图24D所示的半导体装置没有设置晶体管3200。在此情况下也可以通过与上述相同的工作进行数据

的写入及保持工作。

[0455] 接着,对数据的读出进行说明。在晶体管3300成为开启状态时,处于浮动状态的第三布线3003和电容元件3400导通,且在第三布线3003和电容元件3400之间再次分配电荷。其结果,第三布线3003的电位产生变化。第三布线3003的电位的变化量根据电容元件3400的一个电极的电位(或积累在电容元件3400中的电荷)而具有不同的值。

[0456] 例如,在电容元件3400的一个电极的电位为V,电容元件3400的电容为C,第三布线3003所具有的电容成分为CB,再次分配电荷之前的第三布线3003的电位为VB0时,再次分配电荷之后的第三布线3003的电位为(CB×VB0+C×V)/(CB+C)。因此,在假定作为存储单元的状态,电容元件3400的一个电极的电位成为两种状态,即V1和V0(V1>V0)时,可以知道保持电位V1时的第三布线3003的电位(=(CB×VB0+C×V1)/(CB+C))高于保持电位V0时的第三布线3003的电位(=(CB×VB0+C×V0)/(CB+C))。

[0457] 通过对第三布线3003的电位和规定的电位进行比较,可以读出数据。

[0458] 在此情况下,可以将使用上述第一半导体材料的晶体管用于用来驱动存储单元的驱动电路,并在该驱动电路上作为晶体管3300层叠使用第二半导体材料的晶体管。

[0459] 在本实施方式所示的半导体装置中,通过使用将氧化物半导体用于沟道形成区域的关态电流极小的晶体管,可以在极长的期间内保持存储内容。换言之,因为不需要进行刷新工作,或者,可以使刷新工作的频度极低,所以可以充分降低耗电量。另外,即使在没有电力供应的情况下(注意,优选固定电位),也可以长期保持存储内容。

[0460] 另外,在本实施方式所示的半导体装置中,数据的写入不需要高电压,而且也没有元件劣化的问题。例如,由于不需要如现有的非易失性存储器那样地对浮动栅极注入电子或从浮动栅极抽出电子,因此根本不会发生如栅极绝缘膜的劣化等问题。换言之,在根据所公开的发明的半导体装置中,对重写的次数没有限制,这限制是现有的非易失性存储器所具有的问题,所以可靠性得到极大提高。再者,根据晶体管的开启状态或关闭状态而进行数据写入,因此可以容易地实现高速的工作。

[0461] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0462] 实施方式5

在本实施方式中,参照附图对使用本发明的一个方式的晶体管的半导体装置的一个例子进行说明。图60是根据本发明的一个方式的半导体装置的电路图的一个例子。

[0463] 图60所示的半导体装置包括:电容元件660a;电容元件660b;晶体管661a;晶体管661b;晶体管662a;晶体管662b;反相器663a;反相器663b;布线BL;布线BLB;布线WL;布线CL;以及布线GL。

[0464] 图60所示的半导体装置是通过反相器663a及反相器663b环连接而构成触发器的存储单元。以反相器663b的输出信号被输出的节点为节点VN1,以反相器663a的输出信号被输出的节点为节点VN2。另外,通过将该存储单元配置为矩阵状,可以构成存储装置(存储单元阵列)。

[0465] 晶体管662a的源极和漏极中的一个与布线BL电连接,源极和漏极中的另一个与节点VN1电连接,栅极与布线WL电连接。晶体管662b的源极和漏极中的一个与节点VN2电连接,源极和漏极中的另一个与布线BLB电连接,栅极与布线WL电连接。

[0466] 晶体管661a的源极和漏极中的一个与节点VN1电连接,源极和漏极中的另一个与电容元件660a的一个电极电连接,栅极与布线GL电连接。在此,以晶体管661a的源极和漏极中的另一个与电容元件660a的一个电极之间的节点为节点NVN1。晶体管661b的源极和漏极中的一个与节点VN2电连接,源极和漏极中的另一个与电容元件660b的一个电极电连接,栅极与布线GL电连接。在此,以晶体管661b的源极和漏极中的另一个与电容元件660b的一个电极之间的节点为节点NVN2。

[0467] 电容元件660a的另一个电极与布线CL电连接。电容元件660b的另一个电极与布线CL电连接。

[0468] 可以根据施加到布线WL的电位控制晶体管662a及晶体管662b的导通状态和非导通状态的选择。可以根据施加到布线GL的电位控制晶体管661a及晶体管661b的导通状态和非导通状态的选择。

[0469] 下面说明图60所示的存储单元的写入、保持以及读出工作。

[0470] 当进行写入时,首先对布线BL及布线BLB施加对应于数据0或数据1的电位。

[0471] 例如,当想要写入数据1时,对布线BL施加高电平的电源电位(VDD),对布线BLB施加接地电位。接着,对布线WL施加高于或等于VDD与晶体管662a、晶体管662b的阈值电压之和的电位(VH)。

[0472] 接着,通过将布线WL的电位设定为小于晶体管662a、晶体管662b的阈值电压,可以保持对触发器写入了的数据1。

[0473] 当进行读出工作时,预先对布线BL及布线BLB施加VDD。接着,当对布线WL施加VH时,布线BL的电位保持VDD而不发生变化,而布线BLB通过晶体管662a及反相器663a进行放电,其电位成为接地电位。通过利用读出放大器(未图示)放大布线BL与布线BLB之间的电位差,可以读出被保持的数据1。

[0474] 另外,当想要写入数据“0”时,对布线BL施加接地电位且对布线BLB施加VDD,然后对布线WL施加VH,即可。接着,通过将布线WL的电位设定为低于晶体管662a、晶体管662b的阈值电压的电压,可以保持写入到触发器中的数据0。当进行读出工作时,预先对布线BL及布线BLB施加VDD并对布线WL施加VH,布线BLB的电位保持VDD而不发生变化,布线BL通过晶体管662b及反相器663b进行放电,其电位成为接地电位。通过利用读出放大器放大布线BL与布线BLB之间的电位差,可以读出被保持的数据0。

[0475] 因此,图60所示的半导体装置用作所谓的SRAM(Static Random Access Memory:静态随机存取存储器)。因为SRAM使用触发器保持数据,所以不需要刷新工作。由此,可以抑制保持数据时的耗电量。另外,因为在触发器中不使用电容元件,所以适合于被要求高速工作的用途。

[0476] 另外,图60所示的半导体装置可以将数据通过晶体管661a从节点VN1写入到节点NVN1。与此同样,也可以将数据通过晶体管661b从节点VN2写入到节点NVN2。通过使晶体管661a或晶体管661b成为非导通状态保持被写入的数据。例如,即使停止供应电源电位也有时可以保持节点VN1及节点VN2的数据。

[0477] 与当停止供应电源电位时立刻数据被消失的现有的SRAM不同,在图60所示的半导体装置中,即使在停止供应电源电位之后也可以保持数据。因此,通过适当地供应或停止电源电位,可以实现耗电量小的半导体装置。例如,通过将图60所示的半导体装置用于CPU的

存储区域,也可以减少CPU的耗电量。

[0478] 另外可知,节点NVN1及节点NVN2中保持数据的期间根据晶体管661a及晶体管661b的关态电流而变化。因此,为了延长数据的保持期间,将关态电流低的晶体管用于晶体管661a及晶体管661b即可。另外,增大电容元件660a及电容元件660b的电容即可。

[0479] 例如,在将实施方式1所示的晶体管100及电容元件150用作晶体管661a及电容元件660a时,可以在节点NVN1中长期间地保持数据。与此同样,在将晶体管100及电容元件150用作晶体管661b及电容元件660b时,可以在节点NVN2中长期间地保持数据。因此,晶体管661a及晶体管661b可以参照晶体管100的记载。另外,电容元件660a及电容元件660b可以参照电容元件150的记载。

[0480] 此外,如上述实施方式所述那样,晶体管100及电容元件150可以以至少部分地重叠于晶体管130的方式制造。在图60所示的晶体管662a、晶体管662b、反相器663a中包括的晶体管及反相器663b所包括的晶体管可以以其一部分至少与晶体管661a、晶体管661b、电容元件660a及电容元件660b重叠的方式制造。因此,有时可以在与现有的SRAM相比不增加占有面积的情况下制造图60所示的半导体装置。在晶体管662a、晶体管662b、反相器663a中包括的晶体管及反相器663b所包括的晶体管可以参照晶体管130的记载。

[0481] 如上所述,可知,根据本发明的一个方式的半导体装置具有相对于占有面积的高的性能。另外可知,根据本发明的一个方式的半导体装置是生产率高的半导体装置。

[0482] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0483] 实施方式6

在本实施方式中,参照图25说明包括上述实施方式所例示的晶体管或存储装置的RF标签。

[0484] 本实施方式的RF标签在其内部包括存储电路,在该存储电路中储存所需要的数据,并使用非接触单元诸如无线通信向外部发送数据和/或从外部接受数据。由于具有这种特征,RF标签可以被用于通过读取物品等的个体信息来识别物品的个体识别系统等。注意,鉴于这些用途,要求极高的可靠性。

[0485] 参照图25说明RF标签的结构。图25是示出RF标签的结构实例的框图。

[0486] 如图25所示,RF标签800包括接收从与通信器801(也称为询问器、读出器/写入器等)连接的天线802发送的无线信号803的天线804。RF标签800还包括整流电路805、恒压电路806、解调电路807、调制电路808、逻辑电路809、存储电路810、ROM811。另外,在包括在解调电路807中的具有整流作用的晶体管中,也可以使用充分地抑制反向电流的材料,诸如氧化物半导体。由此,可以抑制起因于反向电流的整流作用的降低并防止解调电路的输出饱和,也就是说,可以使解调电路的输入和解调电路的输出之间的关系靠近于线性关系。注意,数据传输方法大致分成如下三种方法:将一对线圈相对地设置并利用互感进行通信的电磁耦合方法;利用感应场进行通信的电磁感应方法;以及利用电波进行通信的电波方法。在本实施方式所示的RF标签800中可以使用上述任何方法。

[0487] 接着,说明各电路的结构。天线804与连接于通信器801的天线802之间进行无线信号803的发送及接受。在整流电路805中,对通过由天线804接收无线信号来生成的输入交流信号进行整流,例如进行半波倍压整流,并由设置在后级的电容元件使被整流的信号平滑化,由此生成输入电位。另外,整流电路805的输入一侧或输出一侧也可以设置限幅电路。限

幅电路是在输入交流信号的振幅大且内部生成电压大时进行控制以不使一定以上的电力输入到后级的电路中的电路。

[0488] 恒压电路806是由输入电位生成稳定的电源电压而供应到各电路的电路。恒压电路806也可以在其内部包括复位信号生成电路。复位信号生成电路是利用稳定的电源电压的上升而生成逻辑电路809的复位信号的电路。

[0489] 解调电路807是通过包络检测对输入交流信号进行解调并生成解调信号的电路。此外,调制电路808是根据从天线804输出的数据进行调制的电路。

[0490] 逻辑电路809是分析解调信号并进行处理的电路。存储电路810是保持被输入的数据的电路,并包括行译码器、列译码器、存储区域等。此外,ROM811是保持识别号码(ID)等并根据处理进行输出的电路。

[0491] 注意,根据需要可以适当地设置或省略上述各电路。

[0492] 在此,可以将上述实施方式所示的存储电路用于存储电路810。因为根据本发明的一个方式的存储电路即使在关闭电源的状态下也可以保持数据,所以适用于RF标签。再者,因为根据本发明的一个方式的存储电路的数据写入所需要的电力(电压)比现有的非易失性存储器低得多,所以也可以不产生数据读出时和写入时的最大通信距离的差异。再者,根据本发明的一个方式的存储电路可以抑制由于数据写入时的电力不足引起误动作或误写入的情况。

[0493] 此外,因为根据本发明的一个方式的存储电路可以用作非易失性存储器,所以还可以应用于ROM811。在此情况下,优选生产者另外准备用来对ROM811写入数据的指令而防止使用者自由地重写。由于生产者在出货之前写入识别号码,可以仅使出货的良品具有识别号码而不使所制造的所有RF标签具有识别号码,由此不发生出货后的产品的识别号码不连续的情况而可以容易根据出货后的产品进行顾客管理。

[0494] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0495] 实施方式7

在本实施方式中,说明至少可以使用上述实施方式所说明的晶体管且包含上述实施方式所说明的存储装置的CPU。

[0496] 图26是示出将在上述实施方式中说明的晶体管用于至少其一部分的CPU的结构的一个例子的框图。

[0497] 图26所示的CPU在衬底1190上具有:ALU1191(ALU:Arithmetic logic unit:算术逻辑单元)、ALU控制器1192、指令译码器1193、中断控制器1194、时序控制器1195、寄存器1196、寄存器控制器1197、总线接口1198(Bus I/F)、能够重写的ROM1199以及ROM接口1189(ROM I/F)。作为衬底1190使用半导体衬底、SOI衬底、玻璃衬底等。ROM1199及ROM接口1189也可以设置在不同的芯片上。当然,图26所示的CPU只不过是简化其结构而表示的一个例子,所以实际上的CPU根据其用途具有各种各样的结构。例如,也可以以包括图26所示的CPU或运算电路的结构为核心,设置多个该核心并使其同时工作。另外,在CPU的内部运算电路或数据总线中能够处理的位数例如可以为8位、16位、32位、64位等。

[0498] 通过总线接口1198输入到CPU的指令在输入到指令译码器1193并被译码之后,输入到ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195。

[0499] ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195根据被译码的指令进行各种控制。具体而言,ALU控制器1192生成用来控制ALU1191的工作的信号。另外,中断控制器1194在执行CPU的程序时,根据其优先度或掩码的状态来判断来自外部的输入/输出装置或外围电路的中断要求而对该要求进行处理。寄存器控制器1197生成寄存器1196的地址,并根据CPU的状态来进行寄存器1196的读出或写入。

[0500] 另外,时序控制器1195生成用来控制ALU1191、ALU控制器1192、指令译码器1193、中断控制器1194以及寄存器控制器1197的工作时序的信号。例如,时序控制器1195具有根据参考时钟信号CLK1生成内部时钟信号CLK2的内部时钟发生器,并将内部时钟信号CLK2供应到上述各种电路。

[0501] 在图26所示的CPU中,在寄存器1196中设置有存储单元。作为寄存器1196的存储单元,可以使用上述实施方式所示的晶体管。

[0502] 在图26所示的CPU中,寄存器控制器1197根据来自ALU1191的指令进行寄存器1196中的保持工作的选择。换言之,寄存器控制器1197在寄存器1196所具有的存储单元中选择由触发器保持数据还是由电容元件保持数据。在选择由触发器保持数据的情况下,对寄存器1196中的存储单元供应电源电压。在选择由电容元件保持数据的情况下,对电容元件进行数据的重写,而可以停止对寄存器1196中的存储单元供应电源电压。

[0503] 图27是可以用作寄存器1196的存储元件的电路图的一个例子。存储元件1200包括当关闭电源时丢失存储数据的电路1201、当关闭电源时不丢失存储数据的电路1202、开关1203、开关1204、逻辑元件1206、电容元件1207以及具有选择功能的电路1220。电路1202包括电容元件1208、晶体管1209及晶体管1210。另外,存储元件1200根据需要还可以包括其他元件诸如二极管、电阻元件或电感器等。晶体管1209优选为在氧化物半导体层中形成沟道的晶体管。

[0504] 在此,电路1202可以使用上述实施方式所示的存储装置。在停止对存储元件1200供应电源电压时,接地电位(0V)或使晶体管1209关闭的电位继续输入到电路1202中的晶体管1209的栅极。例如,晶体管1209的栅极通过电阻器等负载接地。

[0505] 在此示出开关1203为具有一导电型(例如,n沟道型)的晶体管1213,而开关1204为具有与此相反的导电型(例如,p沟道型)的晶体管1214的例子。这里,开关1203的第一端子对应于晶体管1213的源极和漏极中的一个,开关1203的第二端子对应于晶体管1213的源极和漏极中的另一个,并且开关1203的第一端子与第二端子之间的导通或非导通(即,晶体管1213的开启状态或关闭状态)由输入到晶体管1213的栅极的控制信号RD选择。开关1204的第一端子对应于晶体管1214的源极和漏极中的一个,开关1204的第二端子对应于晶体管1214的源极和漏极中的另一个,并且开关1204的第一端子与第二端子之间的导通或非导通(即,晶体管1214的开启状态或关闭状态)由输入到晶体管1214的栅极的控制信号RD选择。

[0506] 晶体管1209的源极和漏极中的一个电连接到电容元件1208的一对电极中的一个及晶体管1210的栅极。在此,将连接部分称为节点M2。晶体管1210的源极和漏极中的一个电连接到能够供应低电源电位的布线(例如,GND线),而另一个电连接到开关1203的第一端子(晶体管1213的源极和漏极中的一个)。开关1203的第二端子(晶体管1213的源极和漏极中的另一个)电连接到开关1204的第一端子(晶体管1214的源极和漏极中的一个)。开关1204的第二端子(晶体管1214的源极和漏极中的另一个)电连接到能够供应电源电位VDD的布

线。开关1203的第二端子(晶体管1213的源极和漏极中的另一个)、开关1204的第一端子(晶体管1214的源极和漏极中的一个)、逻辑元件1206的输入端子和电容元件1207的一对电极中的一个彼此电连接。在此,将连接部分称为节点M1。可以对电容元件1207的一对电极中的另一个输入固定电位。例如,可以输入低电源电位(GND等)或高电源电位(VDD等)。电容元件1207的一对电极中的另一个电连接到能够供应低电源电位的布线(例如,GND线)。可以对电容元件1208的一对电极中的另一个输入固定电位。例如,可以输入低电源电位(GND等)或高电源电位(VDD等)。电容元件1208的一对电极中的另一个电连接到能够供应低电源电位的布线(例如,GND线)。

[0507] 当积极地利用晶体管或布线的寄生电容等时,可以不设置电容元件1207及电容元件1208。

[0508] 控制信号WE输入到晶体管1209的第一栅极(第一栅电极)。开关1203及开关1204的第一端子与第二端子之间的导通状态或非导通状态由与控制信号WE不同的控制信号RD选择,当一个开关的第一端子与第二端子之间处于导通状态时,另一个开关的第一端子与第二端子之间处于非导通状态。

[0509] 对应于保持在电路1201中的数据的信号被输入到晶体管1209的源极和漏极中的另一个。图27示出从电路1201输出的信号输入到晶体管1209的源极和漏极中的另一个的例子。由逻辑元件1206使从开关1203的第二端子(晶体管1213的源极和漏极中的另一个)输出的信号的逻辑值反转而成为反转信号,将其经由电路1220输入到电路1201。

[0510] 另外,虽然图27示出从开关1203的第二端子(晶体管1213的源极和漏极中的另一个)输出的信号经由逻辑元件1206及电路1220输入到电路1201的例子,但是不局限于此。也可以不使从开关1203的第二端子(晶体管1213的源极和漏极中的另一个)输出的信号的逻辑值反转而输入到电路1201。例如,当在电路1201内存在其中保持使从输入端子输入的信号的逻辑值反转的信号的节点时,可以将从开关1203的第二端子(晶体管1213的源极和漏极中的另一个)输出的信号输入到该节点。

[0511] 在图27所示的用于存储元件1200的晶体管中,晶体管1209以外的晶体管可以使用其沟道形成在由氧化物半导体以外的半导体构成的层中或衬底1190中的晶体管。例如,可以使用其沟道形成在硅层或硅衬底中的晶体管。此外,也可以作为用于存储元件1200的所有的晶体管使用其沟道形成在氧化物半导体层中的晶体管。或者,存储元件1200还可以包括晶体管1209以外的其沟道由氧化物半导体层形成的晶体管,并且作为剩下的晶体管可以使用其沟道形成在由氧化物半导体以外的半导体构成的层中或衬底1190中的晶体管。

[0512] 图27所示的电路1201例如可以使用触发器电路。另外,作为逻辑元件1206例如可以使用反相器或时钟反相器等。

[0513] 在根据本发明的一个方式的半导体装置中,在不向存储元件1200供应电源电压的期间,可以由设置在电路1202中的电容元件1208保持储存在电路1201中的数据。

[0514] 另外,其沟道形成在氧化物半导体层中的晶体管的关态电流极小。例如,其沟道形成在氧化物半导体层中的晶体管的关态电流比其沟道形成在具有结晶性的硅中的晶体管的关态电流低得多。因此,通过将该晶体管用作晶体管1209,即使在不向存储元件1200供应电源电压的期间也可以长期间地保持电容元件1208所保持的信号。因此,存储元件1200在停止供应电源电压的期间也可以保持存储内容(数据)。

[0515] 另外,由于该存储元件是以通过设置开关1203及开关1204进行预充电工作为特征的存储元件,因此它可以缩短在再次开始供应电源电压之后直到电路1201再次保持原来的数据为止的时间。

[0516] 另外,在电路1202中,由电容元件1208保持的信号被输入到晶体管1210的栅极。因此,在再次开始向存储元件1200供应电源电压之后,可以将由电容元件1208保持的信号转换为晶体管1210的状态(开启状态或关闭状态),并从电路1202读出。因此,即使对应于保持在电容元件1208中的信号的电位有些变动,也可以准确地读出原来的信号。

[0517] 通过将这种存储元件1200用于处理器所具有的寄存器或高速缓冲存储器等存储装置,可以防止存储装置内的数据因停止电源电压的供应而消失。另外,可以在再次开始供应电源电压之后在短时间内恢复到停止供应电源之前的状态。因此,在整个处理器或构成处理器的一个或多个逻辑电路中在短时间内也可以停止电源,从而可以抑制耗电量。

[0518] 在本实施方式中,虽然对将存储元件1200用于CPU的例子进行说明,但是也可以将存储元件1200应用于LSI诸如DSP(Digital Signal Processor:数字信号处理器)、定制LSI、PLD(Programmable Logic Device:可编程逻辑器件)等、RF-ID(Radio Frequency Identification:射频识别)。

[0519] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0520] 实施方式8

在本实施方式中说明本发明的一个方式的显示面板的结构实例。

[0521] [结构实例]

图28A是本发明的一个方式的显示面板的俯视图,图28B是在将液晶元件用于本发明的一个方式的显示面板的像素时可以使用的像素电路的电路图。图28C是在将有机EL元件用于本发明的一个方式的显示面板的像素时可以使用的像素电路的电路图。

[0522] 可以根据上述实施方式形成配置在像素部中的晶体管。此外,因为该晶体管容易形成为n沟道晶体管,所以将驱动电路中的可以由n沟道晶体管构成的驱动电路的一部分与像素部的晶体管形成在同一衬底上。如上所述,通过将上述实施方式所示的晶体管用于像素部或驱动电路,可以提供可靠性高的显示装置。

[0523] 图28A示出有源矩阵型显示装置的方框图的一个例子。在显示装置的衬底700上设置有:像素部701;第一扫描线驱动电路702;第二扫描线驱动电路703;以及信号线驱动电路704。在像素部701中配置有从信号线驱动电路704延伸的多个信号线以及从第一扫描线驱动电路702及第二扫描线驱动电路703延伸的多个扫描线。此外,在扫描线与信号线的交叉区域中具有显示元件的各像素配置为矩阵状。另外,显示装置的衬底700通过FPC(Flexible Printed Circuit:柔性印刷电路)等的连接部连接到时序控制电路(也称为控制器、控制IC)。

[0524] 在图28A中,在设置有像素部701的衬底700上形成有第一扫描线驱动电路702、第二扫描线驱动电路703、信号线驱动电路704。由此,设置在外部的驱动电路等的构件的数量减少,从而能够实现成本的降低。另外,当在衬底700的外部设置驱动电路时,需要使布线延伸,布线之间的连接数增加。当在衬底700上设置驱动电路时,可以减少该布线之间的连接数,从而可以实现可靠性或成品率的提高。

[0525] (液晶面板)

图28B示出像素部的电路结构的一个例子。在此,示出可以用于VA方式的液晶显示面板的像素的像素电路。

[0526] 可以将该像素电路应用于一个像素具有多个像素电极层的结构。各像素电极层分别与不同的晶体管连接,以通过不同栅极信号驱动各晶体管。由此,可以独立地控制施加到多畴像素中的各像素电极层的信号。

[0527] 晶体管716的栅极布线712和晶体管717的栅极布线713彼此分离,以便能够被提供不同的栅极信号。另一方面,晶体管716和晶体管717共同使用用作数据线的源电极层或漏电极层714。作为晶体管716及晶体管717,可以适当地利用上述实施方式所示的晶体管100。由此可以提供可靠性高的液晶显示面板。

[0528] 以下说明与晶体管716电连接的第一像素电极层及与晶体管717电连接的第二像素电极层的形状。第一像素电极层和第二像素电极层被狭缝彼此分离。第一像素电极层呈扩展为V字型的形状,第二像素电极层以围绕第一像素电极层的方式形成。

[0529] 晶体管716的栅电极连接到栅极布线712,而晶体管717的栅电极连接到栅极布线713。通过对栅极布线712和栅极布线713施加不同的栅极信号,可以使晶体管716及晶体管717的工作时序互不相同来控制液晶取向。

[0530] 另外,也可以由电容布线710、用作电介质的栅极绝缘膜以及与第一像素电极层或第二像素电极层电连接的电容电极形成存储电容器。

[0531] 多畴结构的像素设置有第一液晶元件718和第二液晶元件719。第一液晶元件718由第一像素电极层、对置电极层以及它们之间的液晶层构成,而第二液晶元件719由第二像素电极层、对置电极层以及它们之间的液晶层构成。

[0532] 此外,图28B所示的像素电路不局限于此。例如,也可以还对图28B所示的像素追加开关、电阻元件、电容元件、晶体管、传感器或逻辑电路等。

[0533] (有机EL面板)

图28C示出像素的电路结构的其他例子。在此,示出使用有机EL元件的显示面板的像素结构。

[0534] 在有机EL元件中,通过对发光元件施加电压,电子和空穴从一对电极分别注入到包含发光有机化合物的层,而产生电流。然后,通过使电子和空穴重新结合,发光有机化合物达到激发态,并且当该激发态返回到基态时,获得发光。根据这种机理,该发光元件被称为电流激发型发光元件。

[0535] 图28C是示出可以应用的像素电路的一个例子的图。这里示出一个像素包括两个n沟道晶体管的例子。本发明的一个方式的金属氧化物膜可以用于n沟道晶体管的沟道形成区域。另外,该像素电路可以采用数字时间灰度级驱动。

[0536] 以下说明可以应用的像素电路的结构及采用数字时间灰度级驱动时的像素的工作。

[0537] 像素720包括开关晶体管721、驱动晶体管722、发光元件724以及电容元件723。在开关晶体管721中,栅电极层与扫描线726连接,第一电极(源电极层和漏电极层中的一个)与信号线725连接,并且第二电极(源电极层和漏电极层中的另一个)与驱动晶体管722的栅电极层连接。在驱动晶体管722中,栅电极层通过电容元件723与电源线727连接,第一电极

与电源线727连接,第二电极与发光元件724的第一电极(像素电极)连接。发光元件724的第二电极相当于共同电极728。共同电极728与形成在同一衬底上的共同电位线电连接。

[0538] 作为开关晶体管721及驱动晶体管722,可以适当地利用上述实施方式所示的晶体管100。由此可以提供可靠性高的有机EL显示面板。

[0539] 将发光元件724的第二电极(共同电极728)的电位设定为低电源电位。注意,低电源电位是指低于供应到电源线727的高电源电位的电位,例如,低电源电位可以为GND、0V等。将高电源电位与低电源电位的电位差设定为发光元件724的正向阈值电压以上,将该电位差施加到发光元件724来使电流流过发光元件724,以获得发光。发光元件724的正向电压是指为获得所希望的亮度的电压,至少包含正向阈值电压。

[0540] 另外,还可以使用驱动晶体管722的栅极电容代替电容元件723。作为驱动晶体管722的栅极电容,也可以利用在沟道形成区域和栅电极层之间的电容。

[0541] 接着,说明输入到驱动晶体管722的信号。当采用电压输入电压驱动方式时,对驱动晶体管722输入使驱动晶体管722充分处于开启状态或关闭状态的两个状态的视频信号。为了使驱动晶体管722在线性区域中工作,将比电源线727的电压高的电压施加到驱动晶体管722的栅电极层。另外,对信号线725施加电源线电压加驱动晶体管722的阈值电压Vth的值以上的电压。

[0542] 当进行模拟灰度级驱动时,对驱动晶体管722的栅电极层施加发光元件724的正向电压加驱动晶体管722阈值电压的Vth的值以上的电压。另外,通过输入使驱动晶体管722在饱和区域中工作的视频信号,使电流流过发光元件724。为了使驱动晶体管722在饱和区域中工作,使电源线727的电位高于驱动晶体管722的栅极电位。通过采用模拟方式的视频信号,可以使与视频信号对应的电流流过发光元件724,而进行模拟灰度级驱动。

[0543] 注意,像素电路的结构不局限于图28C所示的像素结构。例如,还可以对图28C所示的像素电路追加开关、电阻元件、电容元件、传感器、晶体管或逻辑电路等。

[0544] 当对图28A至图28C所示的电路应用上述实施方式所示的晶体管时,使源电极(第一电极)及漏电极(第二电极)分别电连接到低电位一侧及高电位一侧。再者,可以由控制电路等控制第一栅电极的电位,且由未图示的布线将比源电极低的电位等如上所示的电位输入第二栅电极。

[0545] 例如,在本说明书等中,显示元件、作为具有显示元件的装置的显示装置、发光元件以及作为具有发光元件的装置的发光装置可以采用各种方式或各种元件。显示元件、显示装置、发光元件或发光装置例如包括EL(电致发光)元件(包含有机和无机材料的EL元件、有机EL元件或无机EL元件)、LED(白色LED、红色LED、绿色LED、蓝色LED等)、晶体管(根据电流而发光的晶体管)、电子发射元件、液晶元件、电子墨水、电泳元件、光栅光阀(GLV)、等离子体显示器(PDP)、使用微电机系统(MEMS)的显示元件、数字微镜设备(DMD)、数字微快门(DMS)、MIRASOL(在日本注册的商标)、IMOD(干涉测量调节)元件、快门方式的MEMS显示元件、光干涉方式的MEMS显示元件、电润湿(electrowetting)元件、压电陶瓷显示器、使用碳纳米管的显示元件中的至少一个。除此以外,还可以包括其对比度、亮度、反射率、透射率等因电或磁作用而变化的显示媒体。作为使用EL元件的显示装置的一个例子,有EL显示器等。作为使用电子发射元件的显示装置的一个例子,有场致发射显示器(FED)或SED方式平面型显示器(SED:Surface-conduction Electron-emitter Display:表面传导电子发射显示

器)等。作为使用液晶元件的显示装置的一个例子,有液晶显示器(透过型液晶显示器、半透过型液晶显示器、反射型液晶显示器、直观型液晶显示器、投射型液晶显示器)等。作为使用电子墨水、电子粉流体(在日本注册的商标)或电泳元件的显示装置的一个例子,有电子纸等。注意,当实现半透过型液晶显示器或反射式液晶显示器时,使像素电极的一部分或全部具有反射电极的功能,即可。例如,像素电极的一部分或全部包含铝、银等,即可。并且,此时也可以将SRAM等存储电路设置在反射电极下。因而,可以进一步降低耗电量。

[0546] 例如在本说明书等中,可以使用各种衬底形成晶体管。对衬底的种类没有特别的限制。作为该衬底的一个例子,例如可以使用半导体衬底(例如,单晶衬底或硅衬底)、SOI衬底、玻璃衬底、石英衬底、塑料衬底、金属衬底、不锈钢衬底、具有不锈钢箔的衬底、钨衬底、具有钨箔的衬底、柔性衬底、贴合薄膜、包含纤维状的材料的纸或者基材薄膜等。作为玻璃衬底的一个例子,有钡硼硅酸盐玻璃、铝硼硅酸盐玻璃、钠钙玻璃等。作为柔性衬底、贴合薄膜、基材薄膜等,可以举出如下例子。例如可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为代表的塑料。或者,作为一个例子,可以举出丙烯酸树脂等合成树脂等。或者,作为一个例子,可以举出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者,作为一个例子,可以举出聚酰胺、聚酰亚胺、芳族聚酰胺、环氧树脂、无机蒸镀薄膜、纸类等。尤其是,通过使用半导体衬底、单晶衬底或SOI衬底等制造晶体管,可以制造特性、尺寸或形状等的偏差小、电流能力高且尺寸小的晶体管。当利用上述晶体管构成电路时,可以实现电路的低耗电量化或电路的高集成化。

[0547] 另外,作为衬底也可以使用柔性衬底,在该柔性衬底上直接形成晶体管。或者,也可以在衬底与晶体管之间设置剥离层。剥离层可以在如下情况下使用,即在剥离层上制造半导体装置的一部分或全部,然后将其从衬底分离并转置到其他衬底上的情况。此时,也可以将晶体管转置到耐热性低的衬底或柔性衬底上。另外,作为上述剥离层,例如可以使用钨膜与氧化硅膜的无机膜的层叠结构或衬底上形成有聚酰亚胺等有机树脂膜的结构等。

[0548] 另外,也可以使用一个衬底形成晶体管,然后将该晶体管转置到另一个衬底上。作为转置晶体管的衬底,除了上述可以设置晶体管的衬底之外,还可以使用纸衬底、玻璃纸衬底、芳族聚酰胺薄膜衬底、聚酰亚胺薄膜衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)或再生纤维(醋酯纤维、铜氨纤维、人造纤维、再生聚酯)等)、皮革衬底、橡皮衬底等。通过使用上述衬底,可以形成特性良好的晶体管或耗电量低的晶体管,可以制造不容易发生故障并具有耐热性的装置,或者可以实现轻量化或薄型化。

[0549] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0550] 实施方式9

根据本发明的一个方式的半导体装置可以用于显示设备、个人计算机或具备记录媒体的图像再现装置(典型的是,能够再现记录媒体如数字通用盘(DVD:Digital Versatile Disc)等并具有可以显示该图像的显示器的装置)中。另外,作为可以使用根据本发明的一个方式的半导体装置的电子设备,可以举出移动电话、包括便携式的游戏机、便携式数据终端、电子书阅读器终端、拍摄装置诸如视频摄像机或数码相机等、护目镜型显示器(头部安装显示器)、导航系统、音频再现装置(汽车音响系统、数字音频播放器等)、复印

机、传真机、打印机、多功能打印机、自动柜员机(ATM)以及自动售货机等。图29A至图29F示出这些电子设备的具体例子。

[0551] 图29A是便携式游戏机,该便携式游戏机包括框体901、框体902、显示部903、显示部904、麦克风905、扬声器906、操作键907以及触屏笔908等。注意,虽然图29A所示的便携式游戏机包括两个显示部903和显示部904,但是便携式游戏机所包括的显示部的个数不限于此。

[0552] 图29B是便携式数据终端,该便携式数据终端包括第一框体911、第二框体912、第一显示部913、第二显示部914、连接部915、操作键916等。第一显示部913设置在第一框体911中,第二显示部914设置在第二框体912中。而且,第一框体911和第二框体912由连接部915连接,由连接部915可以改变第一框体911和第二框体912之间的角度。第一显示部913的影像也可以根据连接部915所形成的第一框体911和第二框体912之间的角度切换。另外,也可以对第一显示部913和第二显示部914中的至少一个使用附加有位置输入功能的显示装置。另外,可以通过在显示装置中设置触摸屏来附加位置输入功能。或者,也可以通过在显示装置的像素部中设置被称为光电传感器的光电转换元件来附加位置输入功能。

[0553] 图29C是笔记本型个人计算机,该笔记本型个人计算机包括框体921、显示部922、键盘923以及指向装置924等。

[0554] 图29D是电冷藏冷冻箱,该电冷藏冷冻箱包括框体931、冷藏室门932、冷冻室门933等。

[0555] 图29E是视频摄像机,该视频摄像机包括第一框体941、第二框体942、显示部943、操作键944、透镜945、连接部946等。操作键944及透镜945设置在第一框体941中,显示部943设置在第二框体942中。而且,第一框体941和第二框体942由连接部946连接,由连接部946可以改变第一框体941和第二框体942之间的角度。显示部943的影像也可以根据连接部946所形成的第一框体941和第二框体942之间的角度切换。

[0556] 图29F是一般的汽车,该汽车包括车体951、车轮952、仪表盘953及灯954等。

[0557] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0558] 实施方式10

在本实施方式中,参照图30A至图30F说明根据本发明的一个方式的RF标签的使用例子。RF标签的用途广泛,例如可以设置于物品诸如钞票、硬币、有价证券类、不记名证券类、证书类(驾驶证、居民卡等,参照图30A)、包装用容器类(包装纸、瓶子等,参照图30C)、记录媒体(DVD、录像带等,参照图30B)、车辆类(自行车等,参照图30D)、个人物品(包、眼镜等)、食物类、植物类、动物类、人体、衣服、生活用品类、包括药品或药剂的医疗品、电子设备(液晶显示装置、EL显示装置、电视装置或移动电话)等或者各物品的装运标签(参照图30E和图30F)等。

[0559] 当将根据本发明的一个方式的RF标签4000固定到物品时,将其附着到物品的表面上或者填埋于物品中。例如,当固定到书本时,将RF标签嵌入在书本的纸张里,而当固定到有机树脂的包装时,将RF标签填埋于有机树脂内部。根据本发明的一个方式的RF标签4000实现了小型、薄型以及轻量,所以即使在固定到物品中也不会影响到该物品的设计性。另外,通过将根据本发明的一个方式的RF标签4000设置于钞票、硬币、有价证券类、不记名证

券类或证书类等,可以赋予识别功能。通过利用该识别功能可以防止伪造。另外,可以通过在包装用容器类、记录媒体、个人物品、食物类、衣服、生活用品类或电子设备等中设置根据本发明的一个方式的RF标签,可以提高检品系统等系统的运行效率。另外,通过在车辆类中安装根据本发明的一个方式的RF标签,可以防止盗窃等而提高安全性。

[0560] 如上所述,通过将根据本发明的一个方式的RF标签应用于在本实施方式中列举的各用途,可以降低包括数据的写入或读出等的工作的功耗,因此能够使最大通信距离长。另外,即使在关闭电力供应的状态下,也可以在极长的期间保持数据,所以上述RF标签适用于写入或读出的频率低的用途。

[0561] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0562] 注意,在一个实施方式中说明的内容(或者其一部分)可以应用于、组合于或者替换成在该实施方式中说明的其他内容(或者其一部分)和/或在一个或多个其他实施方式中说明的内容(或者其一部分)。

[0563] 在实施方式中说明的内容是指在各实施方式中利用各种附图来说明的内容或利用说明书所记载的文章来说明的内容。

[0564] 另外,通过将在一个实施方式中说明的附图(或者其一部分)与该附图的其他部分、在该实施方式中说明的其他附图(或者其一部分)和/或在一个或多个其他实施方式中说明的附图(或者其一部分)组合,而可以构成更多的附图。

[0565] 另外,可以构成除本说明书的附图或文章里未规定的内容之外的发明的一个方式。另外,当记载有某个值的范围(例如上限值、下限值等)时,通过任意缩小该范围或者去除该范围的一部分,可以规定去除该范围的一部分的发明的一个方式。由此,例如,可以规定现有技术不包括在本发明的一个方式的技术范围内。

[0566] 作为具体例子,在记载有包括第一至第五晶体管的电路的电路图的情况下,可以规定为在发明中该电路不包括第六晶体管。或者,可以规定为在发明中该电路不包括电容元件。再者,可以规定为在发明中该电路不包括具有特定连接结构的第六晶体管。或者,可以规定为在发明中该电路不包括具有特定连接结构的电容元件。例如,可以规定为在发明中不包括其栅极与第三晶体管的栅极连接的第六晶体管。例如,可以规定为在发明中不包括其第一电极与第三晶体管的栅极连接的电容元件。

[0567] 作为其他具体例子,在关于某一个值,记载有“某一个电压优选为3V以上且10V以下”的情况下,例如,可以规定为发明的一个方式不包括该电压为-2V以上且1V以下的情况。例如,可以规定为发明的一个方式不包括该电压为13V以上的情况。例如,可以规定为在发明中该电压为5V以上且8V以下。例如,可以规定为在发明中该电压大约为9V。例如,可以规定为发明包括该电压为3V以上且10V以下但不是9V的情况。注意,即使记载有“某一个值优选为某个范围”、“某一个值最好满足某个条件”,也不局限于该记载。换而言之,“优选”、“最好”等的记载并不一定规定该值。

[0568] 作为其他具体例子,在关于某一个值,记载有“某一个电压优选为10V”的情况下,例如,可以规定为发明的一个方式不包括该电压为-2V以上且1V以下的情况。例如,可以规定为发明的一个方式不包括该电压为13V以上的情况。

[0569] 作为其他具体例子,在关于某一个物质的性质,记载有“某一个膜为绝缘膜”情况

下,例如,可以规定为发明的一个方式不包括该绝缘膜为有机绝缘膜的情况。例如,可以规定为发明的一个方式不包括该绝缘膜为无机绝缘膜的情况。例如,可以将不包括该膜为导电膜的情况规定为发明的一个方式。例如,可以将不包括该膜为半导体膜的情况规定为发明的一个方式。

[0570] 作为其他具体例子,在关于某一个层叠结构,记载有“在A膜与B膜之间设置有某一个膜”的情况下,例如,可以规定为发明不包括该膜为四层以上的叠层膜的情况。例如,可以规定为发明不包括在A膜与该膜之间设置有导电膜的情况。

[0571] 另外,在本说明书等中,有时即使不指定有源元件(晶体管、二极管等)、无源元件(电容元件、电阻元件等)等所具有的所有端子的连接位置,所属技术领域的普通技术人员也能够构成发明的一个方式。也就是说,即使未指定连接位置,也可以说其是发明的一个方式是明确的。并且,当在本说明书等中记载有指定了连接位置的内容时,有时可以判断为本说明书等中记载有未指定连接位置的本发明的一个方式。尤其是,在作为端子的连接位置有可能有多个位置的情况下,该端子的连接位置不限于指定的位置。因此,有时通过仅指定有源元件(晶体管、二极管等)、无源元件(电容元件、电阻元件等)等所具有的一部分的端子的连接位置,就能够构成发明的一个方式。

[0572] 另外,在本说明书等中,只要至少指定某个电路的连接位置,有时所属技术领域的普通技术人员就能够确定发明。或者,只要至少指定某个电路的功能,有时所属技术领域的普通技术人员就能够确定发明。也就是说,只要指定功能,有时就可以判断其是发明的一个方式是明确的,并且作为本发明的一个方式记载在本说明书中。因此,即使未指定某一个电路的功能,只要指定其连接位置,该电路就是可作为发明的一个方式被公开的电路,而可以构成发明的一个方式。或者,即使不指定某个电路的连接位置,只要指定其功能,该电路就是可以作为本发明的一个方式被公开的电路,而可以构成发明的一个方式。

[0573] 此外,在本说明书等中,可以在某一个实施方式中所述的附图或文章中取出其一部分而构成发明的一个方式。因此,在记载有说明某一部分的附图或文章的情况下,被取出的其一部分的附图或文章的内容也是作为发明的一个方式被公开的内容,而能够构成发明的一个方式。并且,可以说该发明的一个方式是明确的。因此,例如,可以在记载有一个或多个有源元件(晶体管、二极管等)、布线、无源元件(电容元件、电阻元件等)、导电层、绝缘层、半导体层、有机材料、无机材料、构件、装置、工作方法、制造方法等的附图或文章中,取出其一部分而构成发明的一个方式。例如,可以从包括N个(N是整数)电路元件(晶体管、电容元件等)的电路图中取出M个(M是整数,M<N)电路元件(晶体管、电容元件等)来构成发明的一个方式。作为其他例子,可以从包括N个(N是整数)层而构成的截面图中取出M个(M是整数,M<N)层来构成发明的一个方式。再者,作为其他例子,可以从包括N个(N是整数)要素而构成的流程图中取出M个(M是整数,M<N)要素来构成发明的一个方式。作为其他的例子,当从“A包括B、C、D、E或F”的记载中任意抽出一部分的要素时,可以构成“A包括B和E”、“A包括E和F”、“A包括C、E和F”或者“A包括B、C、D和E”等的发明的一个方式。

[0574] 此外,在本说明书等中,在某一个实施方式所示的附图或文章中至少记载有一个具体例子的情况下,所属技术领域的普通技术人员可以很容易地理解一个事实就是由上述具体例子导出该具体例子的上位概念。因此,在某一个实施方式所示的附图或文章中至少记载有一个具体例子的情况下,该具体例子的上位概念也是所公开的发明的一个方式,而

可以构成发明的一个方式。并且,可以说该发明的一个方式是明确的。

[0575] 另外,在本说明书等中,至少在附图中记载的内容(也可以是其一部分)是所公开的发明的一个方式,而可以构成发明的一个方式。因此,某个内容只要在附图中有记载,即便不使用文章来描述,该内容也是所公开的发明的一个方式,而可以构成发明的一个方式。同样地,取出其一部分的附图也是所公开的发明的一个方式,而可以构成发明的一个方式。并且,可以说该发明的一个方式是明确的。

[0576] 实施例1

在本实施例中,说明本发明的一个方式的氧化物半导体膜的评价结果。

[0577] [制造方法]

作为衬底使用硅片,在硅片上形成氧化物半导体膜。作为氧化物半导体膜,通过使用In-Ga-Zn氧化物靶材的溅射法形成In-Ga-Zn氧化物膜。表6示出成膜时的主要条件。

[表6]

	装置	功率 [kW]	气体流量[sccm]		衬底温度	压力 [Pa]	靶材	靶材与衬底间距离
			Ar[sccm]	O_2[sccm]				
条件A1	装置A	0.5 (DC)	30	15	300 ℃	0.7	In:Ga:Zn =1:1:1	60mm
条件A2		0.5 (DC)	30	15	300 ℃	0.4	In:Ga:Zn =1:1:1	60mm
条件A3	装置B	0.5 (DC)	30	15	300 ℃	0.4	In:Ga:Zn =1:1:1	60mm
条件B1	装置A	0.5 (DC)	30	15	200 ℃	0.7	In:Ga:Zn =2:1:3	60mm
条件B2		0.5 (DC)	30	15	300 ℃	0.7	In:Ga:Zn =2:1:3	60mm
条件E1	装置C	0.5 (DC)	20	10	200 ℃	0.4	In:Ga:Zn =4:2:4.1	130mm

[0578] 在此,在表6的条件A3中,压力使用由日本佳能-安内华(CANON-ANELVA)公司制造的B-A真空计BRG-1B来测定,在其它五个条件中,压力使用由日本佳能-安内华公司制造的小型真空计MG-2来测定。如表6所示,作为靶材,在条件A1及条件A2中使用原子个数比为In:Ga:Zn=1:1:1的In-Ga-Zn氧化物,在条件B1及条件B2中使用原子个数比为In:Ga:Zn=2:1:3的In-Ga-Zn氧化物,而在条件E1中使用原子个数比为In:Ga:Zn=4:2:4.1的In-Ga-Zn氧化物。作为电源使用DC电源。

[0579] [XRD评价]

下面,说明分别使用条件A1、条件B1、条件B2及条件E1形成氧化物半导体膜而利用XRD装置来进行评价的结果。首先,制造用于评价的样品。在硅片上形成100nm厚的氧化物半导体膜。将使用表6所记载的条件A1、条件B1、条件B2及条件E1的各条件来形成氧化物半导

体膜的样品分别为样品A1-1、样品B1-1、样品B2-1及样品E1-1。

[0580] 接着,在利用XRD装置进行评价之前,对各样品进行加热处理。作为加热处理的条件,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内在氧气氛下进行1小时的加热处理。然后,使用具有多功能的用来评价薄膜材料的X射线衍射仪D8DISCOVER Hybrid(美国布鲁克AXS公司制造)来进行各样品的评价。图36A至图36D示出通过Out-Of-Plane法的分析结果。图36A、图36B、图36C及图36D分别示出样品A1-1、样品B1-1、样品B2-1及样品E1-1的分析结果。上述样品都在2θ＝31°附近观察到峰值。由于该峰值来源于$InGaZnO_4$结晶的(009)面,因此可知在上述各样品中氧化物半导体膜中的结晶具有c轴取向性,并且c轴朝向大致垂直于被形成面或顶面的方向。另外,在对所得到的2θ＝31°附近的峰值进行比较时,可知与样品A1-1相比,其它样品的峰值的宽度更窄、更尖。由此可知CAAC比率较高。在此,表7示出各样品的2θ＝31°附近的峰值的半宽度。半宽度是在减去背景之后利用洛仑兹函数进行拟合来获得的。作为背景使用线性函数与洛仑兹函数之和。由表7可知,在使用原子个数比为In:Ga:Zn＝1:1:1的靶材来形成的样品A1-1中半宽度为4.68°,而在使用原子个数比为In:Ga:Zn＝2:1:3的靶材来形成的样品B1-1及样品B2-1中半宽度为2.10°及2.19°,并在样品E1-1中半宽度为3.47°,如上所述,在样品B1-1、样品B2-1及样品E1-1中都得到较小的半宽度,并得到尖锐的峰值。

[表7]

	2θ[°]	半宽度[°]
样品A1-1	30.6	4.68
样品B1-1	31.1	2.10
样品B2-1	30.8	2.19
样品E1-1	30.7	3.47

[0581] [膜密度评价]

接着,测定上述样品A1-1、样品B1-1及样品B2-1的膜密度。在进行膜密度评价之前,对各样品进行加热处理。作为加热处理条件,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内在氧气氛下进行1小时的加热处理。表8示出所得到的膜密度。在各条件中都能够得到致密且良好的膜。由上述结果可知,包含多个c轴取向的结晶部的氧化物半导体膜,即CAAC-OS膜是致密的膜。

[表8]

	膜密度 [g/cm³]
样品 A1-1	6.27
样品 B1-1	6.33
样品 B2-1	6.29

[0582] [通过ICP-MS的评价结果]

通过电感耦合等离子体质谱分析法(Inductively Coupled Plasma Mass Spectrometry:ICP-MS分析法)来测定上述样品A1-1、样品B1-1及样品B2-1中的铟、镓及锌

的含有率。表9示出从所得到的结果算出各元素的原子个数比的结果。

[表9]

	原子个数比		
	In	Ga	Zn
样品 A1-1	1	0.99	0.66
样品 B1-1	2	0.98	2.3
样品 B2-1	2	0.99	2.2

[0583] 由表9可知,与靶材中的锌的原子个数比相比,在样品A1-1中锌的原子个数比减少了44%左右,在样品B2-1中减少了23%左右,在样品B2-2中减少了26%左右。另一方面,铟及镓的原子个数比在靶材与各样品之间其差异只有1%至2%左右,几乎没有减少。

[0584] [截面TEM观察1]

接着,说明截面TEM图像的观察结果。按如下方法来制造用于观察的样品。首先,在硅片上形成绝缘膜。作为绝缘膜,利用热氧化法形成100nm厚的氧化硅膜。然后,通过溅射法形成300nm厚的氧化硅膜。氧化硅的成膜条件为如下:使用氧化硅的靶材;氧流量为50sccm;压力为0.4Pa;使用RF电源而将功率设定为1.5kW;并且衬底温度为100℃。将靶材与衬底间距离设定为60mm。然后,使用CMP进行抛光以使表面平坦化。

[0585] 如上所述,在硅片上形成绝缘膜之后,形成20nm厚的氧化物半导体膜。将使用表6所记载的条件A1、B1及B2的各条件来形成氧化物半导体膜的样品分别为样品A1-1、样品B1-1及样品B2-2。

[0586] 如上所述,制造样品A1-2、样品B1-2及样品B2-2。接着,对所得到的各样品进行加热处理。作为加热处理的条件,在以450℃在氮气氛下进行1小时的处理之后,以450℃在氧气氛下进行1小时的处理。然后,进行薄片化加工。

[0587] 接着,观察通过利用球差校正(Spherical Aberration Corrector)功能得到的样品A1-2、样品B1-2及样品B2-2的氧化物半导体膜的截面的TEM图像。注意,将通过TEM观察得到的亮视场像以及衍射图案的复合分析图像称为高分辨率TEM图像。并且,尤其将利用球差校正功能而得到的高分辨率TEM图像称为Cs校正高分辨率TEM图像。使用日本电子株式会社所制造的原子分辨率分析型电子显微镜JEM-ARM200F来得到Cs校正高分辨率TEM图像。将加速电压设定为200kV。

[0588] 图37A和图37B示出样品A1-2的截面TEM图像的观察结果,图38A和图38B示出样品B1-2的截面TEM图像的观察结果,图39A和图39B示出样品B2-2的截面TEM图像的观察结果。在作为靶材使用原子个数比为In:Ga:Zn=2:1:3的In-Ga-Zn氧化物的样品B1-2及样品B2-2的氧化物半导体膜中,与样品A1-2的氧化物半导体膜相比,更明显地观察到原子排列为层状的状况。这表示在样品B1-2及样品B2-2中金属原子具有层状的结构,并更强烈地取向于c轴。

[0589] 另外,图59A是样品A1-2的与图37A和图37B所示的部分不同的位置的截面TEM图像,图59B是样品B1-2的与图38A和图38B所示的部分不同的位置的截面TEM图像。此外,图40A和图40B是以线表示图59A和图59B的某一部分区域中的金属原子有规律地排列为层状

的区域的图。在样品A1-2的氧化物半导体膜中,观察到如单晶那样金属原子有规律地排列的区域以及规律性不明确的区域。另外,在样品B1-2的氧化物半导体膜中,与样品A1-2相比,可知金属原子有规律地排列的区域增加,并且规律性不明确的区域减少。

[0590] [截面TEM观察2]

接着,准备更厚的氧化物半导体膜,并观察其截面TEM图像。使用日本日立高新技术公司制造的H-9500来获得TEM图像。将加速电压设定为300kV。

[0591] 作为用于观察的样品,使用条件A2及条件B1分别在硅片上形成50nm厚的氧化物半导体膜。接着,在进行薄片化加工之后,通过截面TEM进行观察。将使用条件A2及条件B1形成氧化物半导体膜的样品分别为样品A2-3及样品B1-3。图41A至图41D示出样品A2-3的观察结果,图42A至图42D示出样品B1-3的观察结果。图41A示出整体结构的观察结果,图41B示出膜上部的观察结果,图41C示出膜中央部的观察结果,图41D示出与硅片的界面附近的观察结果。同样地,图42A示出整体结构的观察结果,图42B示出膜上部的观察结果,图42C示出膜中央部的观察结果,图42D示出与硅片的界面附近的观察结果。在作为靶材使用原子个数比为In:Ga:Zn＝2:1:3的In-Ga-Zn氧化物的样品B1-3的氧化物半导体膜中,与样品A2-3的氧化物半导体膜相比,更明显地观察到原子排列为层状的状况,与图38A至图39B同样地,该结果表示原子更强烈地取向于c轴。

[0592] [平面TEM观察]

接着,对平面TEM图像的观察结果进行说明。使用日本日立高新技术公司制造的H-9000NAR来获得TEM图像。将加速电压设定为300kV。在对上述样品A1-2及样品B1-2进行加热处理之后,观察其平面TEM图像。作为加热处理的条件,在以450℃在氮气氛下进行1小时的处理之后,以450℃在氧气氛下进行1小时的处理。

[0593] 图43A示出样品A1-2的观察结果,图43B示出样品B1-2的观察结果。由结果可知,不同的结晶部之间的金属原子的排列虽然与单晶不同,但与样品A1-2相比,在样品B1-2中金属原子更有规律地排列。另外,与样品A1-2相比,在样品B1-2中更清楚地观察到晶格像,因此可以认为原子更有规律地排列。

[0594] [CAAC比率的评价]

接着,使用纳米束电子衍射对上述样品A1-2及样品B1-2进行CAAC比率的评价。使用日本日立高新技术公司制造的HF-2000来获得电子衍射。将加速电压设定为200kV。

[0595] 逐渐地移动样品工作台而对包括氧化物半导体膜的各样品的顶面进行扫描,来得到透过电子衍射图案。作为电子线,使用束径为1nm的纳米束电子线。另外,各样品都在三个地方进行同样的测定。换言之,进行扫描1至扫描3的一共3次的扫描。

[0596] 以5nm/秒钟的速度进行扫描观察衍射图案,而获得动态图像。接着,每隔0.5秒钟将该衍射图案的动态图像转换为静态图像。对转换的静态图像进行分析而将其分为四种图案,即,CAAC-OS膜的图案、难以辨别是CAAC-OS膜还是nc-OS膜的图案的图案、nc-OS膜的图案以及尖晶石型结晶结构的图案。表10示出其结果。注意,在表10所示的CAAC比率中,将难以辨别是CAAC-OS膜还是nc-OS膜的图案的图案假设为不是CAAC。

[表10]

		图像数量					CAAC 比率
		分析次数	1. CAAC	2. CAAC or nc?	3. nc	4. 尖晶石型	(将 2. 假设为不是 CAAC)
样品 A1-2	扫描 1	130	87	27	16	0	66.9%
	扫描 2	132	118	4	10	0	89.4%
	扫描 3	189	163	5	21	0	86.2%
样品 B1-2	扫描 1	140	136	2	2	0	97.1%
	扫描 2	145	137	5	3	0	94.5%
	扫描 3	216	200	11	5	0	92.6%

[0597] 接着,在动态图像中确认每个难以辨别是CAAC-OS膜还是nc-OS膜的图案前后的影像,并将其分为观察到CAAC-OS膜图案的图案和观察到nc-OS膜图案的图案,由此导出CAAC比率。表11示出其结果。表11分别示出各扫描中的算出CAAC比率时使用的衍射图案的图像数量、观察到的各种图案的图像数量以及算出的CAAC比率。

[表11]

		图像数量				CAAC 比率
		分析次数	CAAC	nc	尖晶石型	
样品 A1-2	扫描 1	130	114	16	0	87.7%
	扫描 2	132	122	10	0	92.4%
	扫描 3	189	168	21	0	88.9%
样品 B1-2	扫描 1	140	138	2	0	98.6%
	扫描 2	145	142	3	0	97.9%
	扫描 3	216	211	5	0	97.7%

[0598] 图44A是示出表11所示的CAAC比率的图表。如图44A所示,作为CAAC-OS膜之外的衍射图案,观察到nc-OS膜的图案,而没有观察到尖晶石型结构的图案。

[0599] 如表11所示,可知使用原子个数比为In:Ga:Zn=2:1:3的靶材形成的样品B1-2的CAAC比率极高。

[0600] 接着,图55示出样品B1-2的在不同于图43B的地方进行平面TEM观察的结果。另外,使用纳米束电子衍射对图55所示的3个地点(point1至3)进行结构分析。作为电子线,使用束径为1nm的纳米束。在此,束径包括±20%的误差。图56A、图56B及图56C示出在point1、2及3得到的衍射斑点以及由衍射斑点确定结晶结构的结果。分析结果是,所得到的衍射斑点被确定为JCPDS卡片所记载的$InGaO_3(ZnO)_2$的结构。

[0601] 接着,同样地,对厚度为100nm的氧化物半导体膜进行CAAC比率的评价。作为氧化物半导体膜的成膜条件,使用表6的条件A3和B1。

[0602] 在硅片上利用热氧化法形成100nm厚的氧化硅膜。然后,使用表6所记载的条件A3

形成100nm厚的氧化物半导体膜,而将其作为样品A3-1。作为条件B1的样品,使用样品B1-1。

[0603] 接着,对样品A3-1及样品B1-1进行加热处理。作为加热处理的条件,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内,在氧气氛下进行1小时的加热处理。

[0604] 接着,对各样品的顶面进行扫描来获得透过电子衍射图案。作为电子线,使用束径为1nm的纳米束。另外,各样品都在三个地方进行同样的测定。换言之,进行扫描1至扫描3的一共3次的扫描。

[0605] 以5nm/秒钟的速度进行扫描观察衍射图案,而获得动态图像。接着,每隔0.5秒钟将该衍射图案的动态图像转换为静态图像。图45至图49示出将样品A3-1的扫描2的衍射图案转换的静态图像。另外,图50至图54示出将样品B1-1的扫描2的衍射图案转换的静态图像。如图45至图54所示,在每个样品中观察到表示CAAC结构的衍射图案,并且随着扫描的进展其衍射图案的角度逐渐旋转。

[0606] 对转换的静态图像进行分析而将其分为四种图案,即CAAC-OS膜的图案、难以辨别是CAAC-OS膜还是nc-OS膜的图案的图案、nc-OS膜的图案以及尖晶石型结晶结构的图案。表12示出其结果。注意,在表12所示的CAAC比率中,将难以辨别是CAAC-OS膜还是nc-OS膜的图案的图案假设为不是CAAC。

[表12]

		图像数量					CAAC 比率 (将 2. 假设为不是 CAAC)
		分析次数	1. CAAC	2. CAAC or nc?	3. nc	4. 尖晶石型	
样品 A3-1	扫描 1	126	118	0	8	0	93.7%
	扫描 2	132	119	0	13	0	90.2%
	扫描 3	190	168	2	20	0	88.4%
样品 B1-1	扫描 1	144	141	2	1	0	97.9%
	扫描 2	141	141	0	0	0	100.0%
	扫描 3	246	242	3	1	0	98.4%

[0607] 接着,在动态图像中确认每个难以辨别是CAAC-OS膜还是nc-OS膜的图案的图案前后的影像,并将其分为观察到CAAC-OS膜图案的图案和观察到nc-OS膜图案的图案,由此导出CAAC比率。表13示出其结果。

[表13]

		图像数量				CAAC 化率
		分析次数	CAAC	nc	尖晶石型	
样品 A3-1	扫描 1	126	118	8	0	93.7%
	扫描 2	132	119	13	0	90.2%
	扫描 3	190	170	20	0	89.5%
样品 B1-1	扫描 1	144	143	1	0	99.3%
	扫描 2	141	141	0	0	100.0%
	扫描 3	246	245	1	0	99.6%

[0608] 另外,图44B是示出表13所示的CAAC比率的图表。其结果是,与厚度为20nm时的结果同样地,使用原子个数比为In:Ga:Zn=2:1:3的靶材形成的样品B1-1的CAAC比率极高。

[0609] 接着,在对样品B1-2进行平面TEM观察之后,对3个地点进行EDX(Energy Dispersive X-ray spectroscopy:能量色散X射线光谱)分析来进行评价。表14示出从所得到的结果求出铟、镓及锌的原子个数比的结果。

[表14]

	原子个数比		
	In	Ga	Zn
point 1	2	0.80	1.57
point 2	2	0.85	1.64
point 3	2	0.70	1.36

[0610] 镓相对于铟的原子个数比(Ga/In)为通过ICP-MS得到的值的大约70%以上且83%以下,锌相对于铟的原子个数比(Zn/In)为通过ICP-MS得到的值的大约58%以上且76%以下。

[0611] 实施例2

[晶体管的制造]

在本实施例中,制造样品A1-4以及样品B1-4,该样品A1-4是在衬底上形成有包括在实施例1的表6所示的条件A1下形成的氧化物半导体膜的晶体管的样品,并且该样品B1-4是在衬底上形成有包括在成膜条件B1下形成的氧化物半导体膜的晶体管的样品,然后对其上述两者的特性进行评价。注意,在本实施例中,只说明样品A1-4的条件与样品B1-4的条件之间的不同点。因此,在没有对该不同点的描述时,在相同的条件下对样品A1-4与样品B1-4进行处理。

[0612] 在晶体管特性的评价中,使用具有图5A至图5C所示的截面结构的晶体管。注意,使用的晶体管不包括导电层105。下面,说明晶体管的具体的制造方法。

[0613] 作为衬底50,准备晶面取向(110)的p型CZ晶体硅片。接着,在洗涤衬底之后,形成绝缘膜51。绝缘膜51为氧化硅膜与氧氮化硅膜的叠层膜。以950℃进行热氧化来形成100nm

厚的氧化硅膜。然后,利用PECVD装置形成300nm厚的氧氮化硅膜。成膜条件为如下:衬底温度为400℃;硅烷流量为2sccm,一氧化二氮流量为800sccm;压力为40Pa;成膜功率(RF,27MHz)为50W;并且电极间距离为15mm。在形成绝缘膜51之后,通过CMP法进行平坦化处理。然后,以450℃在减压气氛下进行1小时的加热处理。

[0614] 接着,使用离子注入法注入氧离子($^{16}O^{+}$)。注入条件为如下:加速电压为60kV;剂量为2.0×10^{16}ions/cm^2;倾角为7°;并且扭转角(twist angle)为72°。

[0615] 接着,在绝缘膜51上形成成为半导体层101a的第一半导体膜。作为第一半导体膜,通过利用作为靶材使用原子个数比为In:Ga:Zn=1:3:4的In-Ga-Zn氧化物的溅射法,来形成20nm厚的In-Ga-Zn氧化物膜。成膜条件为如下:氩流量为40sccm;氧流量为5sccm;压力为0.7Pa;电源功率(DC)为0.5kW;衬底温度为200℃;并且衬底与靶材间的距离为60mm。在此,作为压力计使用日本佳能-安内华公司制造的小型真空计。

[0616] 然后,接着形成成为半导体层101b的第二半导体膜。使用不同的处理室形成第一半导体膜和第二半导体膜,并且以不暴露于大气气氛的方式在真空气氛下进行处理室之间的传送。作为第二半导体膜,形成15nm厚的In-Ga-Zn氧化物膜。作为第二半导体膜的成膜条件,在样品A1-4中作为靶材使用原子个数比为In:Ga:Zn=1:1:1的In-Ga-Zn氧化物,而在样品B1-4中作为靶材使用原子个数比为In:Ga:Zn=2:1:3的In-Ga-Zn氧化物。将衬底与靶材间的距离设定为60mm。作为电源使用DC电源。表15示出其他主要条件。在此,作为压力计使用日本佳能-安内华公司制造的小型真空计。

[表15]

	功率	气体流量		衬底温度	压力	靶材
	[kW]	Ar[sccm]	O_2[sccm]	[℃]	[Pa]	
样品 A1-4	0.5	30	15	300℃	0.7	In:Ga:Zn=1:1:1
样品 B1-4	0.5	30	15	200℃	0.7	In:Ga:Zn=2:1:3

[0617] 接着,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内在氧气氛下进行1小时的加热处理。

[0618] 接着,通过溅射法形成15nm厚的钨膜。成膜条件为如下:作为靶材使用钨;氩流量为80sccm;压力为0.8Pa;电源功率(DC)为1kW;并且衬底与靶材间的距离为60mm。将衬底温度设定为130℃左右。另外,还进一步向衬底的背面供应10sccm的氩。

[0619] 接着,通过光刻工序在钨膜上形成掩模,而使用该掩模通过感应耦合等离子体(ICP:Inductively Coupled Plasma)蚀刻法对钨膜的一部分进行蚀刻,此时蚀刻条件为如下:使用流量为60sccm的四氟化碳(CF_4)气体及流量为40sccm的氧(O_2)气体的混合气氛;电源功率为1000W;偏压功率为25W;并且压力为2.0Pa,由此,形成硬掩模。

[0620] 接着,将钨层用作掩模而通过蚀刻对第一半导体膜及第二半导体膜的形状进行加工,由此形成岛状的第一半导体层101a和第二半导体层101b。注意,在上述蚀刻中,使用ICP蚀刻法。作为该蚀刻,首先在如下条件下进行第一蚀刻:衬底温度为70℃;作为蚀刻气体使用甲烷(CH_4)与氩(Ar)的混合气体(CH_4=16sccm,Ar=32sccm);电源功率为600W;偏压功率为50W;压力为3.0Pa;并且处理时间为3秒。接着,在如下条件下进行第二蚀刻:衬底温度为

70℃;作为蚀刻气体使用甲烷与氩的混合气体(CH_4=16sccm,Ar=32sccm);电源功率为600W;偏压功率为50W;并且压力为1.0Pa。

[0621] 接着,对钨层进行蚀刻。该蚀刻通过ICP蚀刻法进行,其中条件为如下:使用流量45sccm的氯(Cl_2)气体、流量为55sccm的四氟化碳(CF_4)气体及流量为55sccm的氧(O_2)气体的混合气氛;电源功率为1000W;偏压功率为25W;并且压力为2.0Pa。

[0622] 接着,作为成为导电层104a及导电层104b的导电膜,通过溅射法形成100nm厚的钨膜。成膜条件为如下:作为靶材使用钨;氩流量为80sccm;压力为0.8Pa;并且电源功率(DC)为1kW。另外,进一步向衬底的背面供应氩。将衬底温度设定为130℃左右。

[0623] 接着,通过蚀刻对成为导电层104a及导电层104b的导电膜的形状进行加工,来形成导电层104a及导电层104b。另外,具体而言,上述导电膜的蚀刻按以下方法进行。首先,在如下条件下进行第一蚀刻:衬底温度为40℃;作为蚀刻气体使用氯与四氟化碳与氧的混合气体(Cl_2=45sccm,CF_4=55sccm,O_2=55sccm);电源功率为3000W;偏压功率为110W;压力为0.67Pa;并且处理时间为13秒。接着,在如下条件下进行第二蚀刻:衬底温度为40℃;作为蚀刻气体使用氯(Cl_2=100sccm);电源功率为2000W;偏压功率为0W;压力为3.00Pa;并且处理时间为15秒。接着,在如下条件下进行第三蚀刻:衬底温度为40℃;作为蚀刻气体使用氯与四氟化碳与氧的混合气体(Cl_2=45sccm,CF_4=55sccm,O_2=55sccm);电源功率为3000W;偏压功率为110W;并且压力为0.67Pa。

[0624] 接着,在导电层104a及导电层104b上形成成为半导体层101c的第三半导体膜。作为第三半导体膜,通过使用原子个数比为In:Ga:Zn=1:3:2的In-Ga-Zn氧化物靶材的溅射法形成5nm厚的In-Ga-Zn氧化物膜。成膜条件为如下:氩流量为30sccm;氧流量为15sccm;压力为0.4Pa;电源功率(DC)为0.5kW;衬底温度为200℃;并且衬底与靶材间的距离为60mm。在此,作为压力计使用B-A真空计。

[0625] 接着,作为栅极绝缘膜102,通过PECVD法形成20nm厚的氧氮化硅膜。成膜条件为如下:衬底温度为450℃;硅烷的流量为1sccm,一氧化二氮的流量为800sccm;压力为200Pa;成膜功率(RF,60MHz)为150W;并且电极间距离为28mm。接着,作为成为栅电极103的导电膜,在形成30nm厚的氮化钽膜之后,形成135nm厚的钨膜。氮化钽膜的成膜条件为如下:气氛为氩与氮(氩=50sccm,氮=10sccm);压力为0.6Pa;电源功率(DC)为1.0kW;衬底温度为室温;并且衬底与靶材间的距离为60mm。钨膜的成膜条件为如下:气氛为氩(氩=100sccm);压力为2.0Pa;电源功率(DC)为4.0kW;衬底温度为130℃左右;并且衬底与靶材间的距离为60mm。另外,进一步向衬底的背面供应10sccm的氩。

[0626] 接着,通过蚀刻对成为栅电极103的导电膜的形状进行加工,来形成栅电极103。另外,具体而言,上述导电膜的蚀刻按以下方法进行。首先,在如下条件下进行第一蚀刻:衬底温度为40℃;作为蚀刻气体使用氯与四氟化碳与氧的混合气体(Cl_2=45sccm,CF_4=55sccm,O_2=55sccm);电源功率为3000W;偏压功率为110W;并且压力为0.67Pa。接着,在如下条件下进行第二蚀刻:衬底温度为40℃;作为蚀刻气体使用氯(Cl_2=100sccm);电源功率为2000W;偏压功率为50W;并且压力为0.67Pa。

[0627] 接着,将栅电极103用作掩模而通过蚀刻对栅极绝缘膜102以及第三半导体膜的形状进行加工,由此其形状被加工的栅极绝缘膜102及半导体层101c。注意,在上述蚀刻中,采用ICP蚀刻法。蚀刻条件为如下:衬底温度为70℃;作为蚀刻气体使用三氯化硼(BCl_3=

80sccm);电源功率为450W;偏压功率为100W;压力为1.0Pa;并且处理时间为36秒。

[0628] 接着,作为绝缘膜112,以覆盖晶体管的方式形成70nm厚的氧化铝膜。该氧化铝膜通过溅射法形成。氧化铝膜的成膜条件为如下:作为靶材使用氧化铝;气氛为氩与氧(氩=25sccm,氧=25sccm);压力为0.4Pa;电源功率(RF)为2.5kW;衬底温度为250℃;并且衬底与靶材间的距离为60mm。

[0629] 接着,作为绝缘膜113,形成300nm厚的氧氮化硅膜。氧氮化硅膜通过PECVD法形成。成膜条件为如下:衬底温度为325℃;硅烷的流量为5sccm,一氧化二氮的流量为1000sccm;压力为133.30Pa;成膜功率(RF)为35W(13.56MHz);并且电极间距离为20mm。

[0630] 接着,通过蚀刻形成到达导电层104a及导电层104b的开口部。在上述蚀刻中,采用ICP蚀刻法。

[0631] 具体而言,用作绝缘膜113的氧氮化硅膜的蚀刻按以下方法进行。首先,在如下条件下进行第一蚀刻:衬底温度为70℃;作为蚀刻气体使用三氟甲烷与氦的混合气体(CHF_3=50sccm,He=100sccm);电源功率为475W;偏压功率为300W;压力为5.5Pa;并且处理时间为3秒。接着,在如下条件下进行第二蚀刻:衬底温度为70℃;作为蚀刻气体使用三氟甲烷与氦的混合气体(CHF_3=7.5sccm,He=142.5sccm);电源功率为475W;偏压功率为300W;压力为5.5Pa;处理时间为61秒。接着,在如下条件下进行第三蚀刻:衬底温度为70℃;作为蚀刻气体使用三氟甲烷与氦的混合气体(CHF_3=50sccm,He=100sccm);电源功率为475W;偏压功率为150W;压力为5.5Pa;并且处理时间为3秒。接着,在如下条件下进行第四蚀刻:衬底温度为70℃;作为蚀刻气体使用三氟甲烷与氦的混合气体(CHF_3=7.5sccm,He=142.5sccm);电源功率为475W;偏压功率为150W;压力为5.5Pa;并且处理时间为36秒。

[0632] 另外,具体而言,用作绝缘膜112的氧化铝膜的蚀刻条件为如下:衬底温度为70℃;作为蚀刻气体使用三氯化硼(BCl_3=80sccm);电源功率为450W;偏压功率为100W;压力为1.9Pa;并且处理时间为185秒。

[0633] 接着,在开口部内及绝缘膜113上通过溅射法形成依次层叠有50nm厚的钛膜、200nm厚的铝膜及50nm厚的钛膜的导电膜。最底层和最顶层的钛膜的成膜条件为如下:气氛为氩(流量为20sccm);压力为0.1Pa;电源功率(DC)为12kW;衬底温度为室温;并且衬底与靶材间的距离为400mm。另外,铝膜的成膜条件为如下:气氛为氩(流量为50sccm);压力为0.4Pa;电源功率(DC)为1kW;衬底温度为室温;并且衬底与靶材间的距离为60mm。

[0634] 接着,通过蚀刻对开口部内及绝缘膜113上的导电膜的形状进行加工,来形成布线。在上述蚀刻中,采用ICP蚀刻法。具体而言,首先,在如下条件下进行第一蚀刻:衬底温度为70℃;作为蚀刻气体使用三氯化硼与氯的混合气体(BCl_3=60sccm,Cl_2=20sccm);电源功率为450W;偏压功率为100W;并且压力为1.9Pa。接着,在如下条件下进行第二蚀刻:衬底温度为70℃;作为蚀刻气体使用四氟化碳(CF_4=80sccm);电源功率为500W;偏压功率为50W;压力为2.0Pa;并且处理时间为15秒左右。

[0635] 接着,在通过涂敷法形成1.6μm厚的聚酰亚胺膜之后,在大气气氛下以300℃进行1小时左右的加热处理。

[0636] 通过上述工序,制造样品A1-4及样品B1-4。

[0637] [晶体管特性的评价]

图57A和图57B示出晶体管的特性。在样品A1-4和样品B1-4的每一个中,在设置于

其衬底面且具有0.46μm的沟道长度L和0.8μm的沟道宽度W的n沟道型晶体管当中,对25个晶体管进行评价。图57A示出样品A1-4的晶体管的Vg-Id测定结果,图57B示出样品B1-4的晶体管的Vg-Id测定结果。在此,Vg表示源极-栅极之间的电压,Id表示源极-漏极之间的电流。另外,横轴表示栅极电压Vg,左边的纵轴表示漏极电压Id,右边的纵轴表示场效应迁移率μFE。在漏极电压Vd为0.1V及3V的两种条件下进行测定。在此,场效应迁移率是在Vd＝0.1V的情况下算出的值。

[0638] 由图57A和图57B的结果可知,在每个样品中都得到良好的晶体管。与样品A1-4的晶体管相比,样品B1-4的晶体管具有更低的阈值电压,更高的场效应迁移率及更好的特性。

[0639] [对比例子]

在本对比例子中,说明氧化物半导体膜的密度与晶体管特性的关系。

[0640] 如实施例1所示,包含多个c轴取向的结晶部的CAAC-OS膜是致密的膜。另一方面,如实施方式3所述,根据氧化物半导体膜的形成条件,有时得到膜密度低的膜。另外,随着膜密度的降低,有时得到具有所谓的空洞(void)的膜。

[0641] 为了调查在使用膜密度低且空洞较多的氧化物半导体膜的情况下会对晶体管的特性造成什么样的影响,使用膜密度不同的两个条件形成氧化物半导体膜,并使用所形成的该氧化物半导体膜制造晶体管。

[0642] 氧化物半导体膜通过溅射法形成。作为靶材使用原子个数比为In:Ga:Zn＝1:1:1的In-Ga-Zn氧化物。另外,将衬底与靶材间的距离设定为130mm。表16示出所设定的主要条件。作为电源使用RF电源。

[表16]

	电源功率	气体流量		衬底温度	压力
		Ar[sccm]	O_2[sccm]	[℃]	[Pa]
条件C	100W	98	2	室温	1.0
条件D	100W	98	2	室温	0.4

[0643] [晶体管的制造]

接着,制造样品C-2以及样品D-2,该样品C-2是在衬底上形成有使用在表16所记载的条件C下成膜的氧化物半导体膜的晶体管的样品,并且该样品D-2是在衬底上形成有使用在条件D下成膜的氧化物半导体膜的晶体管的样品。注意,在本实施例中,只说明样品C-2的条件与样品D-2的条件之间的不同点。因此,在没有对该不同点的描述时,在相同的条件下对样品C-2及样品D-2进行处理。作为晶体管的结构,使用图62A至图62C所示的晶体管的结构。

[0644] 首先,作为衬底50准备玻璃衬底,在玻璃衬底上形成栅电极。

[0645] 通过溅射法形成100nm厚的钨膜,通过光刻工序在该钨膜上形成掩模,并使用该掩模对该钨膜的一部分进行蚀刻,来形成栅电极103。

[0646] 接着,在栅电极103上形成栅极绝缘膜102。

[0647] 层叠400nm厚的氮化硅膜以及50nm厚的氧氮化硅膜来形成栅极绝缘膜102。

[0648] 接着,形成隔着栅极绝缘膜102重叠于栅电极103的半导体层101。作为半导体层

101使用氧化物半导体层。在此,在栅极绝缘膜上通过溅射法形成35nm厚的氧化物半导体膜之后,使用掩模对该氧化物半导体膜的一部分进行蚀刻,来形成半导体层101。

[0649] 另外,作为氧化物半导体膜,形成In-Ga-Zn氧化物膜。样品C-2中的氧化物半导体膜的成膜条件不同于样品D-2中的氧化物半导体膜的成膜条件。样品C-2使用上述条件C来形成,样品D-2使用上述条件D来形成。

[0650] 接着,进行加热处理。在此,在450℃的氮气氛下进行1小时的加热处理之后,在450℃的氮与氧的混合气体气氛下进行1小时的加热处理。

[0651] 接着,形成作为接触于氧化物半导体膜的一对导电层的导电层104a及导电层104b。

[0652] 首先,在栅极绝缘膜102及半导体层101上形成导电膜。作为该导电膜,在50nm厚的钨膜上形成400nm厚的铝膜,并在该铝膜上形成100nm厚的钛膜。接着,通过光刻工序在该导电膜上形成掩模,并使用该掩模对该导电膜的一部分进行蚀刻,由此形成导电层104a及导电层104b。

[0653] 接着,在半导体层101和导电层104a及导电层104b上形成保护膜25。作为保护膜,在形成450nm厚的氧氮化硅膜之后,形成100nm厚的氮化硅膜。

[0654] 接着,在保护膜25的一部分中形成到达导电层104a和导电层104b中的一个的开口部。在保护膜25上形成掩模,并使用该掩模对保护膜25的一部分进行蚀刻来形成该开口部。

[0655] 接着,在保护膜25上形成用作像素电极的电极126。电极126通过设置于保护膜25的一部分的开口部电连接于一对导电层的导电层104a和导电层104b中的一个。

[0656] 在此,作为电极126,通过溅射法形成包含氧化硅的氧化铟-氧化锡化合物(ITO-SiO_2)的导电膜。注意,用于形成该导电膜的靶材的组成是In_2O_3:SnO_2:SiO_2=85:10:5[wt%](重量百分比)。然后,以300℃在氮气氛下进行1小时的加热处理。

[0657] 通过上述工序,得到样品C-2及样品D-2。

[0658] [晶体管特性的评价]

在此,作为晶体管的初始特性测定Vg-Id特性。在样品C-2和样品D-2的每一个中,在设置于其衬底面且具有3μm的沟道长度L和50μm的沟道宽度W的n沟道型晶体管当中,对4个晶体管进行评价。在此,在如下条件下测定流过源极与漏极之间的电流(下面,也称为漏极电流或Id)的变化特性,即Vg-Id特性:衬底温度为25℃;源极与漏极之间的电位差(下面,也称为漏极电压或Vd)为1V、10V;并且使源极与栅极之间的电位差(下面,也称为栅极电压或Vg)在-20V至20V的范围内变化。

[0659] 图58A示出样品C-2的晶体管的评价结果,图58B示出样品D-2的晶体管的评价结果。图58A和图58B的横轴表示栅极电压Vg,纵轴表示漏极电流Id。另外,对衬底面上的4个晶体管进行测定。

[0660] 在使用膜密度较低的样品C-2的晶体管中,不能得到良好的开关特性。另外,在使用膜密度较高的样品D-2的晶体管中,虽然能够得到开关比,但偏差较多。氧化物半导体膜的膜密度与晶体管的特性有相关关系,为了得到良好的特性,优选使用实施例2所示那样的致密的膜。

[0661] 实施例3

在本实施例中,说明本发明的一个方式的氧化物半导体膜的评价结果。氧化物半

导体膜使用表17所示的条件并利用溅射法来形成。关于条件A1至条件A3、条件B1及条件B2、条件E1,使用表6所示的条件。在测定压力时,作为表17所记载的装置B使用由日本佳能-安内华公司制造的B-A真空计BRG-1B,而作为装置A及装置C使用由日本佳能-安内华公司制造的小型真空计MG-2。另外,作为靶材,在条件A1至条件A3中使用原子个数比为In:Ga:Zn=1:1:1的In-Ga-Zn氧化物的多晶,在条件B1及条件B2中使用原子个数比为In:Ga:Zn=2:1:3的In-Ga-Zn氧化物的多晶,在条件E1至条件E3中使用In:Ga:Zn=4:2:4.1的In-Ga-Zn氧化物的多晶,在条件F1至条件F3中使用原子个数比为In:Ga:Zn=1:3:4的In-Ga-Zn氧化物的多晶,在条件F4中使用原子个数比为In:Ga:Zn=1:3:2的In-Ga-Zn氧化物的多晶。作为电源使用DC电源。

[表17]

	装置	功率[kW]	气体流量[sccm]		衬底温度	压力[Pa]	靶材	靶材与衬底间距离
			Ar[sccm]	O_2[sccm]				
条件A1	装置A	0.5(DC)	30	15	300℃	0.7	In:Ga:Zn=1:1:1	60mm
条件A2		0.5(DC)	30	15	300℃	0.4	In:Ga:Zn=1:1:1	60mm
条件A3	装置B	0.5(DC)	30	15	300℃	0.4	In:Ga:Zn=1:1:1	60mm
条件B1	装置A	0.5(DC)	30	15	200℃	0.7	In:Ga:Zn=2:1:3	60mm
条件B2		0.5(DC)	30	15	300℃	0.7	In:Ga:Zn=2:1:3	60mm
条件E1	装置C	0.2(DC)	20	10	200℃	0.4	In:Ga:Zn=4:2:4.1	130mm
条件E2		0.2(DC)	20	10	300℃	0.4	In:Ga:Zn=4:2:4.1	130mm
条件E3	装置A	0.5(DC)	30	15	200℃	0.7	In:Ga:Zn=4:2:4.1	60mm
条件E4		0.5(DC)	30	15	300℃	0.7	In:Ga:Zn=4:2:4.1	60mm
条件F1	装置A	0.5(DC)	40	5	200℃	0.7	In:Ga:Zn=1:3:4	60mm
条件F2	装置B	0.5(DC)	40	5	200℃	0.4	In:Ga:Zn=1:3:4	60mm
条件F3	装置C	0.2(DC)	27	3	200℃	0.4	In:Ga:Zn=1:3:4	130mm
条件F4	装置B	0.5(DC)	30	15	200℃	0.4	In:Ga:Zn=1:3:2	60mm

[0662] [XRD评价2]

使用表17的条件E2至条件E4形成氧化物半导体膜,并利用XRD装置进行评价,下面对其结果进行说明。

[0663] 首先,制造用于评价的样品。在硅片上通过溅射法形成氧化物半导体膜。作为成膜条件,采用表17的条件E2至条件E4。在成膜后,对各样品进行加热处理。作为加热处理的条件,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内在氧气氛下进行1小时的加热处理。将使用条件E2、条件E3及条件E4制造的样品分别为样品E2-1、条件E3-1及条件E4-1。注意,样品E2-1是采用使实施例1所示的样品E1-1的成膜温度从200℃变为300℃的成膜条件来形成的样品。

[0664] 示出使用XRD装置进行评价的结果。用于测定的装置是与实施例1所示的装置相同的。图68A是样品E2-1的通过Out-Of-Plane法的分析结果,图68B是样品E3-1的通过Out-Of-Plane法的分析结果,图68C是样品E4-1的通过Out-Of-Plane法的分析结果。上述样品都在2θ=31°附近观察到峰值。由于该峰值来源于$InGaZnO_4$结晶的(009)面,因此可知在上述各样品中氧化物半导体膜中的结晶具有c轴取向性,并且c轴朝向大致垂直于被形成面或顶面的方向。在此,表18示出各样品的2θ=31°附近的峰值为最大值时的角度及半宽度。在减去背景之后,利用洛仑兹函数进行拟合来算出峰值为最大值时的角度及半宽度。作为背景使用线性函数与洛仑兹函数之和。半宽度在样品E4-1中为3.21°,而在样品E3-1中为3.67°。另外,半宽度在样品E2-1中为3.10°,而在实施例1所记载的样品E1-1中为3.47°。由此可知,在成膜温度高的样品中,能够得到尖锐的峰值,并且其半宽度也较小。

[表18]

	2θ[°]	半宽度[°]
样品E2-1	30.3	3.10
样品E3-1	30.9	3.67
样品E4-1	30.5	3.21

[0665] [通过ICP-MS的评价结果2]

通过电感耦合等离子体质谱分析法分析上述样品E2-1、样品E3-1、样品E4-1以及实施例1所示的样品E1-1中的铟、镓及锌的含有率。表19示出从所得到的结果算出各元素的原子个数比的结果。

[表19]

	原子个数比		
	In	Ga	Zn
样品 E1-1	4.00	1.93	2.74
样品 E2-1	4.00	1.92	2.60
样品 E3-1	4.00	1.93	2.94
样品 E4-1	4.00	1.97	2.90

[0666] 由表19可知,样品E1-1的锌的残留率A(=Zn(Film)÷Zn(Target)×100[%])为78%,样品E2-1的锌的残留率为75%,样品E3-1的锌的残留率为大约82%,样品E4-1的锌的

残留率A为大约81％。

[0667] [CAAC比率的评价2]

接着,使用表17的条件E1、条件E3及条件E4进行CAAC比率的评价。

[0668] 首先,制造用于评价的样品。作为绝缘膜,在硅片上利用热氧化法形成100nm厚的氧化硅膜。然后,通过溅射法形成300nm厚的氧化硅膜。氧化硅的成膜条件为如下:使用氧化硅的靶材;氧流量为50sccm;压力为0.4Pa;使用RF电源而将功率设定为1.5kW;并且衬底温度为100℃。将靶材与衬底间距离设定为60mm。然后,使用CMP进行抛光以使表面平坦化。

[0669] 接着,形成20nm厚的氧化物半导体膜。接着,进行加热处理。作为加热处理的条件,在以450℃在氮气氛下进行1小时的处理之后,以450℃在氧气氛下进行1小时的处理。将使用表17所记载的条件E1、条件E3及条件E4的各条件形成氧化物半导体膜的样品分别为样品E1-2、样品E3-2及样品E4-2。

[0670] 接着,对所得到的各样品进行薄片化,并进行CAAC比率的评价。作为用于评价的装置及评价方法,使用用于实施例1所记载的CAAC比率的评价的装置及评价方法,因此在此省略其详细说明。

[0671] 每隔0.5秒钟将所得到的动态图像转换为静态图像。对从该静态图像得到的衍射图案进行分析而将其分为四种图案,即CAAC-OS膜的图案、难以辨别是CAAC-OS膜还是nc-OS膜的图案的图案、nc-OS膜的图案以及尖晶石型结晶结构的图案。表20示出其结果。注意,在表20所示的CAAC比率中,将难以是辨别CAAC-OS膜还是nc-OS膜的图案的图案假设为不是CAAC。

[表20]

		图像数量					CAAC比率(将2.假设为不是CAAC)
		分析次数	1. CAAC	2. CAAC or nc?	3. nc	4. 尖晶石型	
样品E1-2	扫描1	135	120	9	6	0	88.9%
	扫描2	133	122	3	8	0	91.7%
	扫描3	224	200	13	11	0	89.3%
样品E3-2	扫描1	133	120	7	6	0	90.2%
	扫描2	133	106	19	8	0	79.7%
	扫描3	236	187	27	22	0	79.2%
样品E4-2	扫描1	133	127	4	2	0	95.5%
	扫描2	129	121	2	6	0	93.8%
	扫描3	223	207	5	11	0	92.8%

[0672] 接着,在动态图像中确认每个难以辨别是CAAC-OS膜还是nc-OS膜的图案前后的影像,并将其分为观察到CAAC-OS膜图案的图案和观察到nc-OS膜图案的图案,由此导出CAAC比率。表21示出其结果。表20及表21分别表示各扫描中的在算出CAAC比率时使用的衍射图案的图像数量、观察到的各种图案的图像数量以及算出的CAAC比率。

[表21]

		图像数量				CAAC 比率
		分析次数	CAAC	nc	尖晶石型	
样品 E1-2	扫描 1	135	129	6	0	95.6%
	扫描 2	133	125	8	0	94.0%
	扫描 3	224	213	11	0	95.1%
样品 E3-2	扫描 1	133	127	6	0	95.5%
	扫描 2	133	125	8	0	94.0%
	扫描 3	236	214	22	0	90.7%
样品 E4-2	扫描 1	133	131	2	0	98.5%
	扫描 2	129	123	6	0	95.3%
	扫描 3	223	212	11	0	95.1%

[0673] 在成膜温度为200℃的样品E3-2中,CAAC比率为90%以上,其中扫描1至扫描3的CAAC比率的平均为93.4%。另外,在成膜温度为300℃的样品E4-2中,CAAC比率为95%以上,其中扫描1至扫描3的CAAC比率的平均为96.3%。在上述各样品中,观察到的衍射图案都为CAAC-OS膜的图案或nc-OS膜的图案,没有观察到尖晶石型结构的衍射图案。

[0674] 实施例4

[CPM评价]

接着,使用恒定光电流法(CPM:Constant Photo-current Method)进行氧化物半导体膜的评价。

[0675] 首先,制造样品。作为衬底使用石英衬底,并且作为氧化物半导体膜,在石英衬底上形成100nm厚的In-Ga-Zn氧化物膜。作为靶材使用In-Ga-Zn氧化物的多晶并利用溅射法来形成In-Ga-Zn氧化物膜。作为成膜条件使用表17的A1及E3所记载的条件。在此,A1是使用原子个数比为In:Ga:Zn=1:1:1的In-Ga-Zn氧化物的多晶的条件,而E3是使用原子个数比为In:Ga:Zn=4:2:4.1的In-Ga-Zn氧化物的多晶的条件。在成膜后,进行加热处理。作为加热处理的条件,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内在氧气氛下进行1小时的加热处理。将使用A1的条件制造的样品为A1-3,而将使用E3的条件制造的样品为E3-3。

[0676] 在CPM测定中,在对接触于氧化物半导体膜地设置的第一电极与第二电极之间施加电压的状态下,以使光电流值为恒定的方式调整照射到端子间的样品表面的光量,由此根据照射光量导出吸收系数。在此,导出各波长的吸收系数。在CPM测定中,对应于态密度(Density of State,以下记为DOS)的能量(根据波长换算)的吸收系数增加。通过用常数乘以该吸收系数的增加值,可以导出样品的DOS。

[0677] 另外,通过从光吸收光谱的曲线去除起因于带尾的光吸收(乌尔巴赫带尾(Urbach tail)),可以根据下述算式算出起因于缺陷能级的吸收系数α。

[0678] [算式10]

$$\alpha = \int \frac{\alpha(E) - \alpha_u}{E} dE \quad (10)$$

在此,α(E)表示各能量的吸收系数、α_u表示起因于乌尔巴赫带尾的吸收系数。

[0679] 注意,将乌尔巴赫带尾的倾斜称为乌尔巴赫能量(Urbach energy)。乌尔巴赫能量越小,在半导体层中缺陷越少,其价带的能带边缘的能级的尾(边)倾斜度越陡,如此,该半导体层具有高秩序性。

[0680] 图71A和图71B示出在氧化物半导体膜的能隙以上的能量范围内将利用分光光度计测定的吸收系数(虚线)与通过CPM测定的吸收系数(实线)拟合的结果。图71A示出样品A1-3的结果,图71B示出样品E3-3的结果。由通过CPM测定的吸收系数得到的乌尔巴赫能量在样品A1-3中为70.2meV,在样品E3-3中为68.6meV。

[0681] 另外,在图71A和图71B中,从通过CPM测定的吸收系数减去背景(细点划线)而算出吸收系数的积分值,由此可知,起因于DOS的吸收系数在样品A2-3中为$1.1\times10^{-3}cm^{-1}$,在样品E3-3中为$1.6\times10^{-3}cm^{-1}$。可知,在上述各样品中,起因于缺陷能级的吸收系数较小。

[0682] 由所得到的吸收系数可知,各样品的膜都是缺陷较少的膜。另外,由乌尔巴赫能量的结果可知,使用原子个数比为In:Ga:Zn=4:2:4.1的In-Ga-Zn氧化物的多晶形成氧化物半导体膜的样品的缺陷有可能是更少。

[0683] 实施例5

在本实施例中,说明晶体管特性的评价结果。

[0684] [晶体管的制造2]

在晶体管特性的评价中,使用如图6A所示的例子那样的具有导电层104a及导电层104b不覆盖半导体层101a及半导体层101b的侧面的截面结构的晶体管。注意,使用的晶体管不包括导电层105。作为包括晶体管的衬底,制造样品T1、样品T2及样品T3。半导体层101a、半导体层101b及半导体层101c通过溅射法形成。在样品T1中,半导体层101a、半导体层101b及半导体层101c分别在条件F2、条件A3及条件F2下成膜。在样品T2中,半导体层101a、半导体层101b及半导体层101c分别在条件F1、条件B1及条件F2下成膜。在样品T3中,半导体层101a、半导体层101b及半导体层101c分别在条件F1、条件E3及条件F2下成膜。

[0685] 下面,说明晶体管的具体的制造方法。注意,在本实施例中,只说明样品T1至样品T3的条件之间的不同点。因此,在没有对该不同点的描述时,在相同的条件下对样品T1至样品T3进行处理。

[0686] 作为衬底50,准备晶面取向(110)的p型CZ晶体硅片。接着,在洗涤衬底之后,形成绝缘膜51。绝缘膜51为氧化硅膜与氧氮化硅膜的叠层膜。以950℃进行热氧化来形成100nm厚的氧化硅膜。然后,利用PECVD装置形成300nm厚的氧氮化硅膜。成膜条件为如下:衬底温度为400℃;硅烷的流量为2sccm,一氧化二氮的流量为800sccm;压力为40Pa;成膜功率(RF)为50W(27MHz);并且电极间距离为15mm。在形成绝缘膜51之后,通过CMP法进行平坦化处理。然后,以450℃在减压气氛下进行1小时的加热处理。

[0687] 接着,使用离子注入法注入氧离子($^{16}O^{+}$)。注入条件为如下:加速电压为60kV;剂量为$2.0\times10^{16}ions/cm^{2}$;倾角为7°;并且扭转角为72°

接着,在绝缘膜51上形成成为半导体层101a的第一半导体膜。作为第一半导体膜,作为靶材使用原子个数比为In:Ga:Zn=1:3:4的In-Ga-Zn氧化物的多晶而通过溅射法形成20nm厚的In-Ga-Zn氧化物膜。表17的F2示出样品T1的第一半导体膜的成膜条件的详细内容。表17的F1示出样品T2及样品T3的第一半导体膜的成膜条件的详细内容。

[0688] 接着,形成成为半导体层101b的第二半导体膜。作为第二半导体膜,形成20nm厚的In-Ga-Zn氧化物膜。使用不同的处理室形成第一半导体膜和第二半导体膜,并且以不暴露于大气气氛的方式在真空气氛下进行处理室之间的传送。在样品T1中,作为靶材使用原子个数比为In:Ga:Zn=1:1:1的In-Ga-Zn氧化物的多晶,并且,表17的A3示出成膜条件的详细内容。在样品T2中,作为靶材使用原子个数比为In:Ga:Zn=2:1:3的In-Ga-Zn氧化物。表17的B1示出成膜条件的详细内容。在样品T3中,作为靶材使用原子个数比为In:Ga:Zn=4:2:4.1的In-Ga-Zn氧化物的多晶。表17的E3示出成膜条件的详细内容。

[0689] 接着,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内在氧气氛下进行1小时的加热处理。

[0690] 接着,通过溅射法形成150nm厚的钨膜。成膜条件为如下:作为靶材使用钨;氩流量为80sccm;压力为0.8Pa;电源功率(DC)为1kW;并且衬底与靶材间的距离为60mm。将衬底温度设定为130℃左右。另外,还进一步向衬底的背面供应10sccm的氩。

[0691] 接着,在钨膜上形成抗蚀剂掩模,使用该掩模而通过感应耦合等离子体蚀刻法对钨膜的一部分进行蚀刻,由此形成导电层104a及导电层104b。具体而言,钨膜的蚀刻按以下方法进行。首先,在如下条件下进行第一蚀刻:衬底温度为40℃;作为蚀刻气体使用氯与四氟化碳与氧的混合气体(Cl_2=45sccm,CF_4=55sccm,O_2=55sccm);电源功率为3000W;偏压功率为110W;压力为0.67Pa;并且处理时间为13秒。接着,在如下条件下进行第二蚀刻:衬底温度为40℃;作为蚀刻气体使用氯(Cl_2=100sccm);电源功率为2000W;偏压功率为0W;压力为3.00Pa;并且处理时间为15秒。接着,在如下条件下进行第三蚀刻:衬底温度为40℃;作为蚀刻气体使用氯与四氟化碳与氧的混合气体(Cl_2=45sccm,CF_4=55sccm,O_2=55sccm);电源功率为3000W;偏压功率为110W;并且压力为0.67Pa。

[0692] 接着,通过蚀刻对第一半导体膜及第二半导体膜的形状进行加工,由此形成岛状的第一半导体层101a和第二半导体层101b。注意,在上述蚀刻中,使用ICP蚀刻法。蚀刻条件为如下:衬底温度为70℃;作为蚀刻气体使用三氯化硼(BCl_3=80sccm);电源功率为450W;偏压功率为100W;并且压力为1.0Pa。

[0693] 接着,在导电层104a及导电层104b上形成成为半导体层101c的第三半导体膜。作为第三半导体膜,作为靶材使用原子个数比为In:Ga:Zn=1:3:4的In-Ga-Zn氧化物的多晶而通过溅射法形成5nm厚的In-Ga-Zn氧化物膜。表17的F2示出成膜条件的详细内容。

[0694] 接着,作为栅极绝缘膜102,使用PECVD法形成20nm厚的氧氮化硅膜。作为栅极绝缘膜102的成膜条件使用与实施例2的栅极绝缘膜102相同的条件。接着,形成成为栅电极103的导电膜。成为栅电极103的导电膜的成膜条件使用与实施例3的成为栅电极103的导电膜相同的条件。

[0695] 接着,通过蚀刻对成为栅电极103的导电膜的形状进行加工,来形成栅电极103。在栅电极103的加工中,使用与实施例2的栅电极相同的条件。

[0696] 接着,使用抗蚀剂掩模而通过蚀刻对栅极绝缘膜102及第三半导体膜的形状进行

加工。注意,在上述蚀刻中,使用与实施例2所记载的加工条件相同的条件。

[0697] 接着,作为绝缘膜112,以覆盖晶体管的方式形成140nm厚的氧化铝膜。氧化铝膜通过溅射法形成。作为氧化铝膜的成膜条件使用实施例2的绝缘膜112相同的成膜条件。

[0698] 接着,作为绝缘膜113,形成150nm厚的氧氮化硅膜。氧氮化硅膜通过PECVD法形成。作为成膜条件使用与实施例2的绝缘膜113相同的成膜条件。

[0699] 接着,通过蚀刻形成到达导电层104a及导电层104b的开口部。在上述蚀刻中,采用ICP蚀刻法。蚀刻条件为如下:衬底温度为70℃;作为蚀刻气体使用三氯化硼(BCl_3=80sccm);电源功率为450W;偏压功率为100W;并且压力为1.9Pa。

[0700] 接着,在开口部内及绝缘膜113上通过溅射法形成依次层叠有50nm厚的钛膜、300nm厚的铝膜及50nm厚的钛膜的导电膜。接着,通过蚀刻对开口部内及绝缘膜113上的导电膜的形状进行加工,来形成布线。在上述蚀刻中,使用ICP蚀刻法。

[0701] 接着,在通过涂敷法形成1.6μm厚的聚酰亚胺膜之后,在大气气氛下以300℃进行1小时左右的加热处理。

[0702] 通过上述工程,在样品T1至样品T3上制造晶体管。

[0703] [晶体管特性的评价2]

接着,作为晶体管的初始特性,对晶体管的Vg-Id特性进行评价。图69A至图69C示出晶体管的特性。在样品T1至样品T3的每一个中,在设置于其衬底面且具有0.84μm的沟道长度L和0.8μm的沟道宽度W的n沟道型晶体管当中,对13个晶体管进行评价。图69A示出样品T1的晶体管的Vg-Id测定结果,图69B示出样品T2的晶体管的Vg-Id测定结果,图69C示出样品T3的晶体管的Vg-Id测定结果。在此,Vg表示源极-栅极之间的电压,Id表示源极-漏极之间的电流。另外,横轴表示栅极电压Vg,左边的纵轴表示漏极电压Id,右边的纵轴表示场效应迁移率μ_{FE}。在漏极电压Vd为0.1V及3V的两种条件下进行测定。在此,场效应迁移率是在Vd=0.1V的情况下算出的值。

[0704] 由图69A至图69C的结果可知,在每个样品中都得到良好的晶体管。另外,与样品T1相比,在样品2的晶体管中,能够得到阈值电压小且场效应迁移率高的优异的特性,在样品3的晶体管中,能够得到S值更小且场效应迁移率更高的优异的特性。

[0705] 实施例6

在本实施例中,说明沟道长度为60nm左右的晶体管的特性的评价结果。

[0706] [晶体管的制造3]

在晶体管特性的评价中,使用具有图64A和图64B所示的截面结构的晶体管。注意,使用的晶体管不包括导电层105。作为包括晶体管的衬底,制造样品T4。半导体层101a、半导体层101b及半导体层101c通过溅射法形成。半导体层101a、半导体层101b及半导体层101c分别在条件F3、条件E1及条件F4下成膜。

[0707] 作为衬底50,准备硅片。在洗涤衬底50之后,形成绝缘膜51。绝缘膜51为氧化硅膜与氧氮化硅膜的叠层膜。作为绝缘膜51的形成条件使用与实施例5的绝缘膜51相同的条件。在形成绝缘膜51之后,通过CMP法进行平坦化处理。然后,以450℃在减压气氛下进行1小时的加热处理。

[0708] 接着,使用离子注入法注入氧离子($^{16}O^+$)。注入条件为如下:加速电压为60kV;剂量为$2.0\times10^{16}ions/cm^2$;倾角为7°;并且扭转角为72°。

[0709] 接着,在绝缘膜51上形成成为半导体层101a的第一半导体膜。作为第一半导体膜,通过利用作为靶材使用原子个数比为In:Ga:Zn=1:3:4的In-Ga-Zn氧化物的溅射法来形成20nm厚的In-Ga-Zn氧化物膜。表17的条件F3示出成膜条件的详细内容。

[0710] 接着,形成成为半导体层101b的第二半导体膜。使用不同的处理室形成第一半导体膜和第二半导体膜,并且以不暴露于大气气氛的方式在真空气氛下进行处理室之间的传送。作为第二半导体膜,形成15nm厚的In-Ga-Zn氧化物膜。在第二半导体膜的成膜条件中,作为靶材使用原子个数比为In:Ga:Zn=4:2:4.1的In-Ga-Zn氧化物。表17的条件E1示出成膜条件的详细内容。

[0711] 接着,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内在氧气氛下进行1小时的加热处理。

[0712] 接着,作为硬掩模,在半导体层101b上形成20nm厚的钨膜。钨膜通过溅射法形成。成膜条件为如下:作为靶材使用钨;氩流量为80sccm;压力为0.8Pa;电源功率(DC)为1kW;并且衬底与靶材间的距离为60mm。将衬底温度设定为130℃左右。另外,还进一步向衬底的背面供应10sccm的氩。

[0713] 接着,说明在硬掩模的钨膜上形成SWK-T7(日本东京应化工业株式会社制造)作为有机涂敷膜的工序。首先,以200℃加热120秒来去除水分。然后,将衬底设置于处理室内的加热板上。将加热板的温度设定为110℃。接着,在处理室内导入含有1,1,1,3,3,3-六甲基二硅氮烷(HMDS:hexamethyldisilazane)的氮气体60秒来进行处理。接着,以厚度为20nm的方式形成有机涂敷膜。然后,以200℃加热200秒来去除溶剂和水分。

[0714] 接着,说明在有机涂敷膜上形成抗蚀剂的工序。首先,以200℃加热120秒来去除水分。然后,将衬底设置于处理室内的加热板上。将加热板的温度设定为110℃。接着,在处理室内导入含有1,1,1,3,3,3-六甲基二硅氮烷(HMDS:hexamethyldisilazane)的氮气体60秒来进行处理。接着,作为抗蚀剂形成100nm厚的负性抗蚀剂OEBR-CAN034A2(日本东京应化工业株式会社制造)。然后,以100℃加热85秒来去除溶剂和水分。

[0715] 接下来,进行曝光及显影来形成抗蚀剂掩模。利用电子束曝光机的多重曝光,将曝光量设定为80μC/cm^2至160μC/cm^2来进行曝光(优选为130μC/cm^2至155μC/cm^2)。曝光后以100℃进行PEB(Post Exposure Bake)100秒。作为显影条件,以NMD-3(日本东京应化工业株式会社制造)为显影液,并将显影时间设定为60秒来进行处理,由此形成抗蚀剂掩模。

[0716] 接着,将抗蚀剂掩模用作掩模来蚀刻有机涂敷膜及硬掩模。蚀刻条件为如下:将衬底温度设定为-10℃,首先使用蚀刻气体(CF_4=100sccm),将偏压功率设定为50W,将ICP电源功率设定为2000W,并将压力设定为0.67Pa后,使用蚀刻气体(CF_4:O_2=60sccm:40sccm),将偏压功率设定为25W,将ICP电源功率设定为1000W,并将压力设定为2.0Pa。

[0717] 接着,通过利用氧等离子体的灰化来去除抗蚀剂掩模及有机涂敷膜。灰化条件为如下:使用100sccm的氧;电源功率为200W;压力为500mTorr;并且处理时间为120秒。

[0718] 接着,将硬掩模用作掩模来蚀刻半导体层101b及半导体层101a。蚀刻条件为如下:使用蚀刻气体(CH_4:Ar=16sccm:32sccm),将偏压功率设定为50W,将ICP电源功率设定为600W,并将压力设定为3.0Pa后,使用蚀刻气体(CH_4:Ar=16sccm:32sccm),将偏压功率设定为50W,将ICP电源功率设定为600W,并将压力设定为1.0Pa。

[0719] 接着,对作为硬掩模的钨膜进行加工,来形成导电层104a及导电层104b。首先,与

上述方法同样地,形成有机涂敷膜及抗蚀剂膜。接着,利用电子束曝光机进行曝光后,进行显影,来形成抗蚀剂掩模。然后,使用抗蚀剂掩模来蚀刻有机涂敷膜及钨膜。接着,通过利用氧等离子体的灰化来去除抗蚀剂掩模及有机涂敷膜,来形成导电层104a及导电层104b。

[0720] 接着,在导电层104a及导电层104b上形成成为半导体层101c的第三半导体膜。作为第三半导体膜,通过利用作为靶材使用原子个数比为In:Ga:Zn=1:3:2的In-Ga-Zn氧化物的多晶的溅射法来形成5nm厚的In-Ga-Zn氧化物膜。表17的条件F4示出成膜条件的详细内容。

[0721] 接着,作为栅极绝缘膜102,使用PECVD法形成10nm厚的氧氮化硅膜。作为栅极绝缘膜102的成膜条件使用与实施例5所示的栅极绝缘膜102相同的条件。接着,作为成为栅电极103的导电膜,在形成10nm厚的氮化钛膜之后形成30nm厚的钨膜。氮化钛膜的成膜条件为如下:氮流量为50sccm;压力为0.2Pa;电源功率(DC)为12kW;衬底温度为室温;并且衬底与靶材间的距离为400mm。钨膜的成膜条件为如下:氩流量为100sccm;压力为2.0Pa;电源功率(DC)为1.0kW;衬底温度为130℃左右;并且衬底与靶材间的距离为60mm。另外,进一步向衬底的背面供应10sccm的氩。

[0722] 接着,在形成有机涂敷膜及抗蚀剂膜并利用电子束曝光机形成抗蚀剂掩模之后,通过蚀刻对成为有机涂敷膜及栅电极103的导电膜进行加工。然后,通过利用氧等离子体的灰化来去除抗蚀剂掩模及有机涂敷膜,来形成栅电极103。

[0723] 接着,使用光刻法形成抗蚀剂掩模,通过蚀刻对栅极绝缘膜102及半导体层101c进行加工。作为蚀刻条件,首先在如下条件下进行第一蚀刻:使用蚀刻气体(CH_3=56sccm、He=144sccm);偏压功率为425W;ICP电源功率为25W;并且压力为7.5Pa。然后,在如下条件下进行第二蚀刻:使用蚀刻气体(CH_4:Ar=16sccm:32sccm);偏压功率为50W;并且ICP电源功率为600W,然后将压力设定为3.0Pa。然后,在如下条件下进行第三蚀刻:使用蚀刻气体(CH_4:Ar=16sccm:32sccm);偏压功率为50W;ICP电源功率为600W;并且压力为3.0Pa。

[0724] 接着,作为绝缘膜112形成40nm厚的氧化铝膜。氧化铝膜通过溅射法形成。作为氧化铝膜的成膜条件使用与实施例2的绝缘膜112相同的条件。

[0725] 接着,作为绝缘膜113形成150nm厚的氧氮化硅膜。氧氮化硅膜通过PECVD法形成。作为氧氮化硅膜的成膜条件使用与实施例2的绝缘膜113相同的条件。

[0726] 接着,使用i线步进曝光机形成抗蚀剂掩模,并蚀刻绝缘膜112及绝缘膜113来形成到达导电层104a及导电层104b的开口部。在上述蚀刻中,采用ICP蚀刻法。

[0727] 下面示出蚀刻条件。在如下条件下进行第一蚀刻:衬底温度为70℃;作为蚀刻气体使用三氟甲烷与氦的混合气体(CHF_3=50sccm,He=100sccm);电源功率为475W;偏压功率为300W;并且压力为5.5Pa。接着,在如下条件下进行第二蚀刻:衬底温度为70℃;作为蚀刻气体使用三氟甲烷与氦的混合气体(CHF_3=7.5sccm,He=142.5sccm);电源功率为475W;偏压功率为300W;并且压力为5.5Pa。

[0728] 接着,在开口部内及绝缘膜113上通过溅射法形成依次层叠有50nm厚的钛膜、200nm厚的铝膜及50nm厚的钛膜的导电膜。接着,通过蚀刻对开口部内及绝缘膜113上的导电膜的形状进行加工,来形成布线。在上述蚀刻中,采用ICP蚀刻法。

[0729] 接着,在使用涂敷法形成1.6μm厚的聚酰亚胺膜之后,在大气气氛下以300℃进行1小时左右的加热处理。

[0730] 通过上述工序,制造样品T4。

[0731] [晶体管特性的评价3]

图70示出晶体管的特性的Vg-Id测定结果。在设置于衬底面且具有66nm的沟道长度L及55nm的沟道宽度W的n沟道型晶体管当中,对9个晶体管进行评价。在此,Vg表示源极-栅极之间的电压,Id表示源极-漏极之间的电流。另外,横轴表示栅极电压Vg,左边的纵轴表示漏极电压Id,右边的纵轴表示场效应迁移率μ_{FE}。在漏极电压Vd为0.1V及1.8V的两种条件下进行测定。在此,场效应迁移率是在Vd＝0.1V的情况下算出的值。

[0732] 由图70的结果可知,能够得到阈值电压小且具有高场效应迁移率的良好的晶体管。

[0733] 实施例7

在本实施例中,说明使用与在实施例6中制造的晶体管相同的条件来制造的晶体管的特性。

[0734] 制造具有图64A和图64B所示的结构的晶体管。注意,晶体管不包括导电层105。在晶体管的制造中,使用与实施例6所示的工序同样的工序。

[0735] [晶体管特性的评价4]

对所制造的晶体管的特性进行评价。首先,作为晶体管的初期特性,对Vg-Id特性进行评价。图72示出沟道长度L为72nm且沟道宽度W为53nm的n沟道型晶体管的Vg-Id特性。在此,Vg表示源极-栅极之间的电压,Id表示源极-漏极之间的电流。另外,横轴表示Vg,左边的纵轴表示Id,右边的纵轴表示场效应迁移率μ_{FE}。在Vd为0.1V及1.8V的两种条件下测定Vg-Id特性。在此,Vd表示源极-漏极之间的电压。另外,场效应迁移率是在Vd＝0.1V的情况下算出的值。

[0736] 接着,在样品T2及T4的每一个中,评价起因于压力施加的阈值电压的变动。阈值电压是由Vd＝1.8V时的Vg-Id曲线算出的。

[0737] 在如下三种压力条件下进行评价:施加Vg＝+1.8V,Vd＝0V;施加Vg＝-1.8V,Vd＝0V;以及施加Vg＝0V,Vd＝+1.8V。将测试温度设定为150℃,并将压力施加时间设定为1小时。

[0738] 图73示出以150℃施加+1.8V的Vg以及0V的Vd1小时时的阈值电压的变动量ΔVth。横轴表示电压施加时间,纵轴表示阈值的变动量ΔVth。1小时后的ΔVth为+0.06V。

[0739] 图74示出以150℃施加-1.8V的Vg以及0V的Vd1小时时的阈值电压的变动量ΔVth。1小时后的ΔVth为+0.12V。

[0740] 图75示出以150℃施加0V的Vg以及+1.8V的Vd1小时时的阈值电压的变动量ΔVth。1小时后的ΔVth为+0.19V。

[0741] 由图73至图75可知,在上述各压力条件中,阈值变动量都较小,能够得到良好的特性。

[0742] 实施例8

在本实施例中,制造沟道长度L为26nm且沟道宽度W为31nm的晶体管,并对该晶体管的特性进行评价。

[0743] [晶体管的制造4]

下面,示出包括晶体管的样品T5的制造方法。由于这里制造的晶体管具有与图64A

和图64B同样的结构,因此使用在图64A和图64B中使用的符号来说明。在本实施例中,作为半导体层101a、半导体层101b及半导体层101c分别在条件F1、条件E3及条件F4下成膜。将在后面说明详细条件。作为衬底50,准备硅片。在洗涤衬底50之后,形成绝缘膜51。绝缘膜51为氧化硅膜与氧氮化硅膜的叠层膜。作为绝缘膜51的形成条件使用与实施例5的绝缘膜51相同的条件。在形成绝缘膜51之后,通过CMP法进行平坦化处理。然后,以450℃在减压气氛下进行1小时的加热处理。

[0744] 接着,使用离子注入法注入氧离子($^{16}O^{+}$)。注入条件为如下:加速电压为60kV;剂量为2.0×10^{16}ions/cm^2;倾角为7°;并且扭转角为72°。

[0745] 接着,在绝缘膜51上形成成为半导体层101a的第一半导体膜。作为第一半导体膜,通过利用作为靶材使用原子个数比为In:Ga:Zn=1:3:4的In-Ga-Zn氧化物的溅射法来形成20nm厚的In-Ga-Zn氧化物膜。表16的条件F1示出成膜条件的详细内容。

[0746] 接着,形成成为半导体层101b的第二半导体膜。使用不同的处理室形成第一半导体膜和第二半导体膜,并且以不暴露于大气气氛的方式在真空气氛下进行处理室之间的传送。作为第二半导体膜,形成15nm厚的In-Ga-Zn氧化物膜。在第二半导体膜的成膜条件中,作为靶材使用原子个数比为In:Ga:Zn=4:2:4.1的In-Ga-Zn氧化物。表17的条件E3示出成膜条件的详细内容。

[0747] 接着,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内在氧气氛下进行1小时的加热处理。

[0748] 接着,在半导体层101b上使用钨形成硬掩模。关于硬掩模的形成方法可以参照实施例6。

[0749] 接着,将硬掩模用作掩模来蚀刻半导体层101b及半导体层101a。关于半导体层101b及半导体层101a的蚀刻方法可以参照实施例6。

[0750] 接着,对作为硬掩模的钨膜进行加工,来形成导电层104a及导电层104b。关于导电层104a及导电层104b的形成方法可以参照实施例6。

[0751] 接着,在导电层104a及导电层104b上形成成为半导体层101c的第三半导体膜。作为第三半导体膜,通过利用作为靶材使用原子个数比为In:Ga:Zn=1:3:2的In-Ga-Zn氧化物的多晶的溅射法来形成5nm厚的In-Ga-Zn氧化物膜。表16的条件F4示出成膜条件的详细内容。

[0752] 接着,作为栅极绝缘膜102,使用PECVD法形成10nm厚的氧氮化硅膜。作为栅极绝缘膜102的成膜条件使用与实施例5所示的栅极绝缘膜102相同的条件。接着,在形成10nm厚的氮化钛膜之后,形成30nm厚的钨膜并对其进行加工,来制造栅电极103。关于栅电极103的形成方法可以参照实施例6。

[0753] 接着,作为绝缘膜112,形成30nm厚的氧化铝膜。接着,以350℃在氧气氛下进行1小时的加热处理。接着,作为绝缘膜113,形成460nm厚的氧氮化硅膜。然后,进行CMP处理。

[0754] 接着,将钨膜及氮化硅膜用作硬掩模而通过干蚀刻来设置到达栅电极103和导电层104a及导电层104b的开口部。

[0755] 接着,在开口部内及绝缘膜113上通过溅射法形成层叠有10nm厚的氮化钛膜及150nm厚的钨膜的导电膜。接着,对开口部内及绝缘膜113上的导电膜进行CMP处理,来形成插头。

[0756] 接着,在插头上设置钨电极,然后作为绝缘膜形成氧氮化硅膜。

[0757] 接着,在氧氮化硅膜中设置到达钨电极等的开口部。在开口部内及氧氮化硅膜上形成布线。

[0758] 接着,设置1.6μm厚的聚酰亚胺膜。

[0759] 通过上述工序,制造包括本发明的一个方式的晶体管的样品T5。

[0760] 接着,通过截面TEM观察制造的样品T5所包括的晶体管。在为了观察而进行的薄片化加工中,使用FIB(Focused Ion Beam System:聚焦离子束装置)。

[0761] 图77A示出沟道长度方向的截面图,图77B示出沟道宽度方向的截面图。能够制造沟道长度为30nm以下的具有良好的电特性的微型晶体管。

[0762] [晶体管的评价5]

接着,对所制造的晶体管的特性进行评价。所制造的晶体管的沟道长度L为26nm,沟道宽度W为31nm。

[0763] 图78示出晶体管的Id-Vg特性。在Vd=0.1V及1V的两种条件下进行测定。另外,图79示出晶体管的Id-Vd特性。在Vg从0V每隔0.2V变化到2V的11种条件下使用同一晶体管连续进行测定。在此,在图79中省略Vg=0V、0.2V及0.4V的条件的结果。在沟道长度为30nm以下的微型晶体管中,能够得到良好的晶体管特性。

[0764] 实施例9

在本实施例中,说明本发明的一个方式的In-Ga-Zn氧化物膜的评价结果。

[0765] [样品的制造]

作为衬底使用硅片。接着,对硅片进行热氧化来形成100nm厚的氧化硅膜。接着,在氧化硅膜上形成40nm厚的In-Ga-Zn氧化物膜。作为靶材使用多晶的In-Ga-Zn氧化物而通过溅射法来形成In-Ga-Zn氧化物膜。表22示出成膜时的主要条件。在此,表22示出作为靶材使用的In-Ga-Zn氧化物的铟、镓和锌的原子个数比。

[表22]

	装置	功率[kW]	气体流量[sccm]		衬底温度	压力[Pa]	靶材	靶材与衬底间距离
			Ar[sccm]	O_2[sccm]				
条件F1	装置A	0.5(DC)	40	5	200℃	0.7	In:Ga:Zn=1:3:4	60mm
条件G1	装置D	0.2(DC)	20	10	300℃	0.4	In:Ga:Zn=1:2:4	130mm

[0766] 接着,使用离子注入法注入氧离子($^{16}O^{+}$)。注入条件为如下:加速电压为60kV;并且剂量的条件为1.0×10^{16}ions/cm^2、1.5×10^{16}ions/cm^{2}及2.0×10^{16}ions/cm^{2}的三种条件。另外,倾角为7,并且扭转角为72°。通过上述工序,制造样品。

[0767] [XRD评价]

接着,通过XRD对所制造的样品进行评价。在XRD的评价中,使用具有多功能的用来评价薄膜材料的X射线衍射仪D8 DISCOVER Hybrid(美国布鲁克AXS公司制造)。图80A至图

81D示出XRD测定的结果。

[0768] 图80A至图80C是使用表22所示的条件F1来形成In-Ga-Zn氧化物膜的样品的评价结果。在条件F1中,使用铟、镓和锌的原子个数比为In:Ga:Zn＝1:3:4的In-Ga-Zn氧化物靶材。图80A示出没有注入氧离子的样品的评价结果,图80B及图80C分别示出氧离子注入的剂量为1.0×10^{16}ions/cm^2及2.0×10^{16}ions/cm^2的样品的评价结果。由此可知,通过注入氧离子,使箭头所示的31°附近的峰值强度减弱。该峰值表示c轴取向性。另外,离子注入的剂量越多,其强度越小。另外,通过注入氧离子,能够观察到箭头所示的36°附近的峰值。该峰值表示不具有c轴取向性的结晶,例如典型的是尖晶石型的结晶结构。在此,在使用条件F1形成In-Ga-Zn氧化物膜的样品中,将没有注入氧离子的样品为样品F4-1,将氧离子注入的剂量为1.0×10^{16}ions/cm^2及2.0×10^{16}ions/cm^2的样品分别为样品F4-2及样品F4-3。

[0769] 图81A至图81D是使用表22所示的条件G1形成In-Ga-Zn氧化物膜的样品的评价结果。在条件G1中,使用铟、镓和锌的原子个数比为In:Ga:Zn＝1:2:4的In-Ga-Zn氧化物靶材。图81A示出没有注入氧离子的样品的评价结果,图81B、图81C及图81D分别示出氧离子注入的剂量为1.0×10^{16}ions/cm^2、1.5×10^{16}ions/cm^2及2.0×10^{16}ions/cm^2的样品的评价结果。在条件G1中,即便注入氧离子也没有观察到36°附近的峰值,并且,箭头所示的31°附近的峰值强度也没有显著变化。在此,在使用条件G1形成In-Ga-Zn氧化物膜的样品中,将没有注入氧离子的样品为样品G1-1,将氧离子注入的剂量为1.0×10^{16}ions/cm^2、1.5×10^{16}ions/cm^2及2.0×10^{16}ions/cm^2的样品分别为样品G1-2、样品G1-3及样品G1-4。

[0770] [平面TEM观察]

接着,观察所制造的各样品的平面TEM图像。使用日本日立高新技术公司制造的H-9000NAR来获得TEM图像。将加速电压设定为300kV。通过离子减薄(ion milling)法对样品进行薄片化。

[0771] 图82A及图82B示出样品F4-1及样品F4-2的观察结果。另外,图83A及图84B示出样品G1-1及样品G1-2的观察结果。另外,图84A示出将图82B所示的以四边形围绕的区域放大而进行观察的结果,图84B示出将图83B所示的以四边形围绕的区域放大而进行观察的结果。

[0772] 在对使用铟、镓及锌的原子个数比为In:Ga:Zn＝1:3:4的In-Ga-Zn氧化物靶材的样品F4-1和样品F4-2的观察结果进行比较时,在注入氧离子的样品F4-2中,清楚地观察到对比度不同的区域。另外,在图84A的对比度不同的区域中,观察到晶格像,还观察到晶界。

[0773] 在使用铟、镓和锌的原子个数比为In:Ga:Zn＝1:2:4的In-Ga-Zn氧化物靶材的样品G1-1及样品G1-2中,没有如样品F4-2那样清楚地观察到对比度不同的区域。

[0774] 由XRD评价及TEM观察认为,在使用铟、镓和锌的原子个数比为In:Ga:Zn＝1:2:4的靶材形成的In-Ga-Zn氧化物膜中,所得到的膜的原子个数比具有实施方式2所示的算式3的原子个数比附近的值,并且表示CAAC比率更高。

[0775] 实施例10

在本实施例中,示出使用本发明的一个方式的In-Ga-Zn氧化物膜制造的晶体管的评价结果。在晶体管特性的评价中,使用具有图66A和图66B所示的截面结构的晶体管。

[0776] [晶体管的制造]

作为包括晶体管的样品,准备样品T11至样品T14。首先,说明In-Ga-Zn氧化物膜的

成膜条件。作为图66A和图66B所示的半导体层101a至半导体层101c,通过溅射法形成In-Ga-Zn氧化物膜。作为靶材使用多晶的In-Ga-Zn氧化物。表23示出成膜条件。在此,表23示出作为靶材使用的In-Ga-Zn氧化物的铟、镓和锌的原子个数比。注意,在成膜条件中,表23仅示出靶材的原子个数比,表24表示其它条件的详细内容。

[表23]

			条件	
			膜厚[nm]	靶材
样品 T11	半导体层 101a	条件 F1	40	In:Ga:Zn=1:3:4
	半导体层 101b	条件 A1	20	In:Ga:Zn=1:1:1
	半导体层 101c	条件 F4	5	In:Ga:Zn=1:3:2
样品 T12	半导体层 101a	条件 G2	40	In:Ga:Zn=1:2:4
	半导体层 101b	条件 A1	20	In:Ga:Zn=1:1:1
	半导体层 101c	条件 F4	5	In:Ga:Zn=1:3:2
样品 T13	半导体层 101a	条件 F1	40	In:Ga:Zn=1:3:4
	半导体层 101b	条件 E3	20	In:Ga:Zn=4:2:4.1
	半导体层 101c	条件 F4	5	In:Ga:Zn=1:3:2
样品 T14	半导体层 101a	条件 G2	40	In:Ga:Zn=1:2:4
	半导体层 101b	条件 E3	20	In:Ga:Zn=4:2:4.1
	半导体层 101c	条件 F4	5	In:Ga:Zn=1:3:2

[表24]

	装置	功率[kW]	气体流量[sccm]		衬底温度	压力[Pa]	靶材	靶材与衬底间距离
			Ar[sccm]	O_2[sccm]				
条件F1	装置A	0.5(DC)	40	5	200℃	0.7	In:Ga:Zn=1:3:4	60mm
条件G2	装置D	0.2(DC)	20	10	200℃	0.4	In:Ga:Zn=1:2:4	130mm
条件A1	装置A	0.5(DC)	30	15	300℃	0.7	In:Ga:Zn=1:1:1	60mm
条件E3	装置A	0.5(DC)	30	15	200℃	0.7	In:Ga:Zn=4:2:4.1	60mm
条件F4	装置B	0.5(DC)	30	15	200℃	0.4	In:Ga:Zn=1:3:2	60mm

[0777] 接着,说明包括晶体管的样品T11至样品T14的制造方法。

[0778] 首先,作为衬底50,准备晶面取向(110)的p型CZ晶体硅片。接着,在洗涤衬底之后,形成绝缘膜51。绝缘膜51为第一氧化硅膜、氮氧化硅膜、第二氧化硅膜、第三氧化硅膜以及氧化铝膜的叠层膜。首先,以950℃进行热氧化来形成400nm厚的第一氧化硅膜。然后,利用PECVD装置形成280nm厚的氮氧化硅膜。成膜条件为如下:衬底温度为325℃;硅烷的流量为40sccm,一氧化二氮的流量为30sccm,氨的流量为300sccm,氢的流量为900sccm;压力为160Pa;成膜功率(RF)为250W(27MHz);并且电极间距离为20mm。然后,利用PECVD装置形成300nm厚的第二氧化硅膜。成膜条件为如下:衬底温度为300℃;TEOS(Tetraethyl Ortho Silicate:四乙氧基硅烷)的流量为15sccm,氧的流量为750sccm;压力为100Pa;成膜功率(RF)为300W(27MHz);并且电极间距离为14mm。在形成绝缘膜51之后,通过CMP法进行平坦化处理。然后,以590℃在氮气氛下进行10小时的加热处理。

[0779] 接着,利用PECVD装置形成300nm厚的第三氧化硅膜。作为成膜条件使用与第二氧化硅膜相同的条件。在成膜后,以590℃在氮气氛下进行10小时的加热处理。

[0780] 接着,通过溅射法形成50nm厚的氧化铝膜。通过上述工序,形成绝缘膜51。

[0781] 接着,作为成为导电层105的导电膜,通过溅射法形成50nm厚的第一钨膜。接着,使用抗蚀剂掩模而通过蚀刻对第一钨膜进行加工,来形成导电层105。

[0782] 接着,作为绝缘膜114,通过PECVD法形成70nm厚的氧氮化膜。成膜条件为如下:衬底温度为500℃;硅烷的流量为1sccm,一氧化二氮的流量为800sccm;压力为40Pa;成膜功率(RF)为150W(60MHz);并且电极间距离为28mm。

[0783] 接着,在绝缘膜114上形成40nm厚的成为半导体层101a的第一半导体膜。成为半导体层101a的第一半导体膜使用表6及表7所记载的成膜条件并通过溅射法形成。在此,在样品T11及样品T13中,使用铟、镓和锌的原子个数比为In:Ga:Zn=1:3:4的In-Ga-Zn氧化物靶材,而在样品T12及样品T14中,In:Ga:Zn=1:2:4的In-Ga-Zn氧化物靶材。

[0784] 接着,使用离子注入法注入氧离子($^{16}O^{+}$)。注入条件为如下:加速电压为5kV;剂量

为1.0×10^{16}ions/cm^2;倾角为7°;并且扭转角为72°。

[0785] 接着,形成20nm厚的成为半导体层101b的第二半导体膜。成为半导体层101b的第二半导体膜使用表6及表7所记载的成膜条件并通过溅射法形成。在此,在样品T11及样品T12中,使用铟、镓和锌的原子个数比为In:Ga:Zn=1:1:1的In-Ga-Zn氧化物靶材,而在样品T13及样品T14中,In:Ga:Zn=4:2:4.1的In-Ga-Zn氧化物靶材。

[0786] 接着,在以450℃在氮气氛下进行1小时的加热处理之后,在同一处理室内在氧气氛下进行1小时的加热处理。

[0787] 接着,通过溅射法形成20nm厚的第二钨膜。成膜条件为如下:作为靶材使用钨;氩流量为80sccm;压力为0.8Pa;电源功率(DC)为1kW;并且衬底与靶材间的距离为60mm。将衬底温度设定为130℃左右。另外,还进一步向衬底的背面供应10sccm的氩。接着,虽然在图66A和图66B中未图示,但形成到达导电层105的开口部。具体而言,在第二钨膜、第一半导体膜及第二半导体膜中形成开口部,然后将第二钨膜用作掩模而在绝缘膜114中设置开口部。

[0788] 接着,通过溅射法形成150nm厚的第三钨膜。

[0789] 接着,将第三钨膜用作抗蚀剂掩模而进行蚀刻,来形成导电层104a及导电层104b。

[0790] 接着,形成抗蚀剂掩模,并通过蚀刻对第一半导体膜及第二半导体膜进行加工,来形成岛状的第一半导体层101a及第二半导体层101b。注意,在上述蚀刻中,采用ICP蚀刻法。蚀刻条件为如下:衬底温度为70℃;使用BCl_3气体;BCl_3的流量为80sccm;电源功率为450W;偏压功率为100W;并且压力为1.2Pa。

[0791] 接着,形成5nm厚的成为半导体层101c的第三半导体膜。成为半导体层101c的第三半导体膜使用表6及表7所记载的成膜条件并通过溅射法形成。在此,使用铟、镓和锌的原子个数比为In:Ga:Zn=1:3:2的In-Ga-Zn氧化物靶材。

[0792] 接着,作为栅极绝缘膜102,使用PECVD法形成20nm厚的氧氮化硅膜。成膜条件为如下:衬底温度为350℃;硅烷的流量为1sccm,一氧化二氮的流量为800sccm;压力为200Pa;成膜功率(RF)为150W(60MHz);并且电极间距离为28mm。

[0793] 接着,作为成为栅电极103的导电膜,在形成30nm厚的氮化钽膜之后形成135nm厚的第四钨膜。氮化钽膜及钨膜分别通过溅射法形成。接着,通过利用蚀刻对成为栅电极103的导电膜的形状进行加工,来形成栅电极103。

[0794] 接着,使用抗蚀剂掩模而通过蚀刻对栅极绝缘膜102以及半导体膜的形状进行加工,由此其形状被加工的栅极绝缘膜102及第三半导体层101c。

[0795] 接着,作为绝缘膜112,以覆盖晶体管的方式形成140nm厚的氧化铝膜。氧化铝膜使用溅射法形成。

[0796] 接着,作为绝缘膜113,形成300nm厚的氧氮化硅膜。氧氮化硅膜使用PECVD法形成。

[0797] 接着,通过蚀刻形成到达导电层104a及导电层104b的开口部。在上述蚀刻中,采用ICP蚀刻法。

[0798] 接着,在开口部内及绝缘膜113上通过溅射法形成依次层叠有50nm厚的钛膜、300nm厚的铝膜以及5nm厚的钛膜的导电膜。接着,通过蚀刻对开口部内及绝缘膜113上的导电膜的形状进行加工,来形成布线。然后,在通过涂敷法形成1.6μm厚的聚酰亚胺膜之后,以300℃在大气气氛下进行1小时左右的加热处理。

[0799] 通过上述工序,制造样品T11至样品T14。

[0800] [晶体管特性的评价]

对制造的样品T11至样品T14所包括的晶体管的特性进行评价。首先,作为晶体管的初始特性,评价Vg-Id特性。在设置于衬底面且具有0.83μm的沟道长度L和0.8μm的沟道宽度W的n沟道型晶体管当中,对25个晶体管进行评价。图85A和图85B示出样品T11和样品T12的晶体管的Vg-Id特性的测定结果,图86A和图86B示出样品T13和样品T14的晶体管的Vg-Id特性的测定结果。在此,Vg表示源极-栅极之间的电压,Id表示源极-漏极之间的电流。另外,横轴表示栅极电压Vg,左边的纵轴表示漏极电压Id,右边的纵轴表示场效应迁移率μ_{FE}。在漏极电压Vd为0.1V及1.8V的两种条件下进行测定。另外,在此对用作第二栅电极的导电层105与源极之间施加0V。在此,场效应迁移率是在Vd＝0.1V的情况下算出的值。

[0801] 另外,从沟道长度L为0.83μm且沟道宽度W为0.8μm的n沟道型晶体管的Vg-Id特性算出的S值在样品T11、T12、T13及T14中分别为126.9、122.3、103.0及90.5[mV/dec.]。

[0802] 接着,对样品T12及T14的施加压力前后的晶体管的Vg-Id特性的变化进行评价。压力条件为如下:作为电压施加条件,采用如下三种条件,即栅极电压Vg为+3.3V、-3.3V的两种条件和漏极电压为+1.8V的一种条件;温度为150℃;并且压力施加时间为1小时。在各压力施加条件下都对导电层105施加0V。

[0803] 图87A和图87B示出以150℃施加Vg＝+3.3V的电压1小时后的Vg-Id特性的变化。以实线表示施加压力之前的特性,以虚线表示施加压力之后的特性。图87A示出样品T12的结果,图87B示出样品T14的结果。

[0804] 另外,图88A和图88B示出以150℃施加Vg＝-3.3V的电压1小时后的Vg-Id特性的变化。以实线表示施加压力之前的特性,以虚线表示施加压力之后的特性。图88A示出样品T12的结果,图88B示出样品T14的结果。

[0805] 另外,图89A和图89B示出以150℃施加Vg＝+1.8V的电压1小时后的Vg-Id特性的变化。以实线表示施加压力之前的特性,以虚线表示施加压力之后的特性。图89A示出样品T12的结果,图89B示出样品T14的结果。

[0806] 由图87A至图89B可知,在样品T12和T14的每一个中在任何压力条件下也起因于压力的变化都较小,并且,在施加+3.3V的Vg的样品T14中变化量更小。

[0807] 符号说明

11 区域
12 区域
13 区域
14 区域
21 垂线
22 垂线
23 垂线
25 保护膜
50 衬底
51 绝缘膜
60a 晶体管
60b 晶体管

61 绝缘膜
62 半导体层
63 半导体层
64d 低电阻层
64s 低电阻层
65d 导电层
65s 导电层
66 半导体层
67 绝缘膜
68 栅电极
69 绝缘膜
72 绝缘膜
76 绝缘膜
100 晶体管
101 半导体层
101a 半导体层
101b 半导体层
101c 半导体层
102 栅极绝缘膜
103 栅电极
104a 导电层
104b 导电层
104c 导电层
105 导电层
111 阻挡膜
112 绝缘膜
113 绝缘膜
114 绝缘膜
115 绝缘膜
116 绝缘膜
121 插头
122 插头
123 插头
124 布线
126 电极
127 绝缘膜
128 绝缘膜
130 晶体管
131 半导体衬底

132 半导体层
132b 半导体层
133a 低电阻层
133b 低电阻层
134 栅极绝缘膜
134b 栅极绝缘膜
135 栅电极
135b 栅电极
136 绝缘膜
137 绝缘膜
138 绝缘膜
139 插头
140 插头
143 导电层
150 电容元件
151 导电层
152a 导电层
152b 导电层
160 晶体管
164 插头
165 插头
166 布线
171a 低电阻层
171b 低电阻层
176a 区域
176b 区域
181 元件分离层
190 晶体管
191 晶体管
211 阻挡膜
215 绝缘膜
201 晶体管
230 晶体管
231 晶体管
233a 低电阻层
233b 低电阻层
233c 低电阻层
233d 低电阻层
251 导电层

276a 区域
276b 区域
276c 区域
276d 区域
281 硬掩模
321 插头
322 插头
323 插头
324 区域
610 电子枪室
612 光学系统
614 样品室
616 光学系统
618 拍摄装置
620 观察室
622 胶片室
624 电子
632 荧光板
660a 电容元件
660b 电容元件
661a 晶体管
661b 晶体管
662a 晶体管
662b 晶体管
663a 反相器
663b 反相器
700 衬底
701 像素部
702 扫描线驱动电路
703 扫描线驱动电路
704 信号线驱动电路
710 电容布线
712 栅极布线
713 栅极布线
714 漏电极层
716 晶体管
717 晶体管
718 液晶元件
719 液晶元件

720 像素
721 开关晶体管
722 驱动晶体管
723 电容元件
724 发光元件
725 信号线
726 扫描线
727 电源线
728 共同电极
800 RF标签
801 通信器
802 天线
803 无线信号
804 天线
805 整流电路
806 恒压电路
807 解调电路
808 调制电路
809 逻辑电路
810 存储电路
811 ROM
901 框体
902 框体
903 显示部
904 显示部
905 麦克风
906 扬声器
907 操作键
908 触屏笔
911 框体
912 框体
913 显示部
914 显示部
915 连接部
916 操作键
921 框体
922 显示部
923 键盘
924 指向装置

931 框体
932 冷藏室门
933 冷冻室门
941 框体
942 框体
943 显示部
944 操作键
945 透镜
946 连接部
951 车体
952 车轮
953 仪表盘
954 灯
1189 ROM接口
1190 衬底
1191 ALU
1192 ALU控制器
1193 指令译码器
1194 中断控制器
1195 时序控制器
1196 寄存器
1197 寄存器控制器
1198 总线接口
1199 ROM
1200 存储元件
1201 电路
1202 电路
1203 开关
1204 开关
1206 逻辑元件
1207 电容元件
1208 电容元件
1209 晶体管
1210 晶体管
1213 晶体管
1214 晶体管
1220 电路
2100 晶体管
2200 晶体管

3001 布线
3002 布线
3003 布线
3004 布线
3005 布线
3200 晶体管
3300 晶体管
3400 电容元件
4000 RF标签。

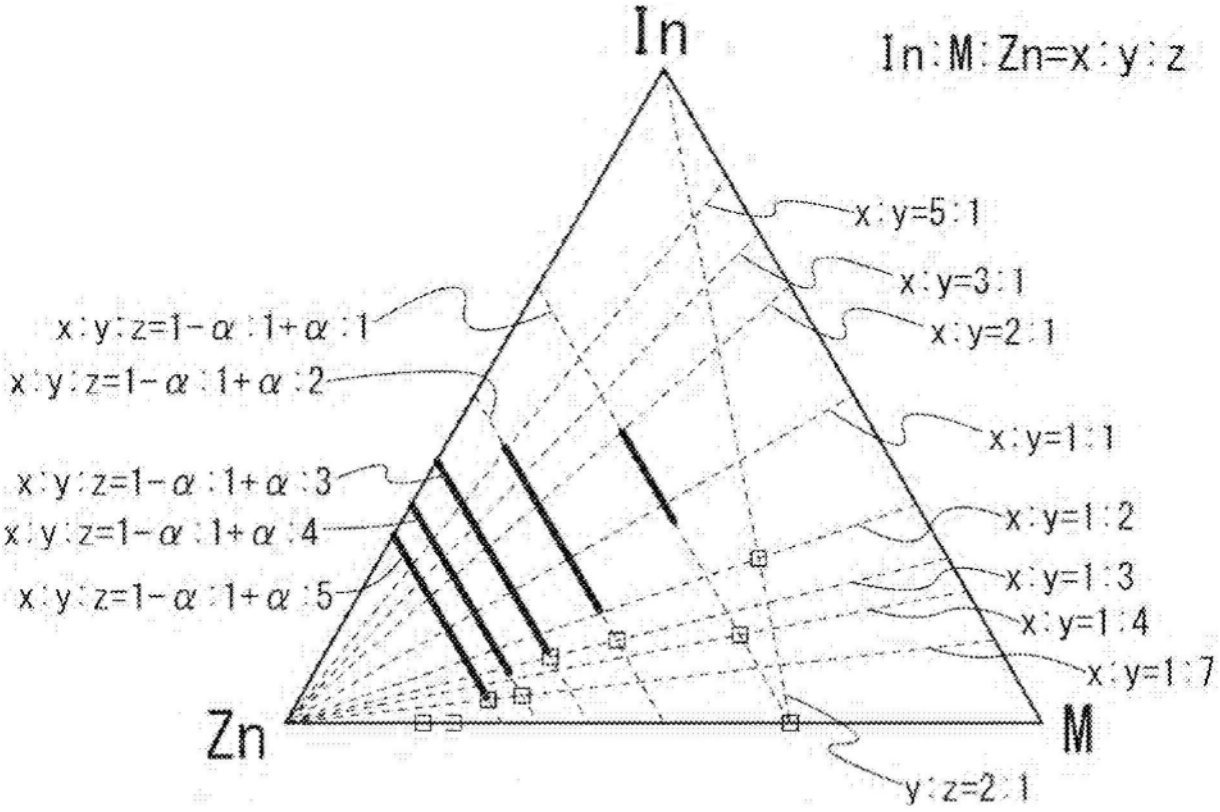

In
In:M:Zn=x:y:z
x:y=5:1
x:y=3:1
x:y=2:1
x:y:z=1-α:1+α:1
x:y:z=1-α:1+α:2
x:y=1:1
x:y:z=1-α:1+α:3
x:y:z=1-α:1+α:4
x:y:z=1-α:1+α:5
x:y=1:2
x:y=1:3
x:y=1:4
x:y=1:7
Zn
M
y:z=2:1

图1A

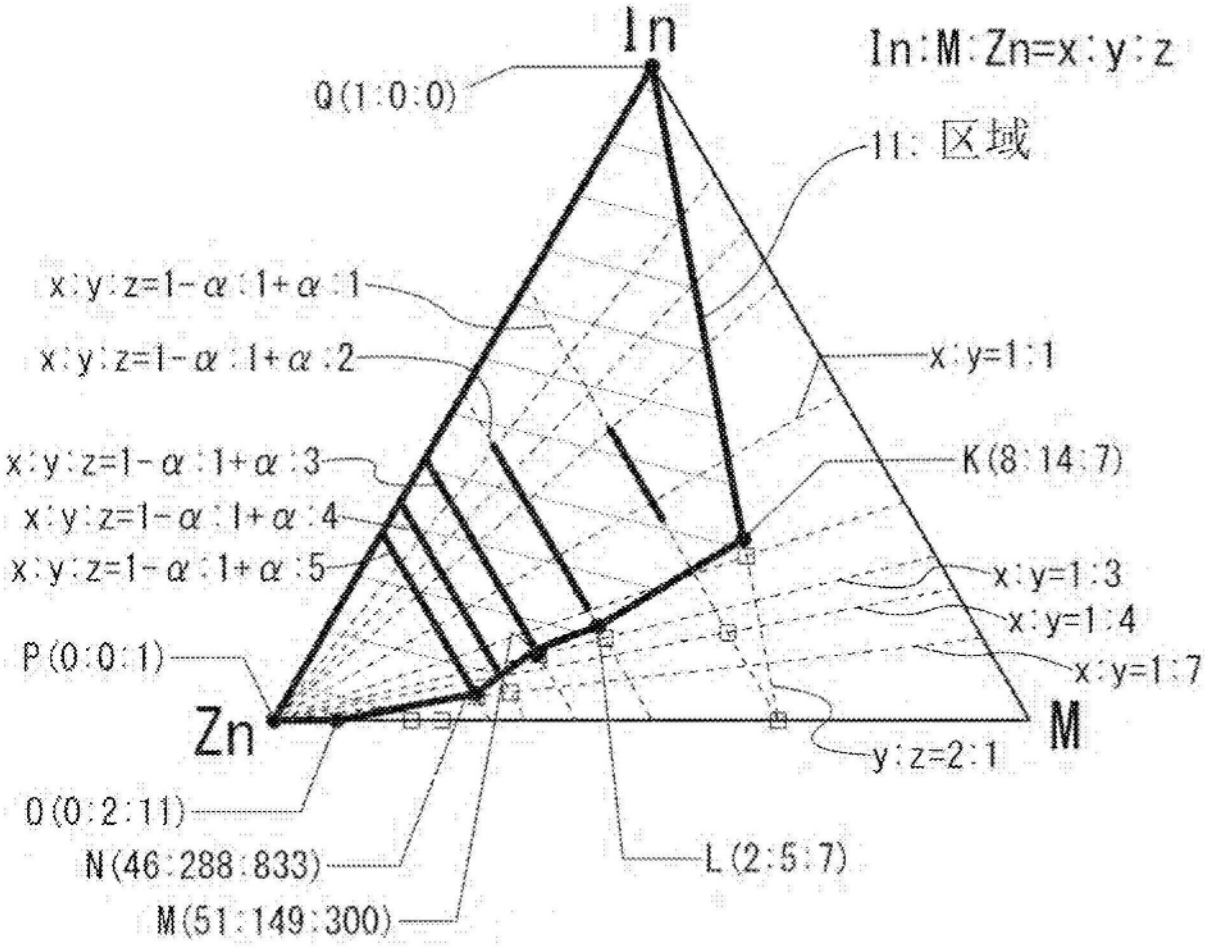

In
In:M:Zn=x:y:z
Q(1:0:0)
11: 区域
x:y:z=1-α:1+α:1
x:y:z=1-α:1+α:2
x:y:z=1-α:1+α:3
x:y:z=1-α:1+α:4
x:y:z=1-α:1+α:5
x:y=1:1
K(8:14:7)
x:y=1:3
x:y=1:4
x:y=1:7
P(0:0:1)
Zn
M
y:z=2:1
O(0:2:11)
N(46:288:833)
M(51:149:300)
L(2:5:7)

图1B

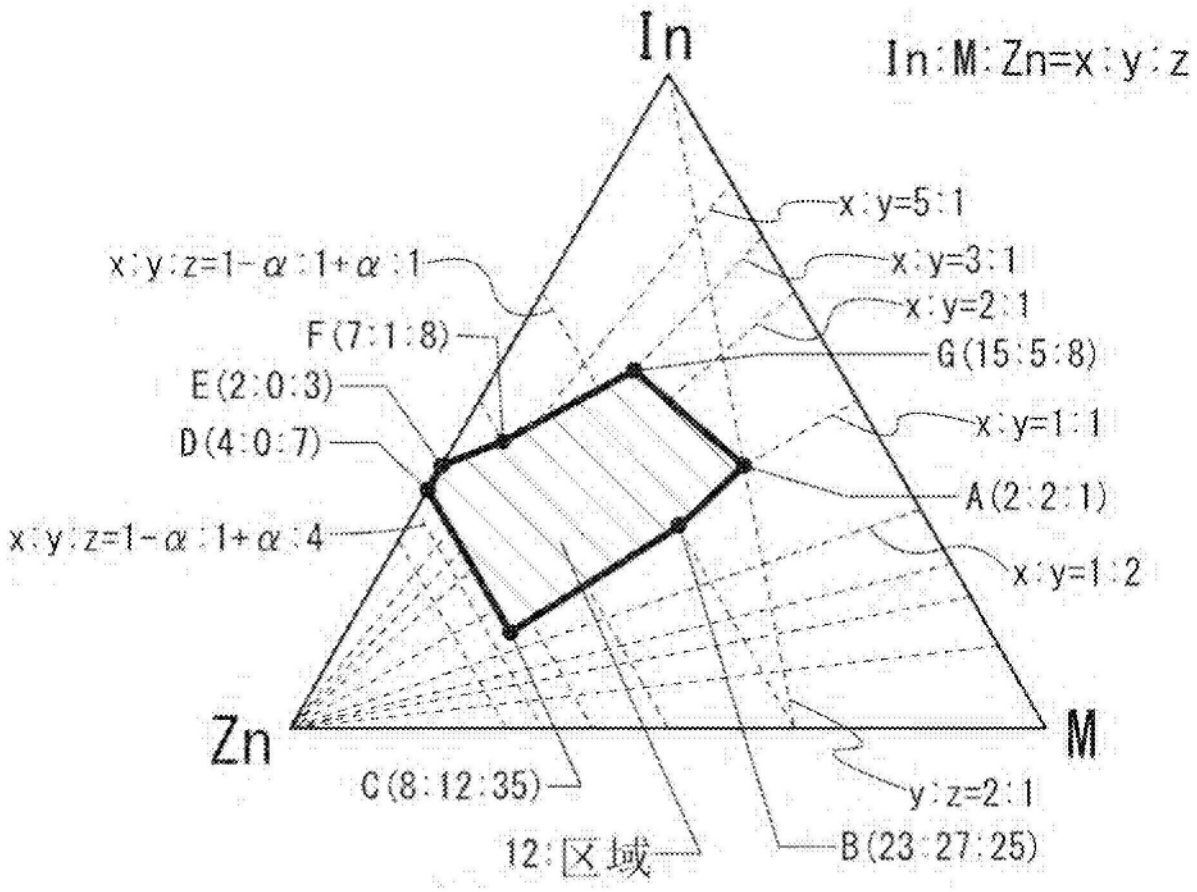

In
In:M:Zn=x:y:z
x:y=5:1
x:y:z=1-α:1+α:1
x:y=3:1
x:y=2:1
F(7:1:8)
G(15:5:8)
E(2:0:3)
x:y=1:1
D(4:0:7)
A(2:2:1)
x:y:z=1-α:1+α:4
x:y=1:2
Zn
M
C(8:12:35)
y:z=2:1
12:区域
B(23:27:25)

图2A

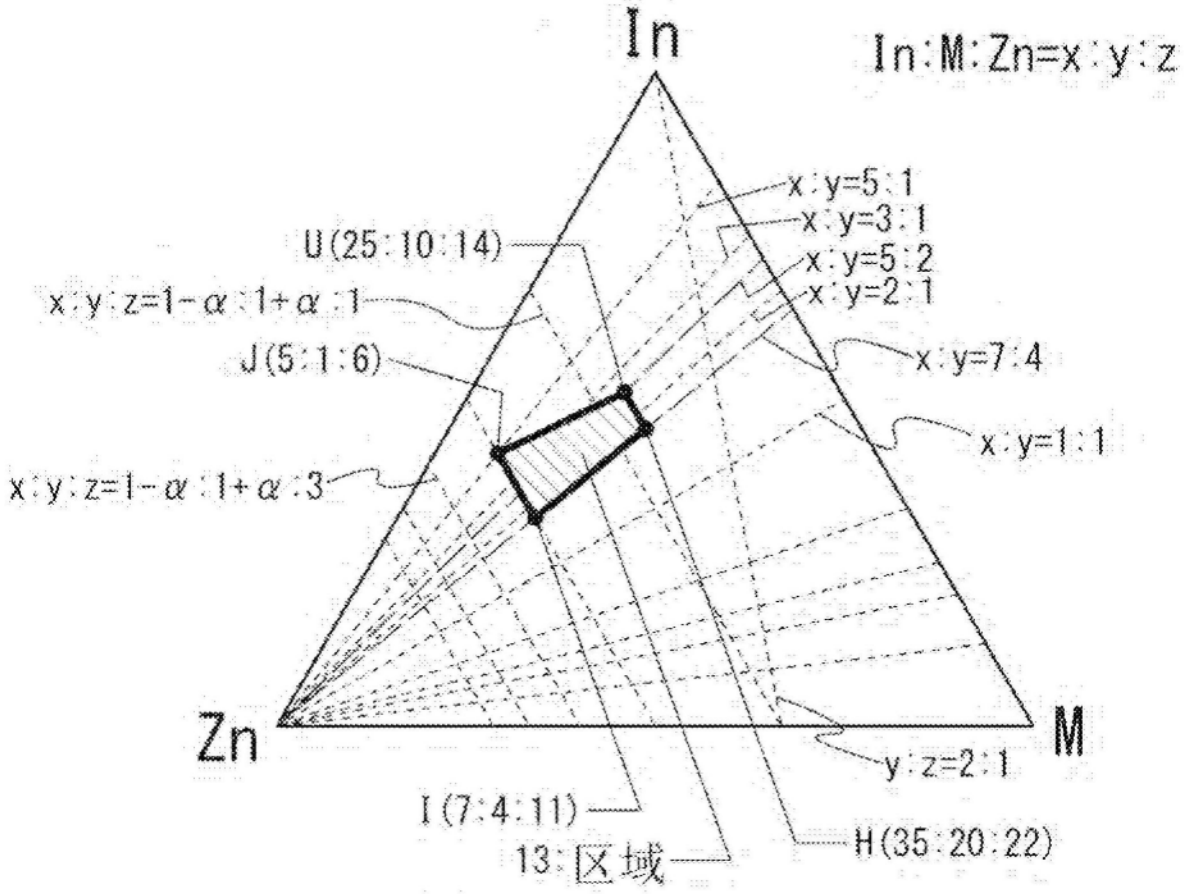

In
In:M:Zn=x:y:z
x:y=5:1
x:y=3:1
x:y=5:2
x:y=2:1
U(25:10:14)
x:y:z=1-α:1+α:1
J(5:1:6)
x:y=7:4
x:y=1:1
x:y:z=1-α:1+α:3
Zn
M
y:z=2:1
I(7:4:11)
13:区域
H(35:20:22)

图2B

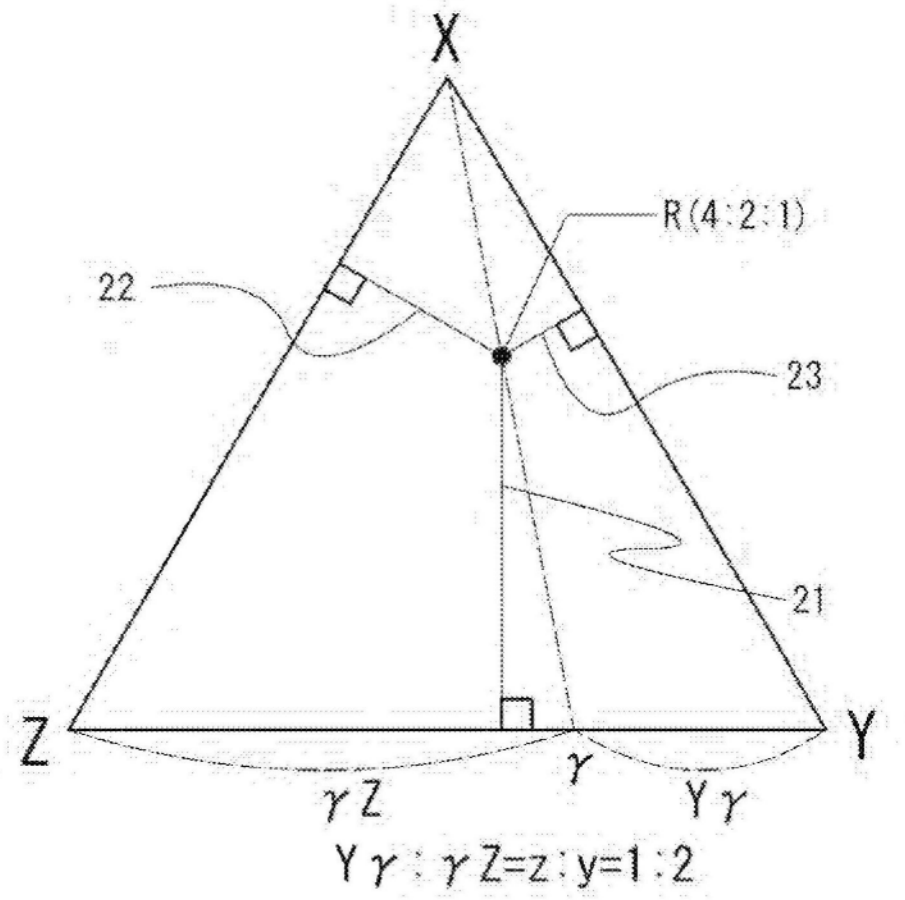


图3A

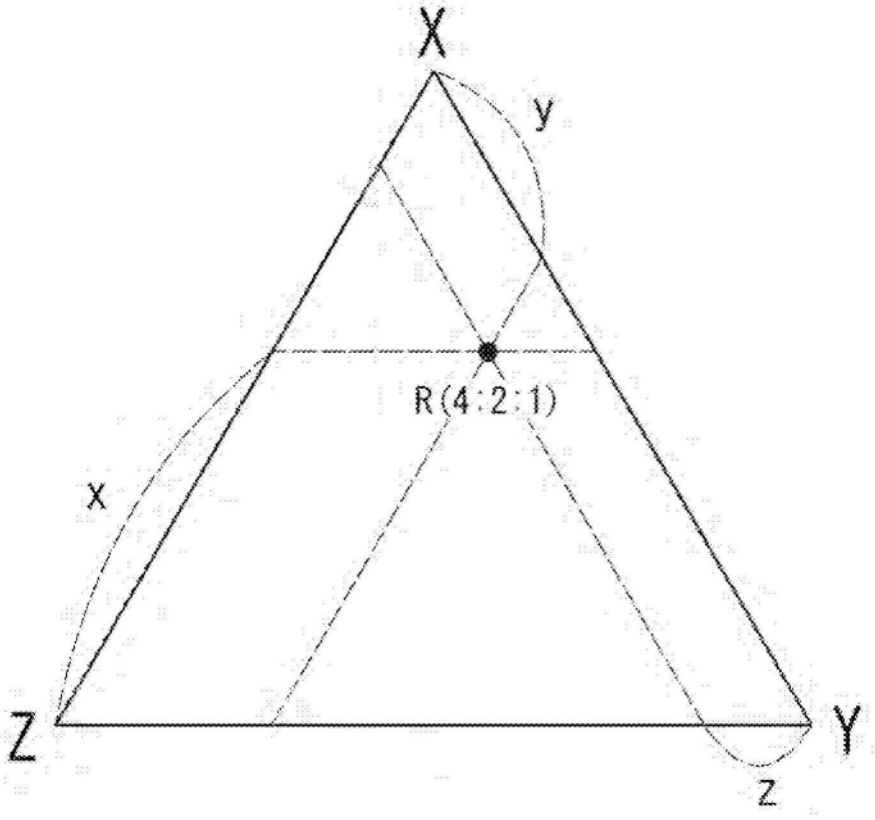


图3B

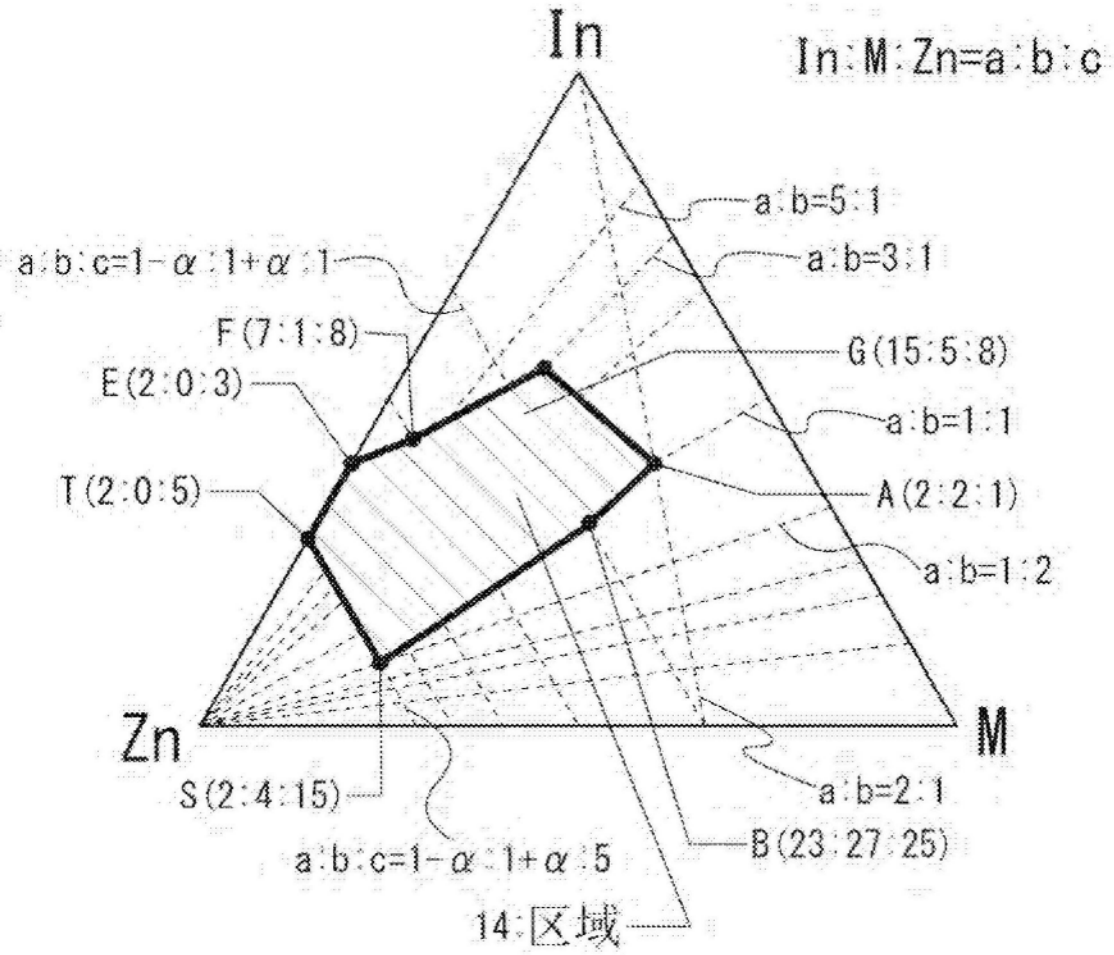

In
In:M:Zn=a:b:c
a:b=5:1
a:b:c=1-α:1+α:1
a:b=3:1
F(7:1:8)
G(15:5:8)
E(2:0:3)
a:b=1:1
T(2:0:5)
A(2:2:1)
a:b=1:2
Zn
M
S(2:4:15)
a:b=2:1
a:b:c=1-α:1+α:5
B(23:27:25)
14:区域

图4

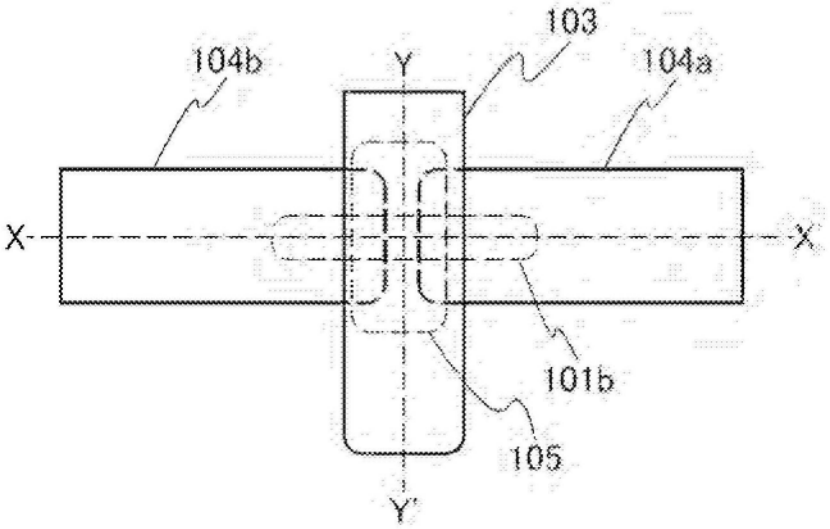

103
104b
Y
104a
X
X
101b
105
Y'

图5A

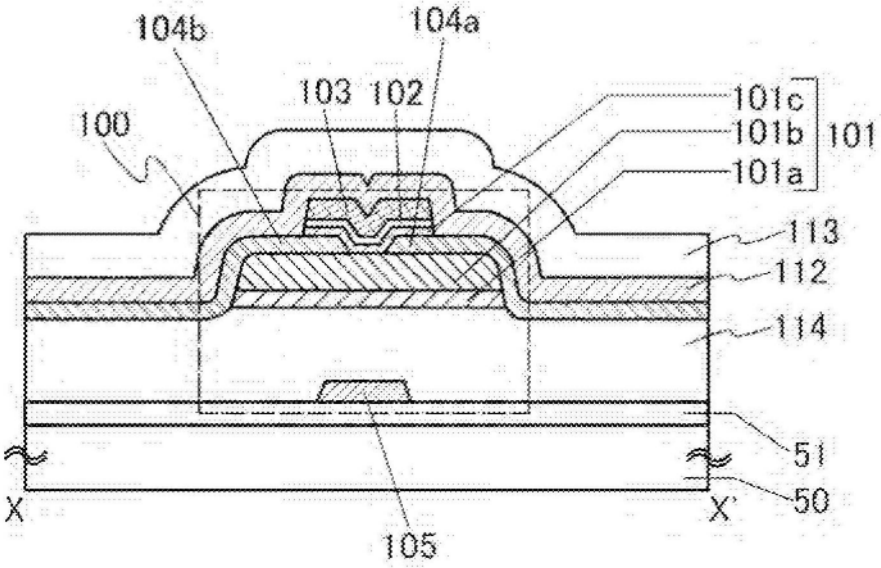

104b
104a
103
102
100
101c
101b
101
101a
113
112
114
51
50
X
X'
105

图5B

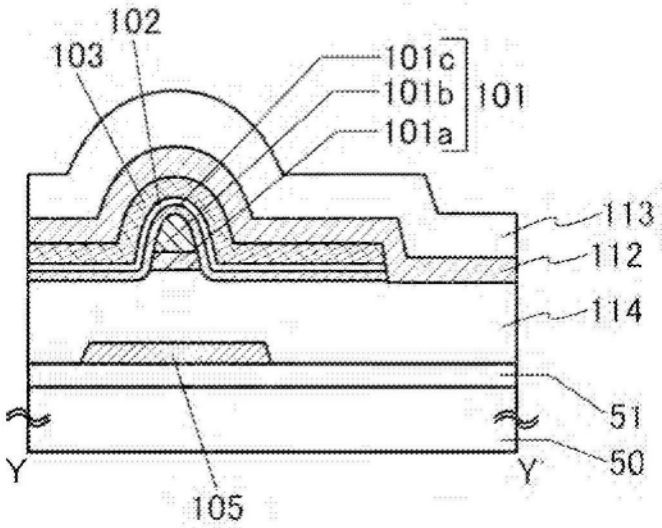

102
103
101c
101b
101
101a
113
112
114
51
50
Y
Y'
105

图5C

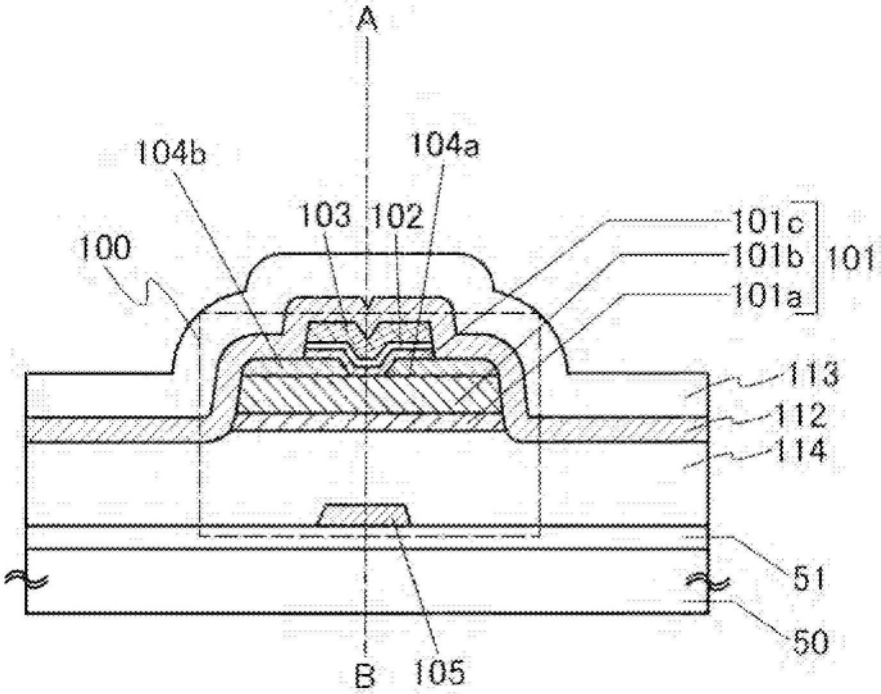

A
104b
104a
103
102
100
101c
101b
101
101a
113
112
114
51
50
B
105

图6A

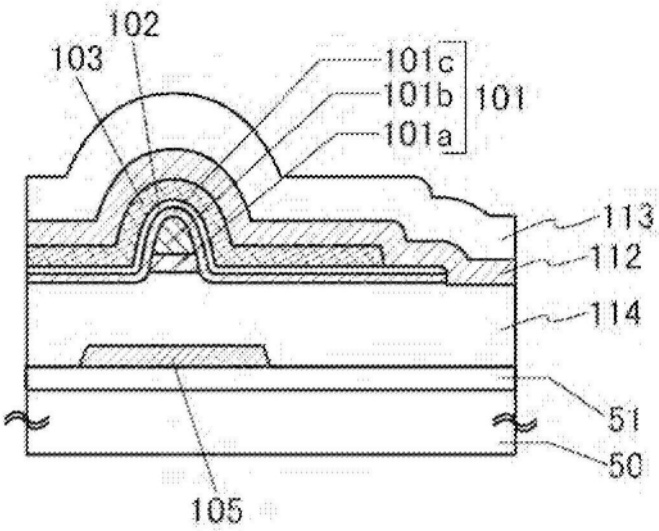

102
103
101c
101b
101
101a
113
112
114
51
50
105

图6B

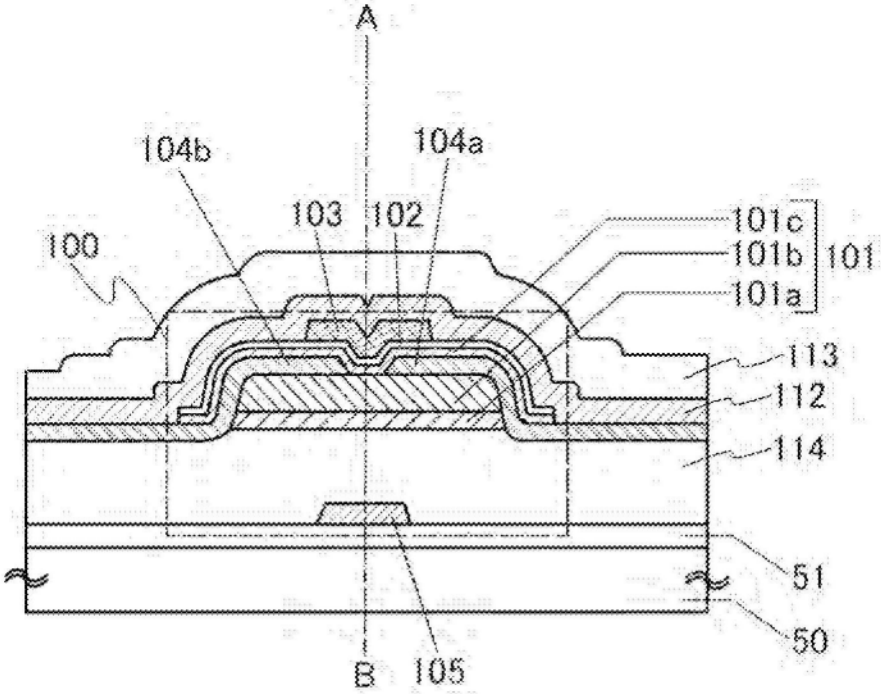

A
104b
104a
103
102
100
101c
101b
101
101a
113
112
114
51
50
B
105

图7A

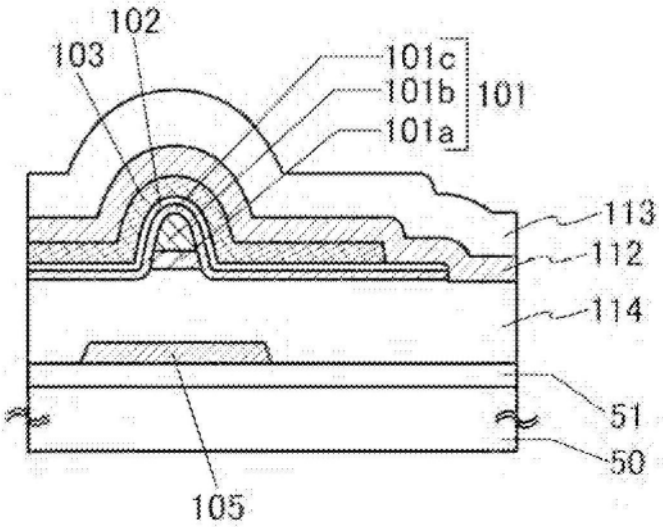

102
103
101c
101b
101
101a
113
112
114
51
50
105

图7B

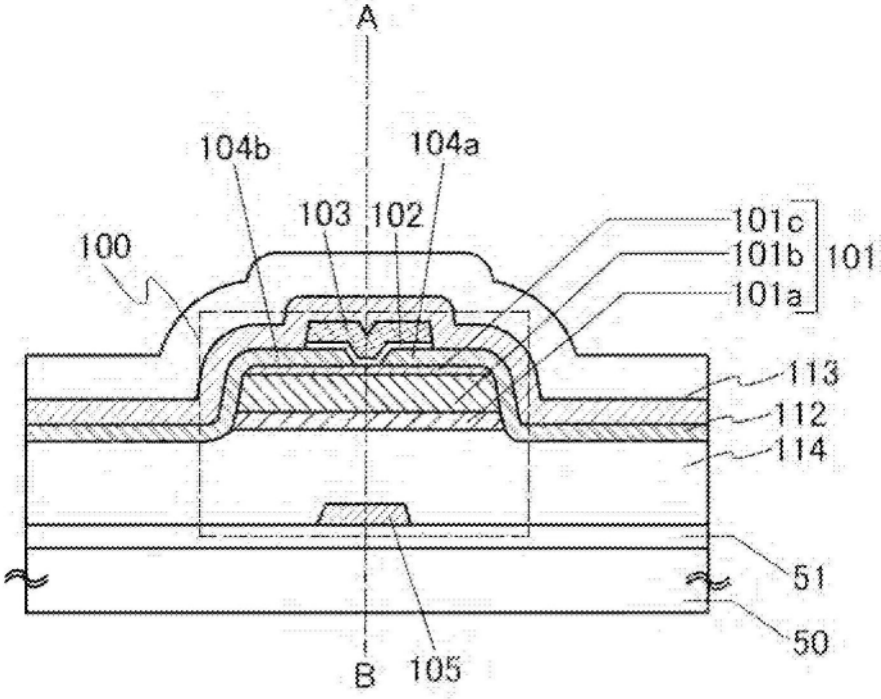

A
104b
104a
103
102
100
101c
101b
101
101a
113
112
114
51
50
B
105

图8A

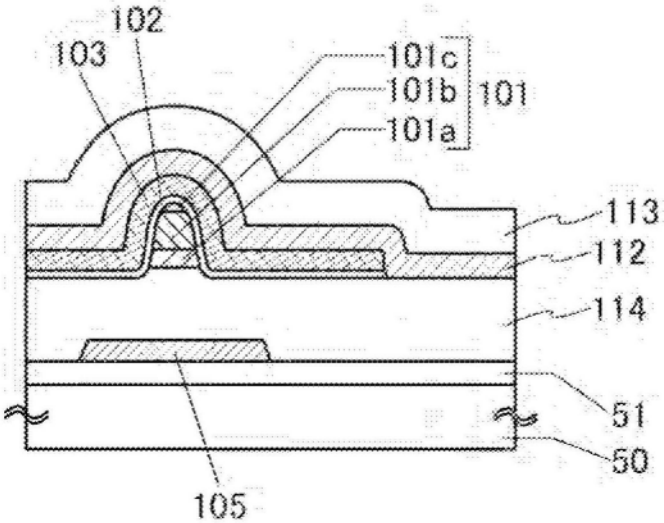

102
103
101c
101b
101
101a
113
112
114
51
50
105

图8B

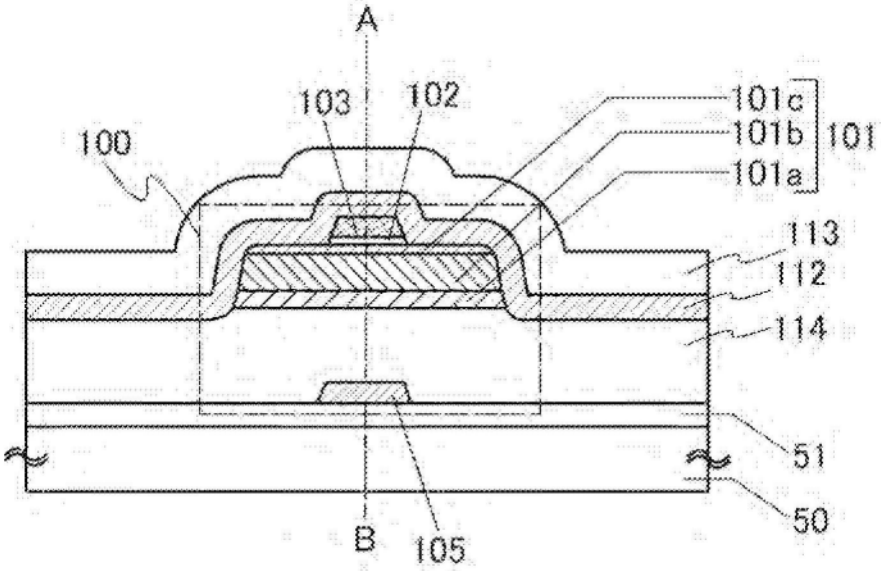

A
103
102
100
101c
101b
101
101a
113
112
114
51
50
B
105

图9A

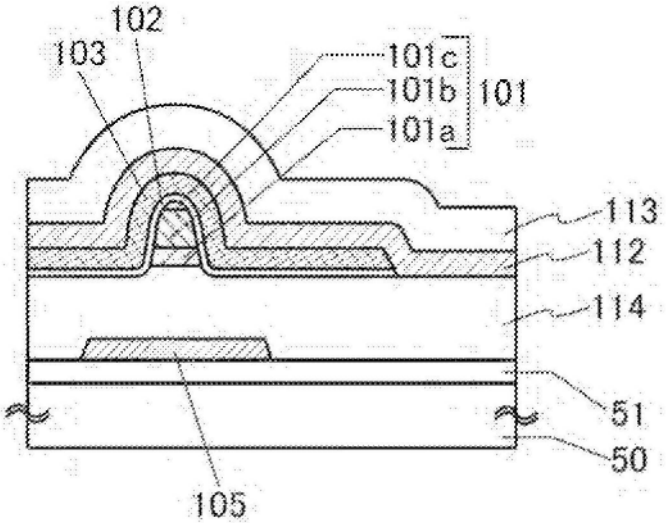

102
103
101c
101b
101
101a
113
112
114
51
50
105

图9B

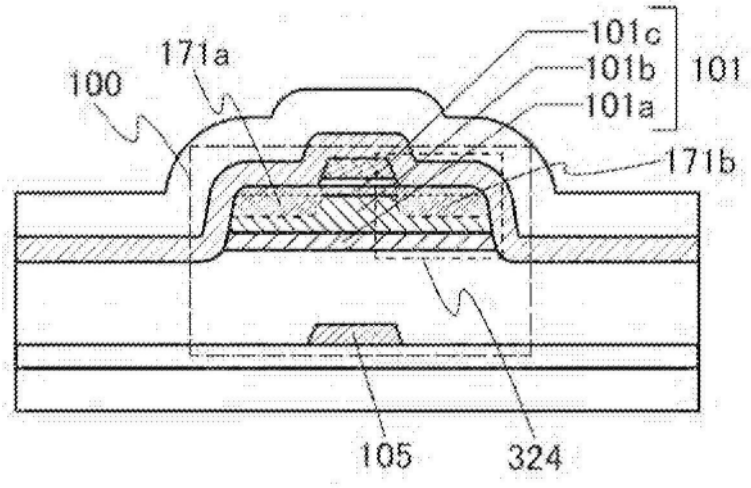


图9C

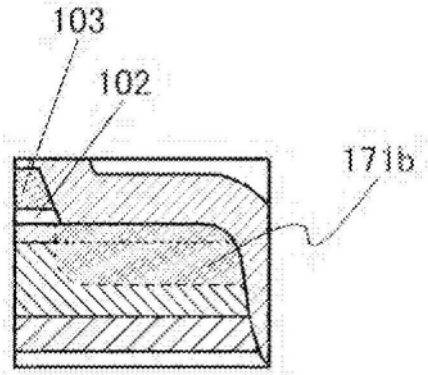


图9D

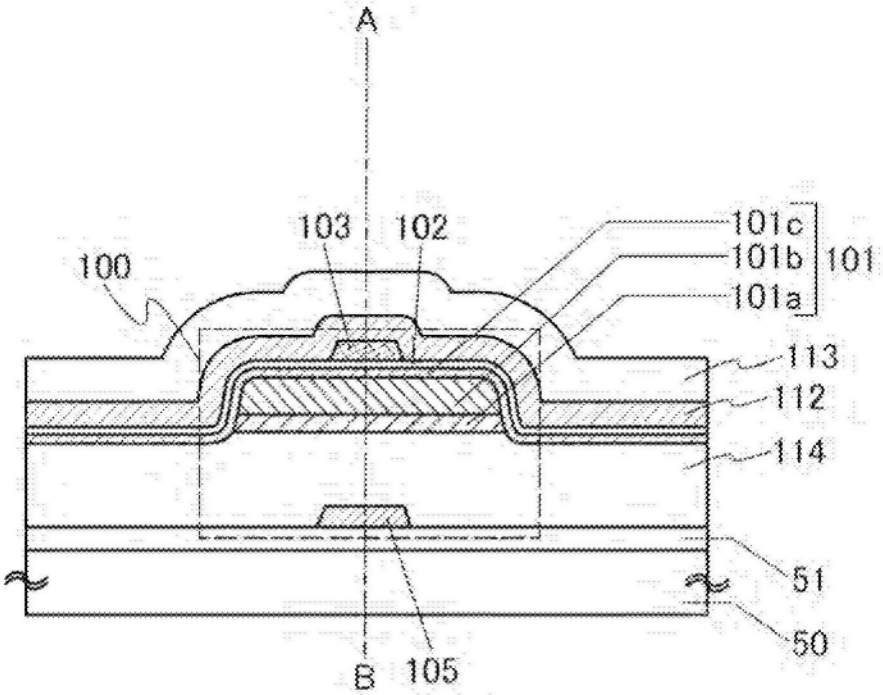

A
103
102
100
101c
101b
101
101a
113
112
114
51
50
B
105

图10A

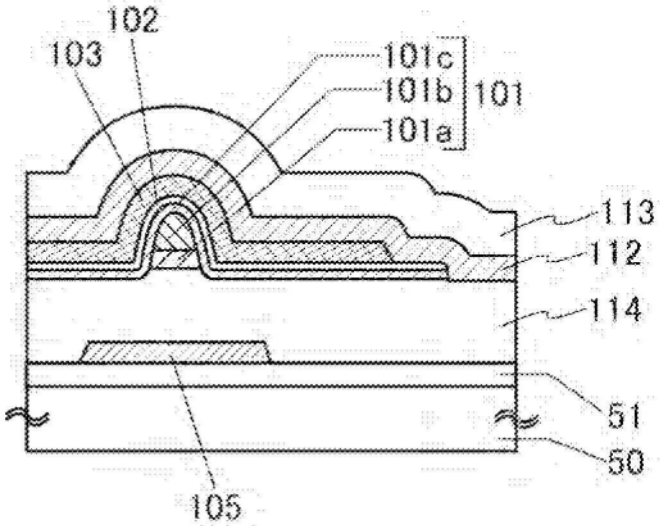

102
103
101c
101b
101
101a
113
112
114
51
50
105

图10B

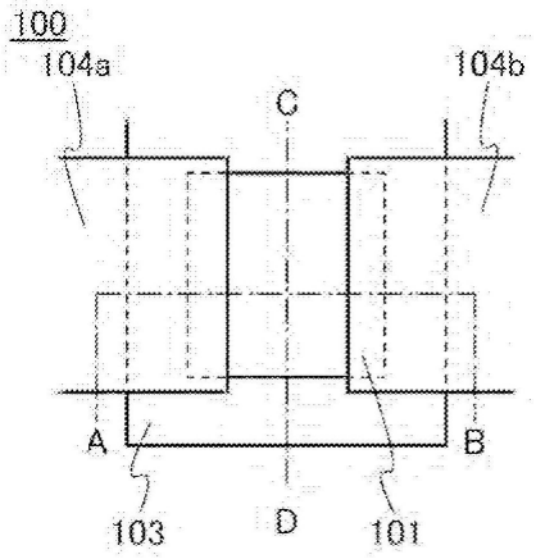


图11A

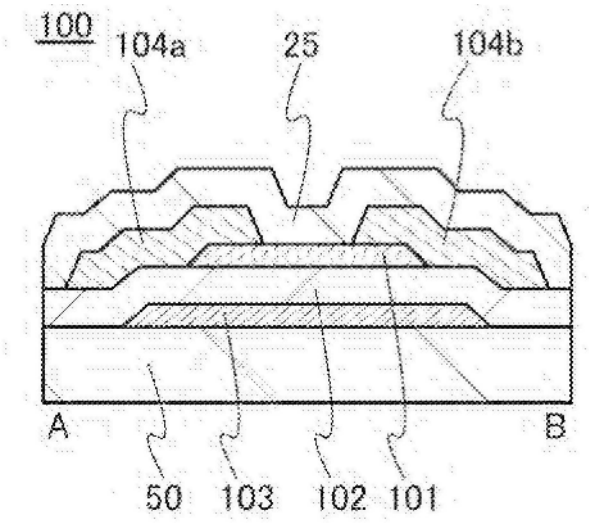


图11B

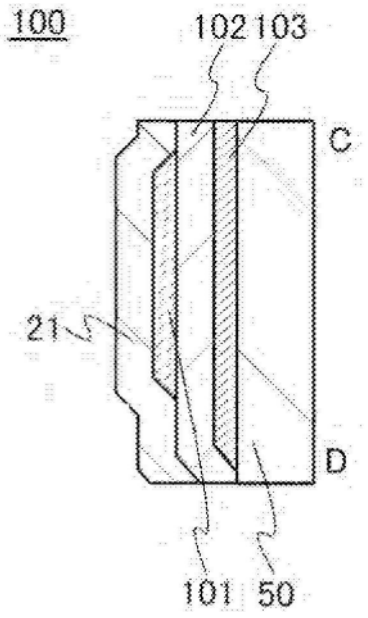


图11C

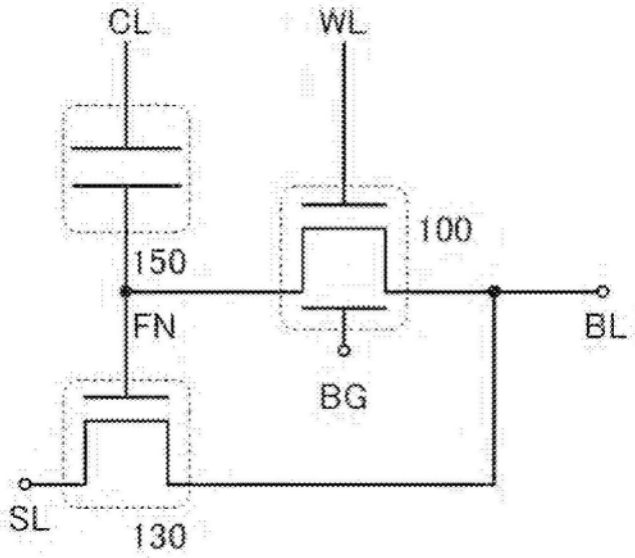


图12A

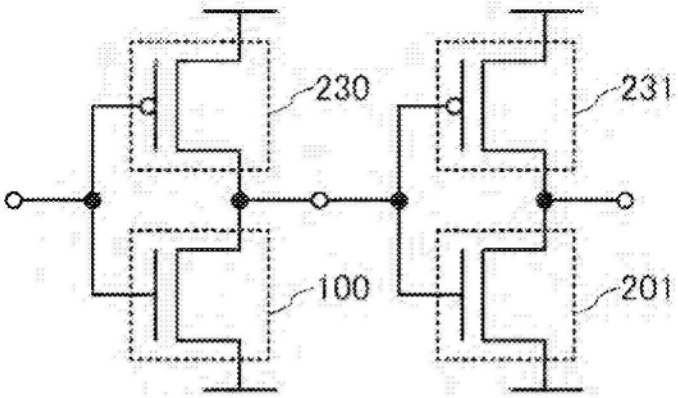

230
231
100
201

图12B

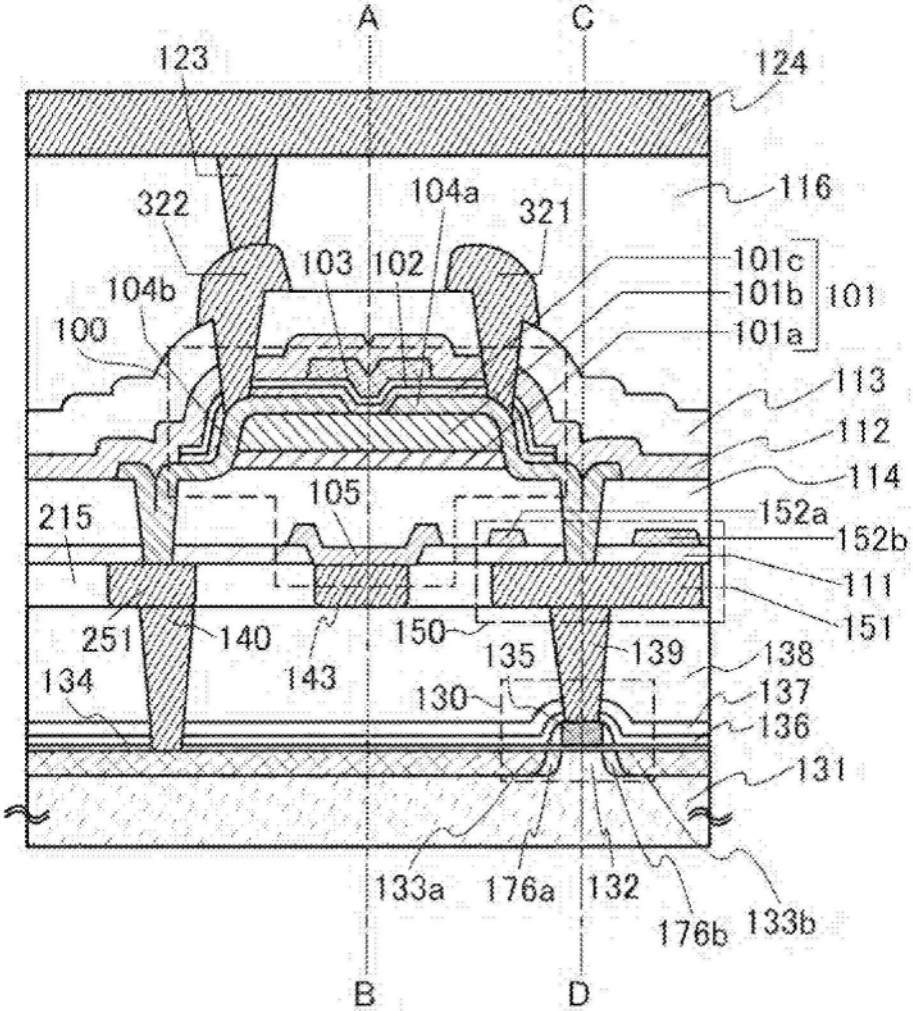

A
C
123
124
116
322
104a
321
101c
101b
101
101a
104b
103
102
100
113
112
114
105
152a
152b
215
111
151
251
140
150
135
139
138
134
143
130
137
136
131
133a
176a
132
176b
133b
B
D

图13A

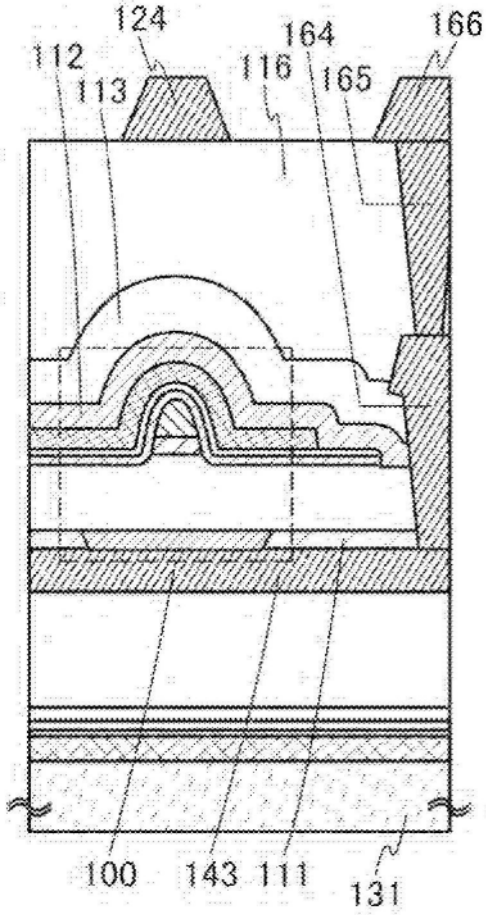


图13B

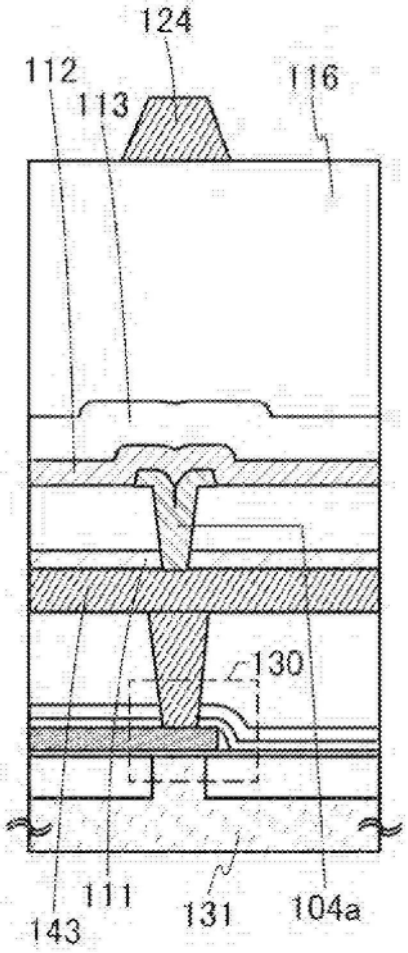


图13C

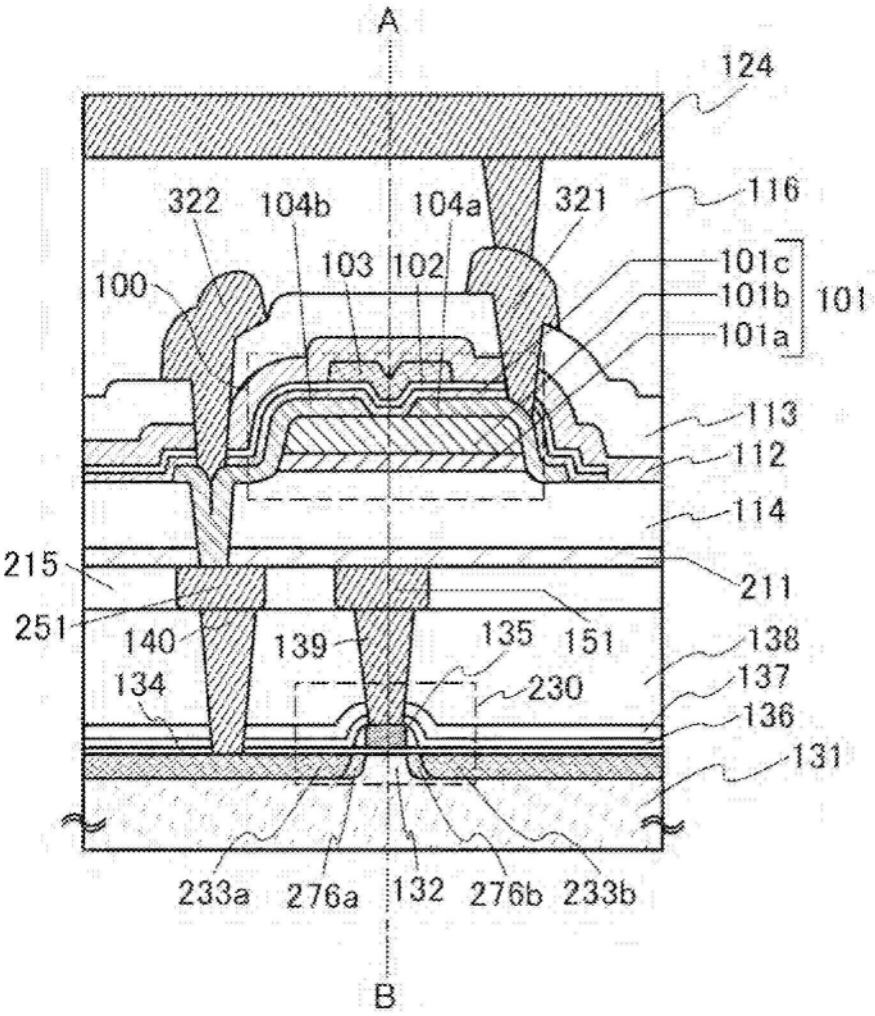

A
124
116
322
104b
104a
321
103
102
101c
101b
101
101a
100
113
112
114
215
211
251
140
139
135
151
138
134
230
137
136
131
233a
276a
132
276b
233b
B

图14A

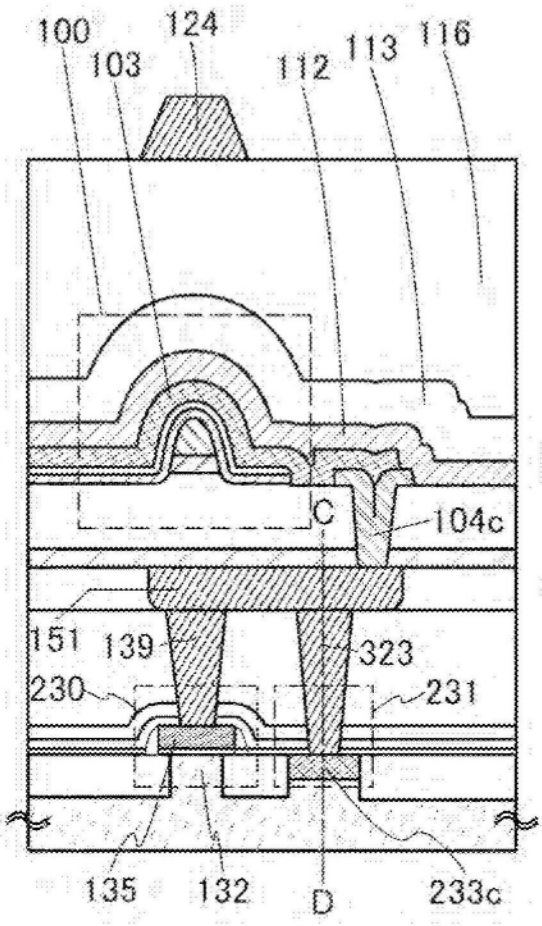

100
124
103
112
113
116
C
104c
151
139
323
230
231
135
132
D
233c

图14B

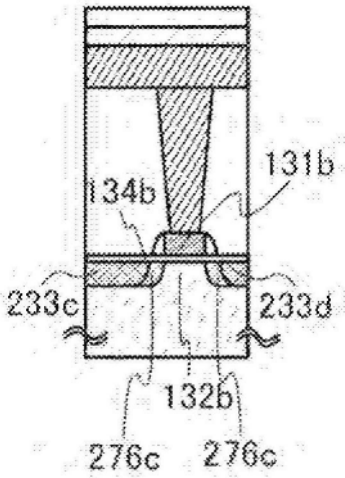

131b
134b
233c
233d
132b
276c
276c

图14C

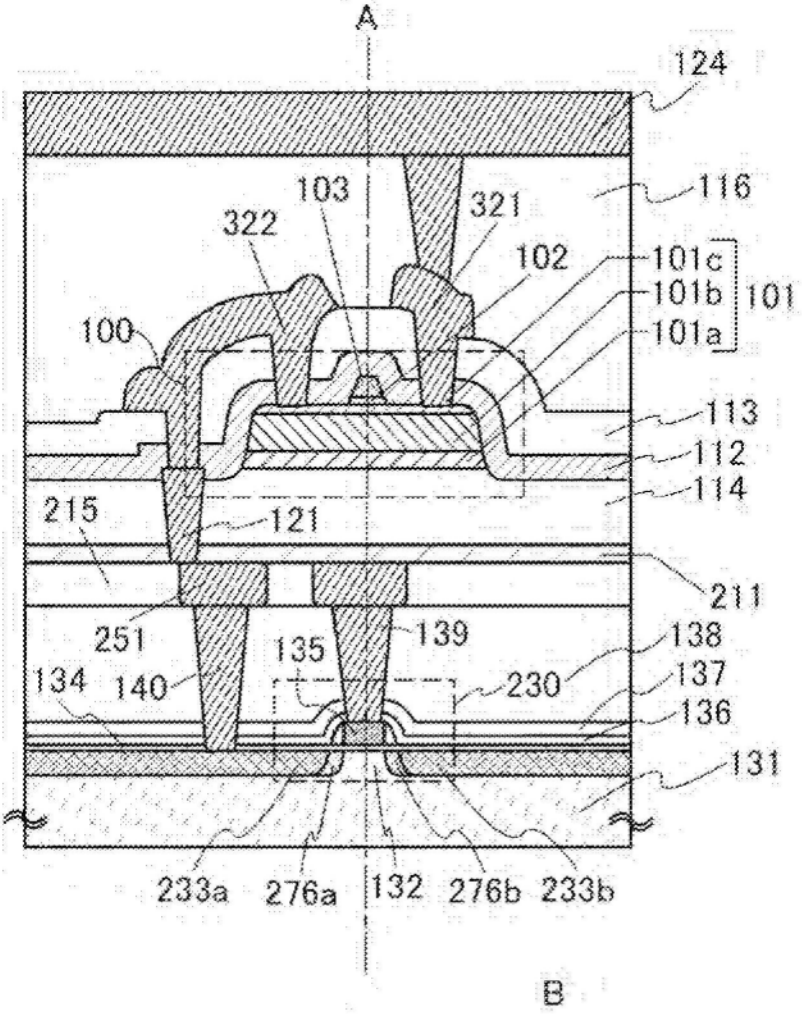

A
124
116
103
321
322
102
101c
101b
101
101a
100
113
112
114
215
121
211
251
139
138
135
134
140
230
137
136
131
233a
276a
132
276b
233b
B

图15A

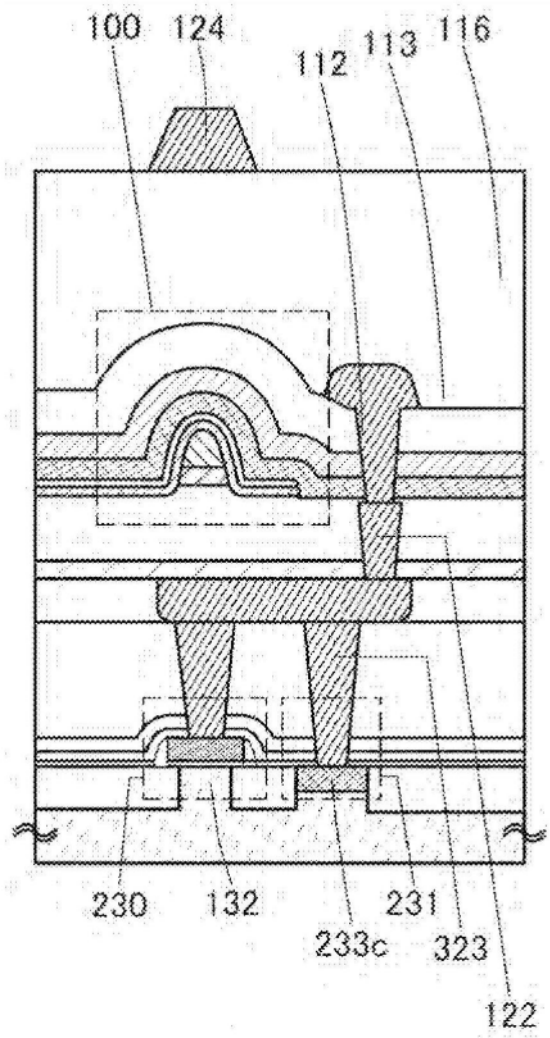

100
124
112
113
116
230
132
231
233c
323
122

图15B

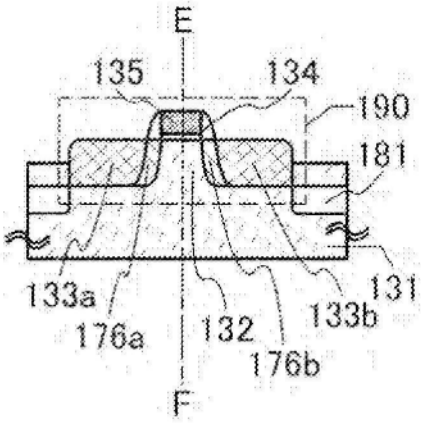

E
135
134
190
181
133a
176a
132
133b
176b
131
F

图15C

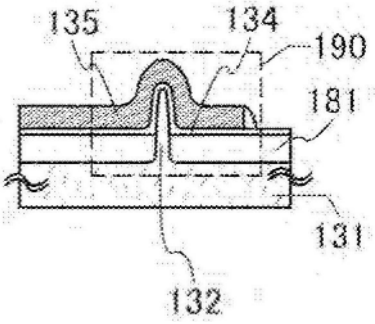


图15D

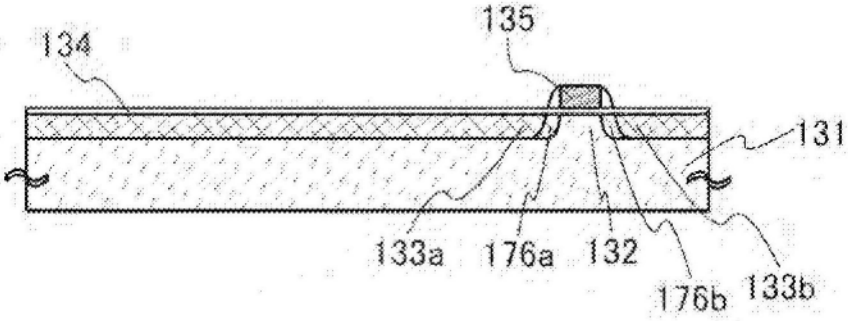


图16A

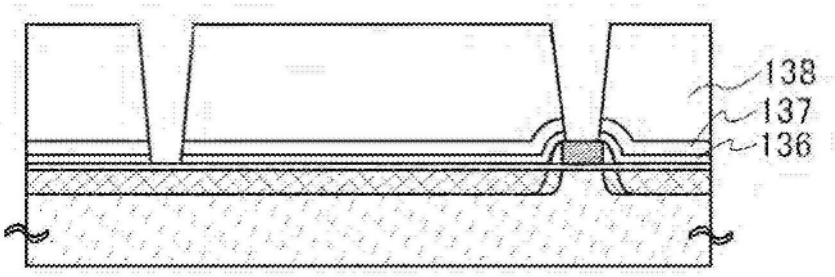


图16B

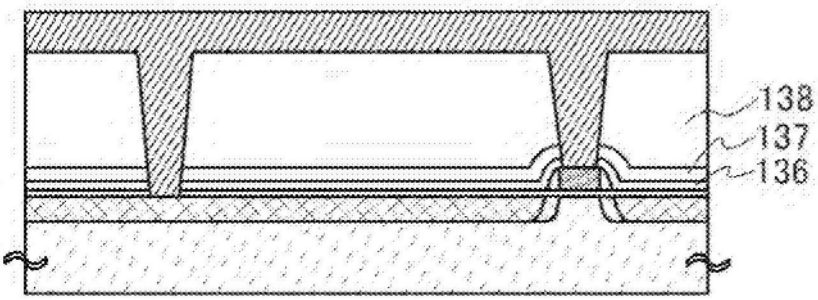


图16C

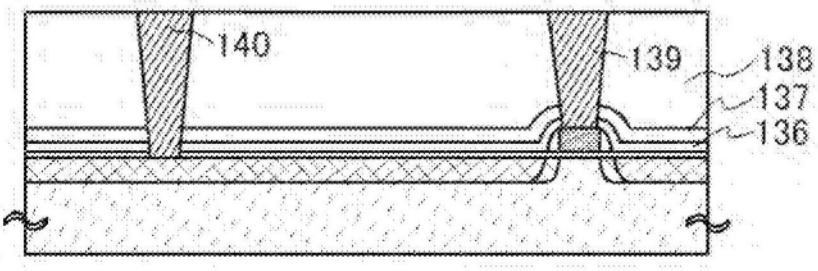


图16D

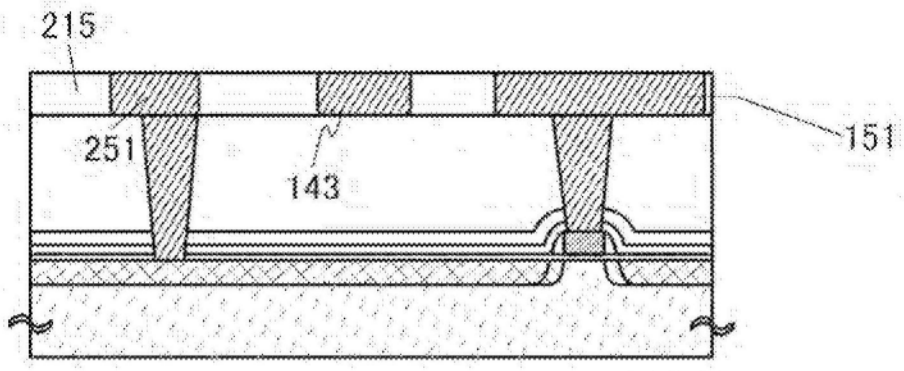


图16E

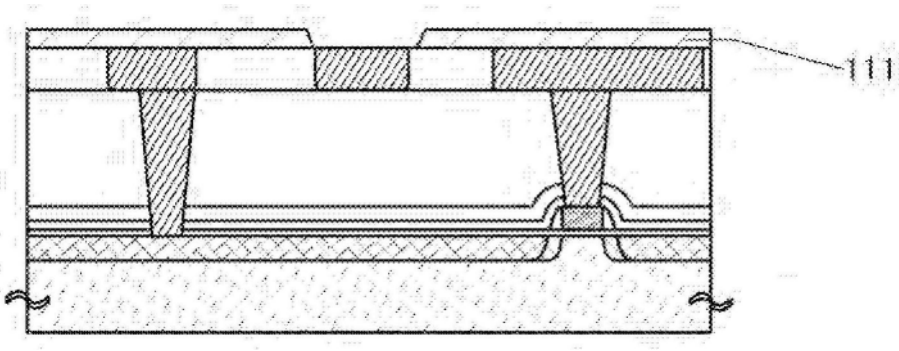


图17A

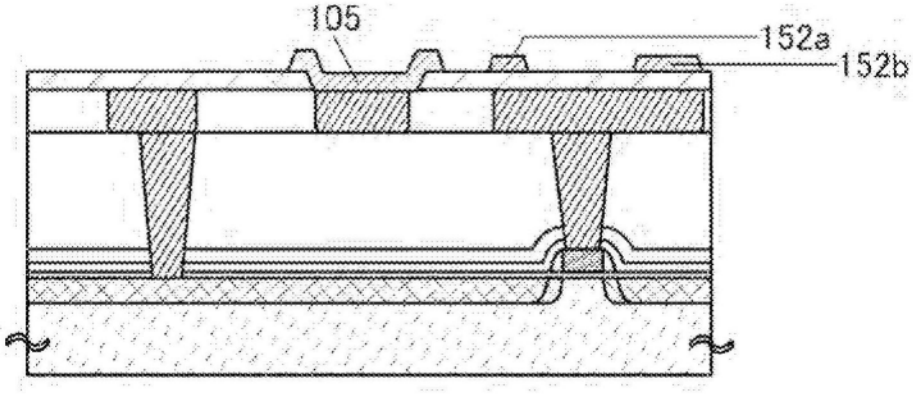


图17B

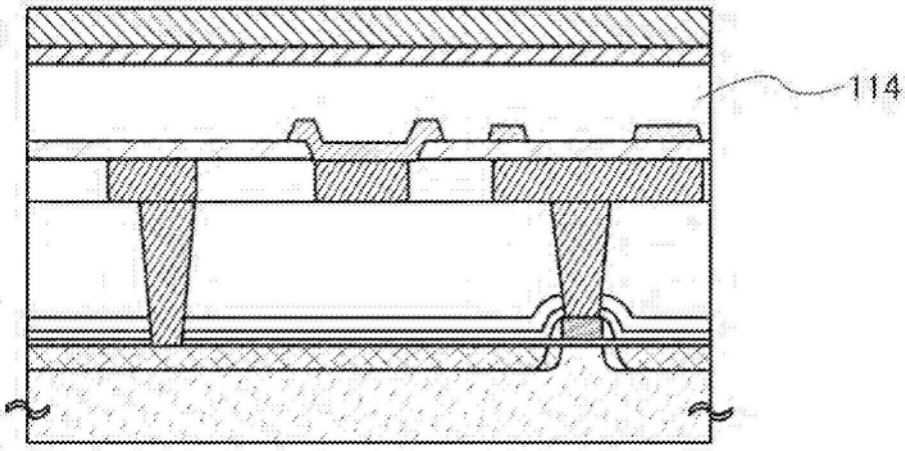


图17C

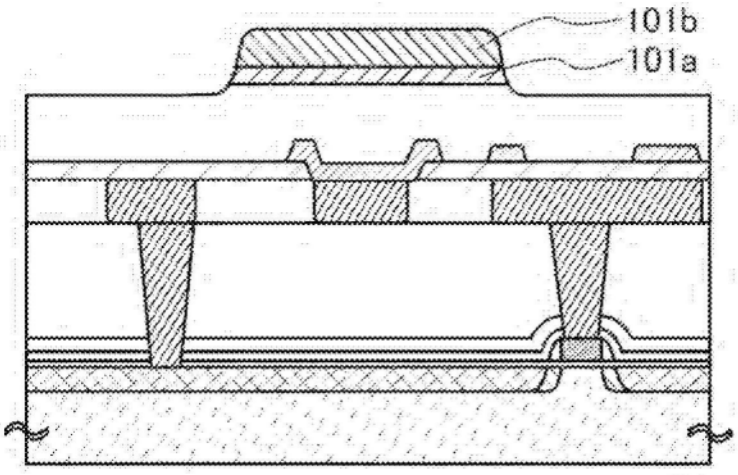


图17D

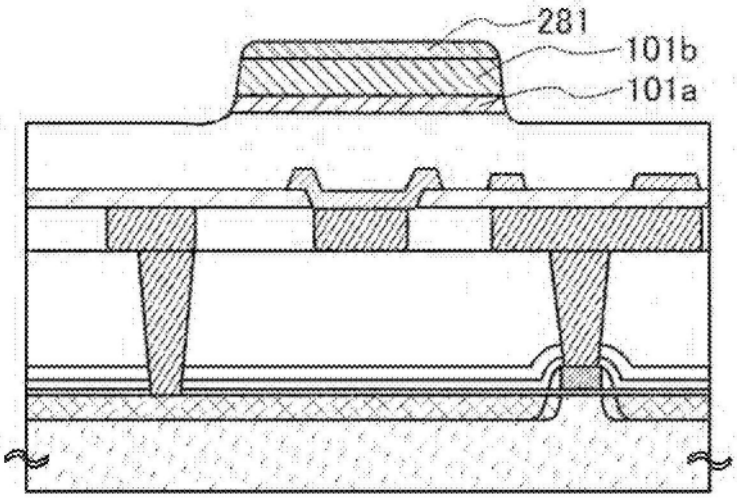


图18A

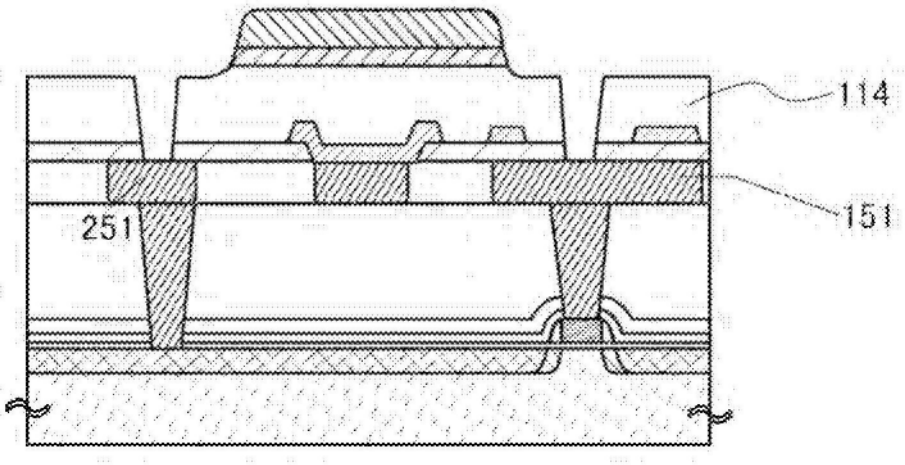


图18B

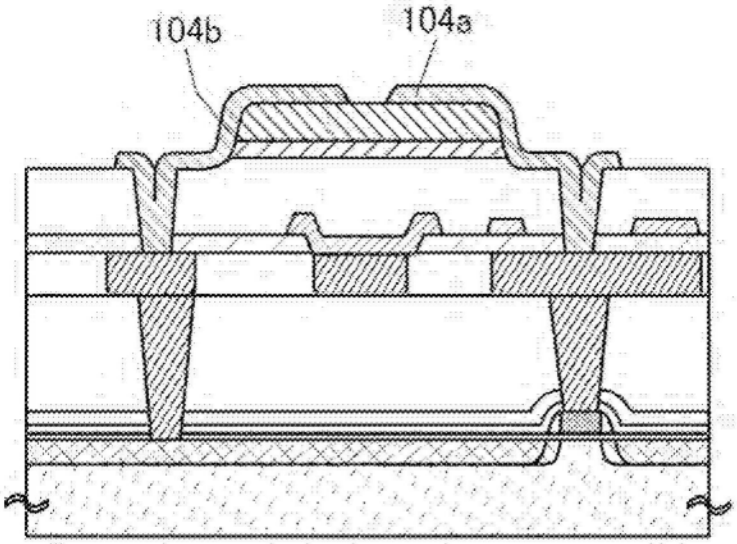


图18C

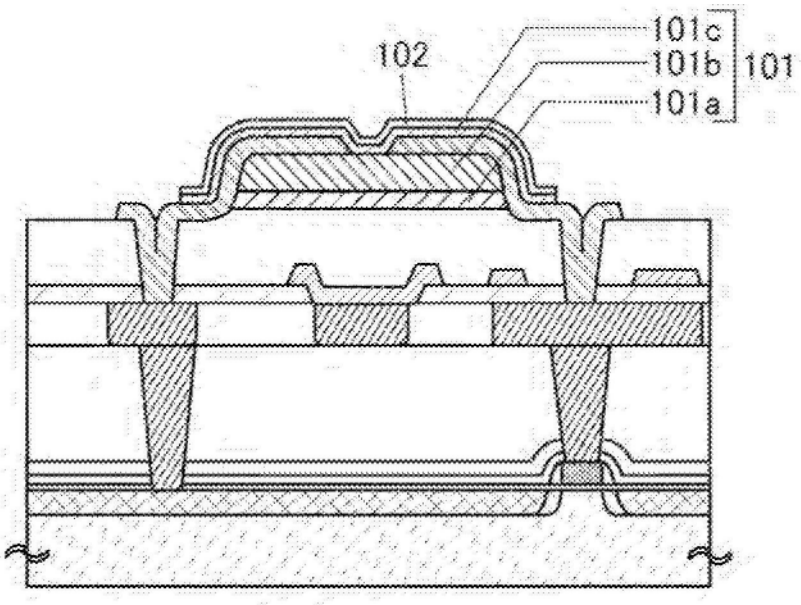


图19A

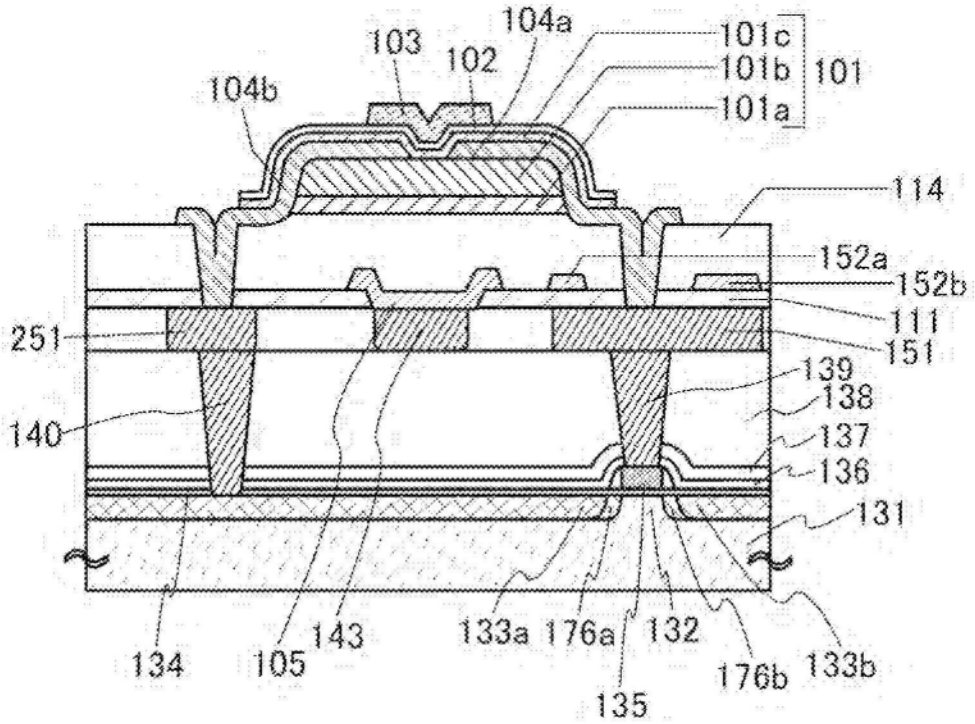

104a
103
102
101c
101b
101
101a
104b
114
152a
152b
111
251
151
139
138
140
137
136
131
134
105
143
133a
176a
132
176b
133b
135

图19B

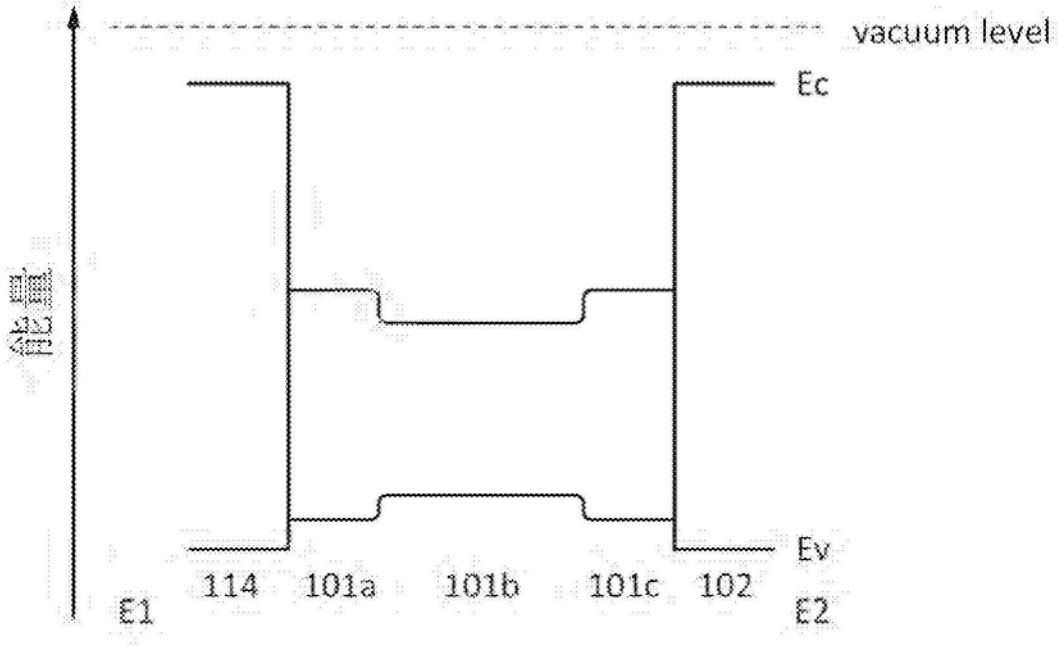

vacuum level
Ec
能量
Ev
114
101a
101b
101c
102
E1
E2

图20A

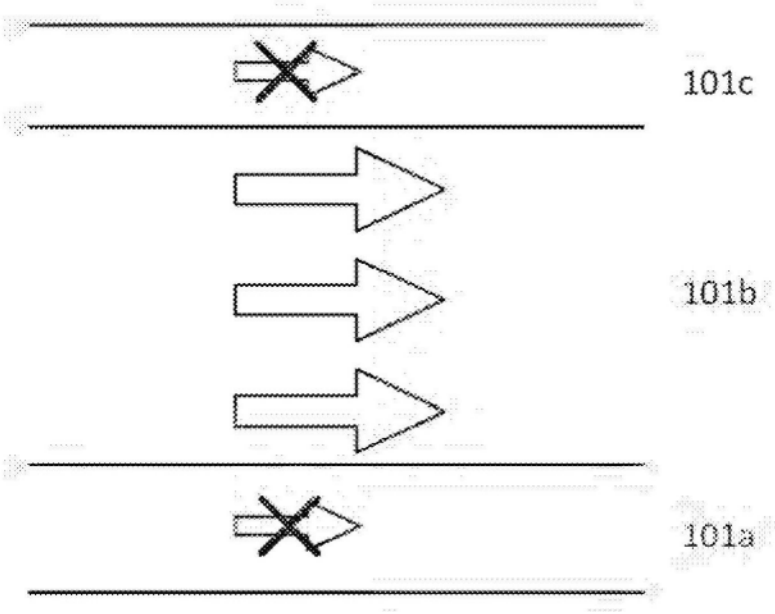


图20B

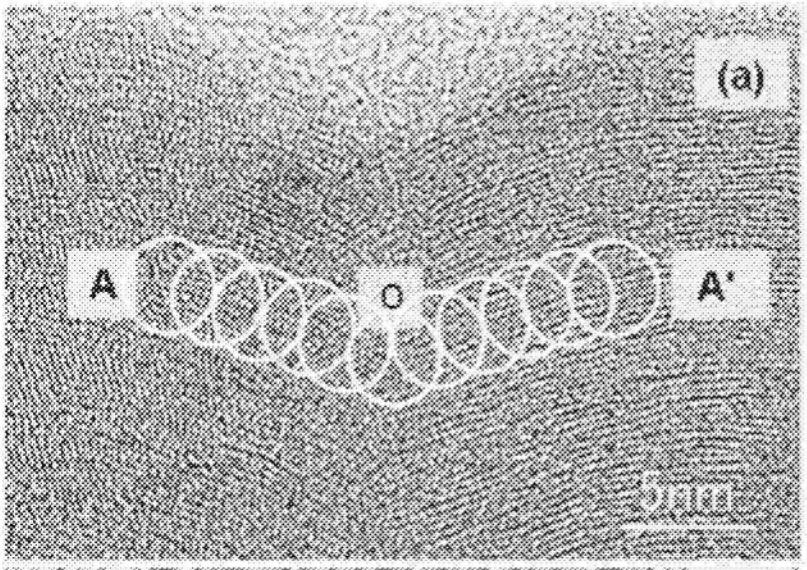


图21A

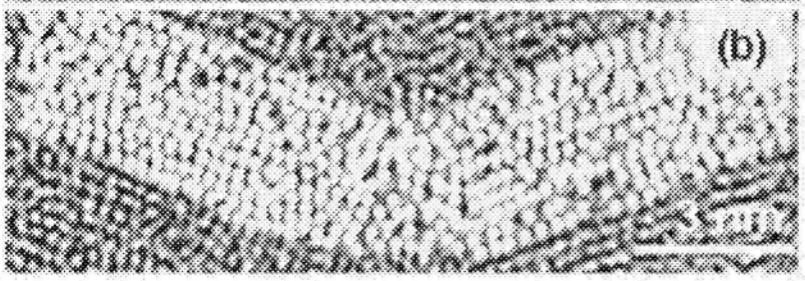


图21B

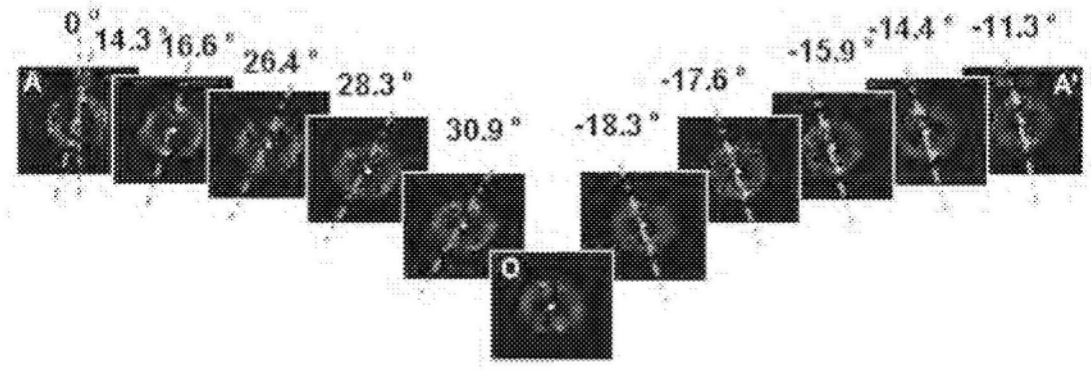
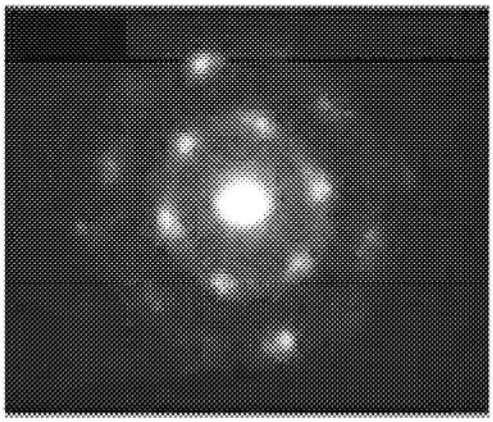
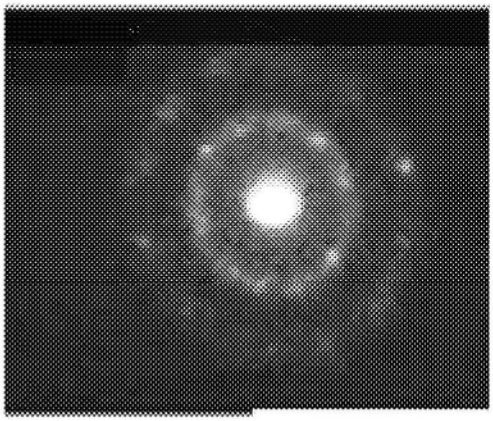


图21C



CAAC-OS

图22A



nc-OS

图22B

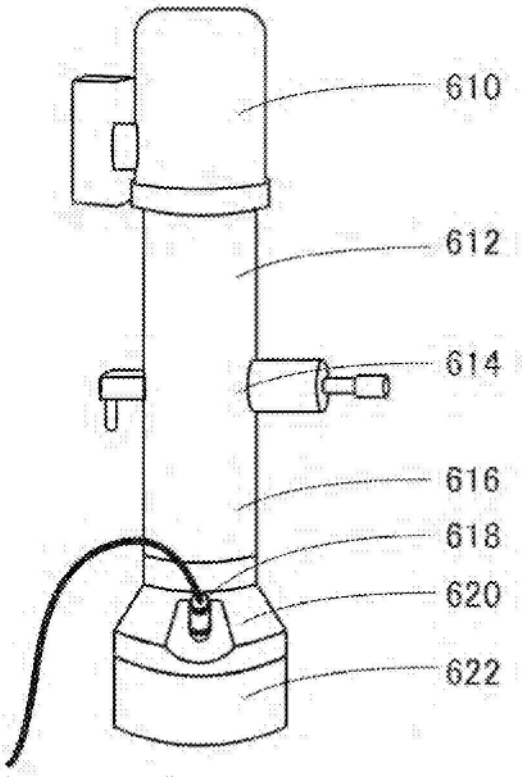


图22C

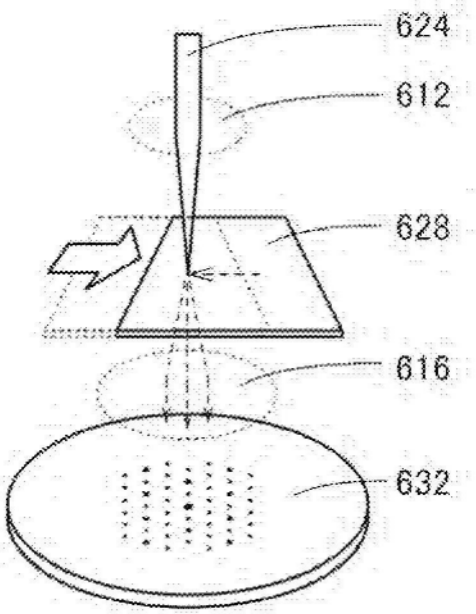


图22D

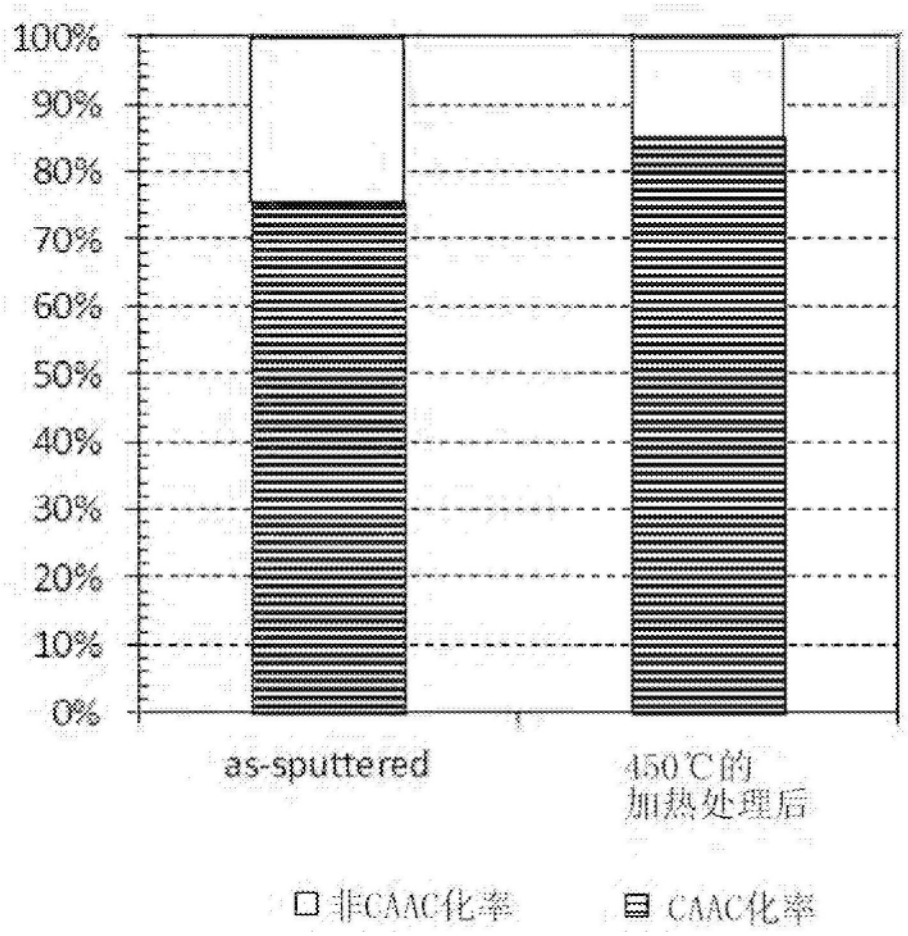
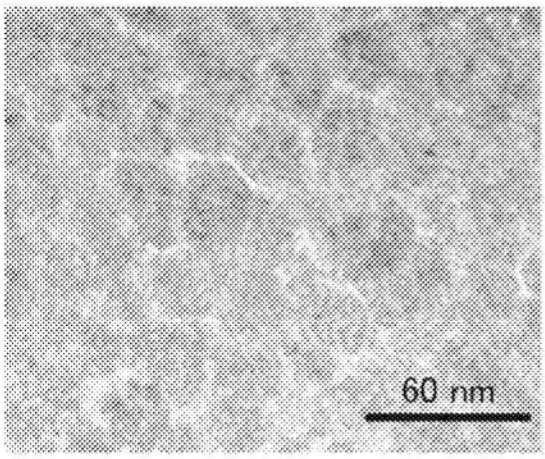
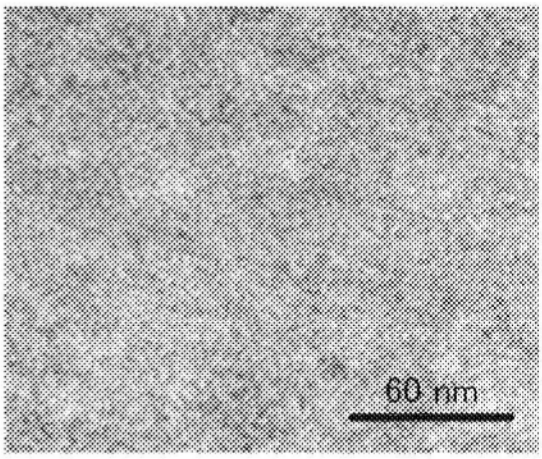

100%
90%
80%
70%
60%
50%
40%
30%
20%
10%
0%
as-sputtered
450℃的
加热处理后
非CAAC化率
CAAC化率

图23A



as-sputtered

图23B



450℃的
加热处理后

图23C

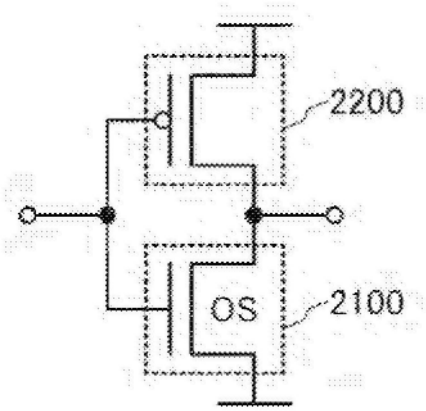


图24A

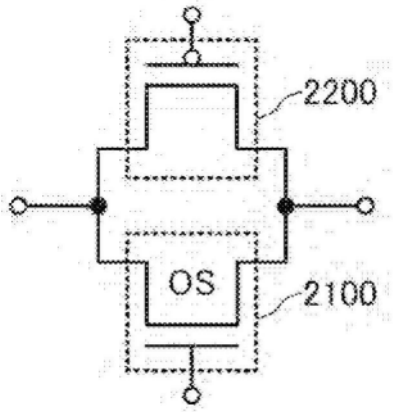


图24B

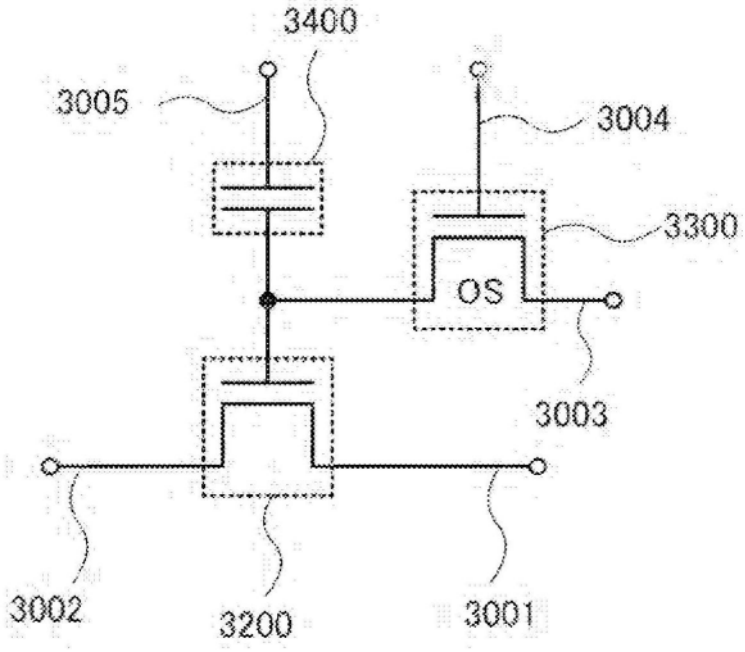


图24C

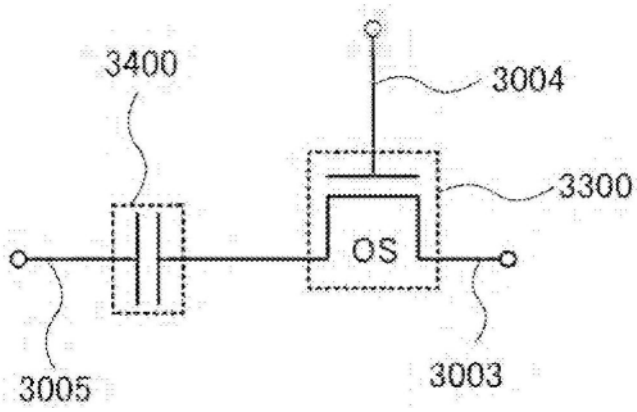


图24D

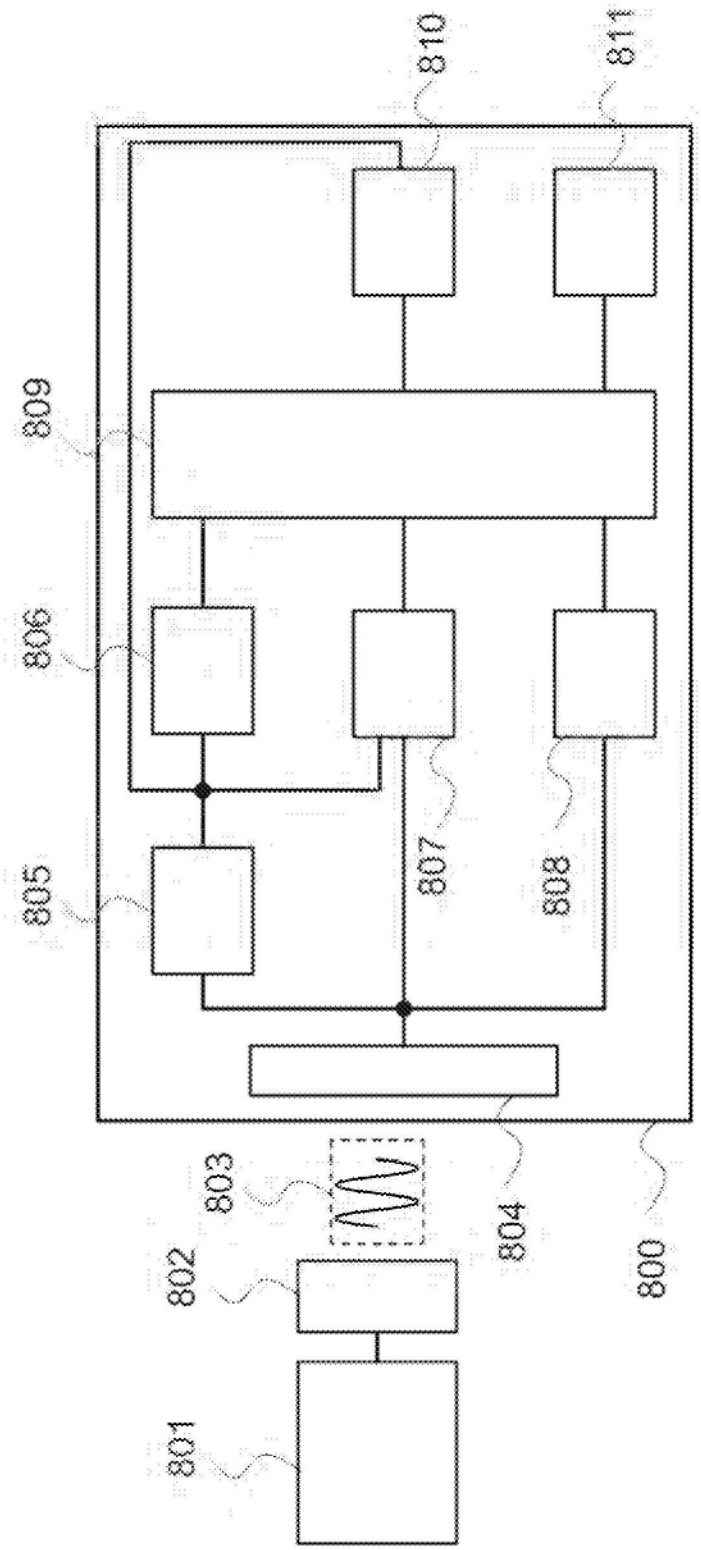


图25

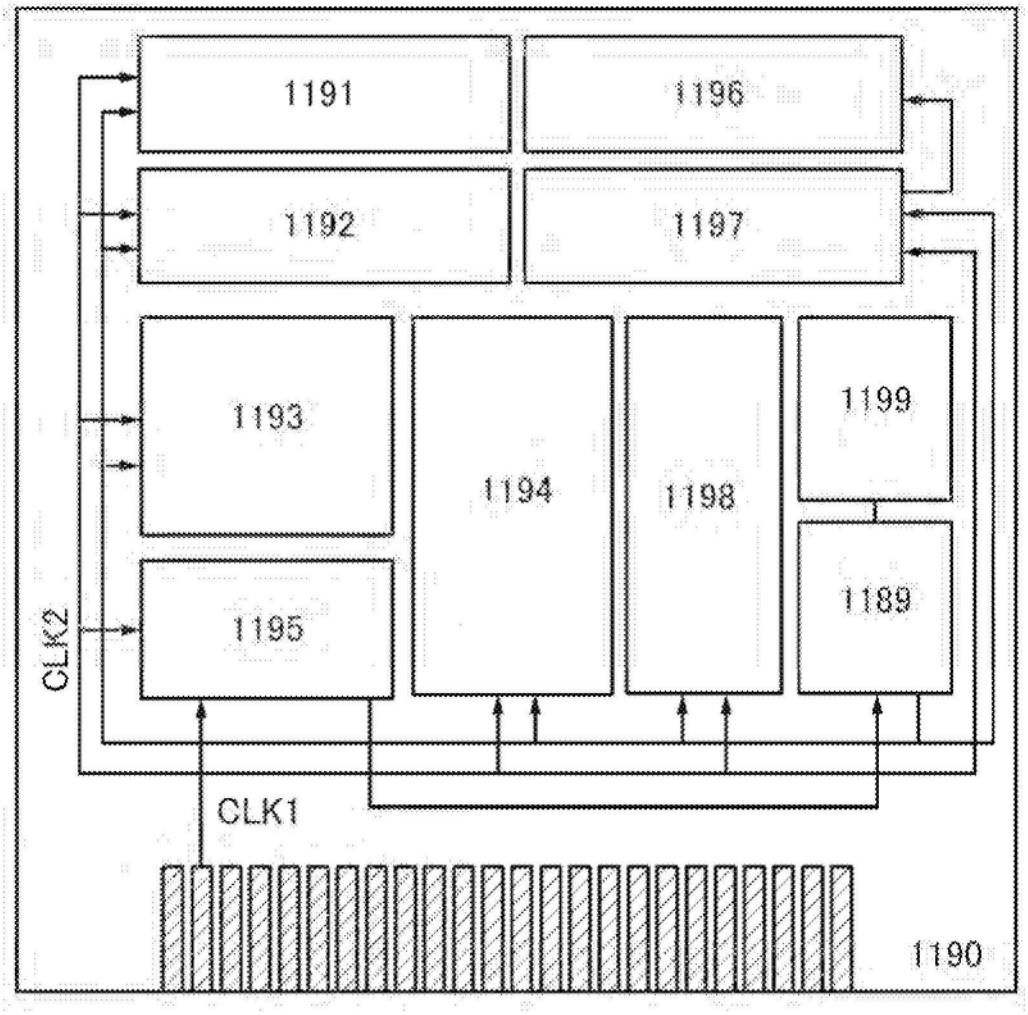

1191
1196
1192
1197
1193
1194
1198
1199
1189
1195
CLK2
CLK1
1190

图26

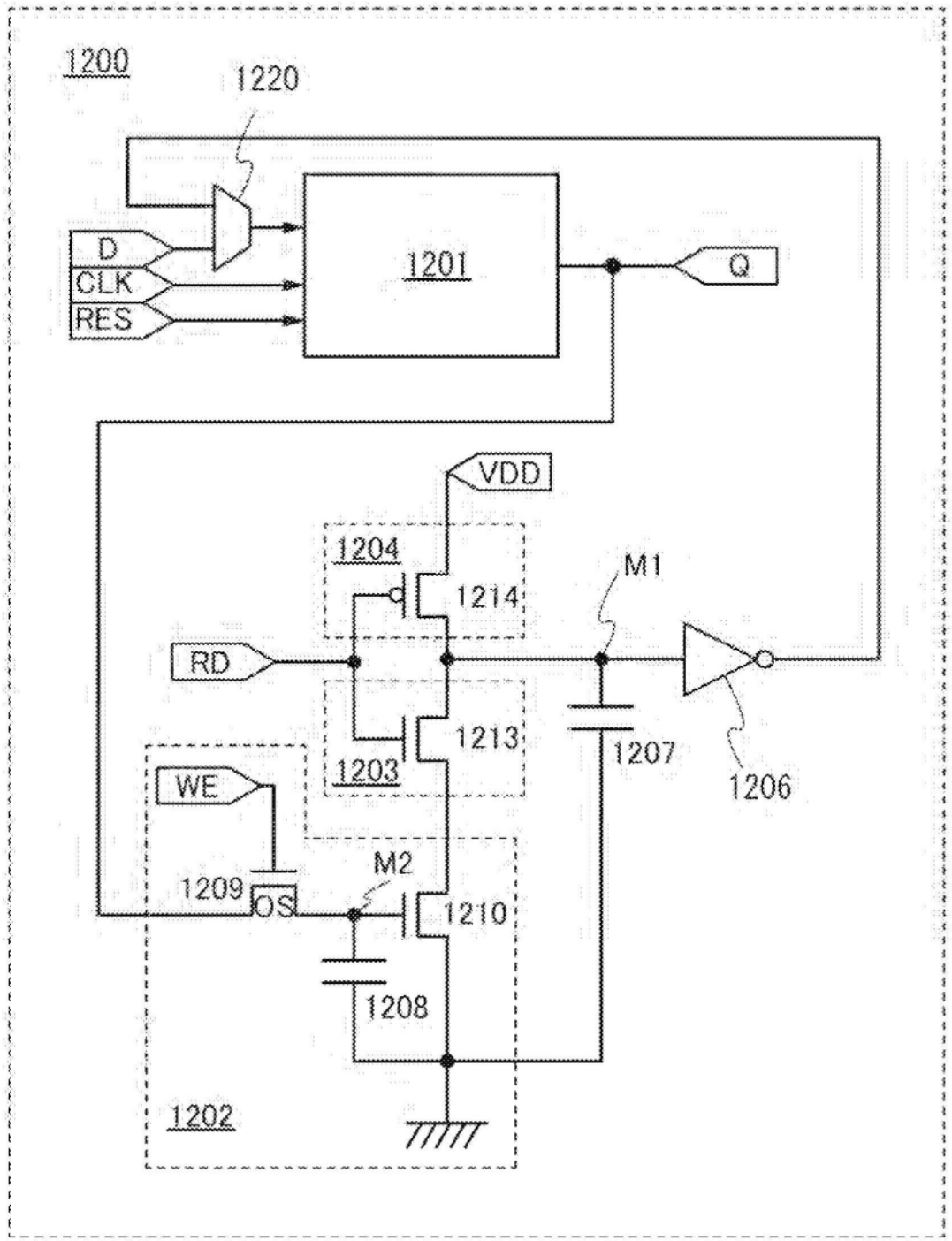

1200
1220
D
CLK
RES
1201
Q
VDD
1204
1214
M1
RD
1213
1203
1207
1206
WE
1209
OS
M2
1210
1208
1202

图27

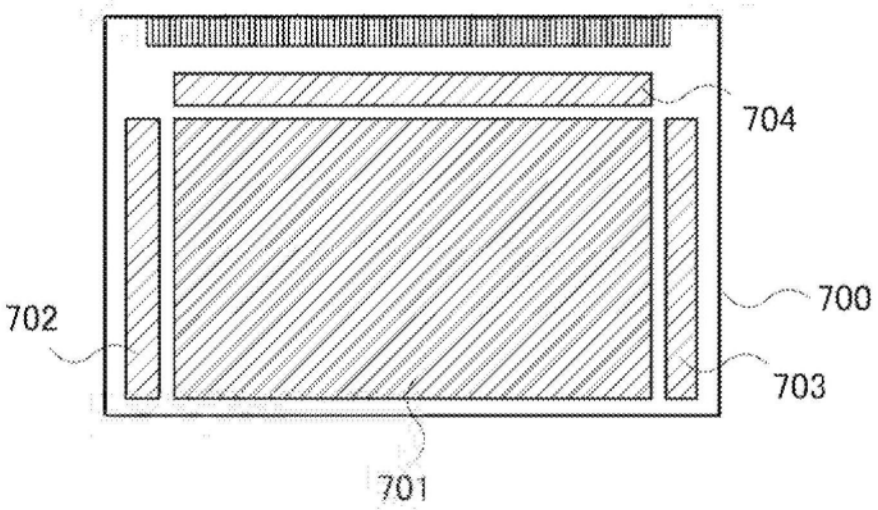


图28A

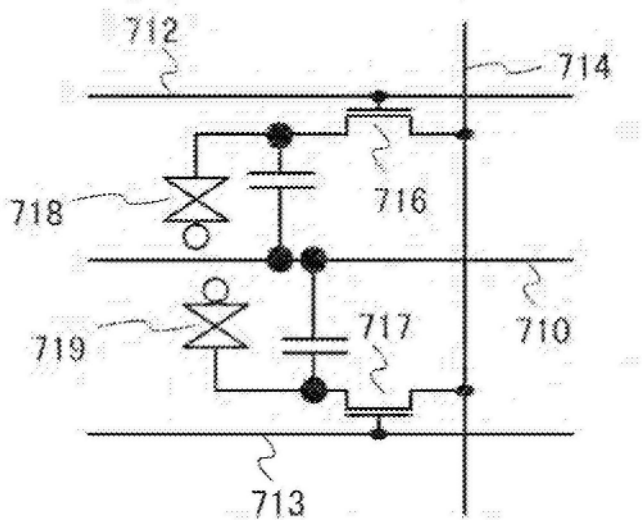


图28B

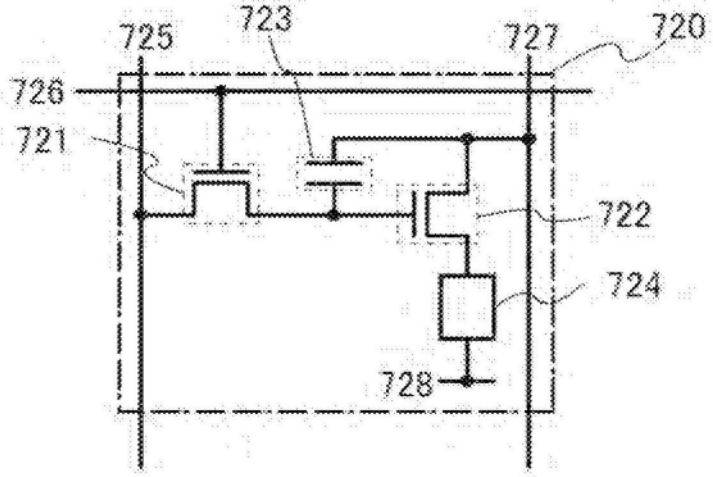

725
723
727
720
726
721
722
724
728

图28C

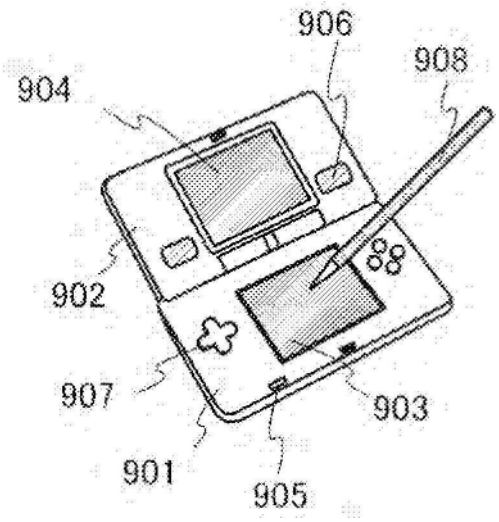

906
908
904
902
907
903
901
905

图29A

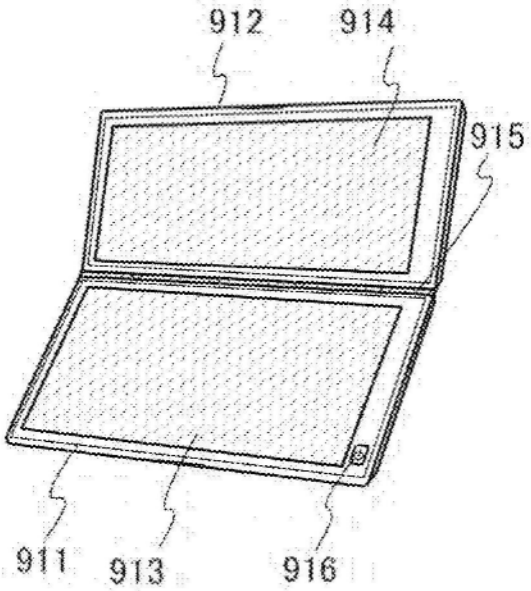


图29B

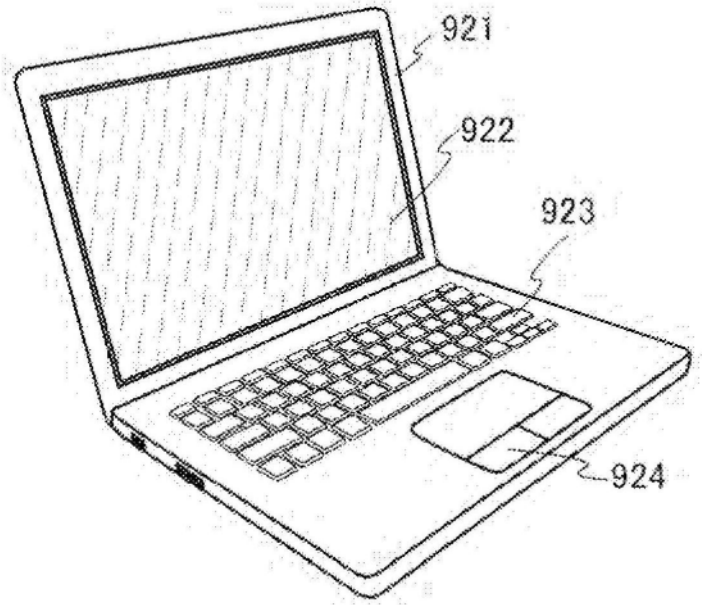


图29C

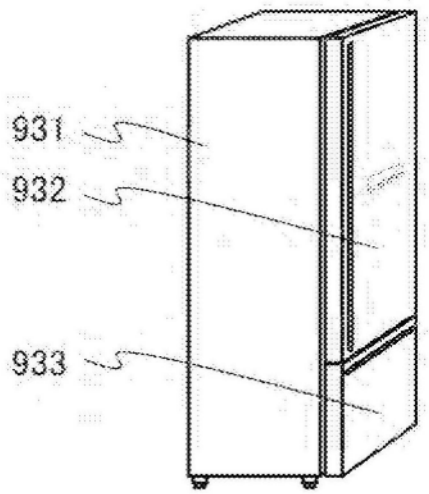


图29D

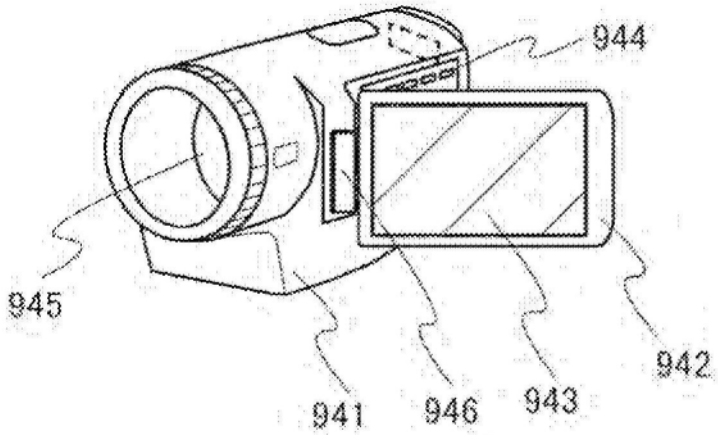


图29E

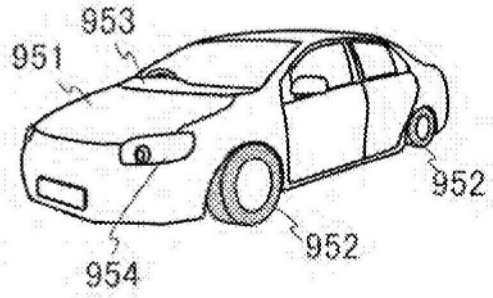


图29F

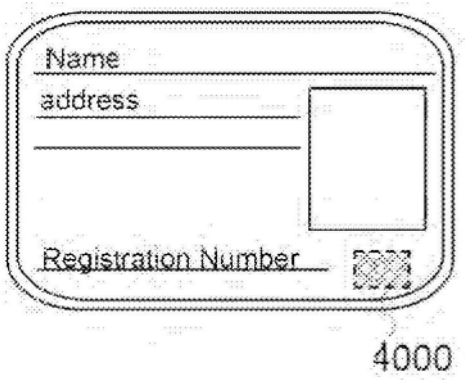


图30A

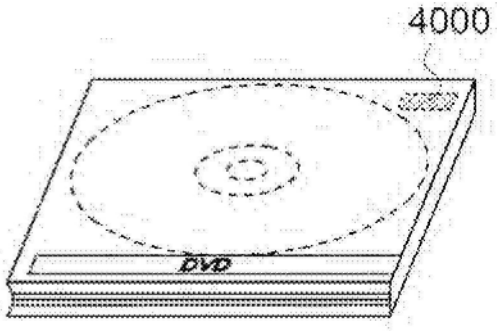


图30B

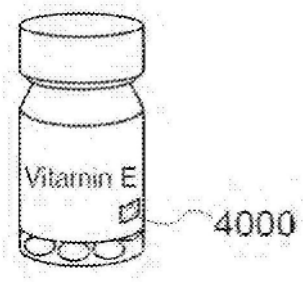


图30C

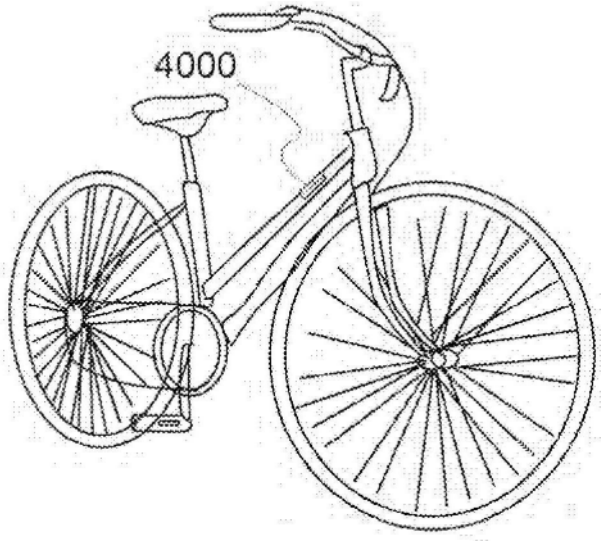


图30D

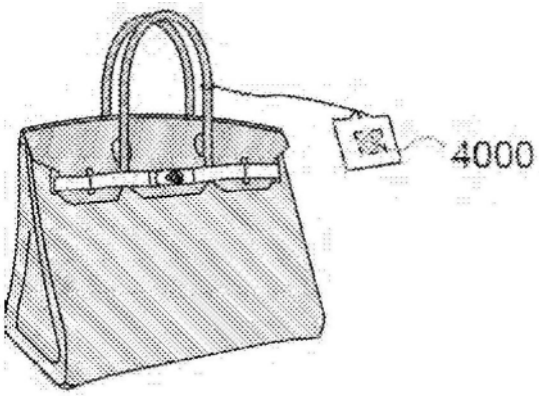


图30E

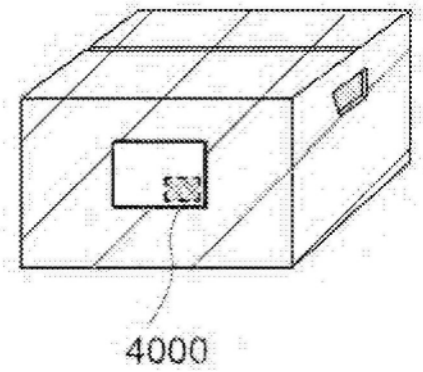


图30F

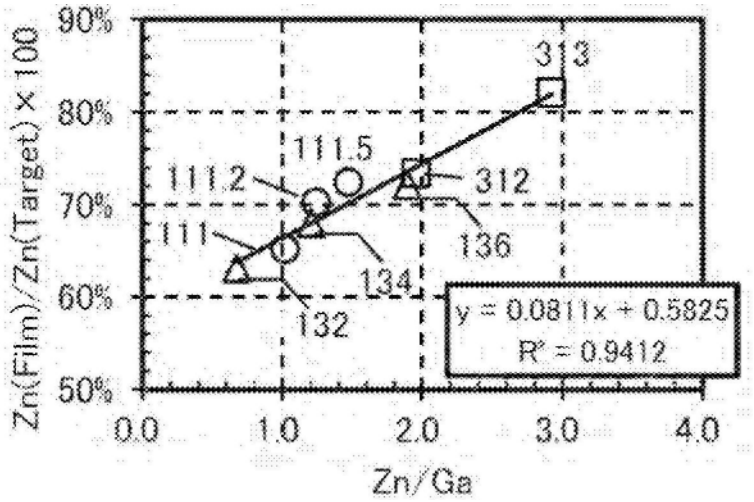

90%
80%
70%
60%
50%
Zn(Film)/Zn(Target)×100
0.0
1.0
2.0
3.0
4.0
Zn/Ga
313
111.5
111.2
312
111
136
134
132
y = 0.0811x + 0.5825
R² = 0.9412

图31A

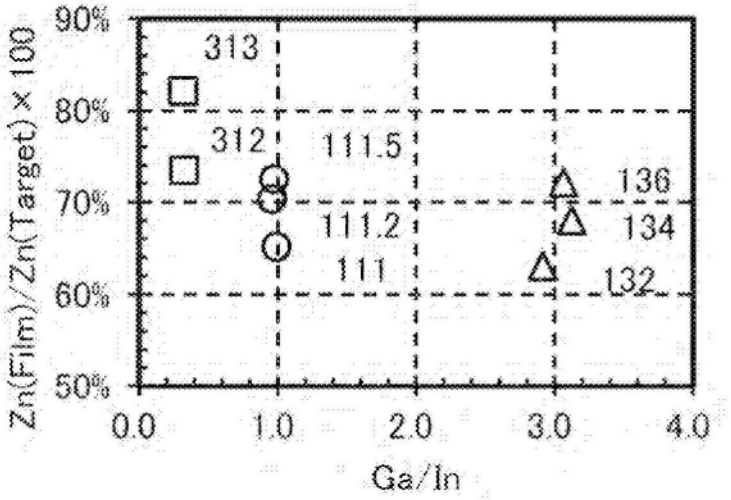

90%
80%
70%
60%
50%
Zn(Film)/Zn(Target)×100
0.0
1.0
2.0
3.0
4.0
Ga/In
313
312
111.5
136
134
111.2
111
132

图31B

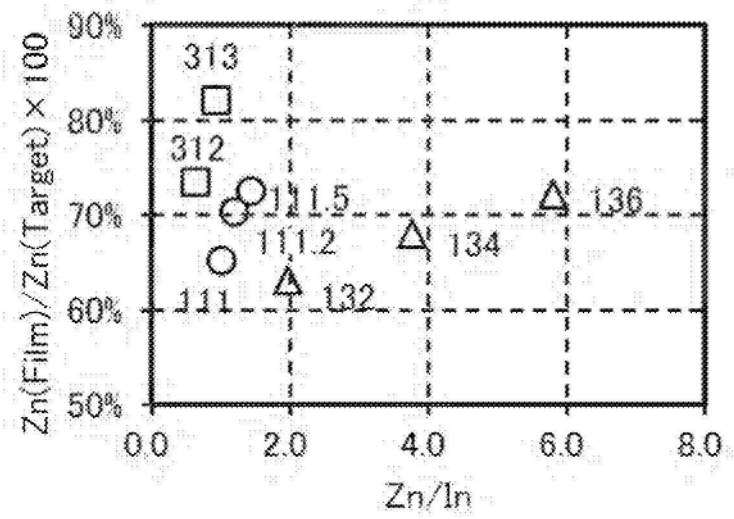

90%
80%
70%
60%
50%
Zn(Film)/Zn(Target)×100
313
312
111.5
136
111.2
134
111
132
0.0
2.0
4.0
6.0
8.0
Zn/In

图31C

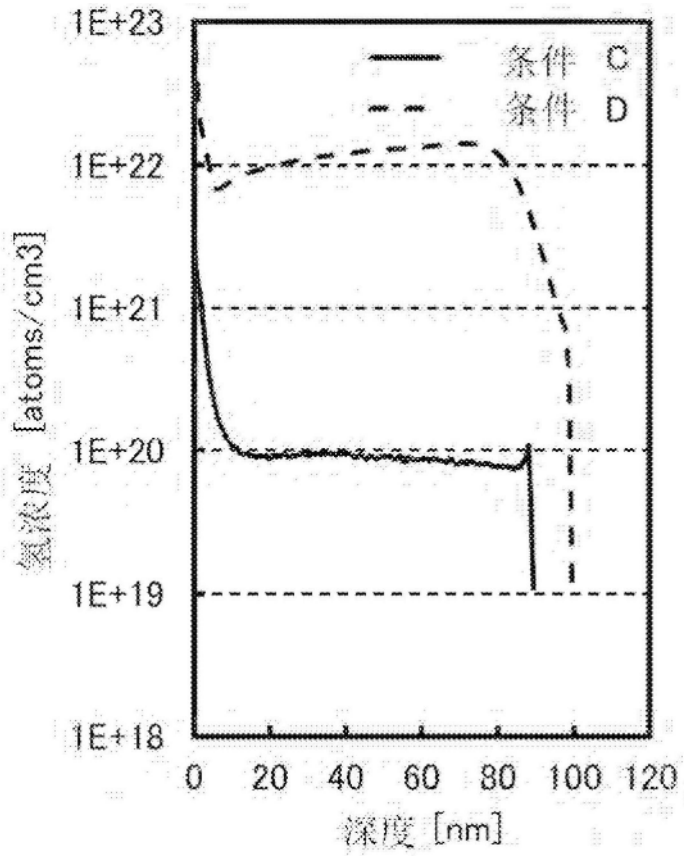

1E+23
1E+22
1E+21
1E+20
1E+19
1E+18
条件 C
条件 D
氢浓度 [atoms/cm3]
0
20
40
60
80
100
120
深度 [nm]

图32

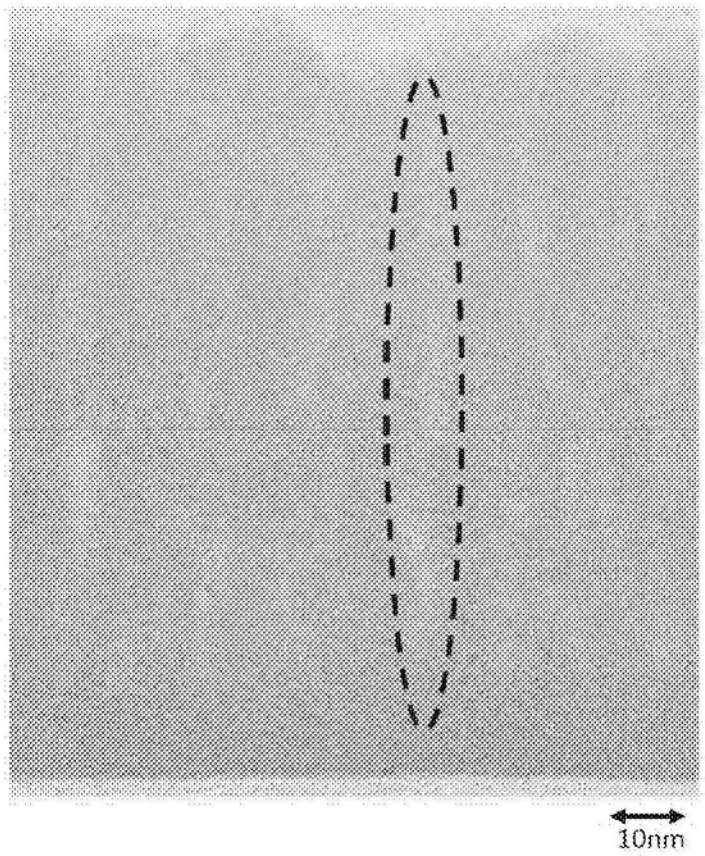


图33A

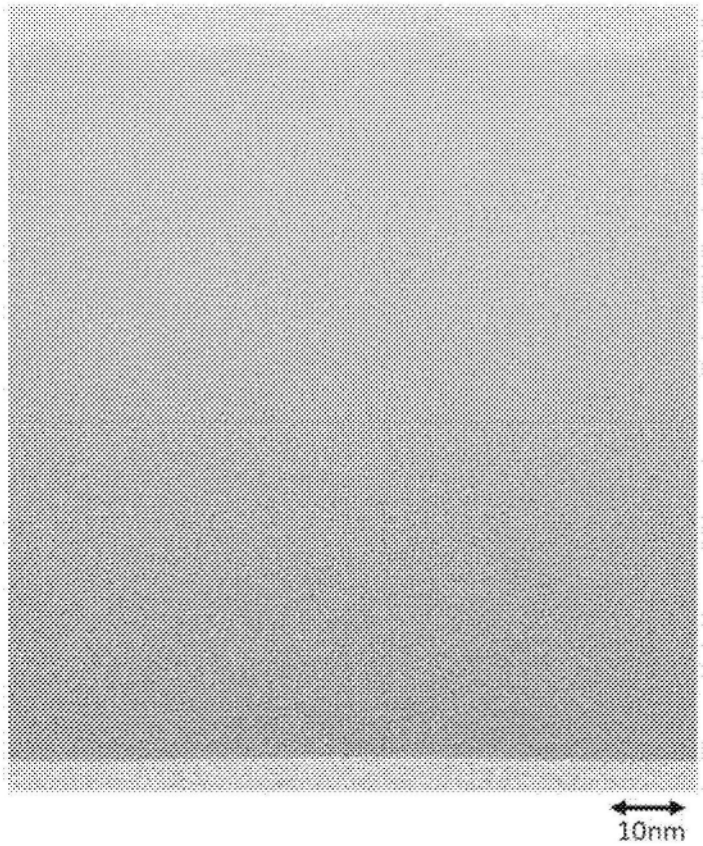

10nm

图33B

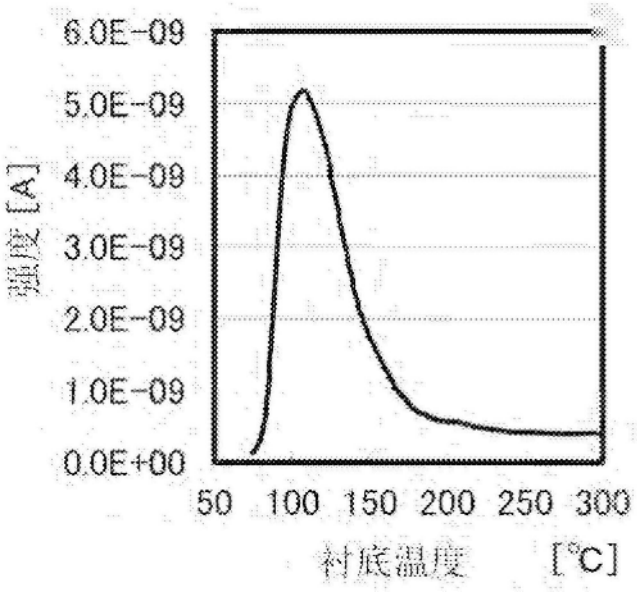

6.0E-09
5.0E-09
4.0E-09
3.0E-09
2.0E-09
1.0E-09
0.0E+00
强度 [A]
50 100 150 200 250 300
衬底温度 [℃]

图34A

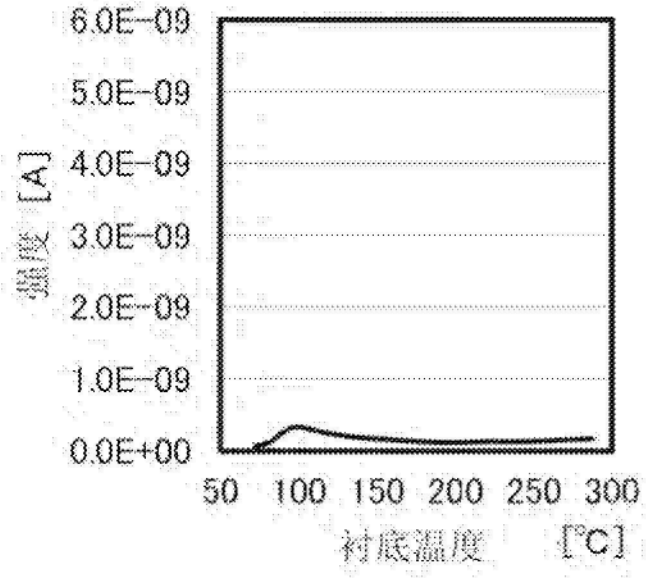

6.0E-09
5.0E-09
4.0E-09
3.0E-09
2.0E-09
1.0E-09
0.0E+00
强度 [A]
50 100 150 200 250 300
衬底温度 [℃]

图34B

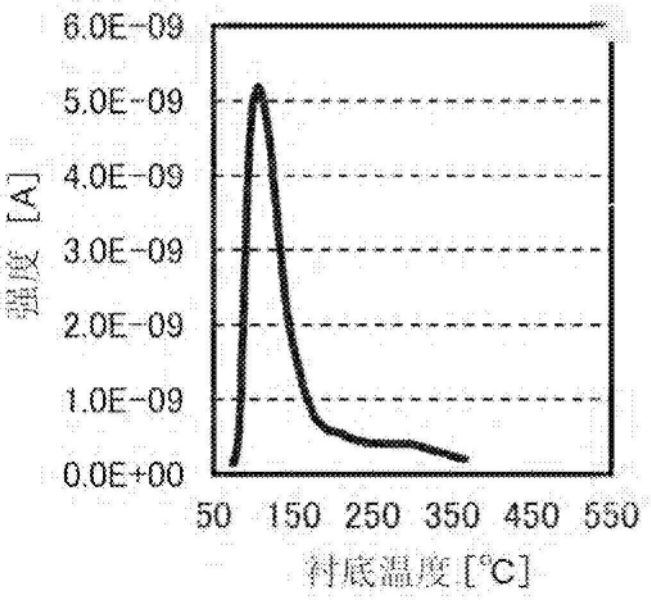

6.0E-09
5.0E-09
4.0E-09
3.0E-09
2.0E-09
1.0E-09
0.0E+00
强度 [A]
50 150 250 350 450 550
衬底温度 [℃]

图35A

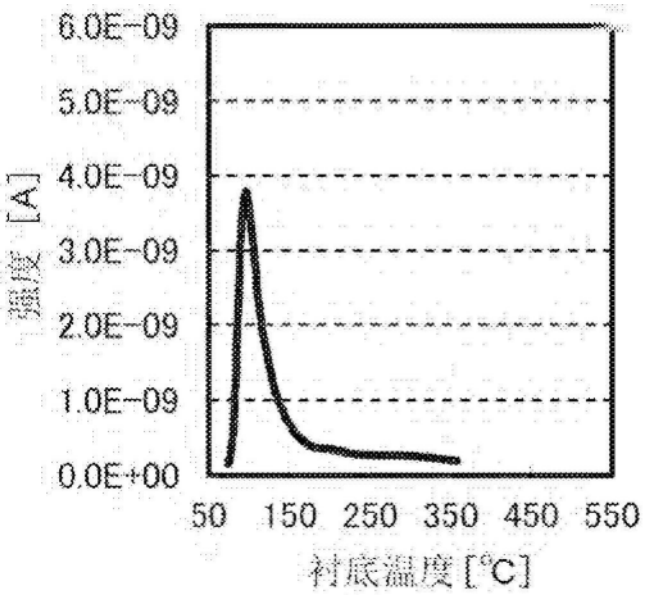

6.0E-09
5.0E-09
4.0E-09
3.0E-09
2.0E-09
1.0E-09
0.0E+00
强度 [A]
50 150 250 350 450 550
衬底温度[℃]

图35B

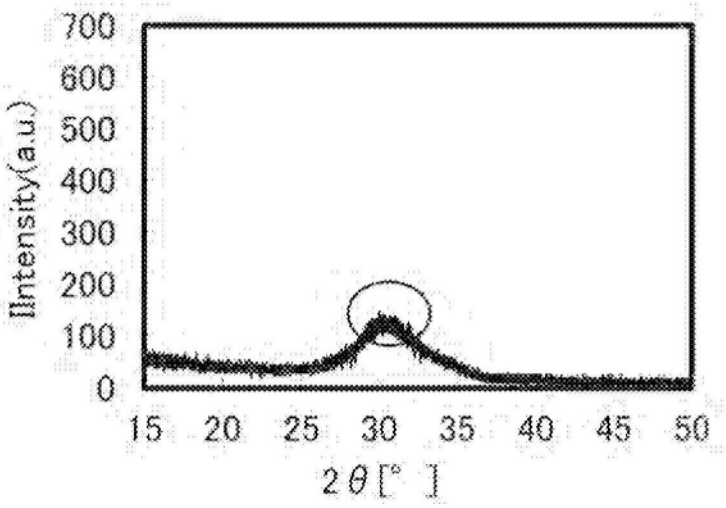

700
600
500
400
300
200
100
0
Intensity(a.u.)
15 20 25 30 35 40 45 50
2θ[°]

图36A

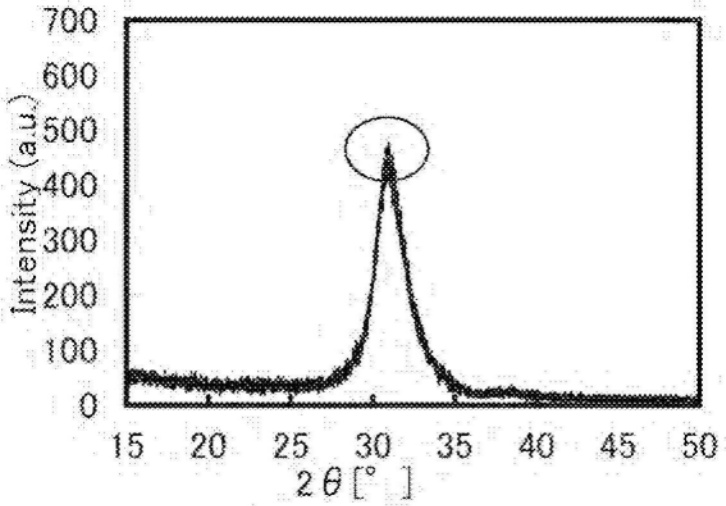

700
600
500
400
300
200
100
0
Intensity (a.u.)
15 20 25 30 35 40 45 50
2θ[°]

图36B

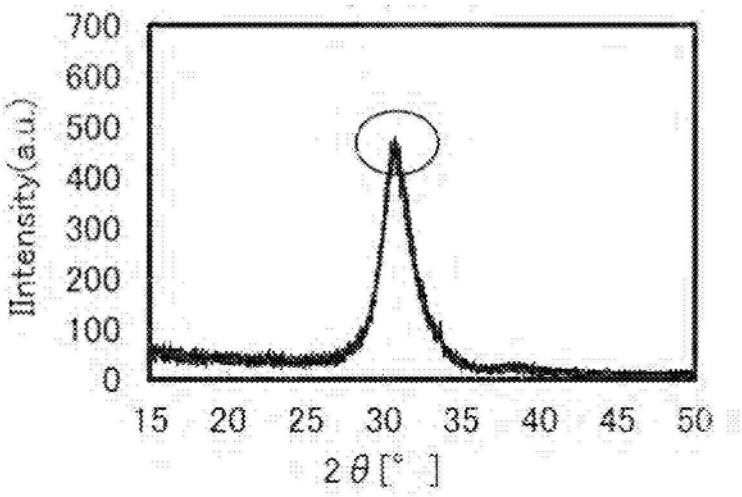

700
600
500
400
300
200
100
0
Intensity(a.u.)
15 20 25 30 35 40 45 50
2θ[°]

图36C

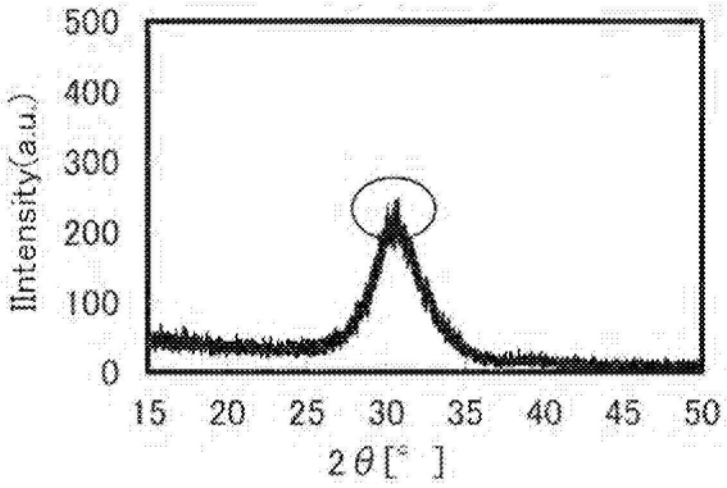


图36D

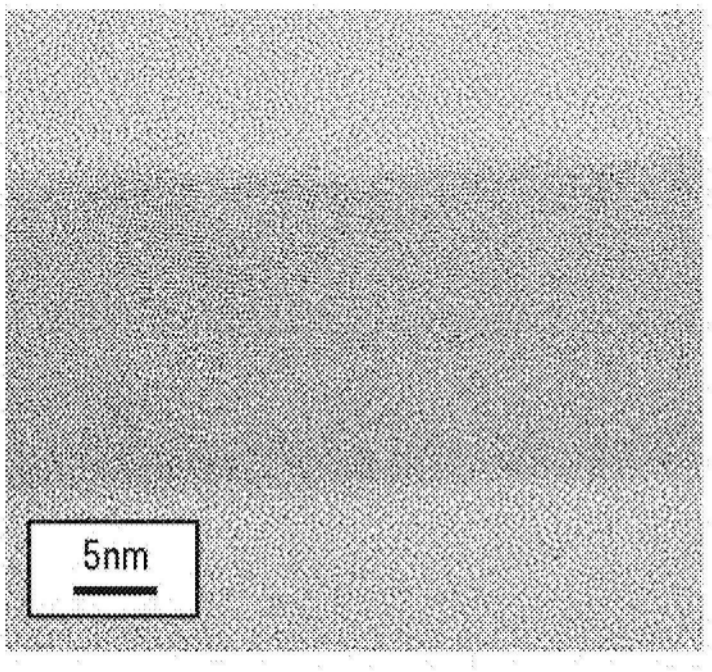


图37A

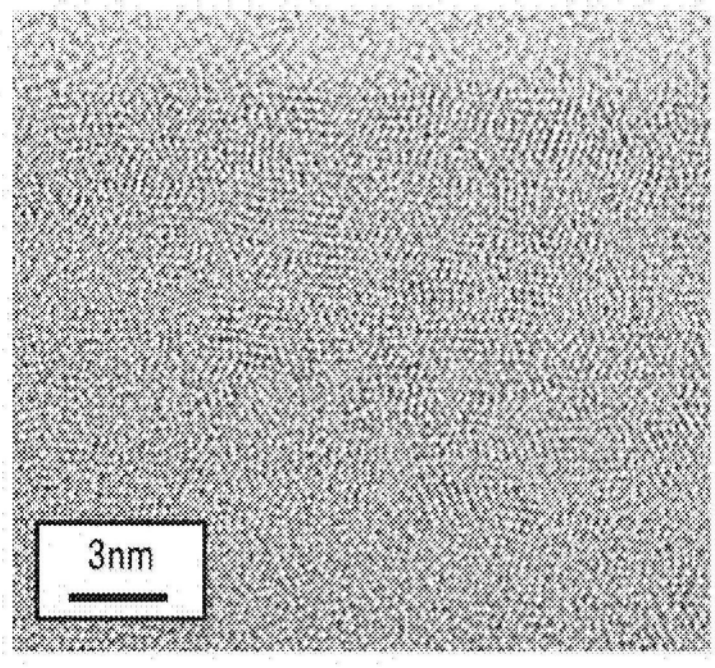


图37B

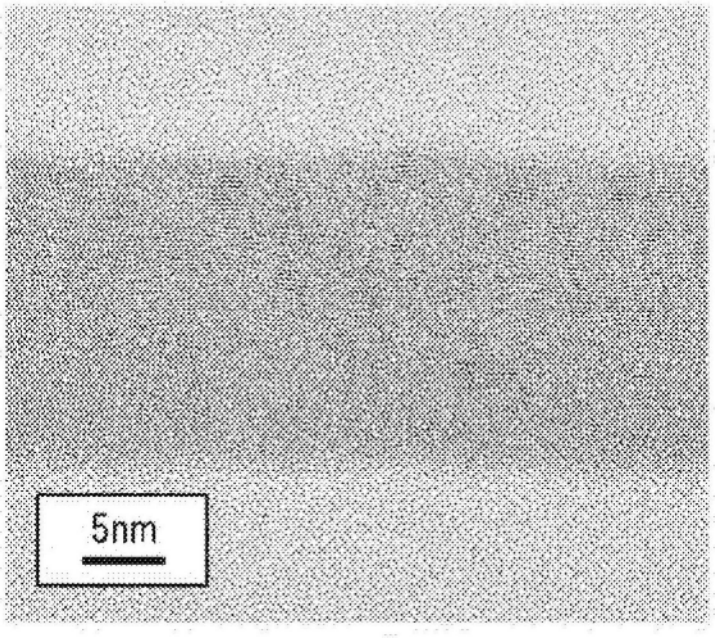


图38A

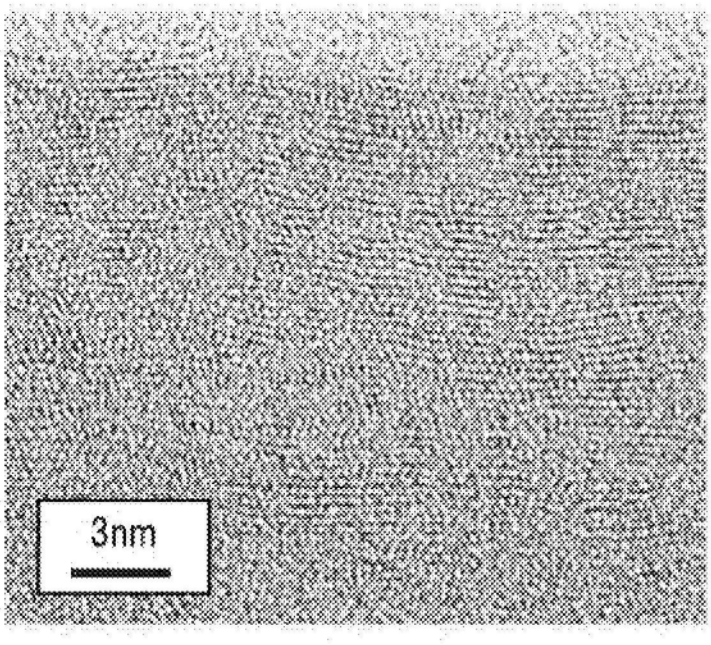


图38B

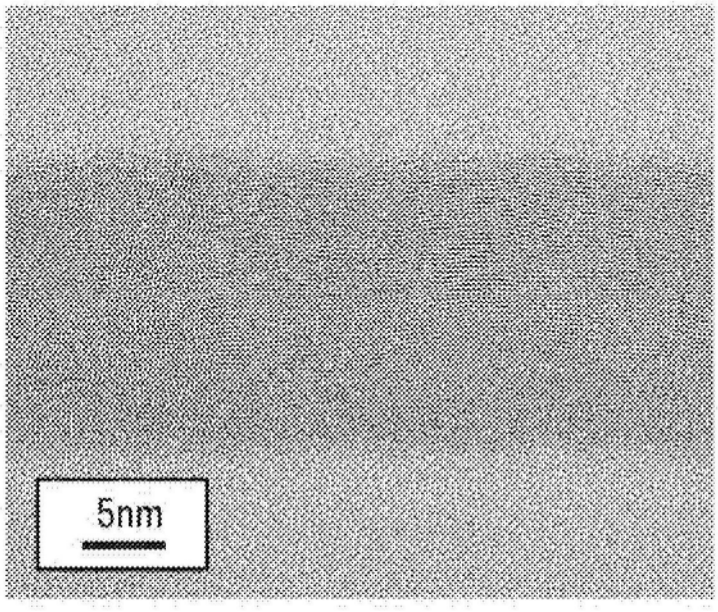


图39A

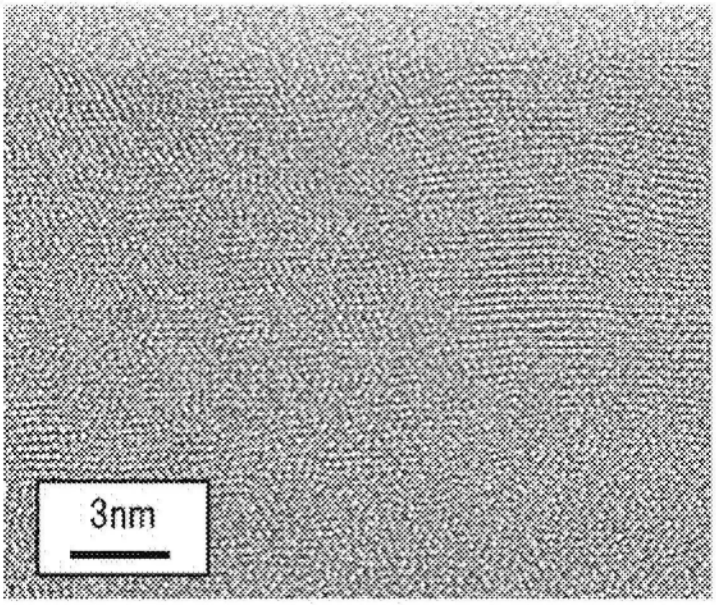


图39B

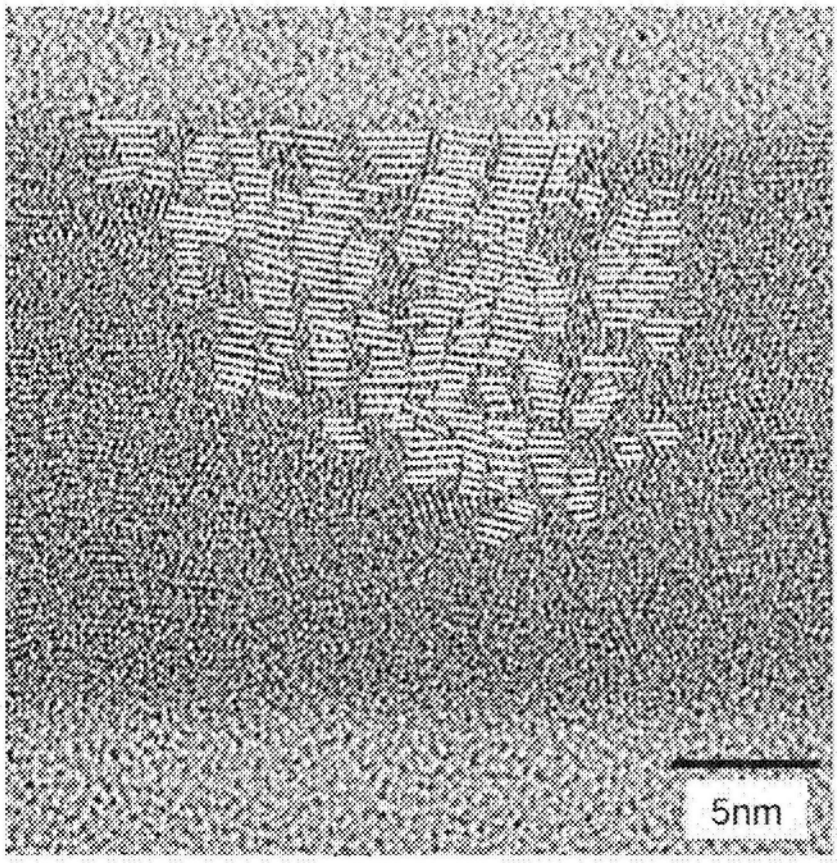


图40A

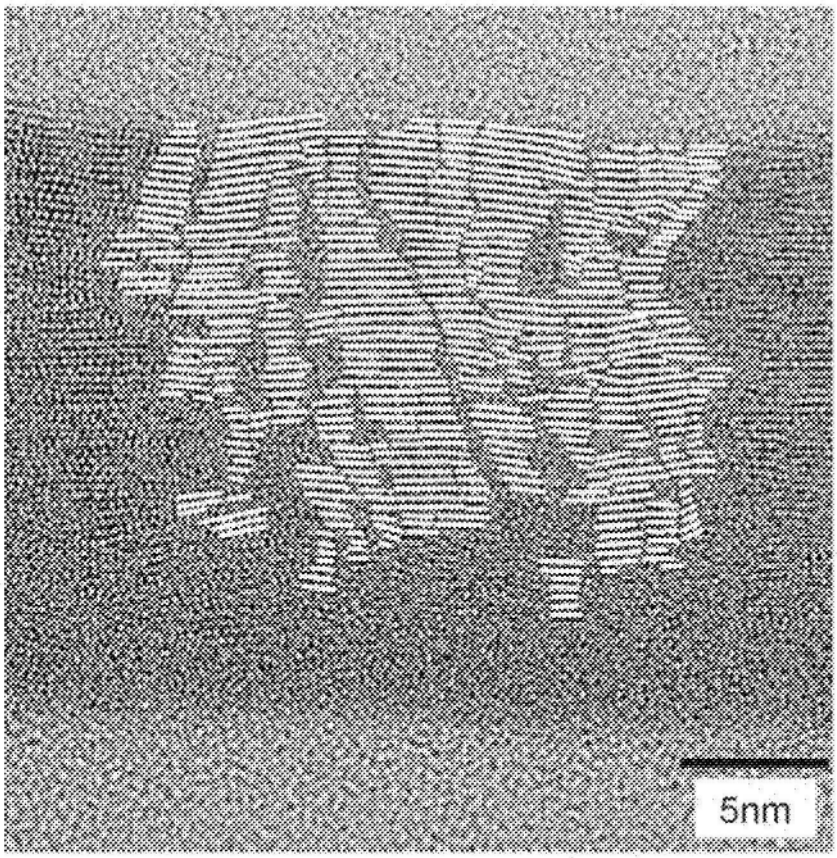


图40B

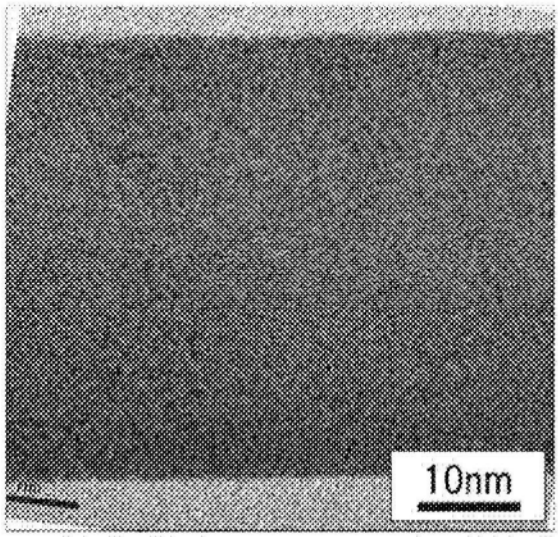


图41A

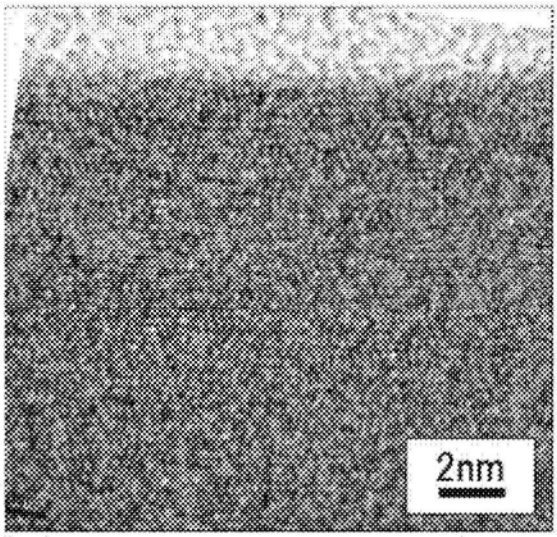


图41B

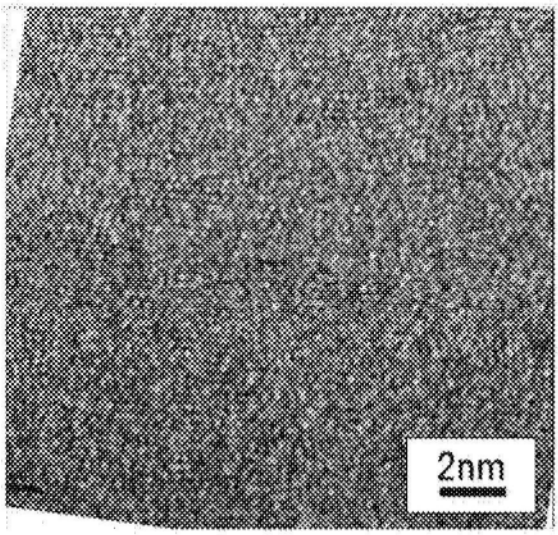


图41C

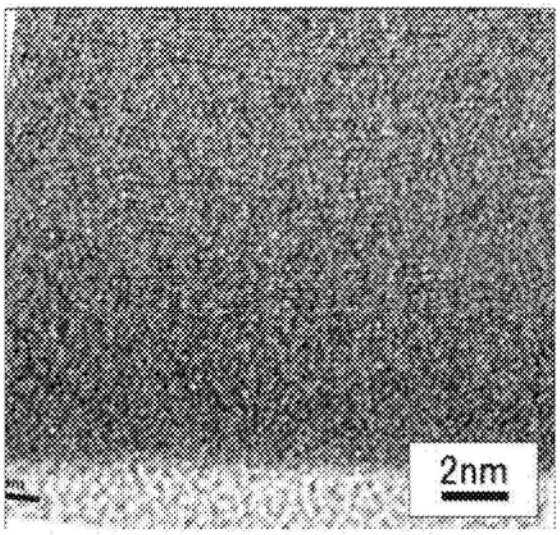


图41D

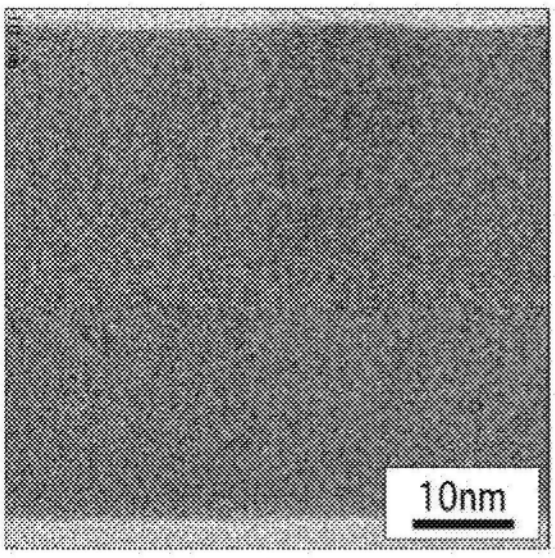


图42A

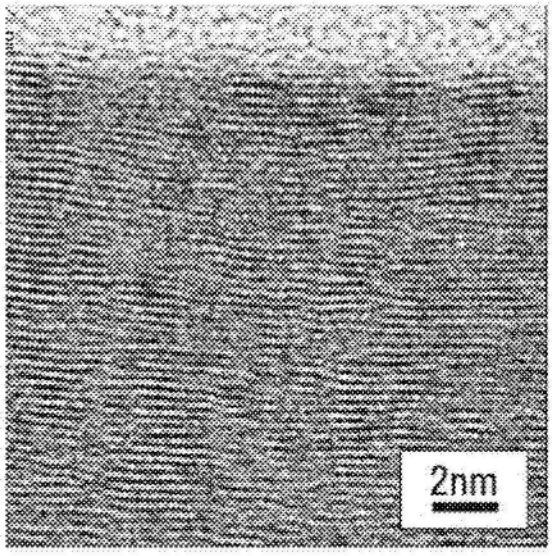


图42B

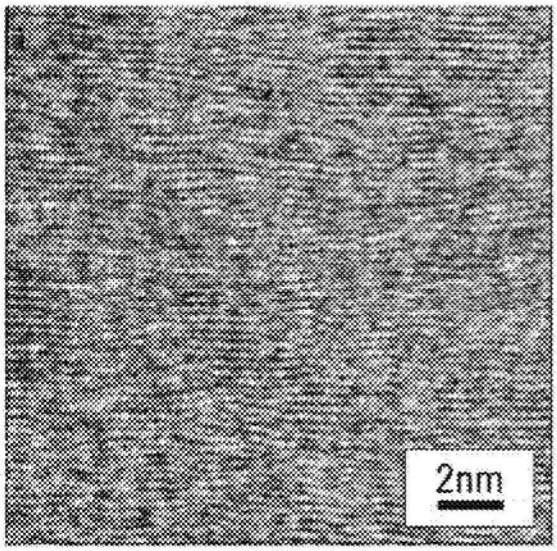


图42C

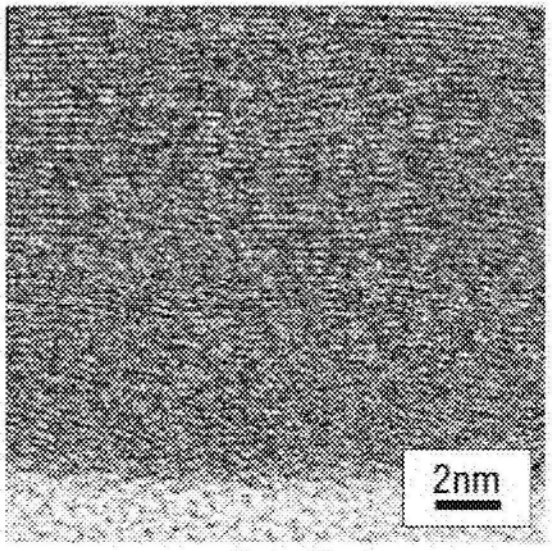


图42D

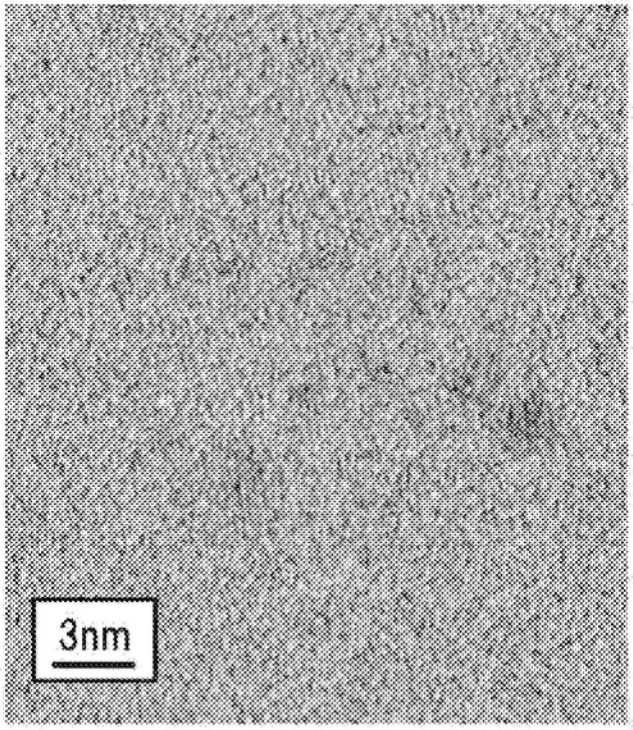


图43A

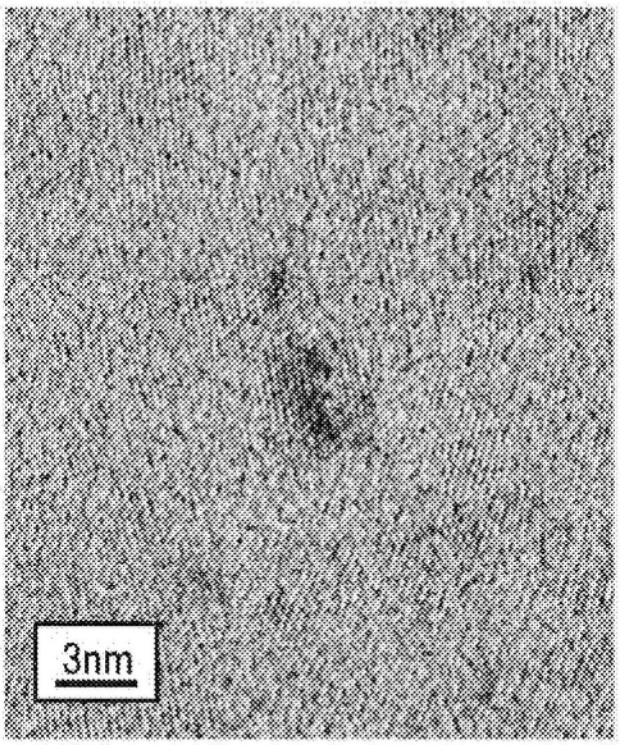


图43B

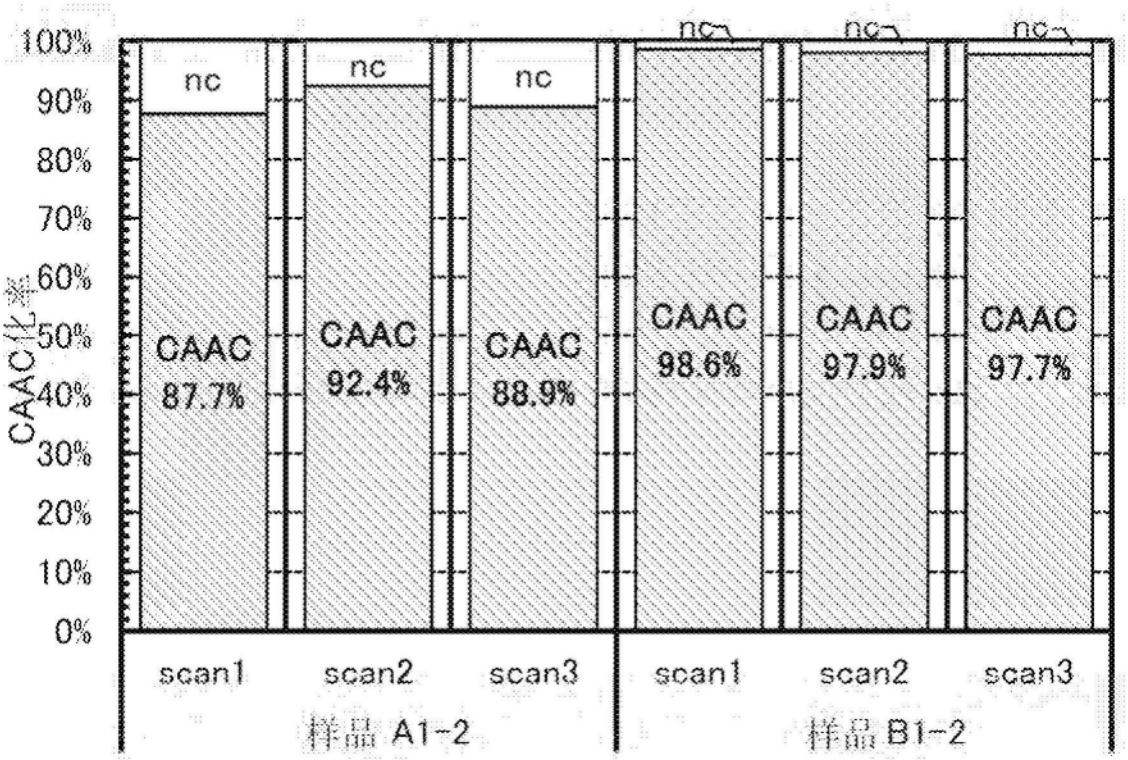

100%
90%
80%
70%
60%
50%
40%
30%
20%
10%
0%
CAAC化率
nc
nc
nc
nc
nc
nc
CAAC
87.7%
CAAC
92.4%
CAAC
88.9%
CAAC
98.6%
CAAC
97.9%
CAAC
97.7%
scan1
scan2
scan3
scan1
scan2
scan3
样品 A1-2
样品 B1-2

图44A

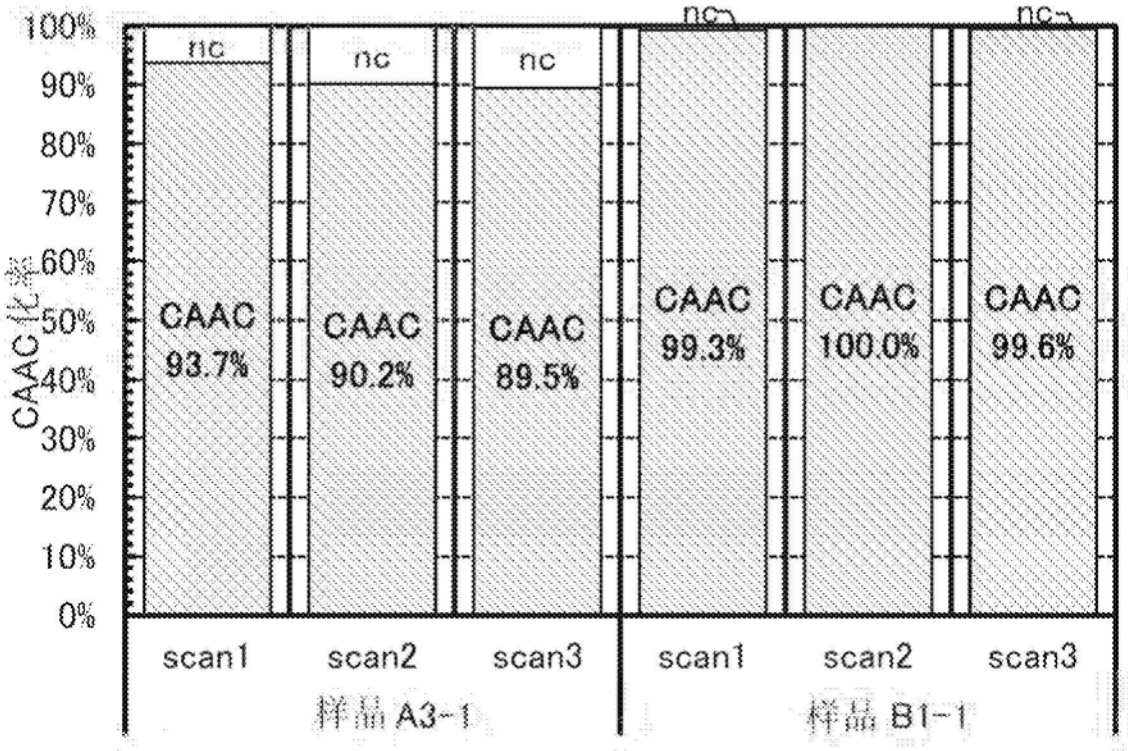

100%
90%
80%
70%
60%
50%
40%
30%
20%
10%
0%
CAAC化率
nc
nc
nc
nc
nc
CAAC
93.7%
CAAC
90.2%
CAAC
89.5%
CAAC
99.3%
CAAC
100.0%
CAAC
99.6%
scan1
scan2
scan3
scan1
scan2
scan3
样品 A3-1
样品 B1-1

图44B

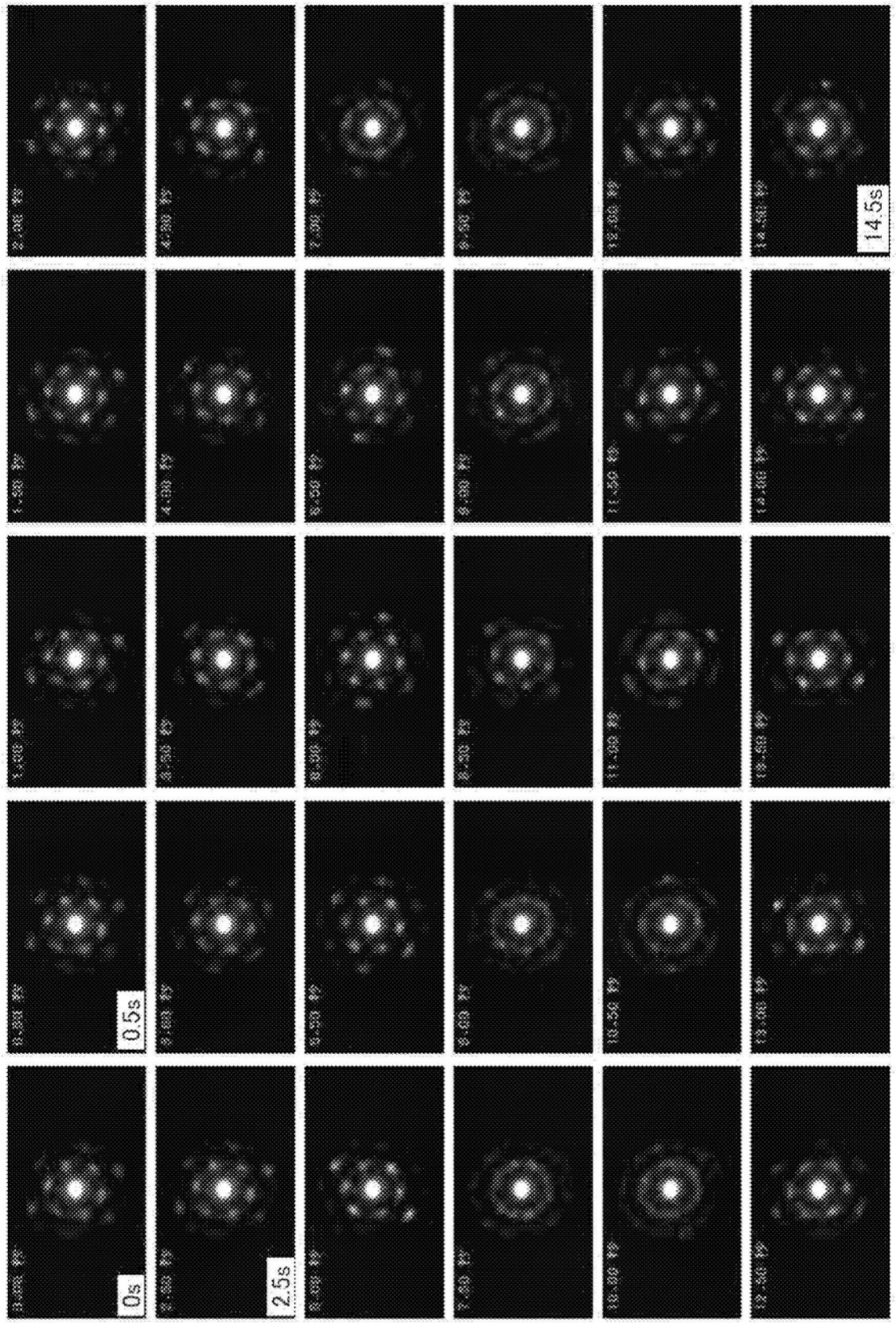


图45

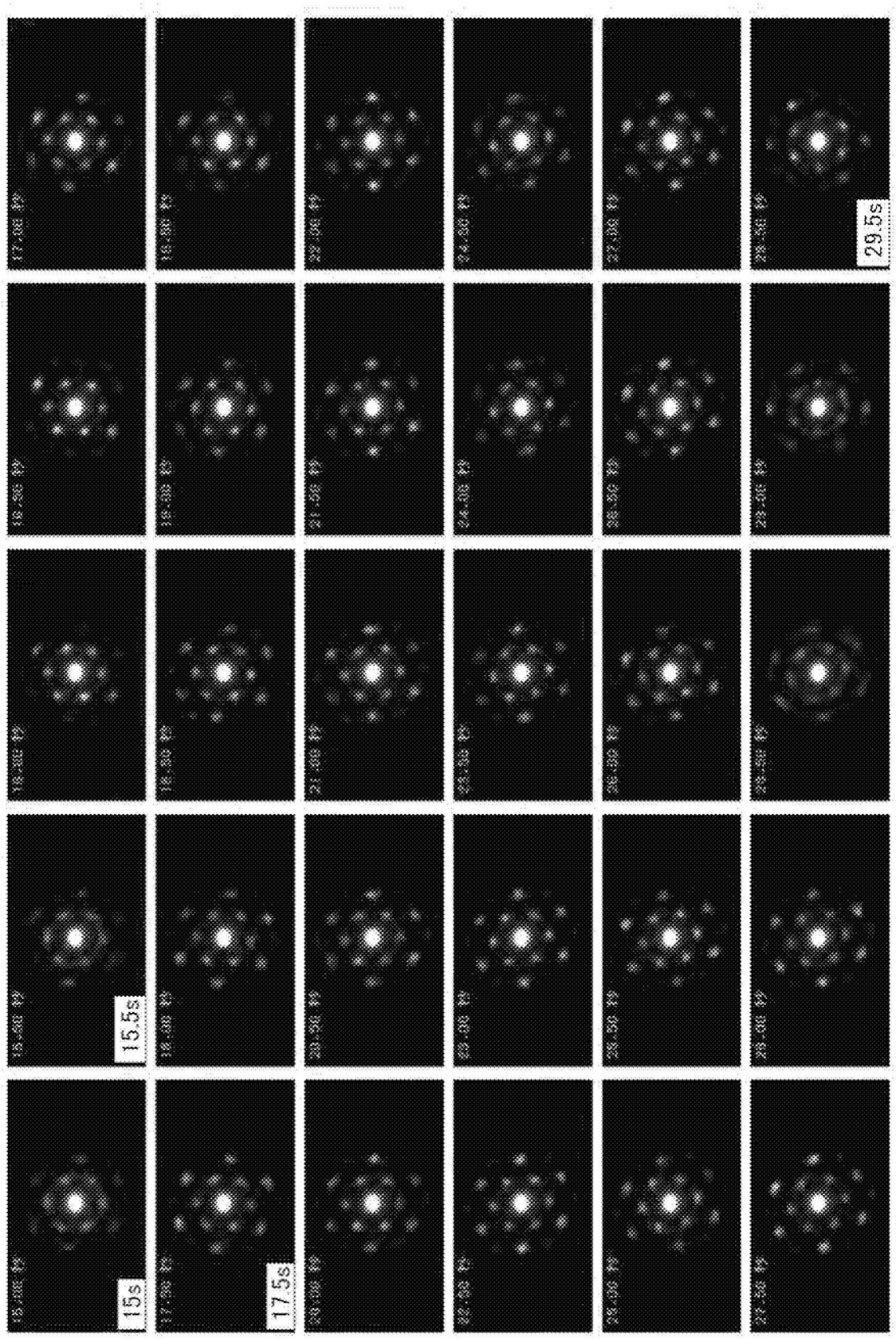


图46

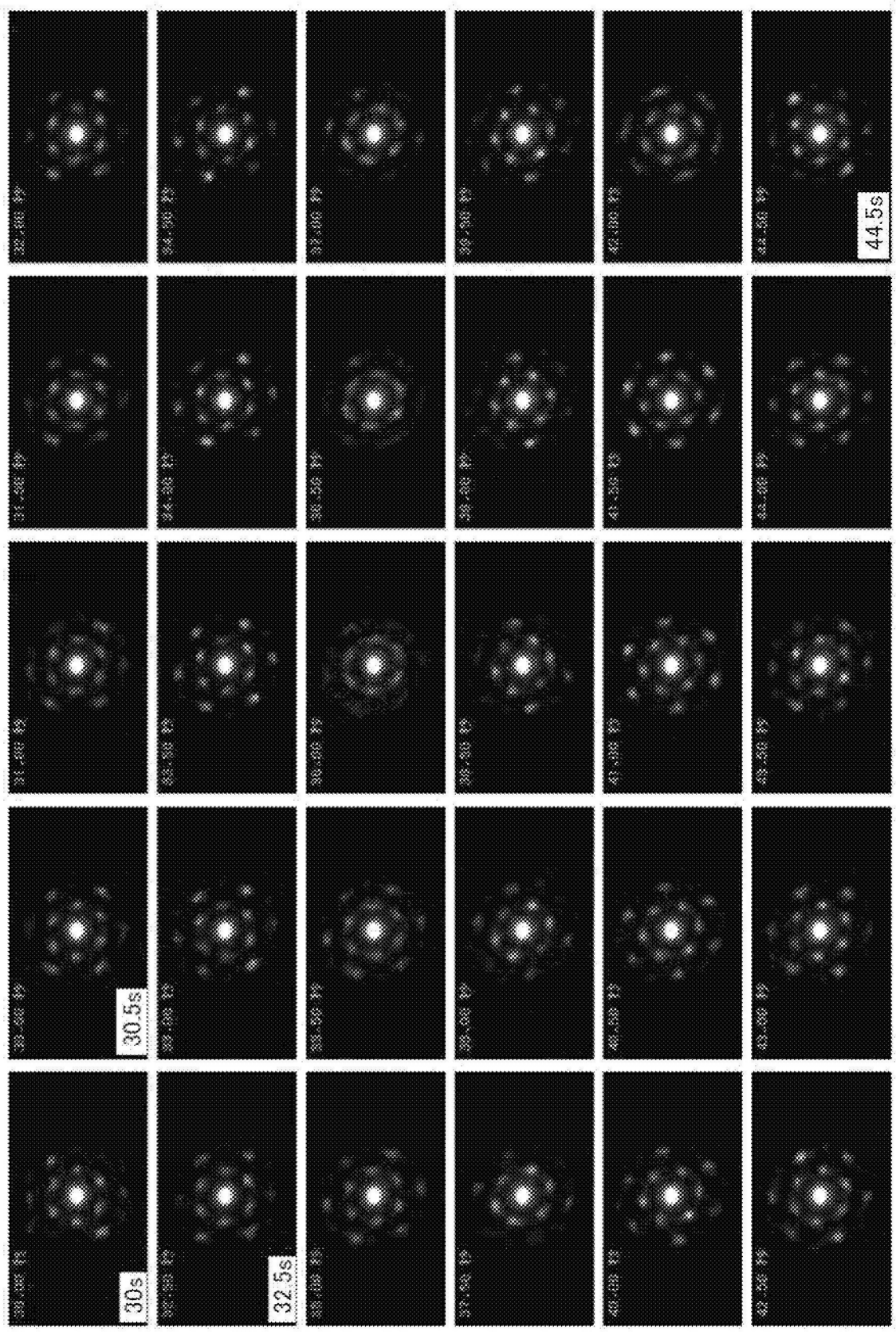


图47

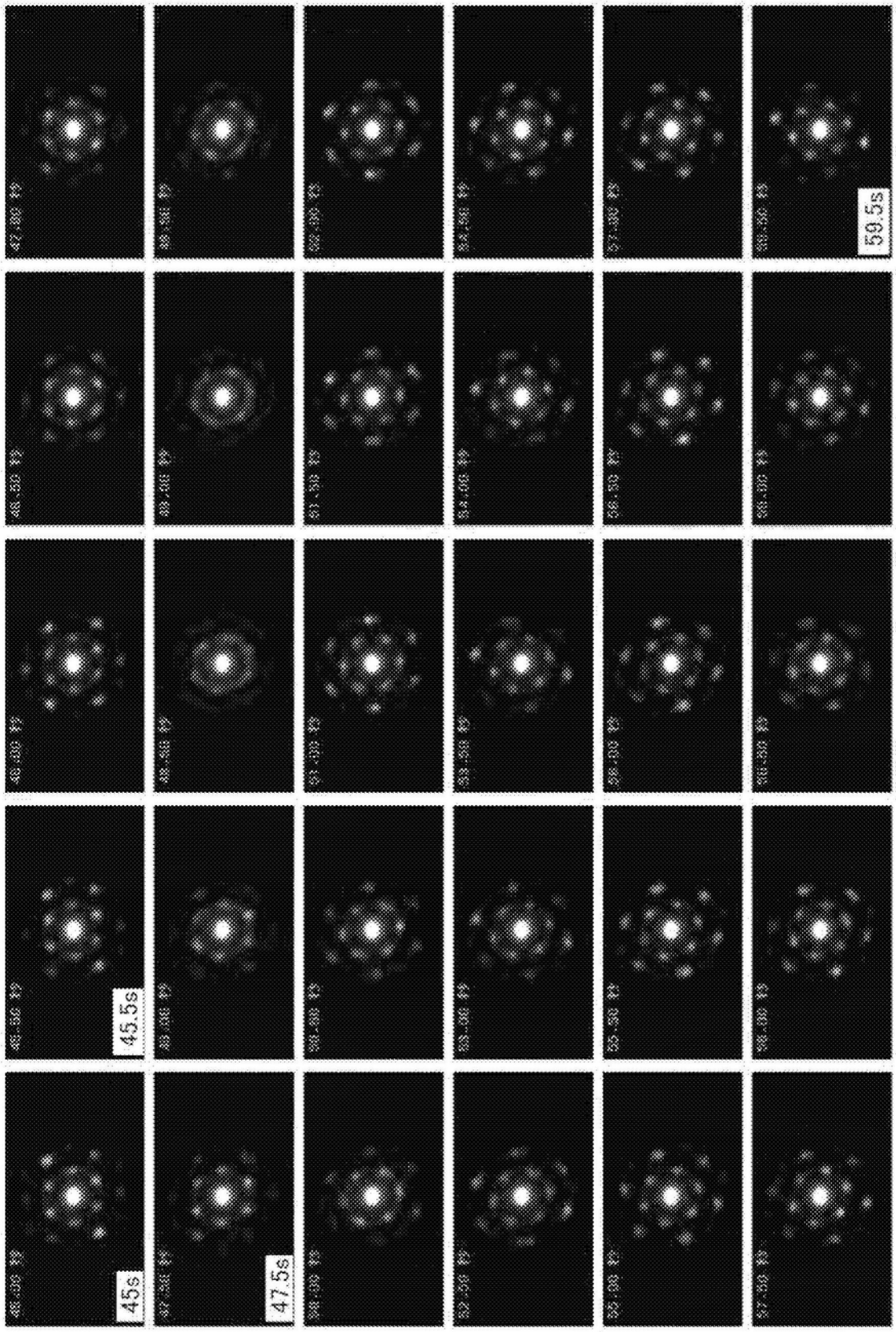


图48

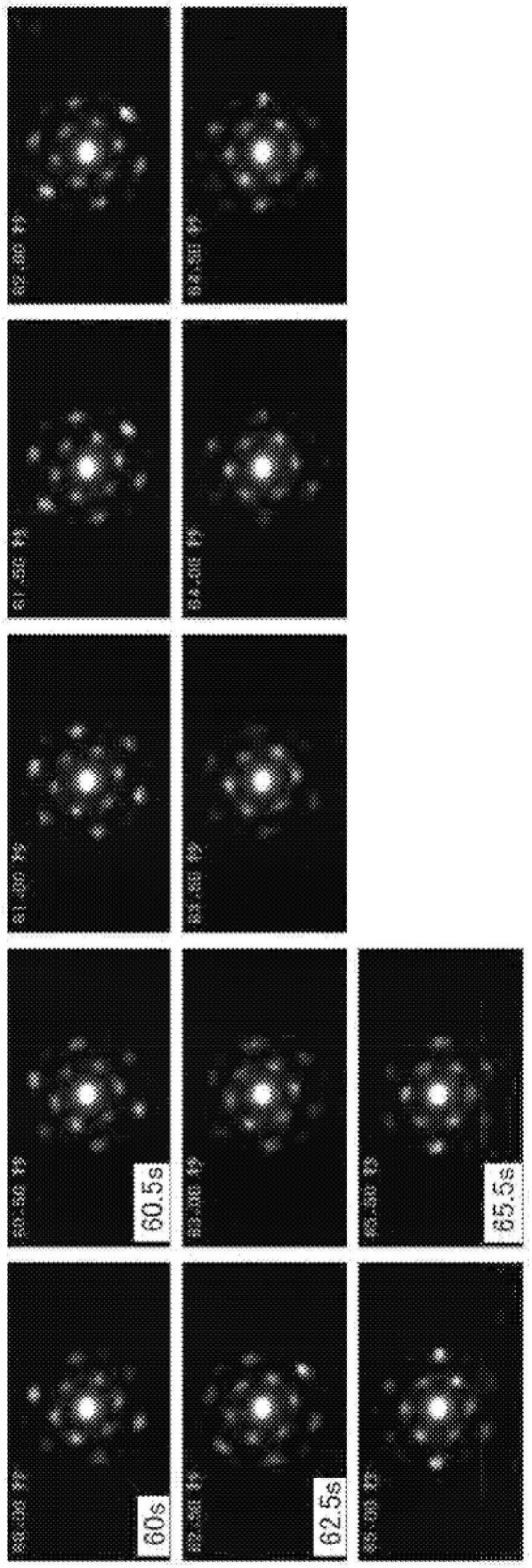


图49

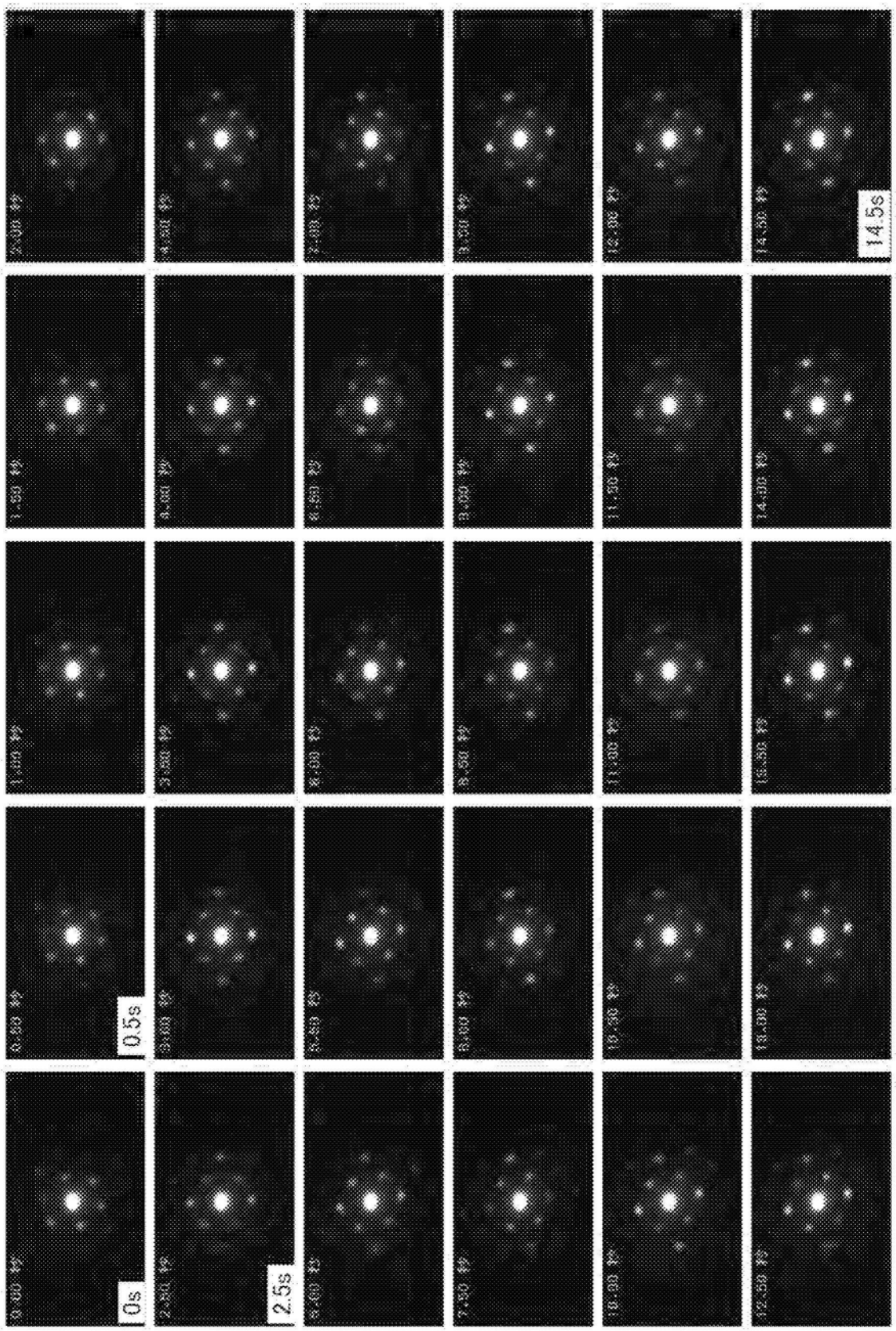


图50

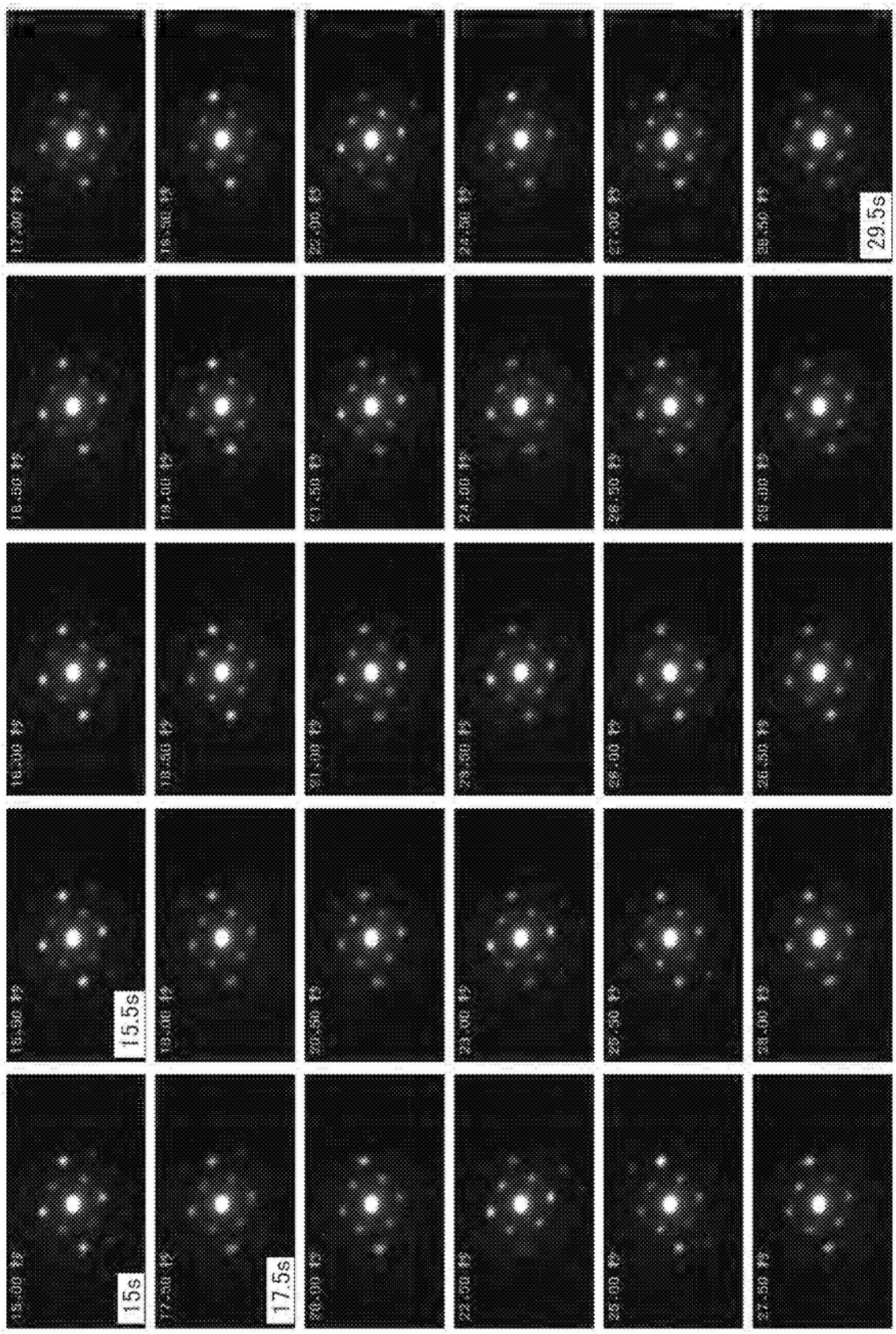


图51

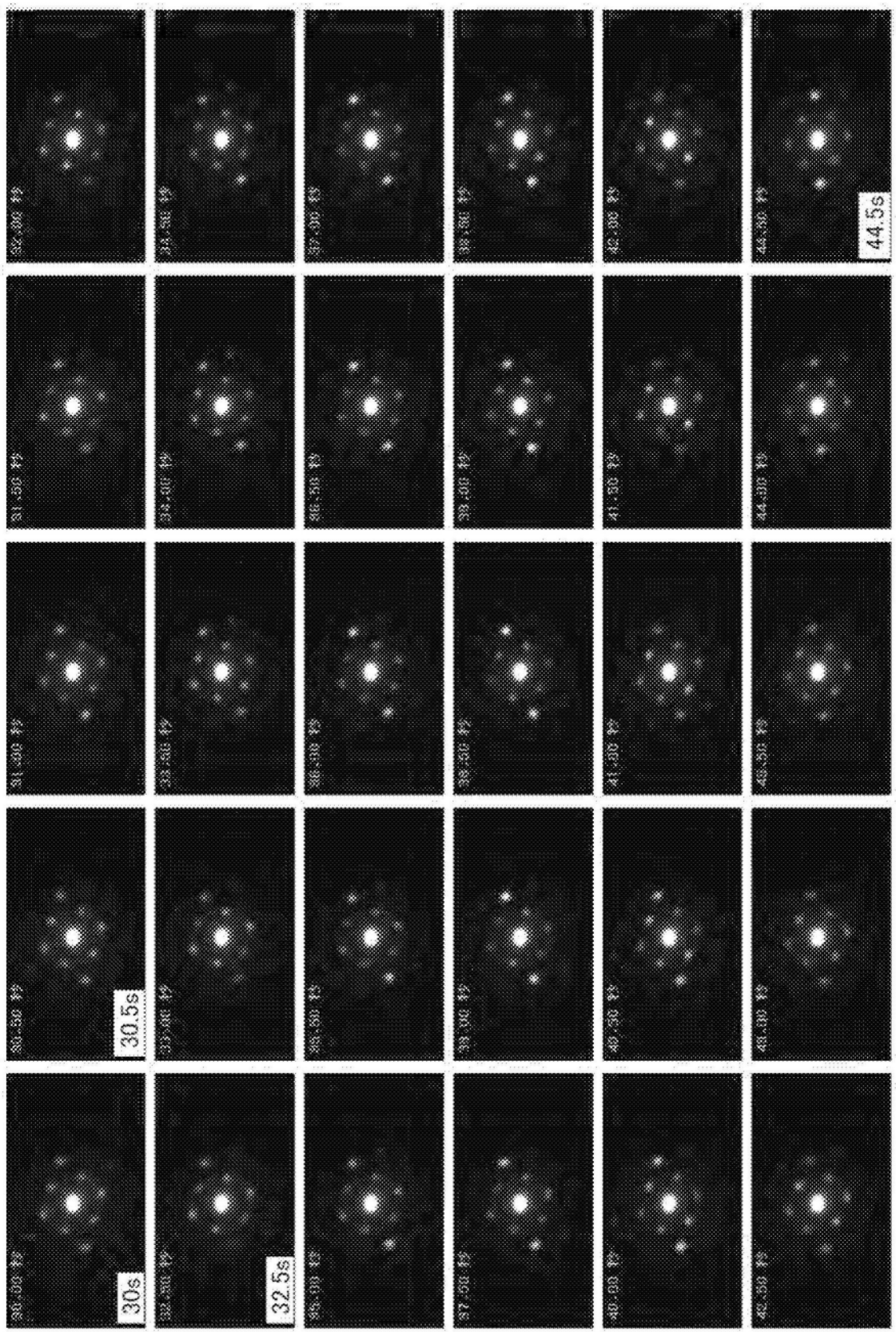


图52

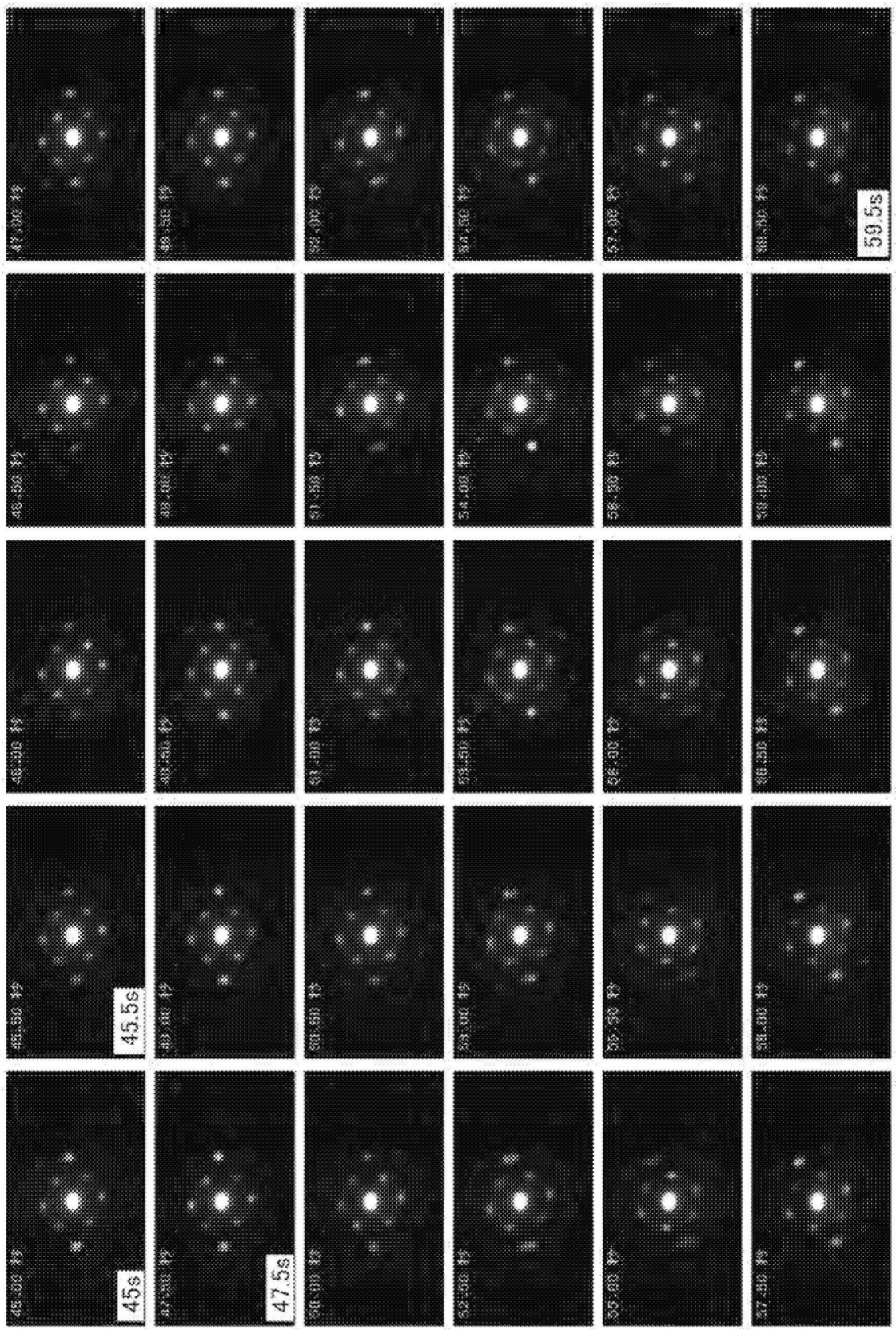

45s
45.5s
46.50 秒
47.00 秒
47.50 秒
48.00 秒
48.50 秒
49.00 秒
49.50 秒
50.00 秒
50.50 秒
51.00 秒
51.50 秒
52.00 秒
52.50 秒
53.00 秒
53.50 秒
54.00 秒
54.50 秒
55.00 秒
55.50 秒
56.00 秒
56.50 秒
57.00 秒
57.50 秒
58.00 秒
58.50 秒
59.00 秒
59.50s

图53

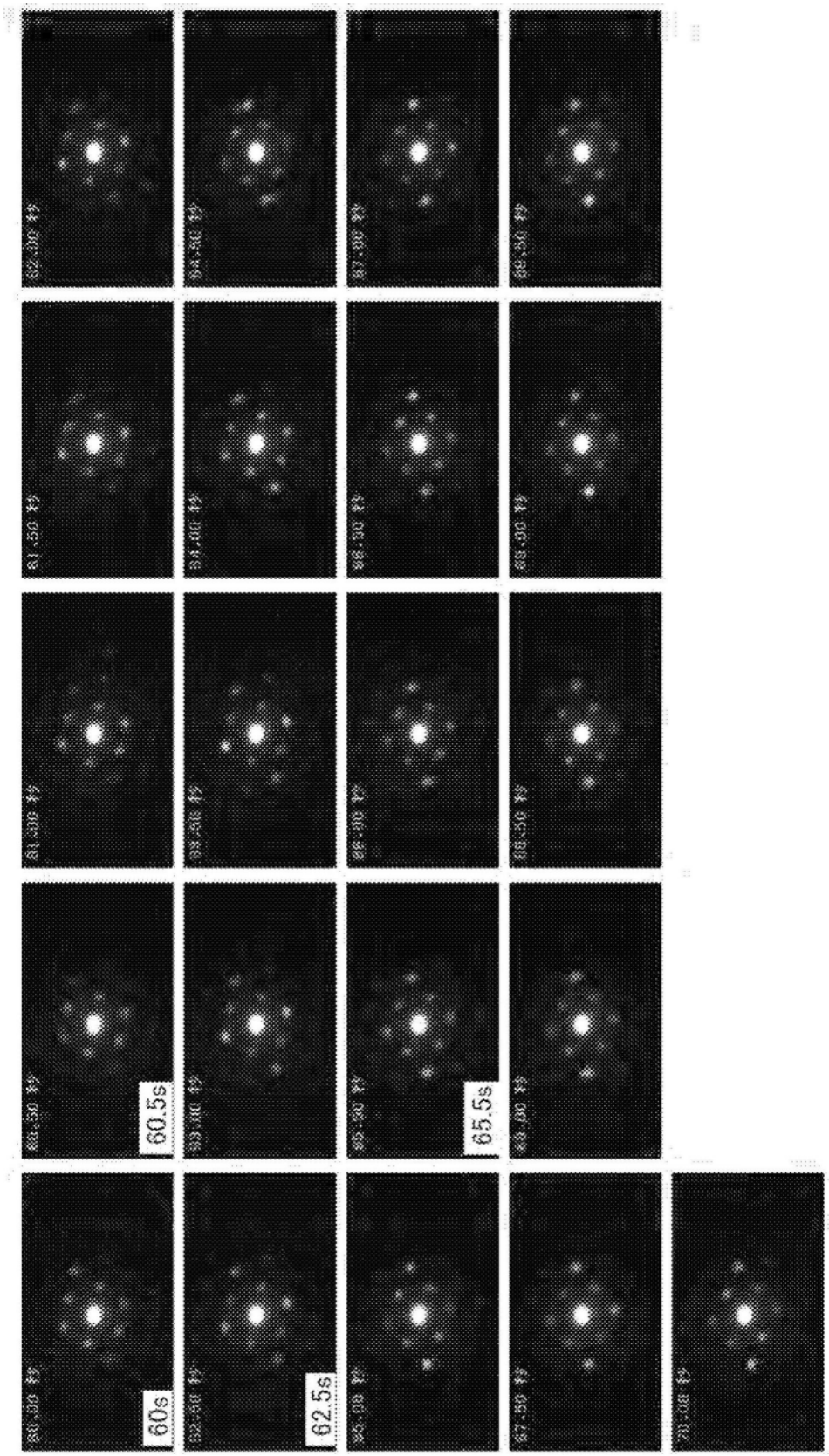


图54

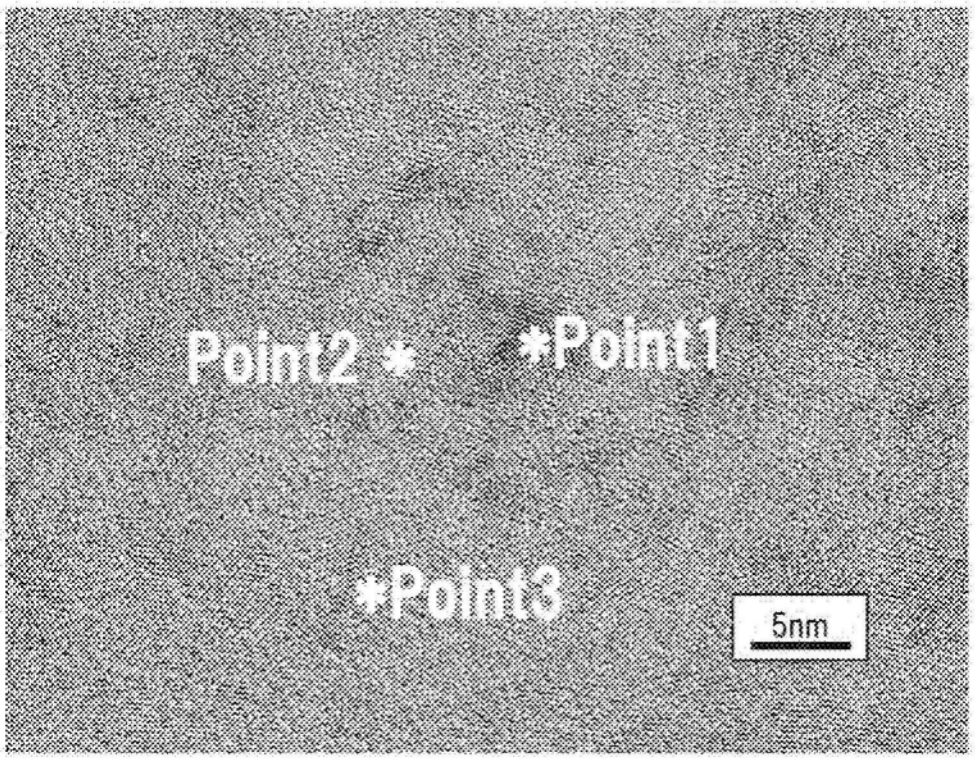
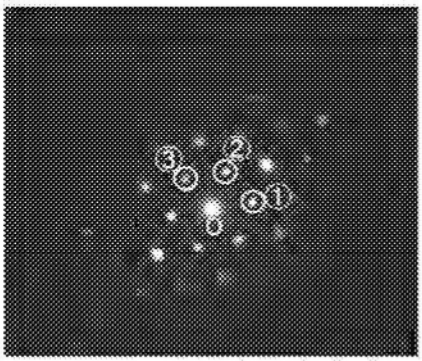


图55

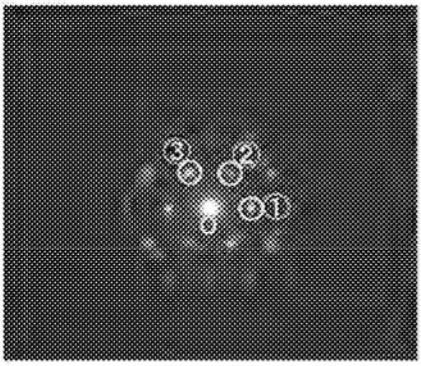


电子线入射方向 <0 0 1>

实测值
d 值
① d=0.285nm
② d=0.291nm
③ d=0.291nm
角度
∠①O②=60°
∠①O③=120°
∠②O③=60°

参考值
InGaZn2O5
(JCPDS:40-252)
d 值
① 0-1 0 d=0.285nm
② 1-1 0 d=0.285nm
③ 1 0 0 d=0.285nm
角度（计算值）
∠①O②=60°
∠①O③=120°
∠②O③=60°

图56A

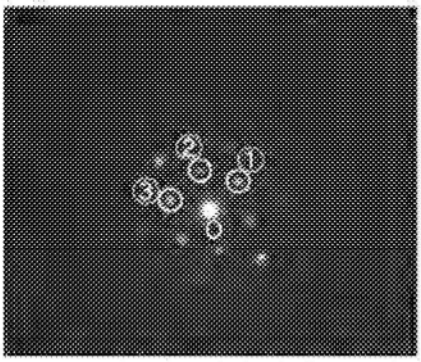


电子线入射方向 <0 0 1>

实测值
d 值
① d=0.287nm
② d=0.291nm
③ d=0.291nm
角度
∠①O②=59°
∠①O③=119°
∠②O③=60°

参考值
InGaZn2O5
(JCPDS:40-252)
d 值
① 0-1 0 d=0.285nm
② 1-1 0 d=0.285nm
③ 1 0 0 d=0.285nm
角度（计算值）
∠①O②=60°
∠①O③=120°
∠②O③=60°

图56B



电子线入射方向 <0 0 1>

实测值
d 值
① d=0.287nm
② d=0.287nm
③ d=0.291nm
角度
∠①O②=58°
∠①O③=119°
∠②O③=61°

参考值
InGaZn2O5
(JCPDS:40-252)
d 值
① 0-1 0 d=0.285nm
② 1-1 0 d=0.285nm
③ 1 0 0 d=0.285nm
角度（计算值）
∠①O②=60°
∠①O③=120°
∠②O③=60°

图56C

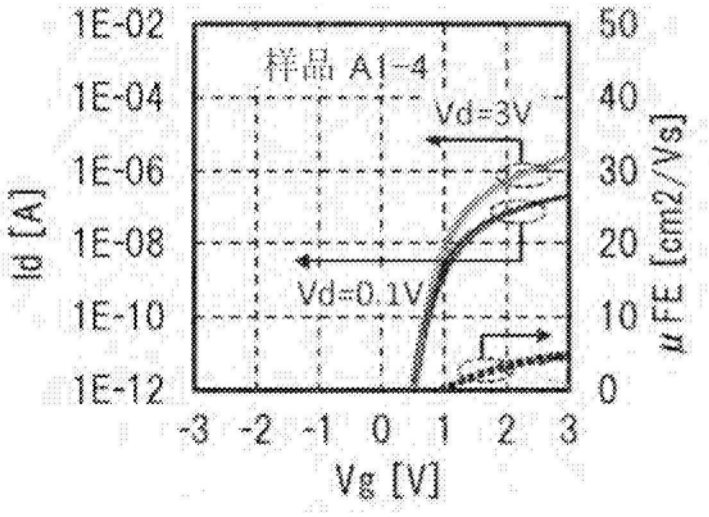

样品 A1-4
Vd=3V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3 -2 -1 0 1 2 3

图57A

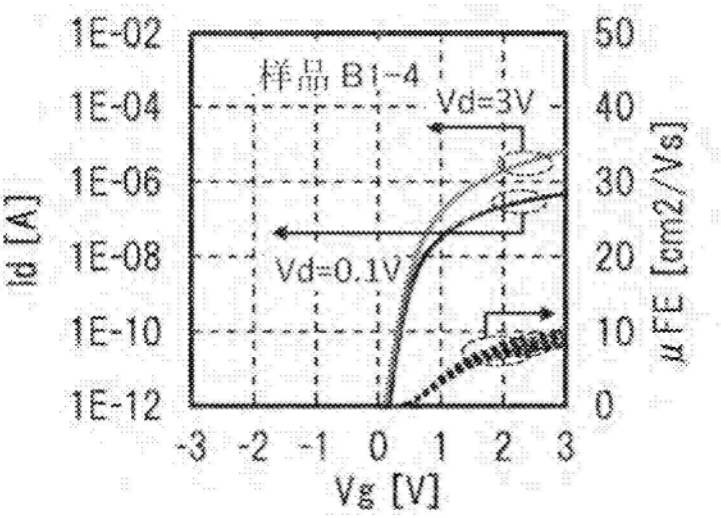

样品 B1-4
Vd=3V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3 -2 -1 0 1 2 3

图57B

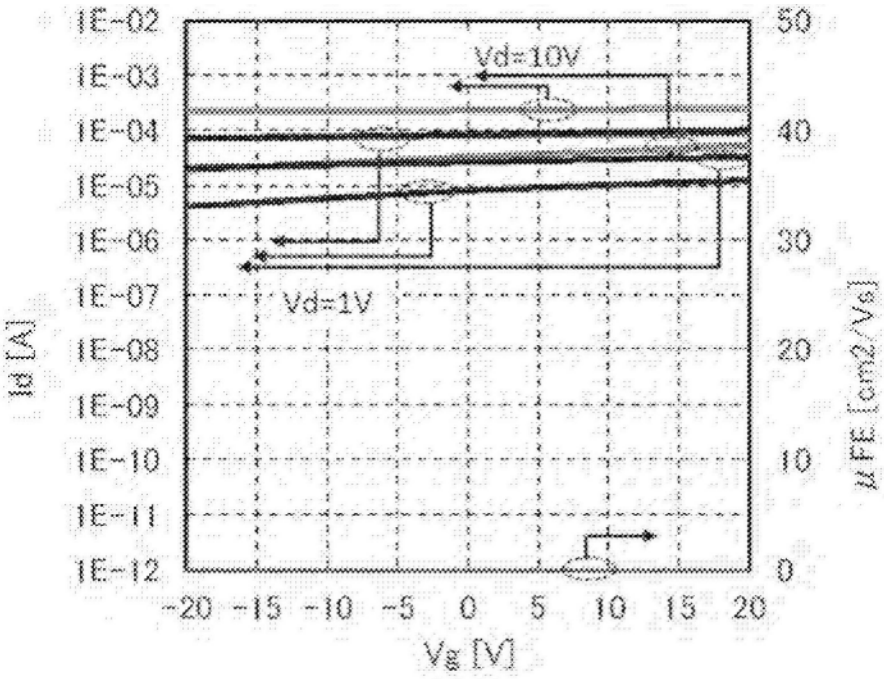

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm2/Vs]
Vd=10V
Vd=1V
-20 -15 -10 -5 0 5 10 15 20
Vg [V]

图58A

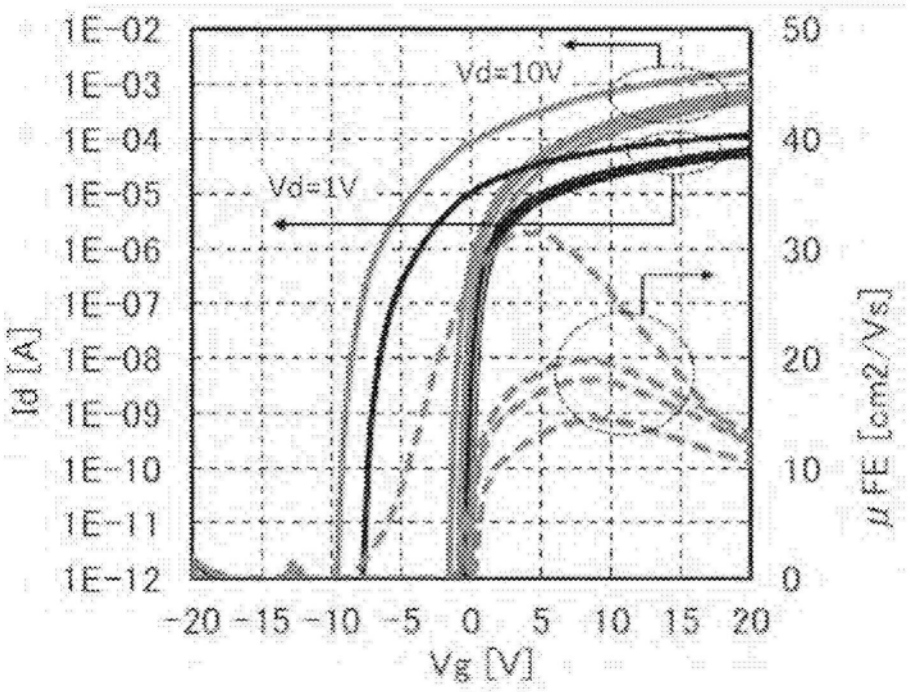

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm2/Vs]
Vd=10V
Vd=1V
-20 -15 -10 -5 0 5 10 15 20
Vg [V]

图58B

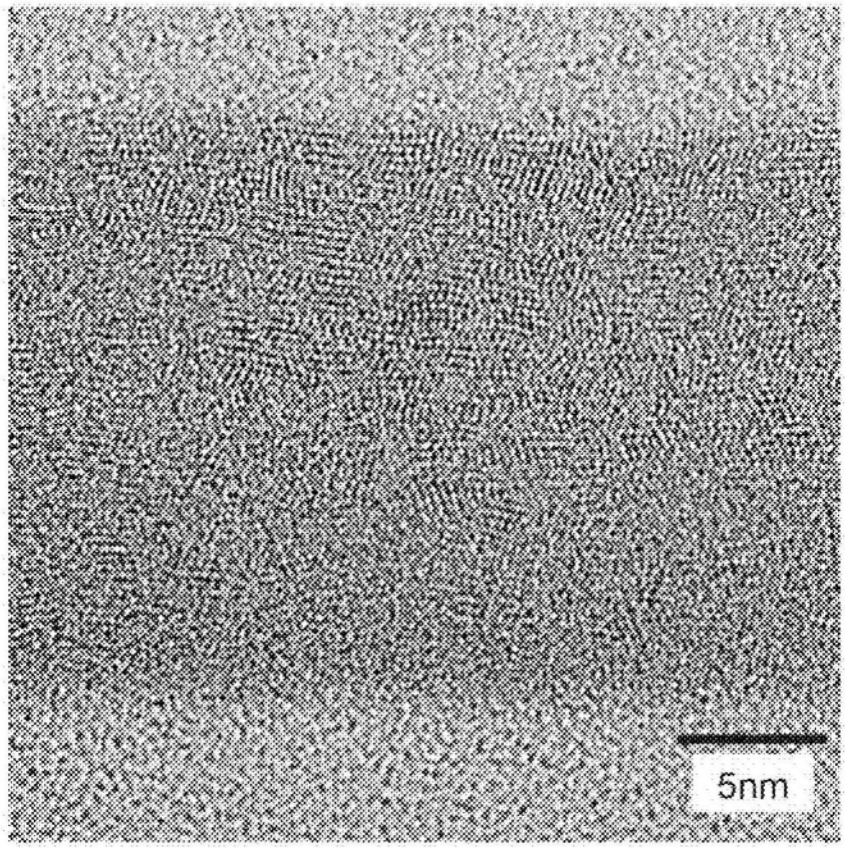


图59A

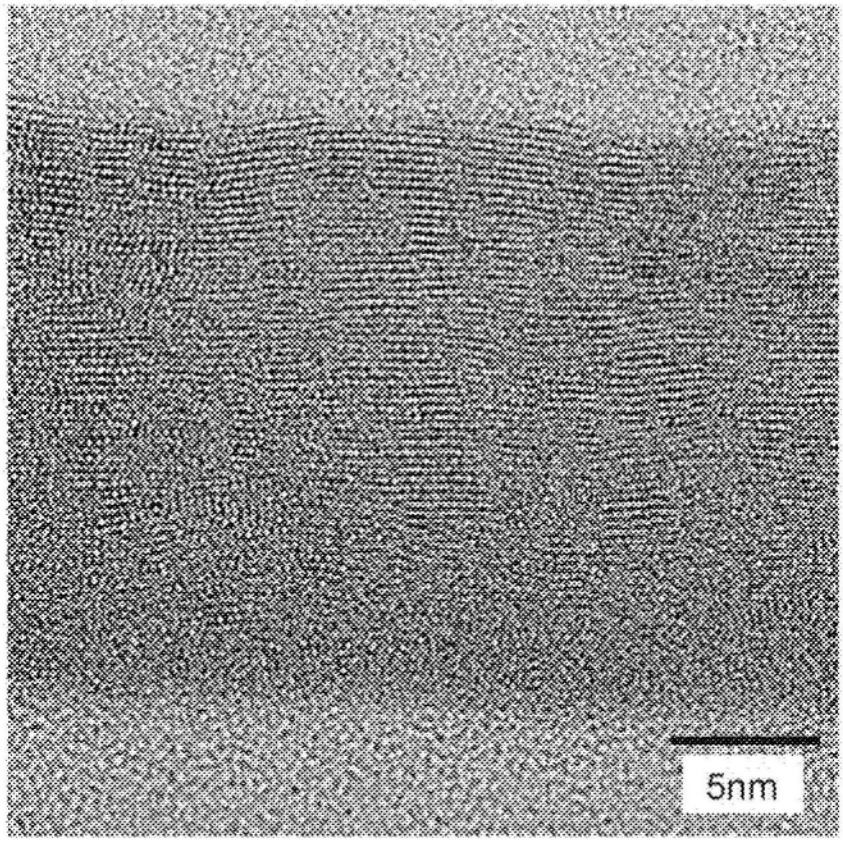


图59B

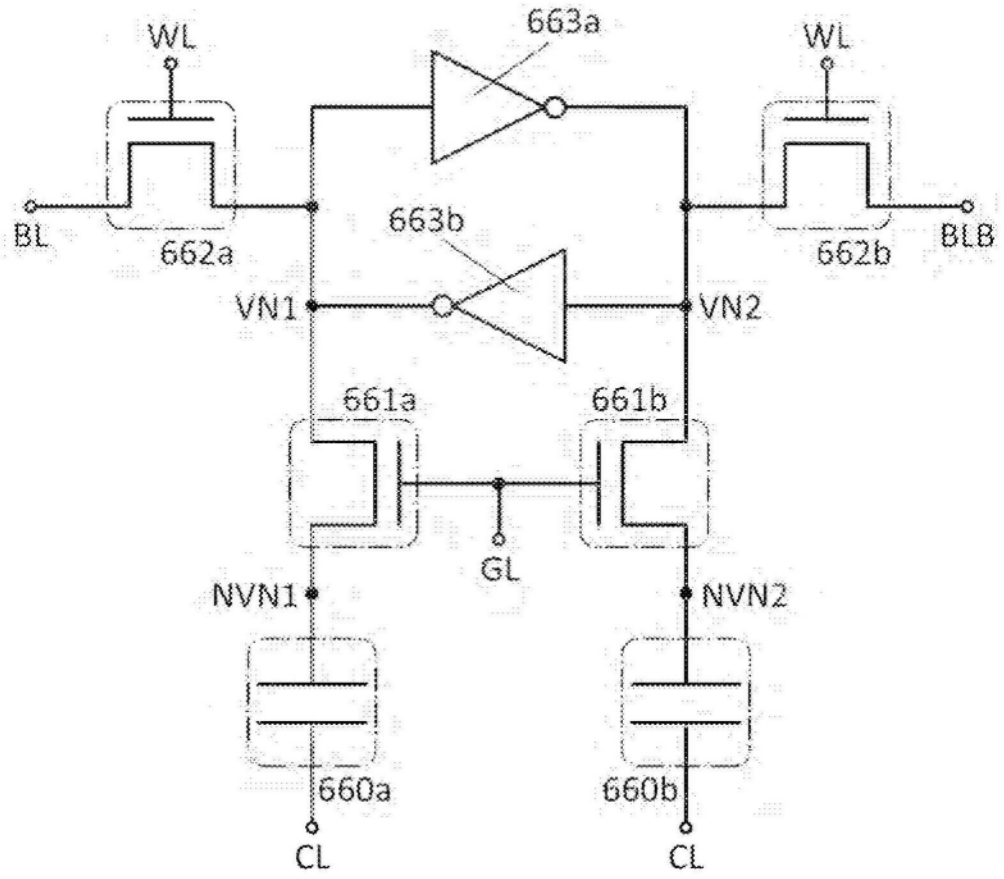

WL
663a
WL
BL
662a
663b
662b
BLB
VN1
VN2
661a
661b
GL
NVN1
NVN2
660a
660b
CL
CL

图60

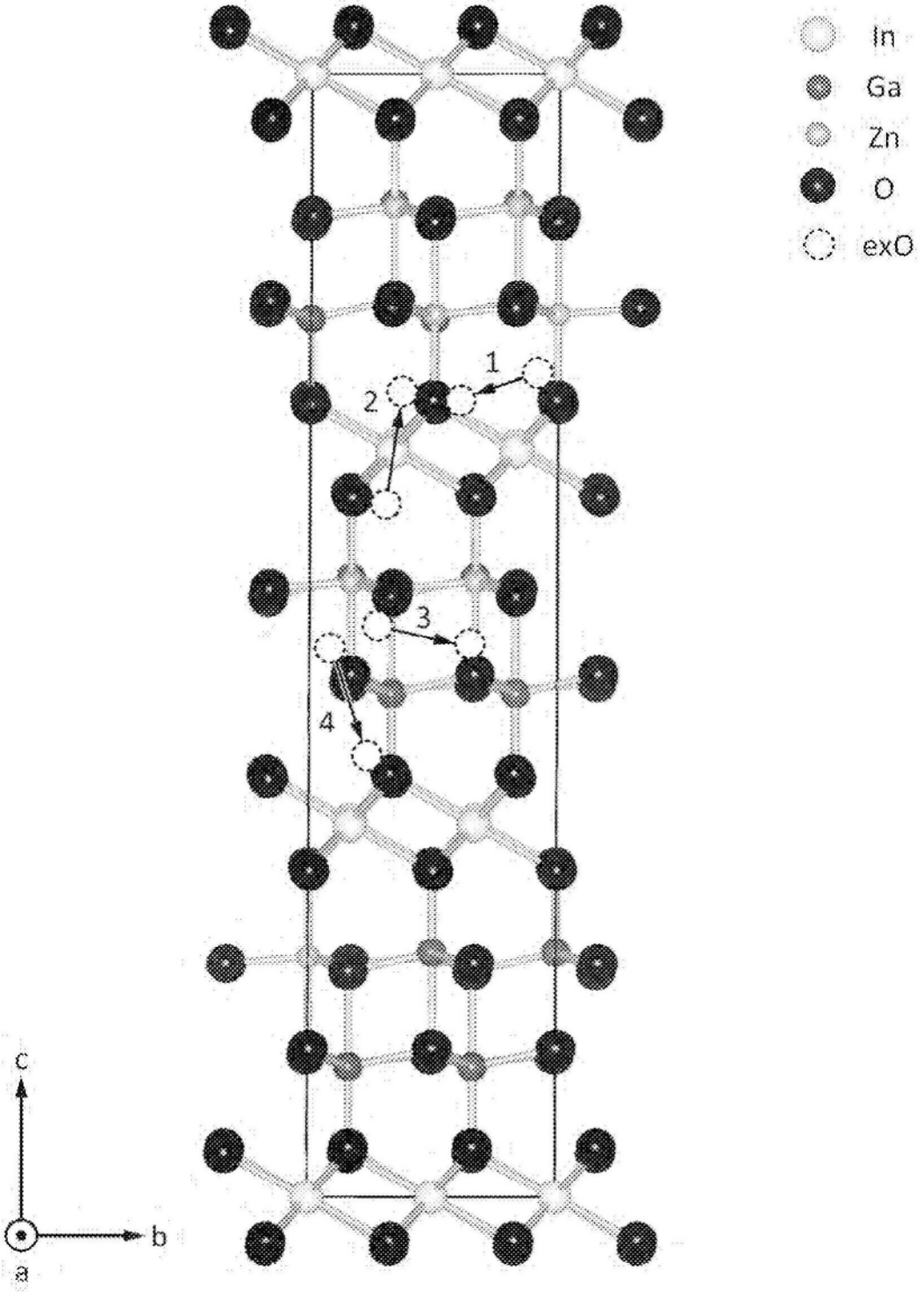


图61

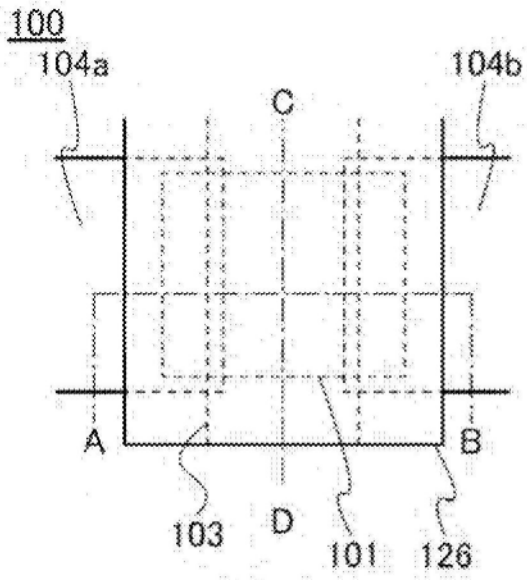

100
104a
104b
C
A
B
103
D
101
126

图62A

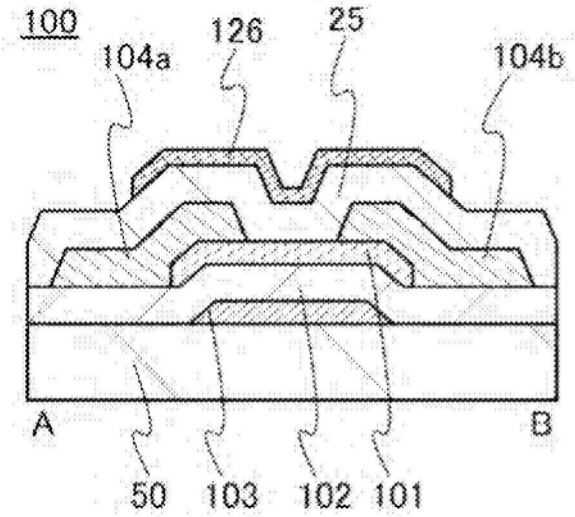

100
104a
126
25
104b
A
B
50
103
102
101

图62B

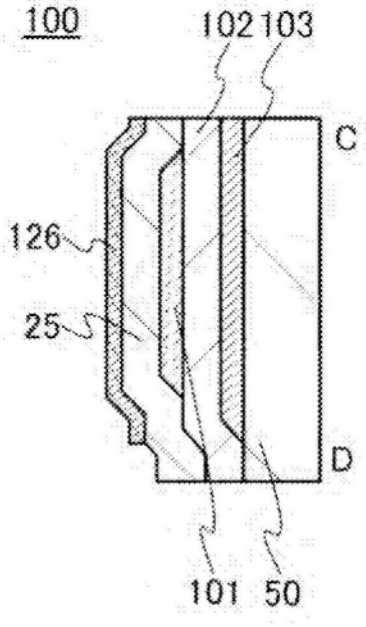


图62C

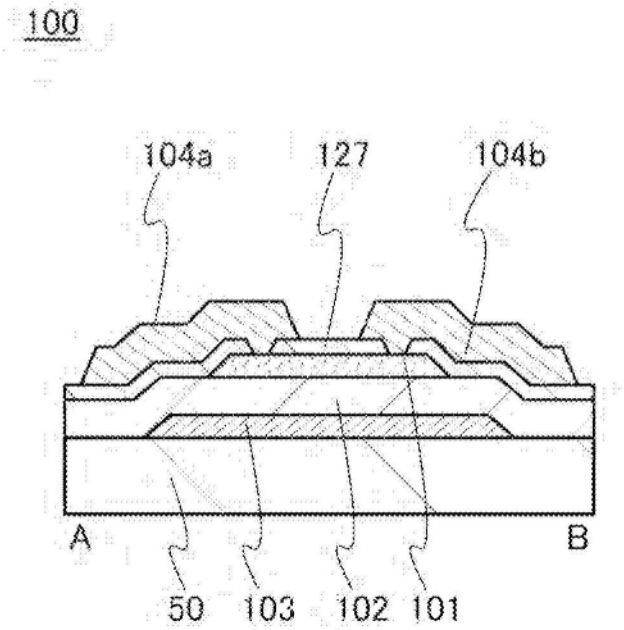


图63A

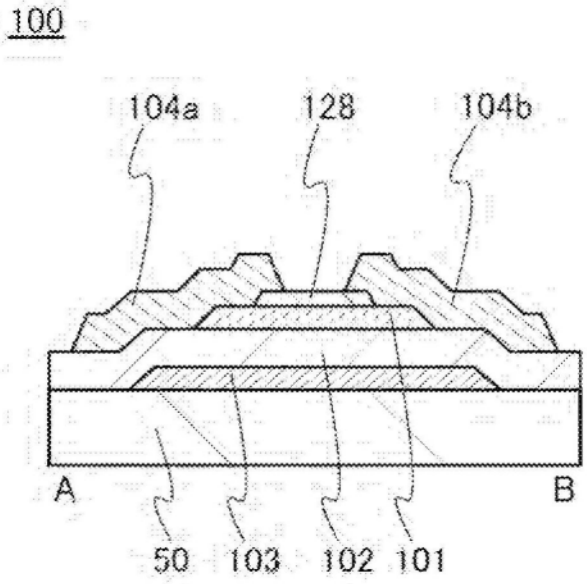

100
104a
128
104b
A
B
50
103
102
101

图63B

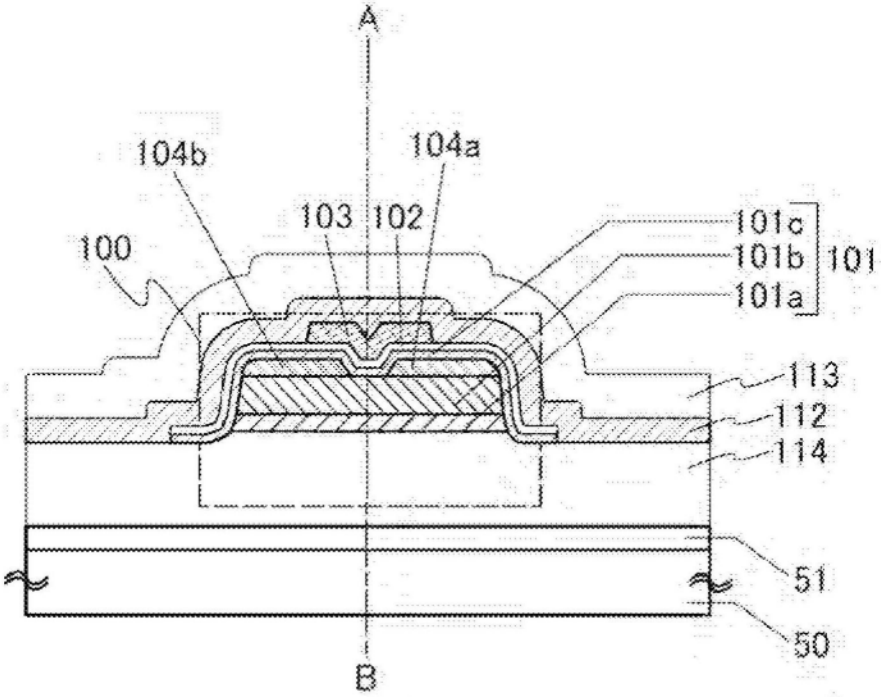

A
104b
104a
103
102
100
101c
101b
101
101a
113
112
114
51
50
B

图64A

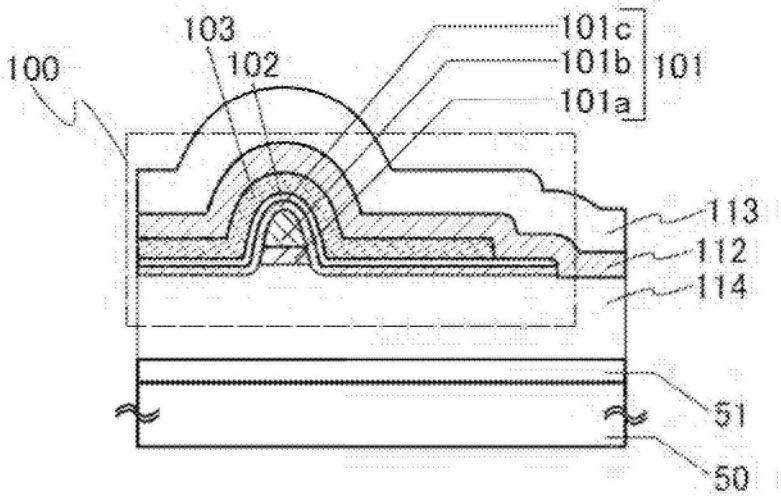

103
102
100
101c
101b
101a
101
113
112
114
51
50

图64B

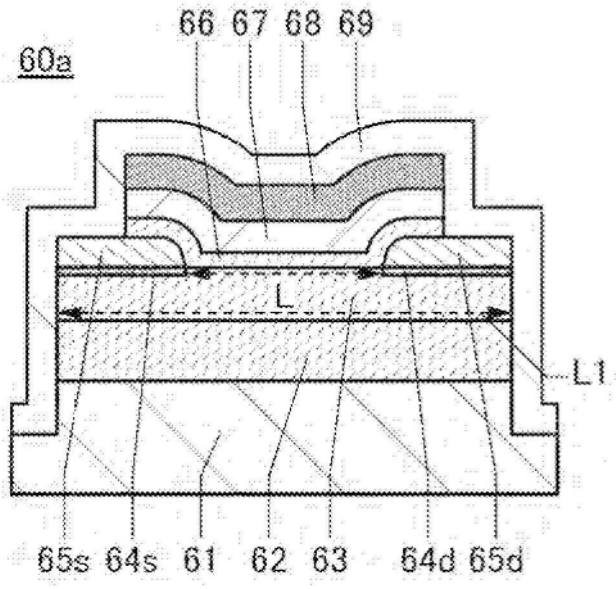

66 67 68 69
60a
L
L1
65s 64s 61 62 63 64d 65d

图65A

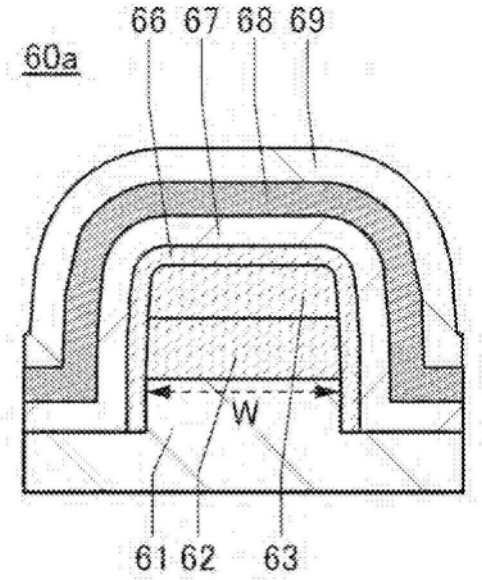

66 67 68 69
60a
W
61 62 63

图65B

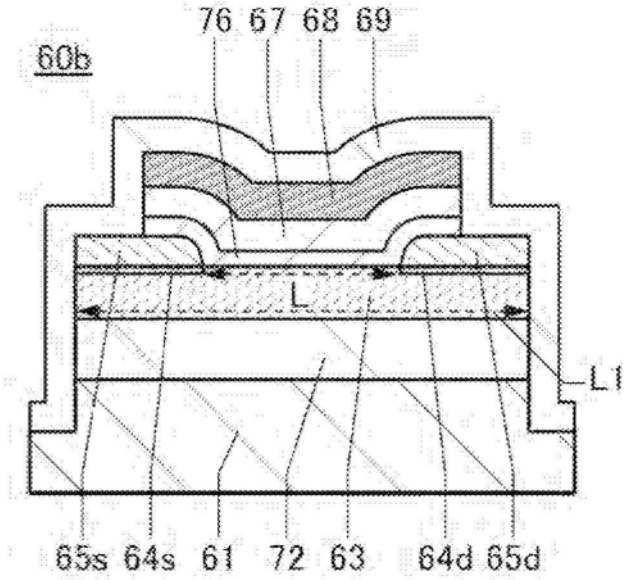

76 67 68 69
60b
L
L1
65s 64s 61 72 63 64d 65d

图65C

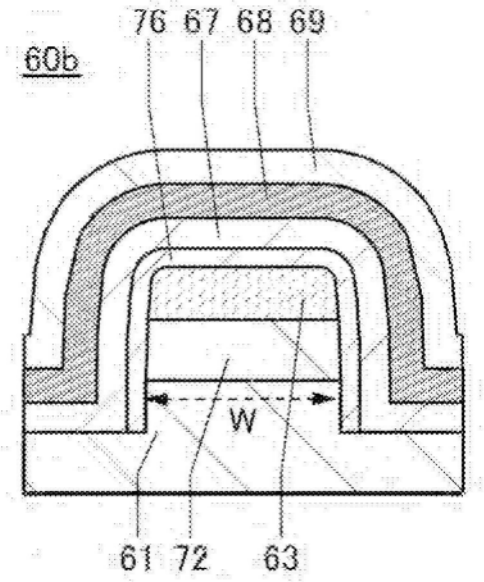

76 67 68 69
60b
W
61 72 63

图65D

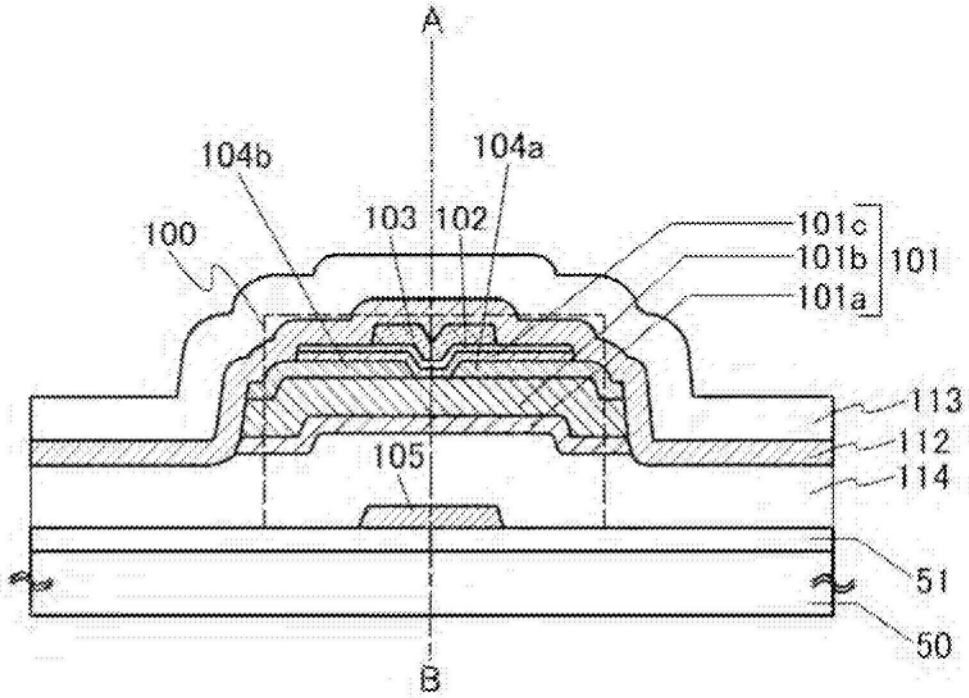

A
104b
104a
100
103 102
101c
101b
101
101a
113
112
105
114
51
50
B

图66A

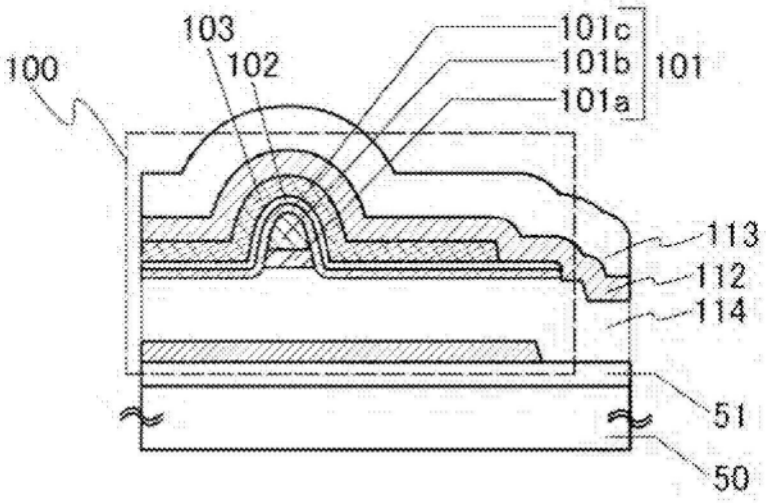

100
103
102
101c
101b
101a
101
113
112
114
51
50

图66B

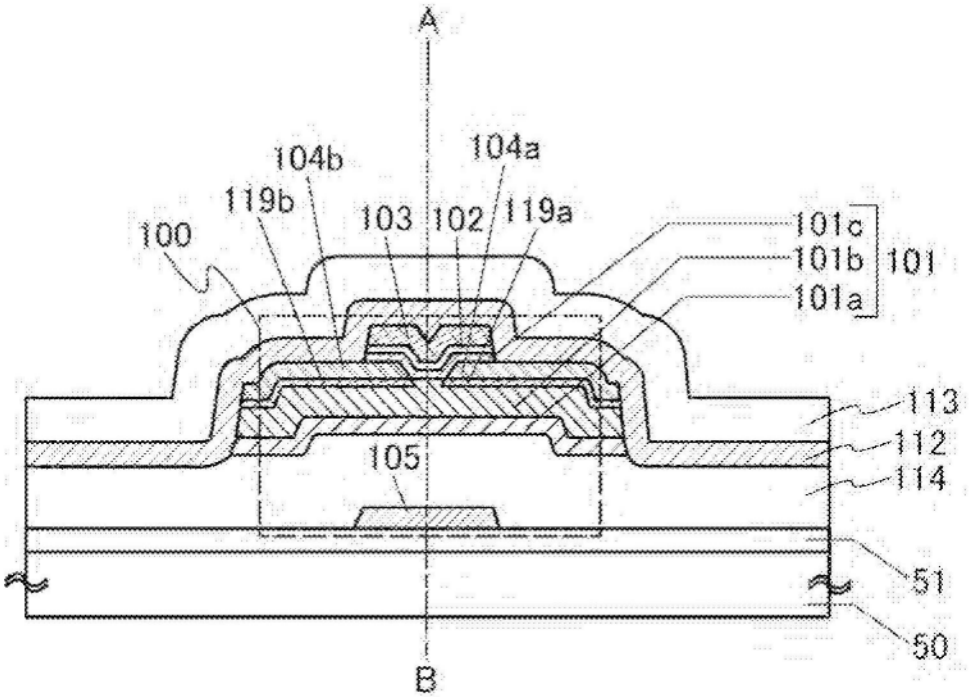

A
104b
104a
119b
103
102
119a
100
101c
101b
101a
101
113
112
105
114
51
50
B

图67A

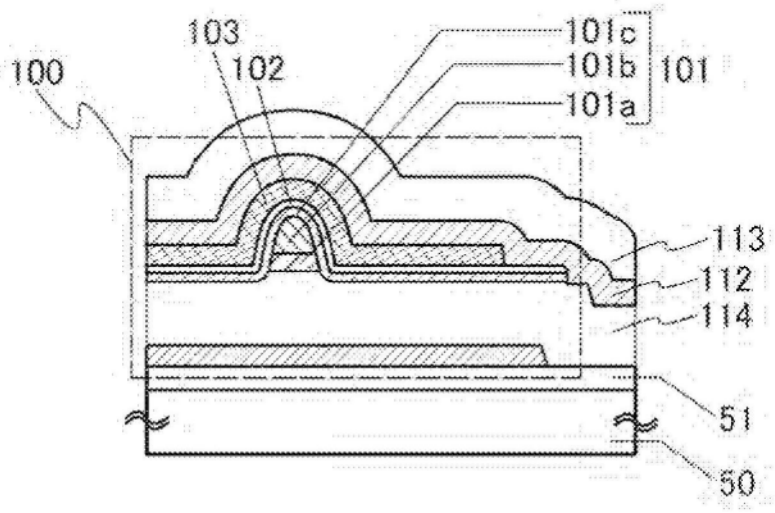

100
103
102
101c
101b
101a
101
113
112
114
51
50

图67B

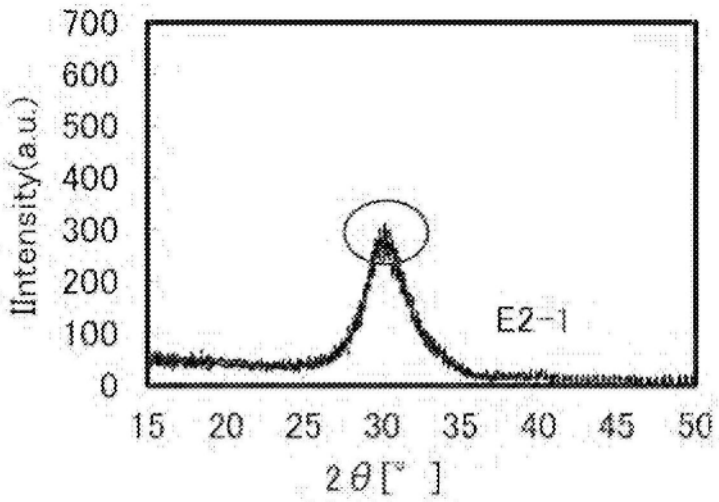

Intensity(a.u.)
700
600
500
400
300
200
100
0
E2-1
15
20
25
30
35
40
45
50
2θ[°]

图68A

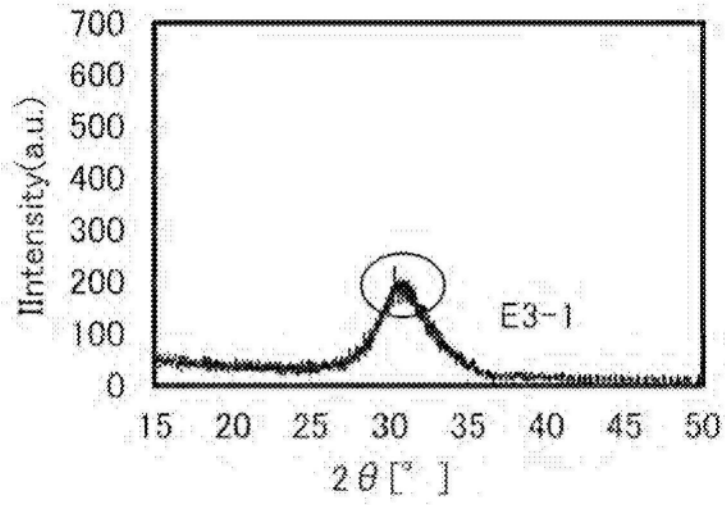

Intensity(a.u.)
700
600
500
400
300
200
100
0
E3-1
15 20 25 30 35 40 45 50
2θ[°]

图68B

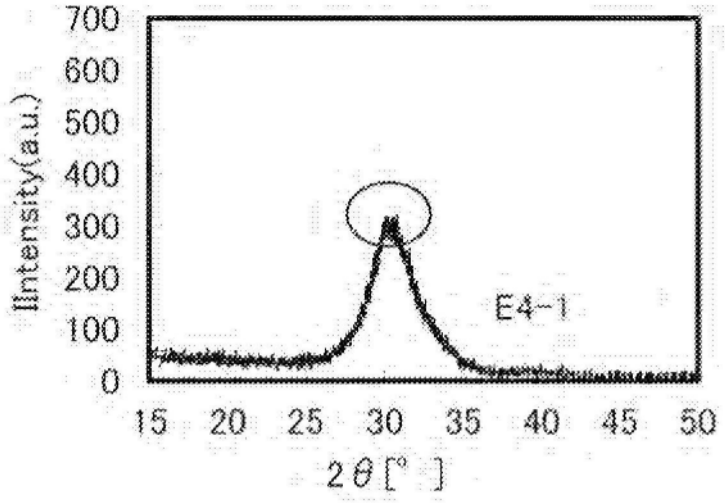

Intensity(a.u.)
700
600
500
400
300
200
100
0
E4-1
15 20 25 30 35 40 45 50
2θ[°]

图68C

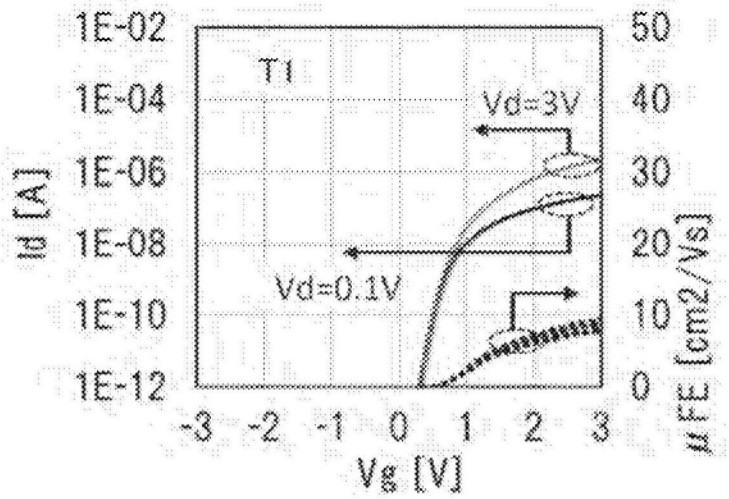

1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
Id [A]
T1
Vd=3V
Vd=0.1V
50
40
30
20
10
0
μFE [cm2/Vs]
-3 -2 -1 0 1 2 3
Vg [V]

图69A

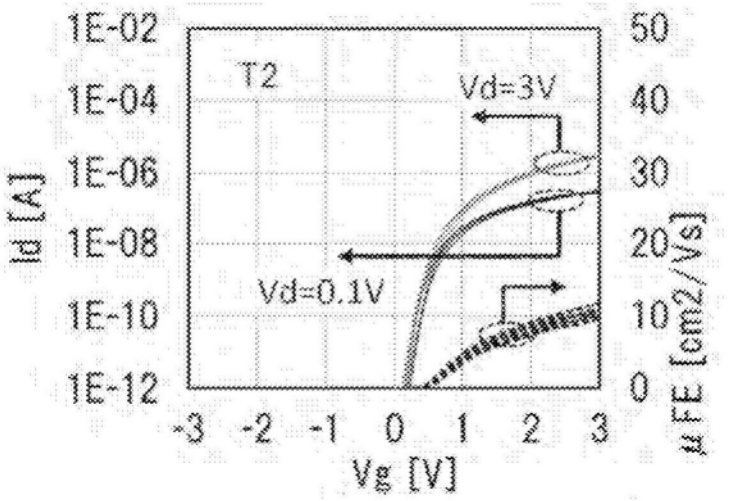

1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
Id [A]
T2
Vd=3V
Vd=0.1V
50
40
30
20
10
0
μFE [cm2/Vs]
-3 -2 -1 0 1 2 3
Vg [V]

图69B

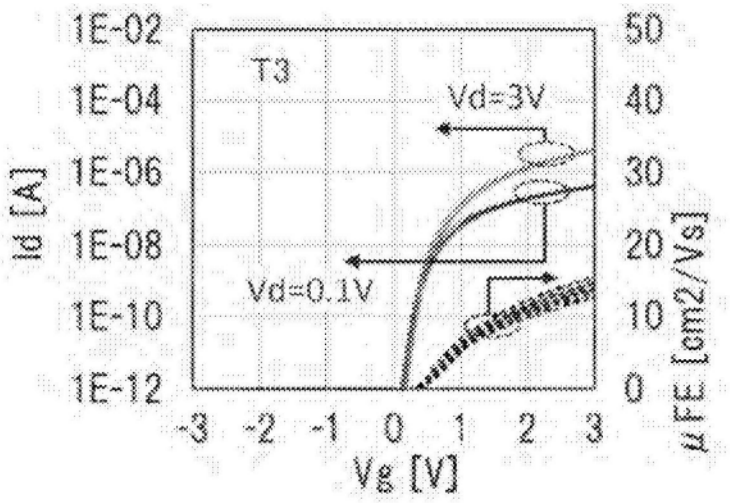

T3
Vd=3V
Vd=0.1V
Id [A]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
-3 -2 -1 0 1 2 3
Vg [V]
50
40
30
20
10
0
μFE [cm2/Vs]

图69C

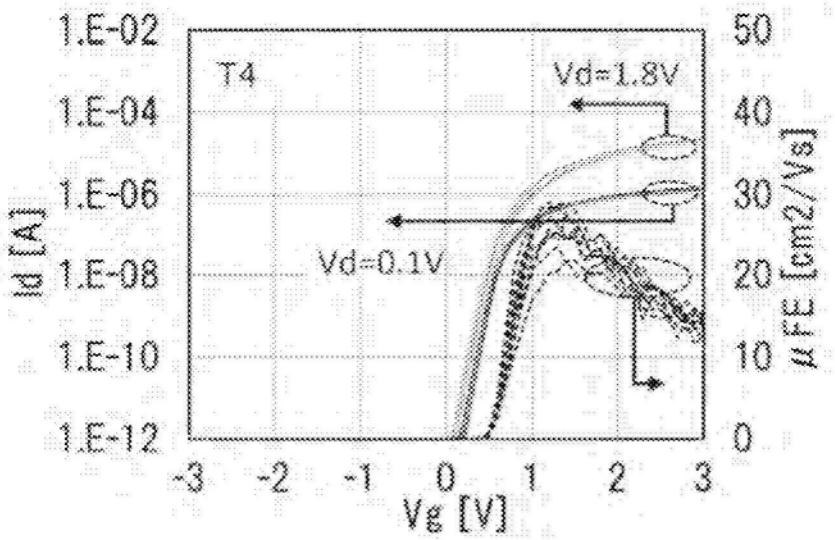

T4
Vd=1.8V
Vd=0.1V
Id [A]
1.E-02
1.E-04
1.E-06
1.E-08
1.E-10
1.E-12
-3 -2 -1 0 1 2 3
Vg [V]
50
40
30
20
10
0
μFE [cm2/Vs]

图70

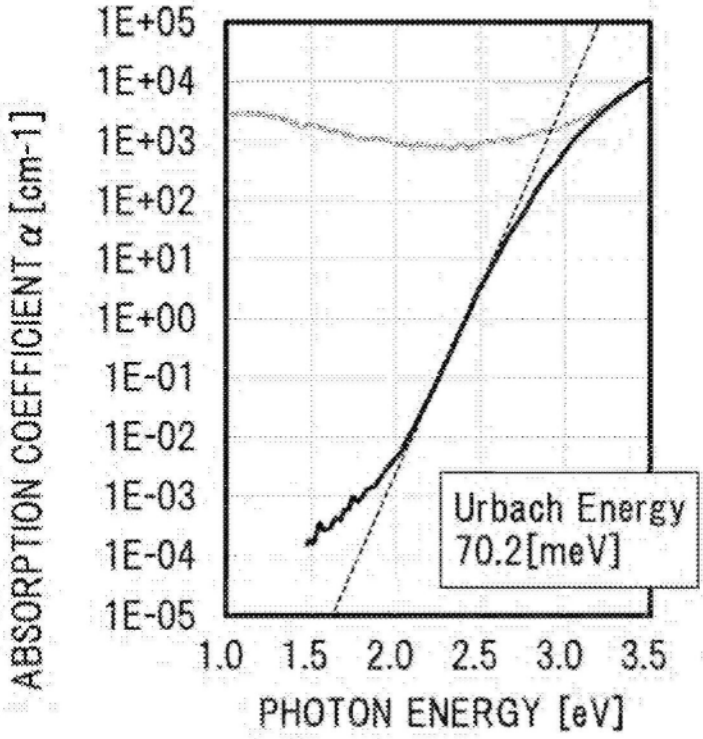

1E+05
1E+04
1E+03
1E+02
1E+01
1E+00
1E-01
1E-02
1E-03
1E-04
1E-05
ABSORPTION COEFFICIENT α [cm-1]
1.0 1.5 2.0 2.5 3.0 3.5
PHOTON ENERGY [eV]
Urbach Energy
70.2[meV]

图71A

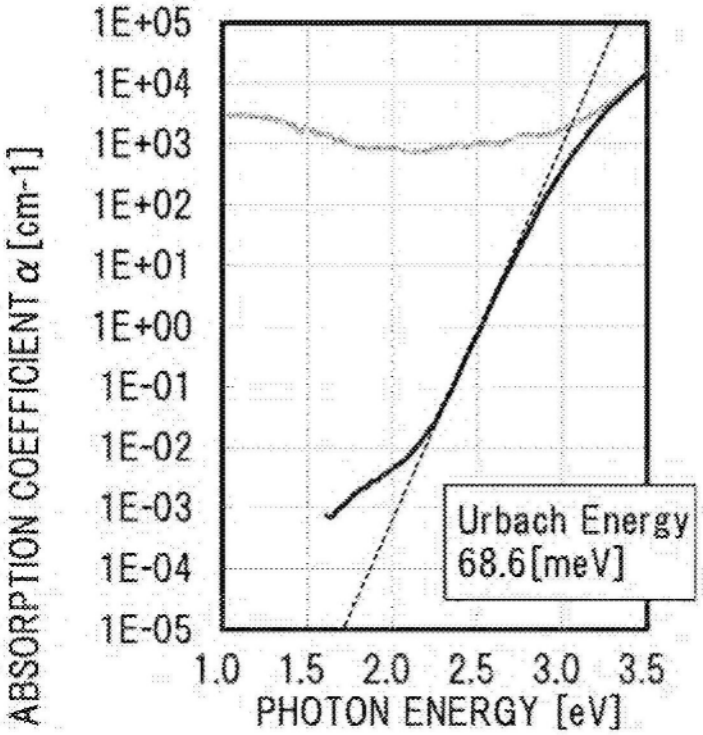

1E+05
1E+04
1E+03
1E+02
1E+01
1E+00
1E-01
1E-02
1E-03
1E-04
1E-05
ABSORPTION COEFFICIENT α [cm-1]
1.0 1.5 2.0 2.5 3.0 3.5
PHOTON ENERGY [eV]
Urbach Energy
68.6[meV]

图71B

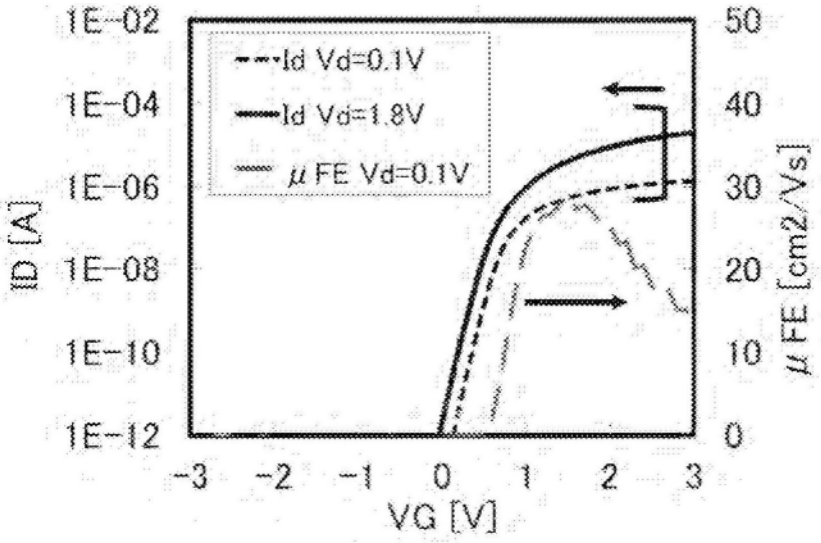

1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
ID [A]
Id Vd=0.1V
Id Vd=1.8V
μFE Vd=0.1V
50
40
30
20
10
0
μFE [cm2/Vs]
-3
-2
-1
0
1
2
3
VG [V]

图72

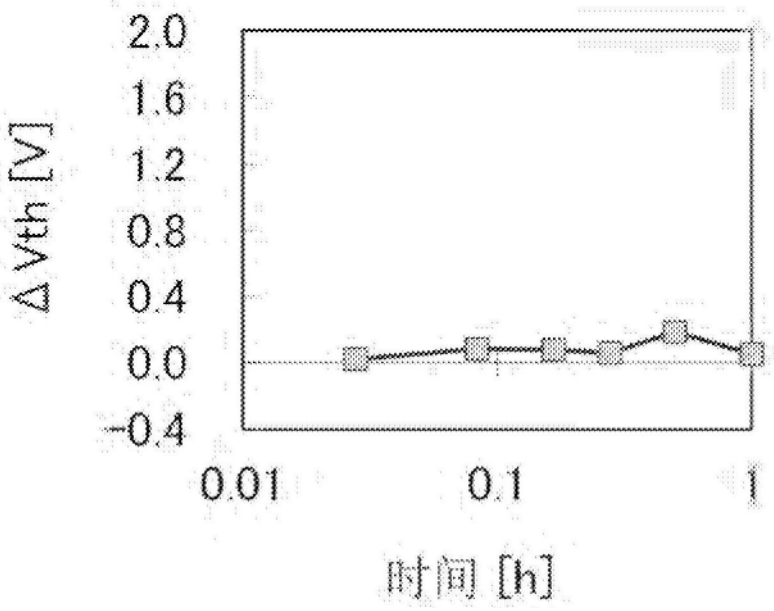

2.0
1.6
1.2
0.8
0.4
0.0
-0.4
ΔVth [V]
0.01
0.1
1
时间 [h]

图73

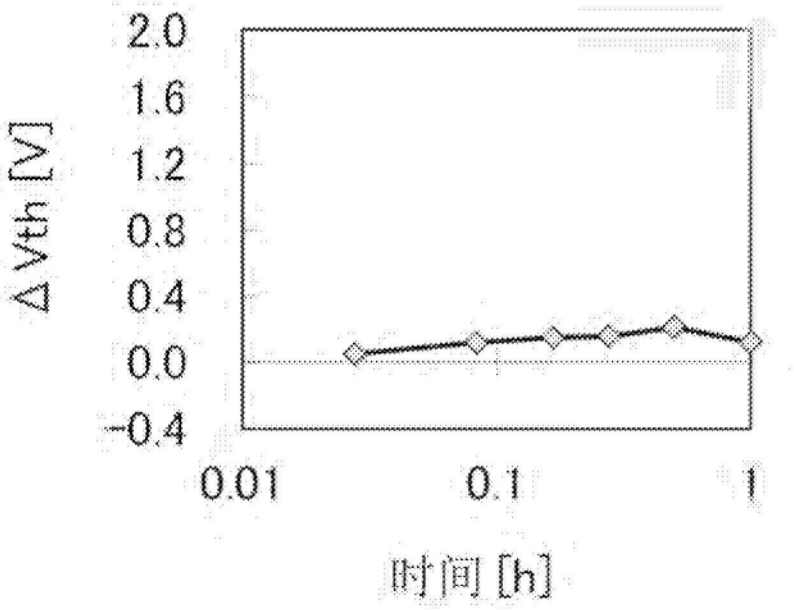

2.0
1.6
1.2
0.8
0.4
0.0
-0.4
ΔVth [V]
0.01
0.1
1
时间 [h]

图74

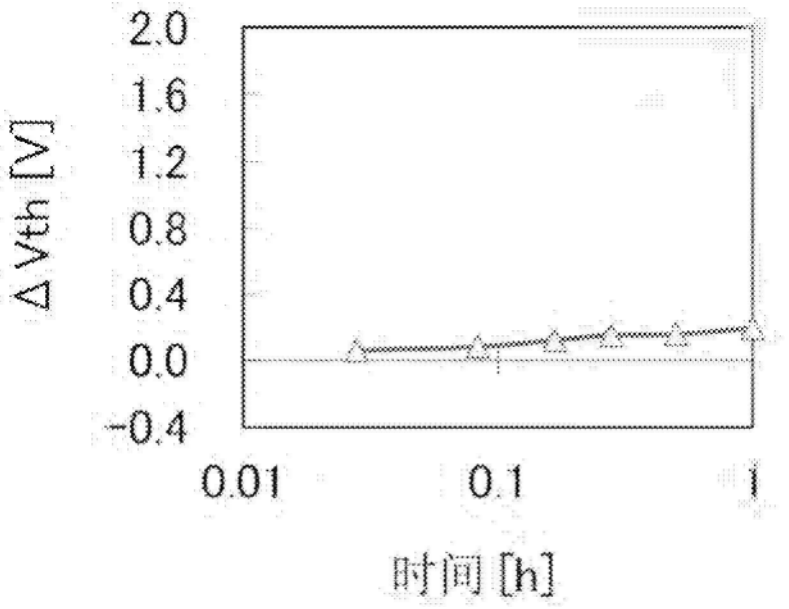

2.0
1.6
1.2
0.8
0.4
0.0
-0.4
ΔVth [V]
0.01
0.1
1
时间 [h]

图75

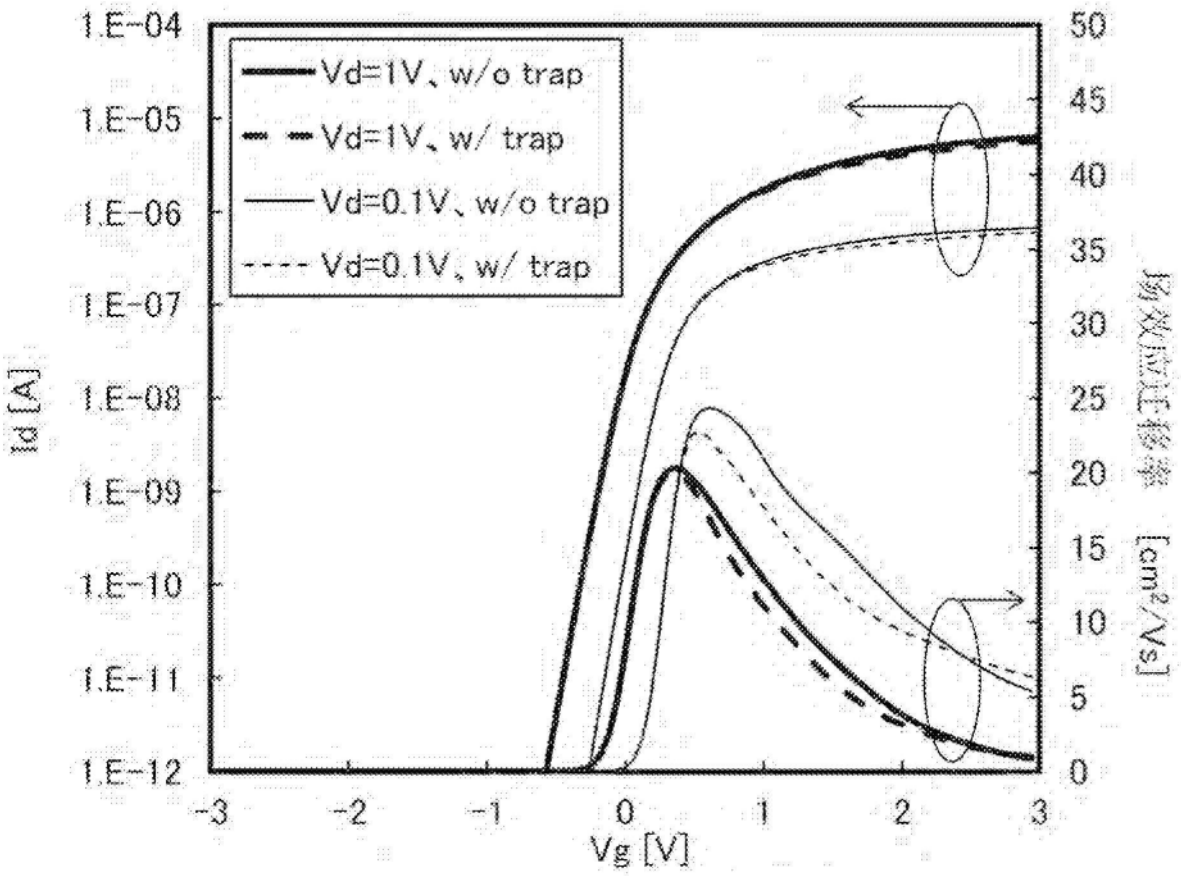

Vd=1V、w/o trap
Vd=1V、w/ trap
Vd=0.1V、w/o trap
Vd=0.1V、w/ trap
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
Id [A]
50
45
40
35
30
25
20
15
10
5
0
场效应迁移率 [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

图76A

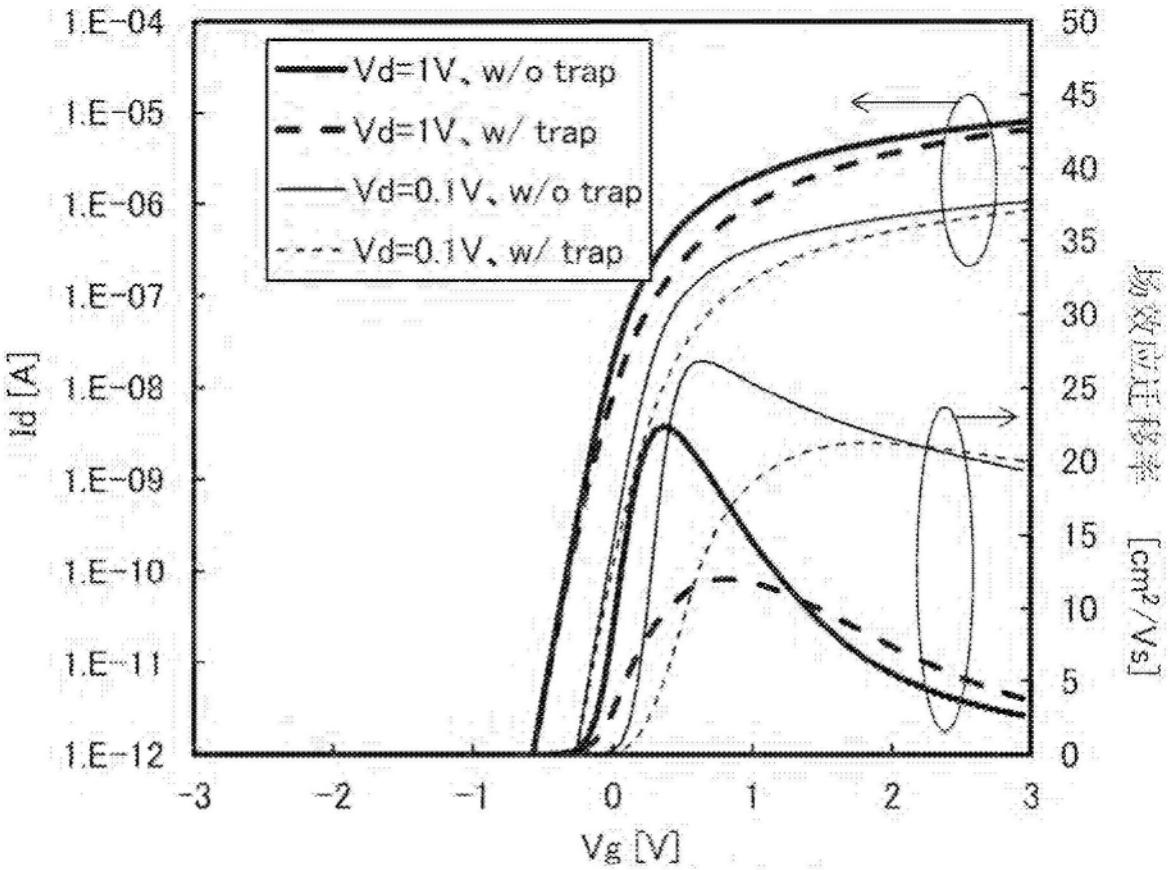

Vd=1V、w/o trap
Vd=1V、w/ trap
Vd=0.1V、w/o trap
Vd=0.1V、w/ trap
Id [A]
Vg [V]
场效应迁移率 [cm²/Vs]
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
-3
-2
-1
0
1
2
3
50
45
40
35
30
25
20
15
10
5
0

图76B

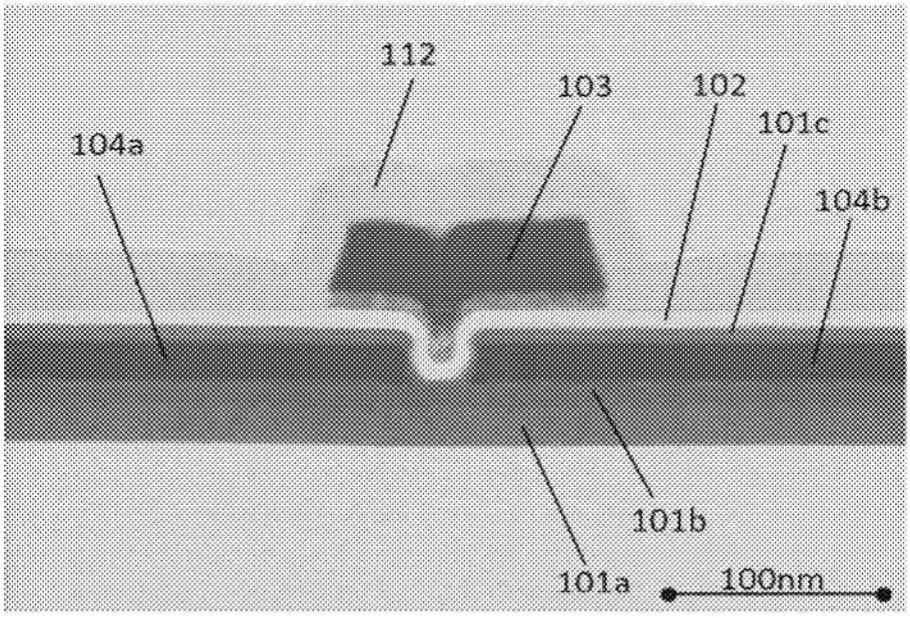

112
103
102
101c
104a
104b
101b
101a
100nm

图77A

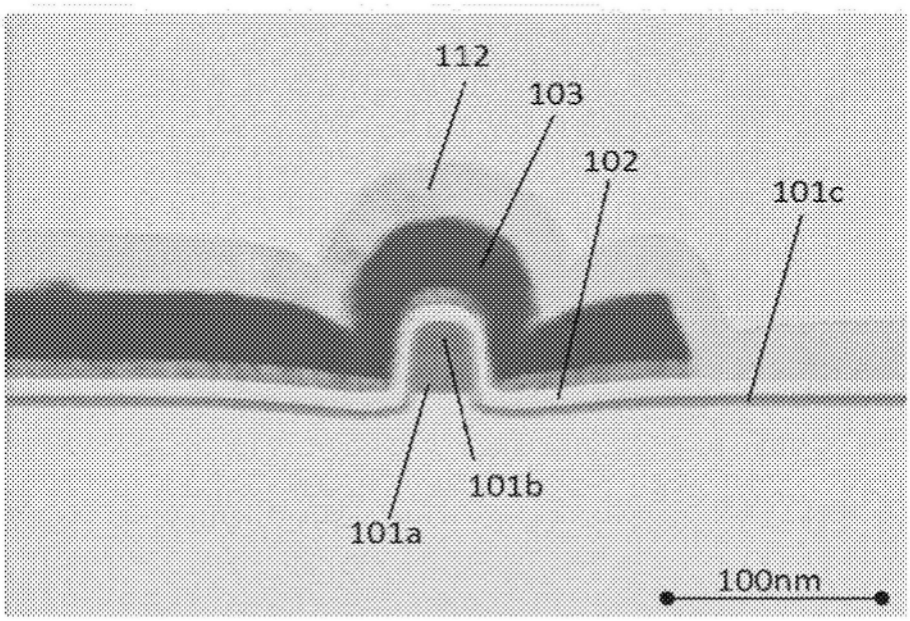

112
103
102
101c
101b
101a
100nm

图77B

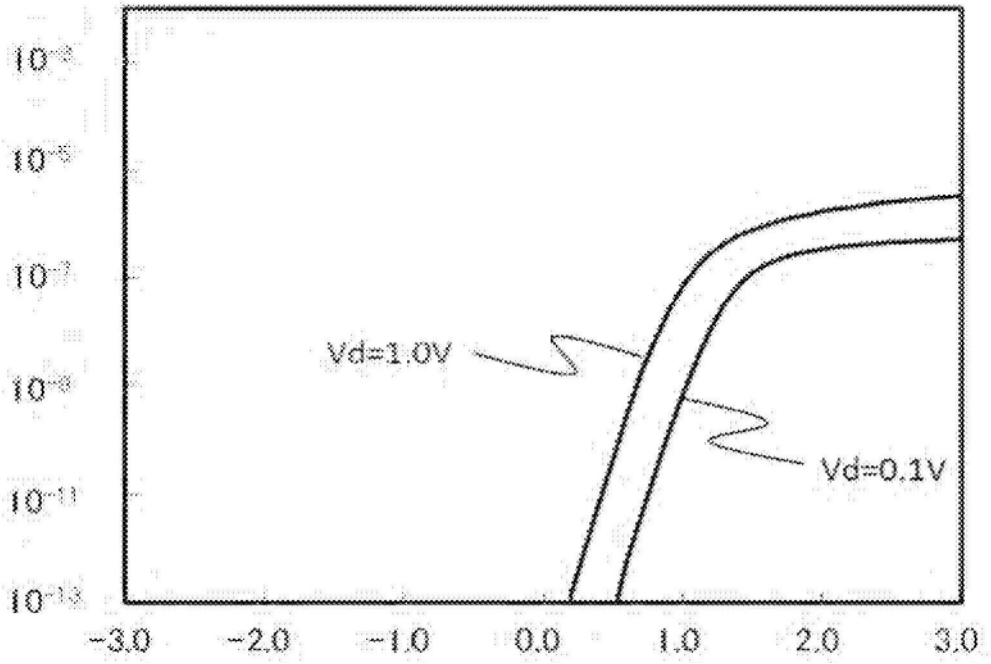

Vd=1.0V
Vd=0.1V
-3.0
-2.0
-1.0
0.0
1.0
2.0
3.0

图78

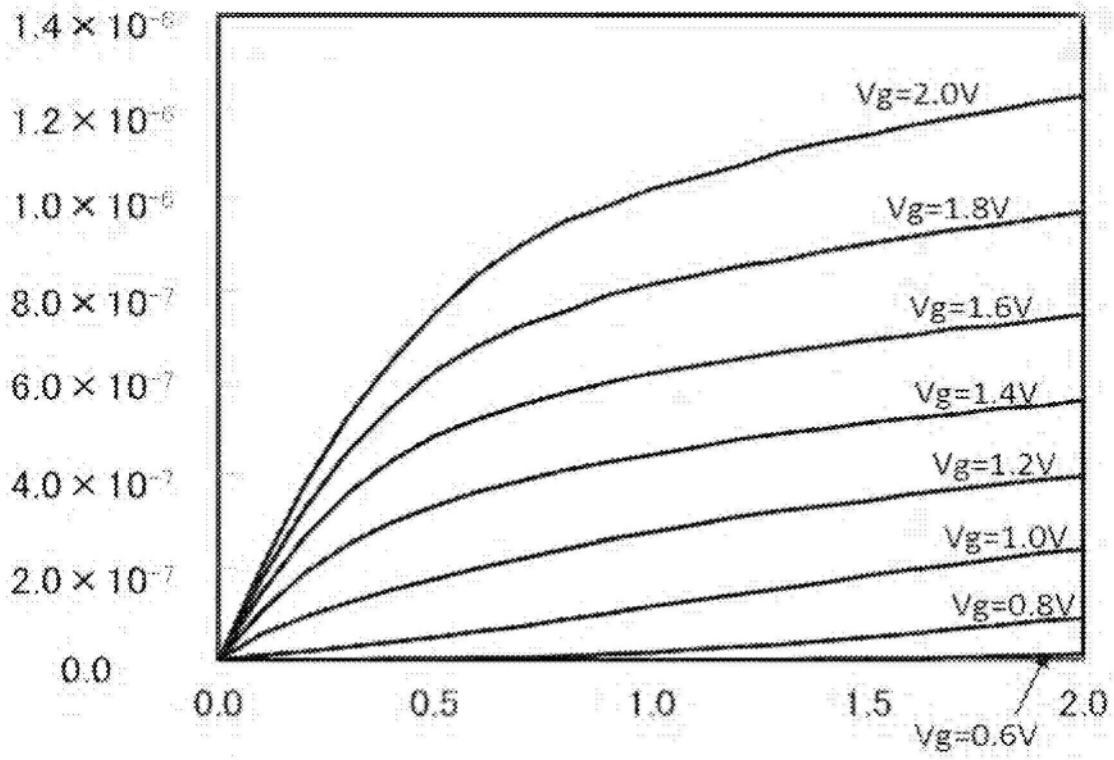

1.4×10⁻⁶
1.2×10⁻⁶
1.0×10⁻⁶
8.0×10⁻⁷
6.0×10⁻⁷
4.0×10⁻⁷
2.0×10⁻⁷
0.0
0.0
0.5
1.0
1.5
2.0
Vg=2.0V
Vg=1.8V
Vg=1.6V
Vg=1.4V
Vg=1.2V
Vg=1.0V
Vg=0.8V
Vg=0.6V

图79

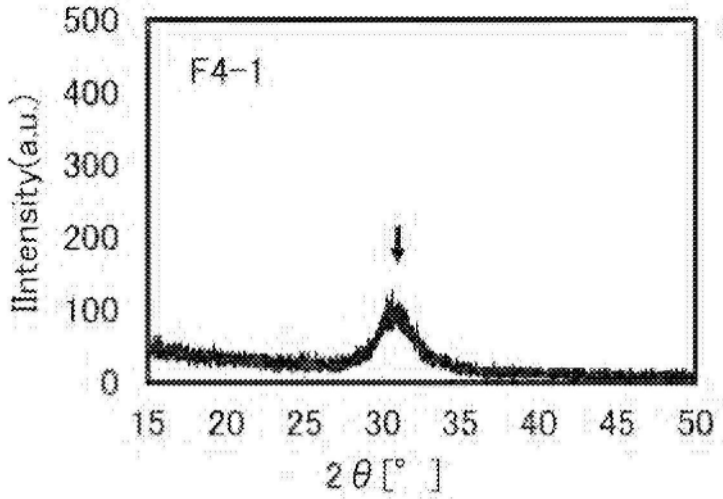

F4-1
Intensity(a.u.)
500
400
300
200
100
0
15
20
25
30
35
40
45
50
2θ[°]

图80A

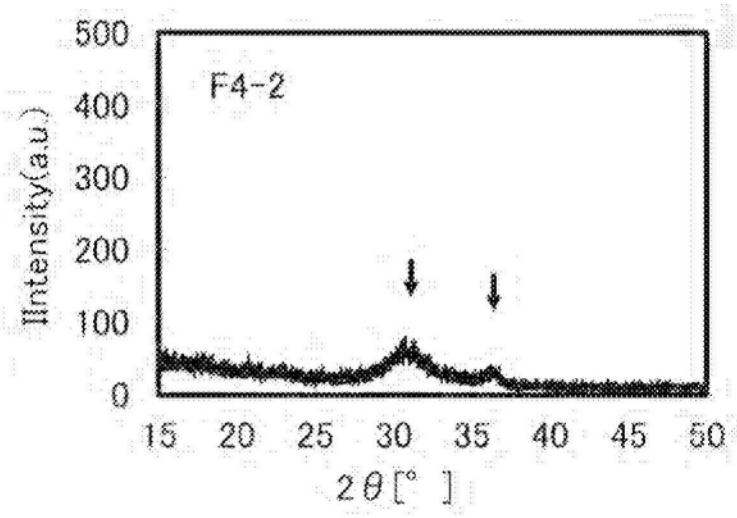

F4-2
Intensity(a.u.)
500
400
300
200
100
0
15 20 25 30 35 40 45 50
2θ[°]

图80B

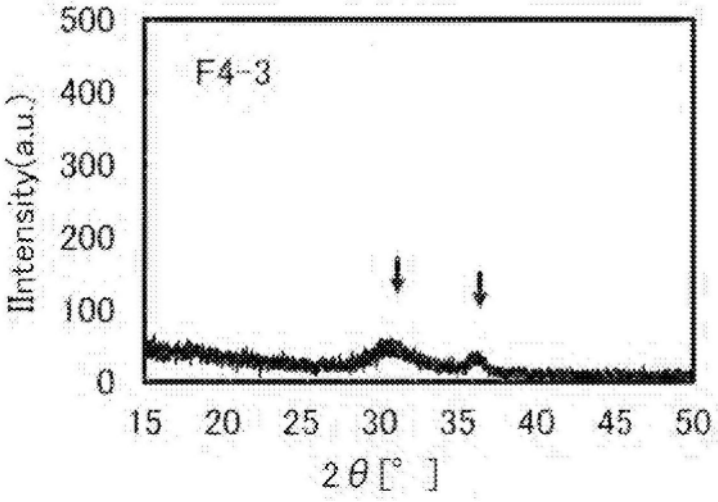

F4-3
Intensity(a.u.)
500
400
300
200
100
0
15 20 25 30 35 40 45 50
2θ[°]

图80C

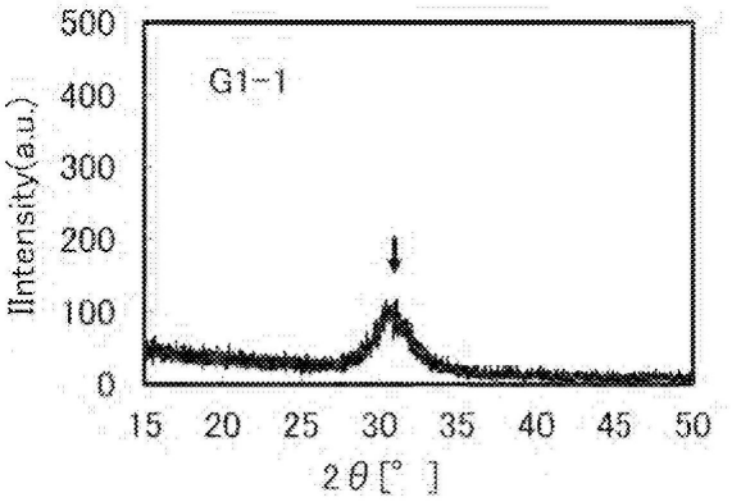

G1-1
Intensity(a.u.)
500
400
300
200
100
0
15 20 25 30 35 40 45 50
2θ[°]

图81A

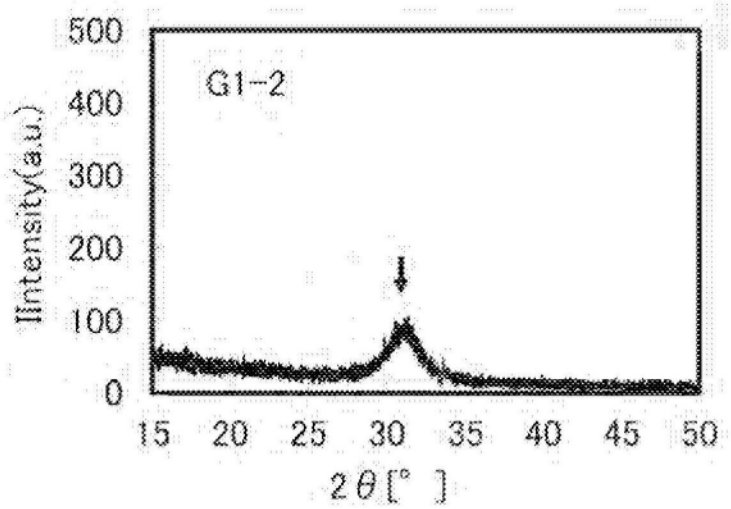

G1-2
Intensity(a.u.)
500
400
300
200
100
0
15 20 25 30 35 40 45 50
2θ[°]

图81B

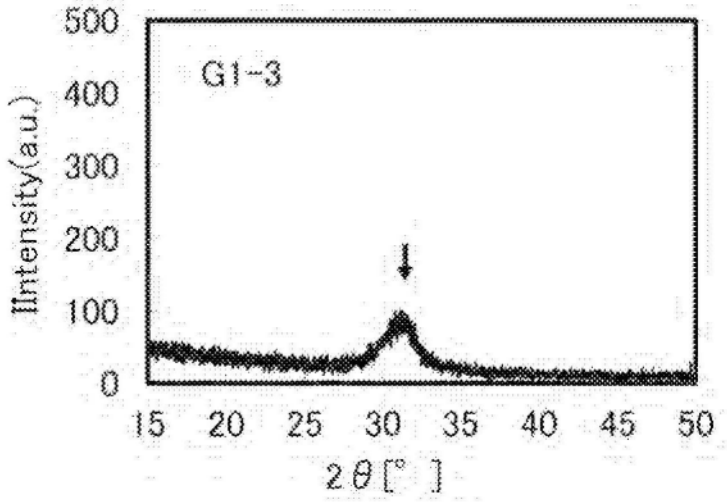

G1-3
Intensity(a.u.)
500
400
300
200
100
0
15 20 25 30 35 40 45 50
2θ[°]

图81C

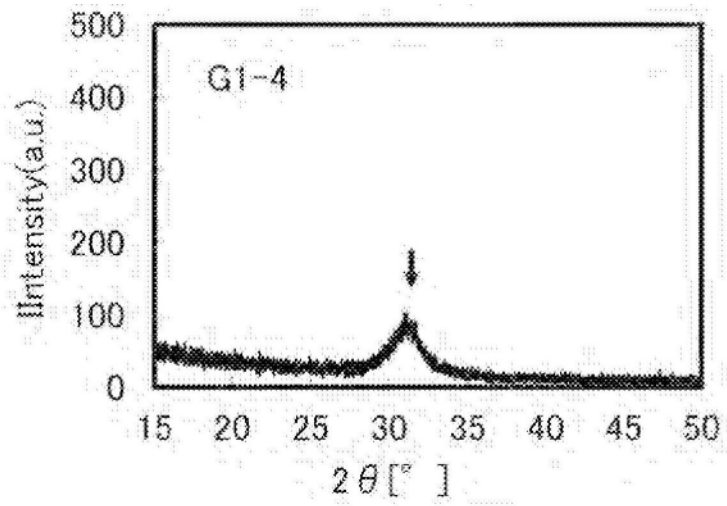

G1-4
Intensity(a.u.)
500
400
300
200
100
0
15 20 25 30 35 40 45 50
2θ[°]

图81D

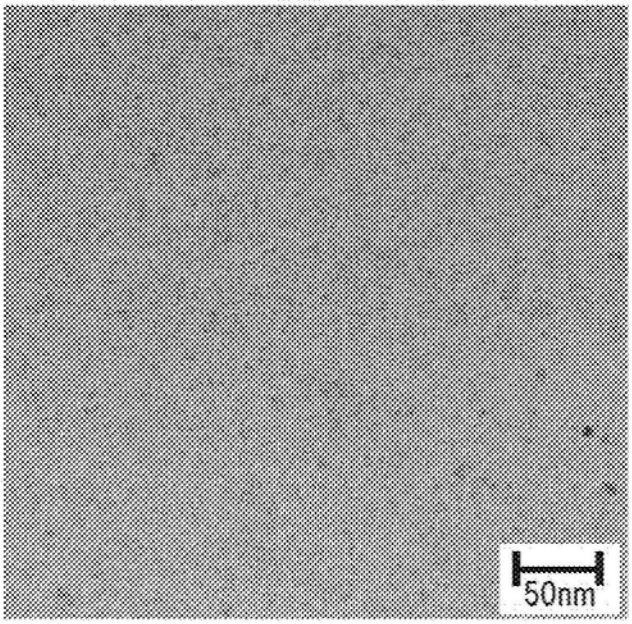


图82A

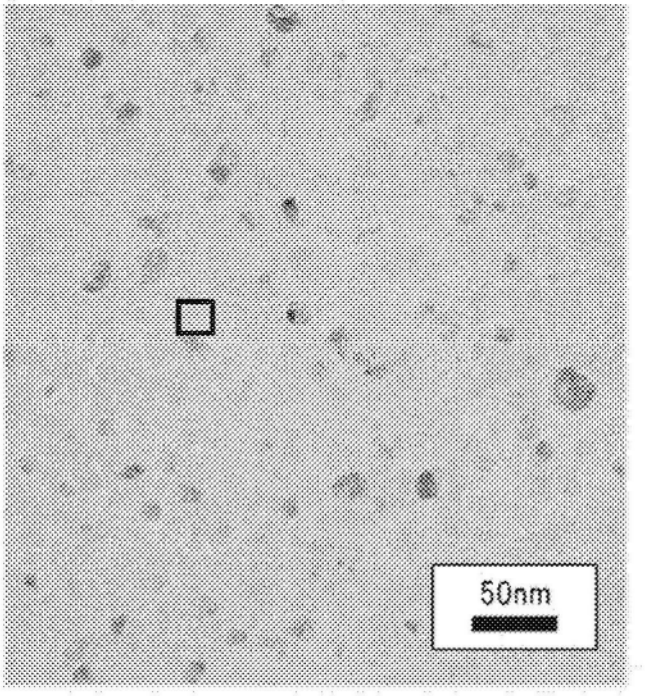


图82B

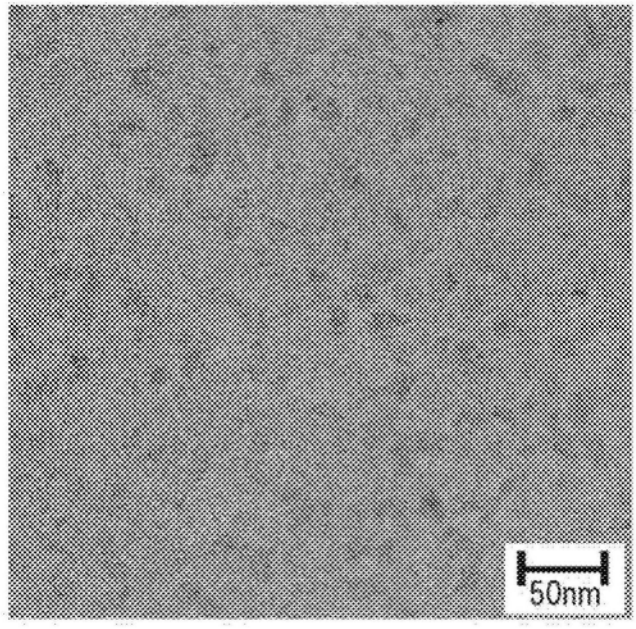


图83A

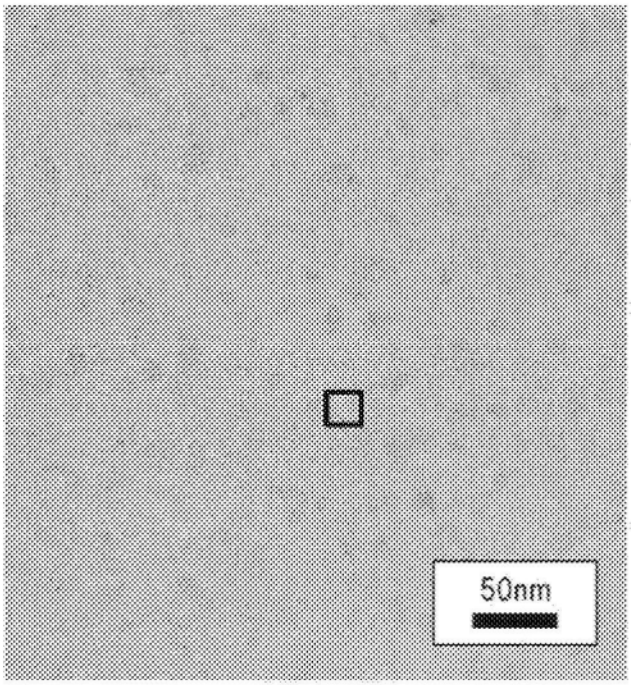


图83B

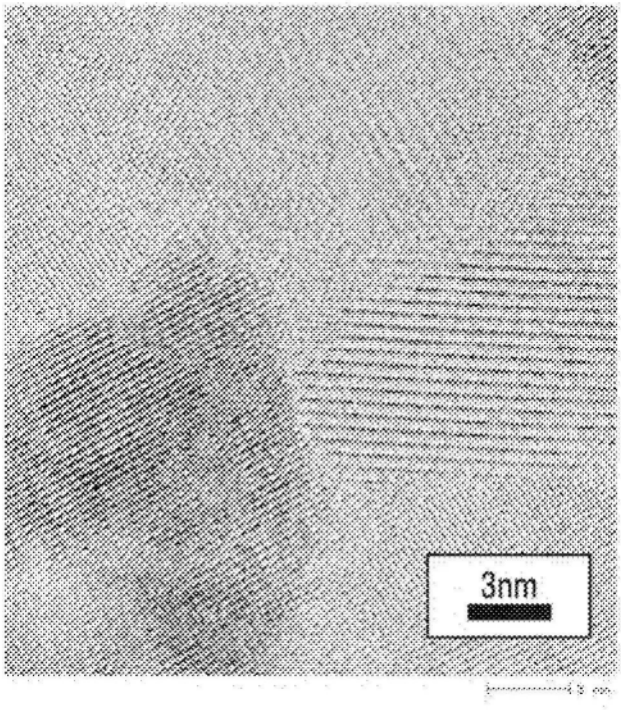


图84A

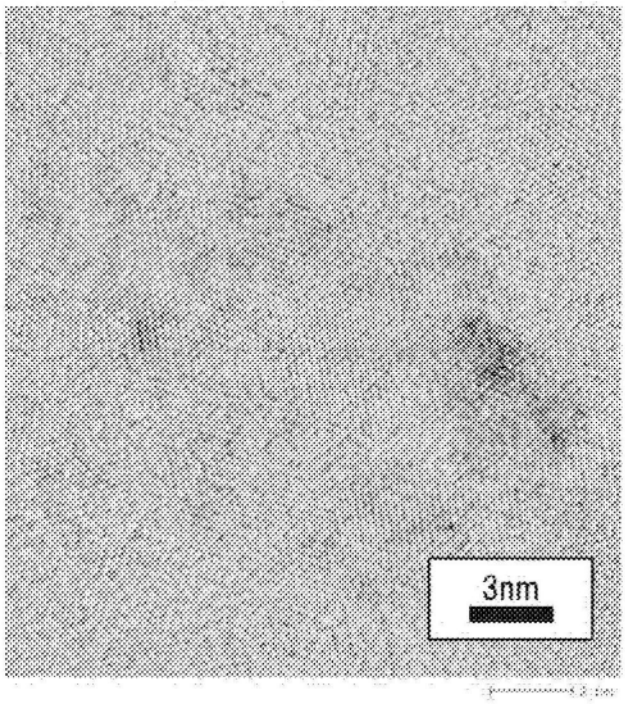


图84B

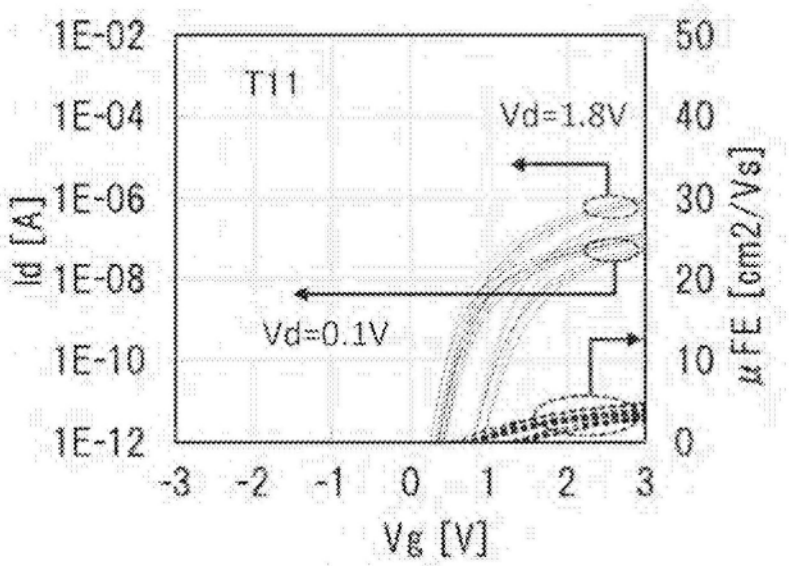

T11
Vd=1.8V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3
-2
-1
0
1
2
3

图85A

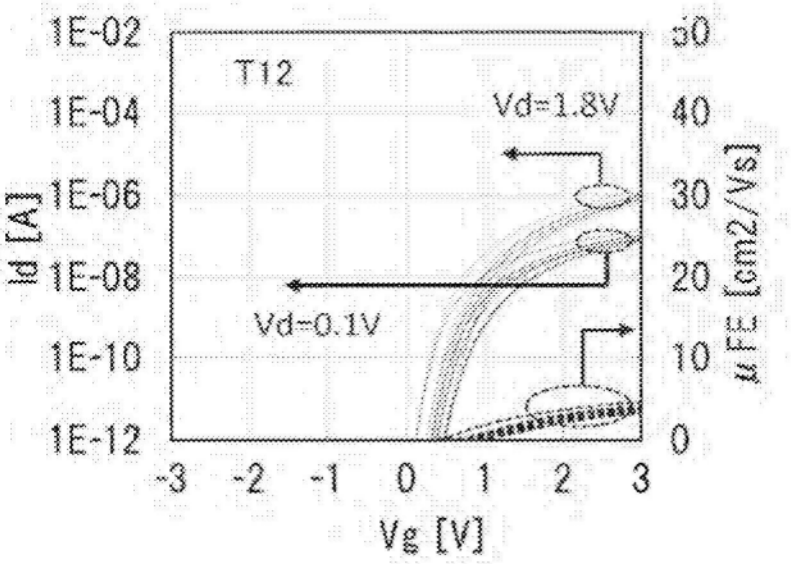

T12
Vd=1.8V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3
-2
-1
0
1
2
3

图85B

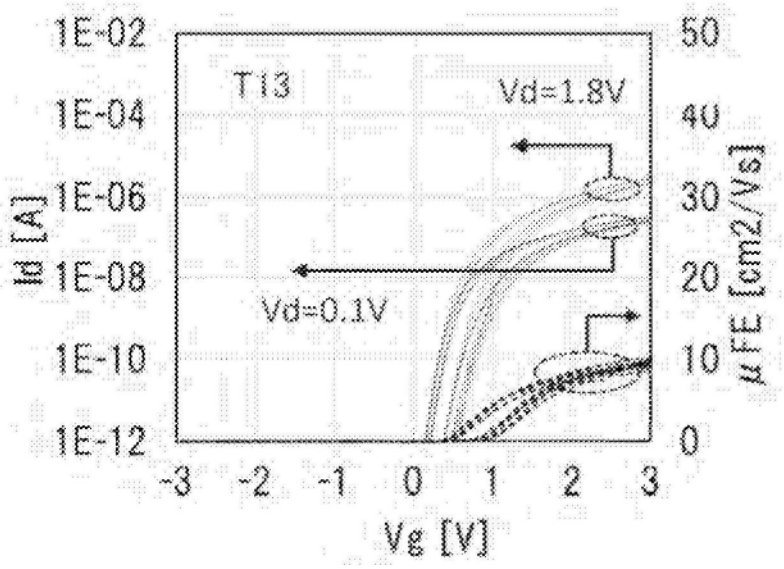

T13
Vd=1.8V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3
-2
-1
0
1
2
3

图86A

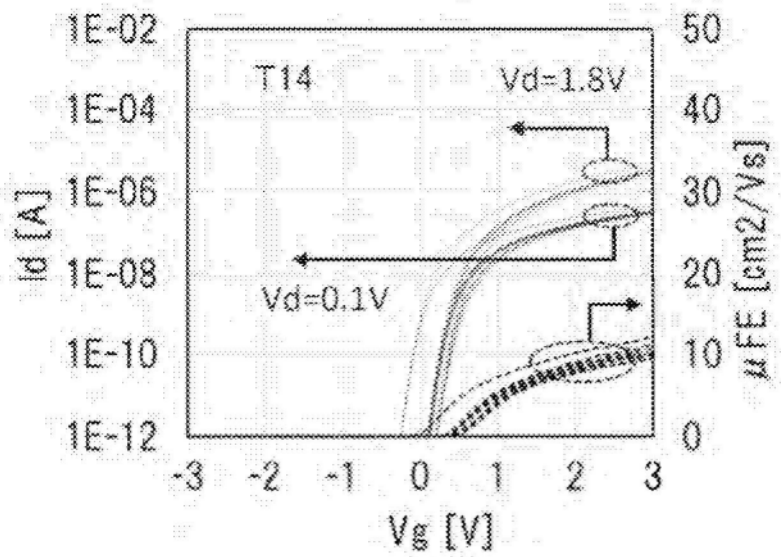

T14
Vd=1.8V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3
-2
-1
0
1
2
3

图86B

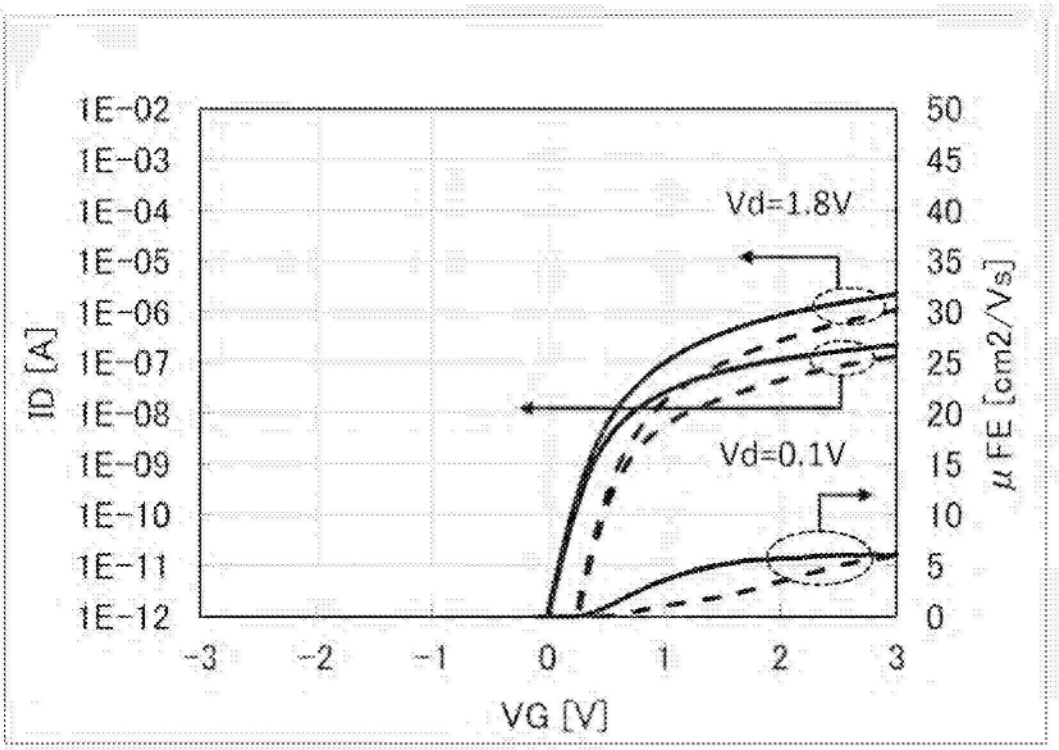

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
-3
-2
-1
0
1
2
3
VG [V]

图87A

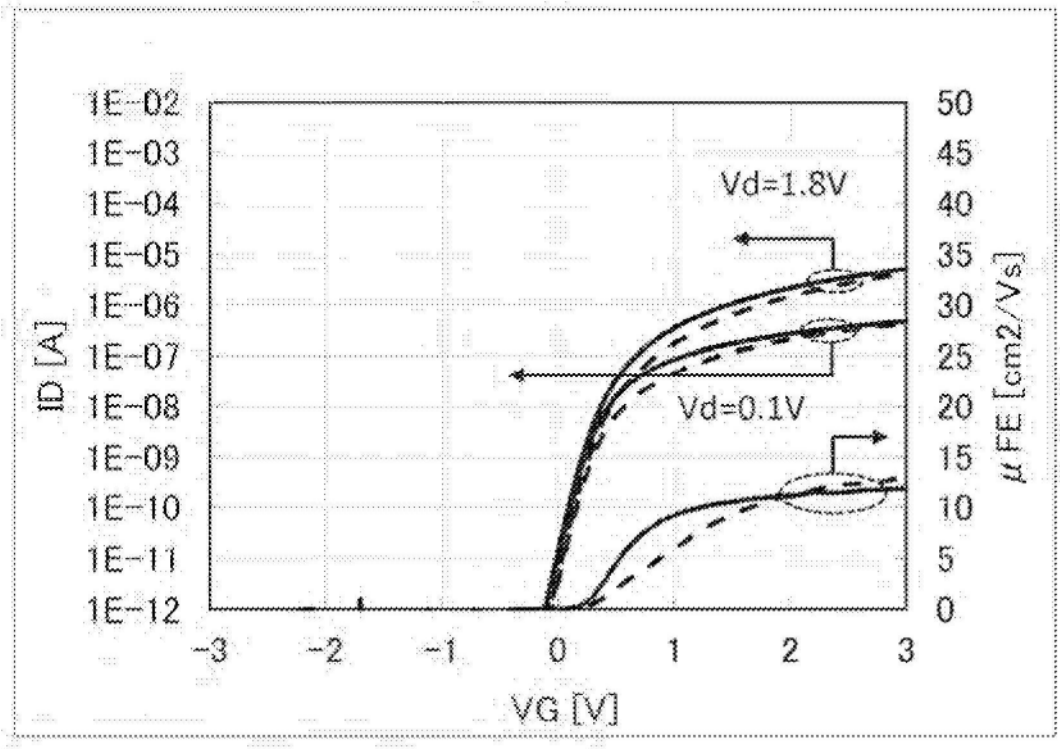

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
-3
-2
-1
0
1
2
3
VG [V]

图87B

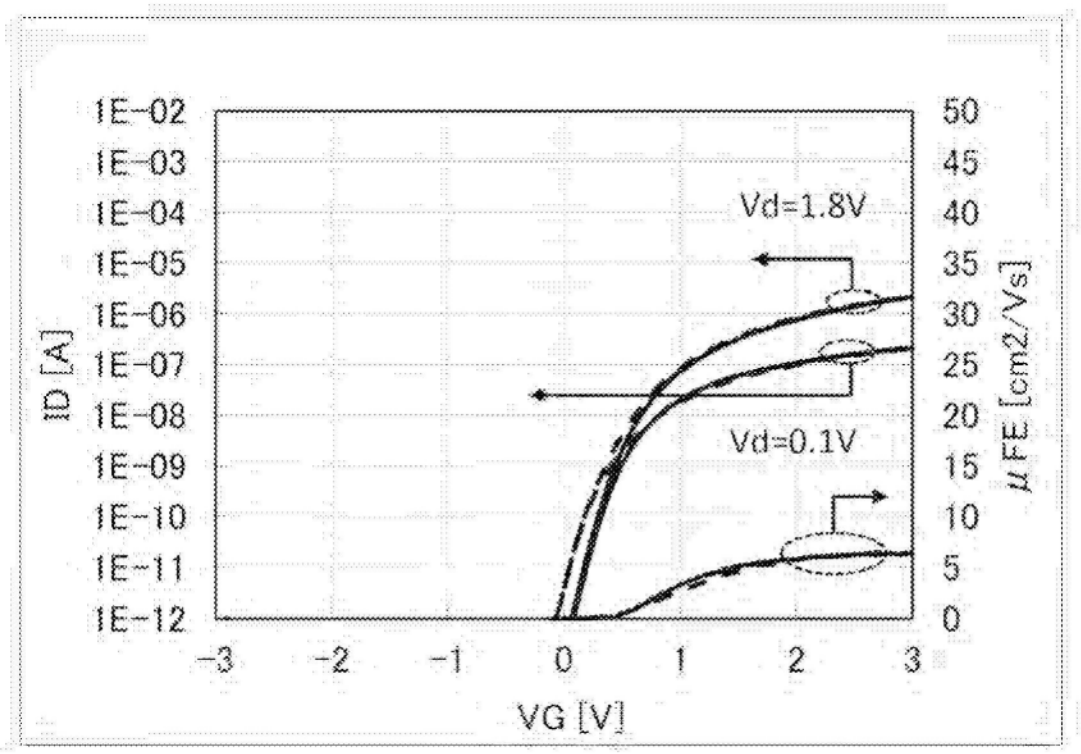

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
-3
-2
-1
0
1
2
3
VG [V]

图88A

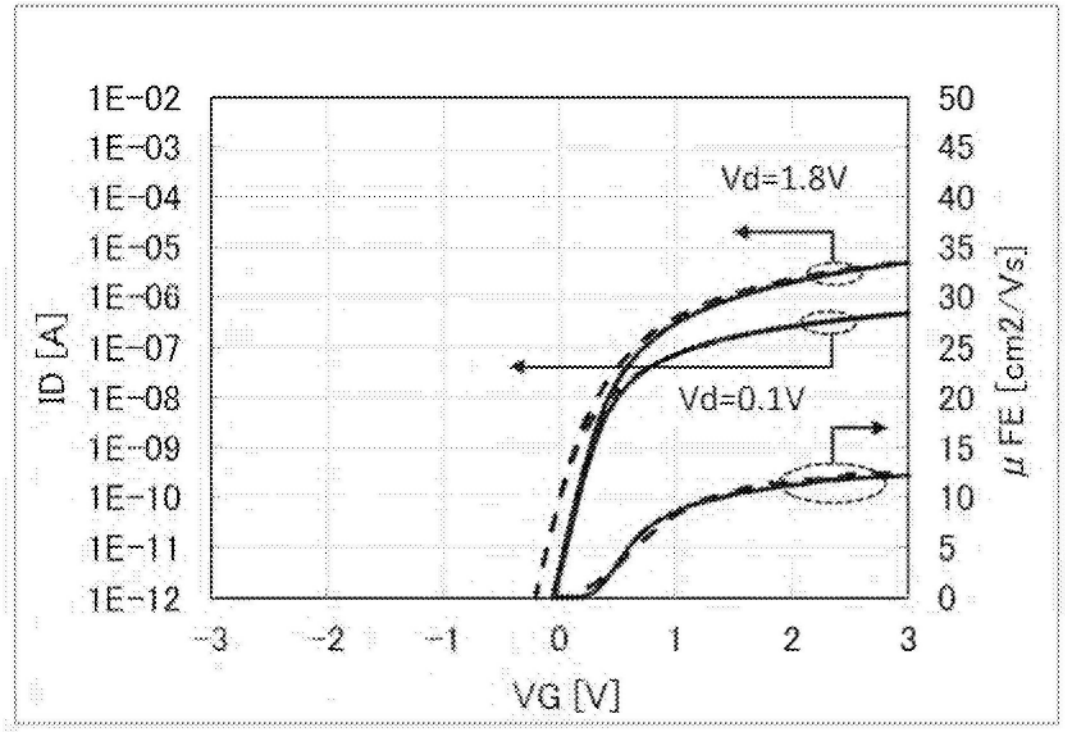

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
-3
-2
-1
0
1
2
3
VG [V]

图88B

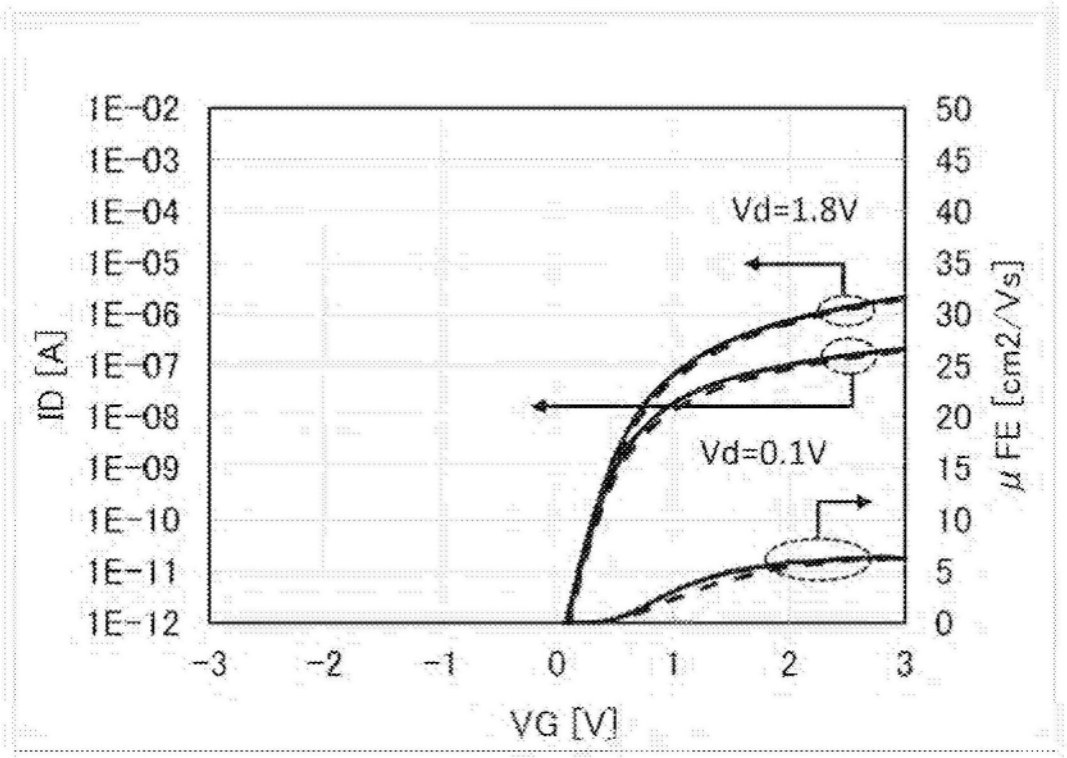

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
-3
-2
-1
0
1
2
3
VG [V]

图89A

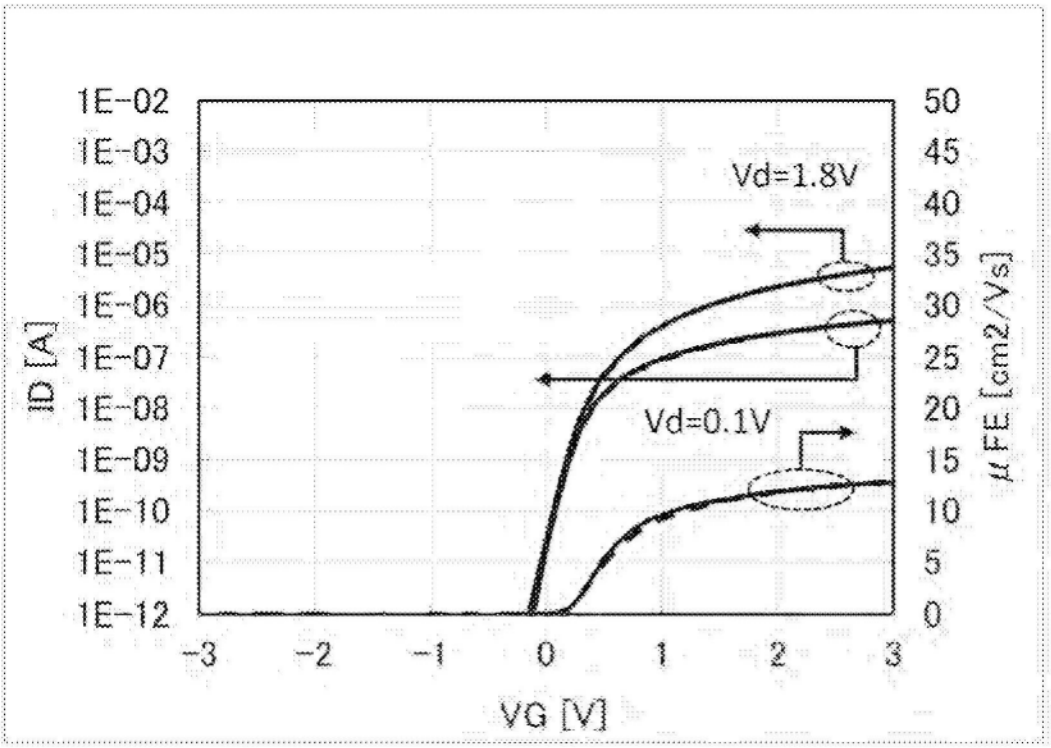

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
-3
-2
-1
0
1
2
3
VG [V]

图89B