

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5082028号
(P5082028)

(45) 発行日 平成24年11月28日(2012.11.28)

(24) 登録日 平成24年9月14日(2012.9.14)

(51) Int.Cl.		F I	
G09G 3/30 (2006.01)		G09G 3/30	J
G09G 3/20 (2006.01)		G09G 3/20	611H
HO1L 51/50 (2006.01)		G09G 3/20	612E
		G09G 3/20	621A
		G09G 3/20	624B

請求項の数 2 外国語出願 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2004-101268 (P2004-101268)
 (22) 出願日 平成16年3月2日(2004.3.2)
 (65) 公開番号 特開2004-295131 (P2004-295131A)
 (43) 公開日 平成16年10月21日(2004.10.21)
 審査請求日 平成19年3月1日(2007.3.1)
 (31) 優先権主張番号 10/379,481
 (32) 優先日 平成15年3月4日(2003.3.4)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 510134581
 奇美電子股▲ふん▼有限公司
 Chimei Innolux Corporation
 台湾苗栗縣竹南鎮科學路160號 新竹
 科學工業園區
 No. 160 Kesyue Rd., C
 hu-Nan Site, Hsinchu
 Science Park, Chu-N
 an 350, Miao-Li Coun
 ty, Taiwan,

(73) 特許権者 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地

最終頁に続く

(54) 【発明の名称】 ディスプレイ用ピクセル回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

カソードおよびアノードを有した発光素子と、
 第1のゲート端子、第1の端子および第2の端子を有し、該第2の端子がグラウンドに電氣的に接続された駆動素子と、
 第2のゲート端子、第3の端子および第4の端子を有したスイッチング素子と、
 前記第1のゲート端子および前記第3の端子と電氣的に接続された正極、前記第1の端子および前記アノードと電氣的に接続された負極を有する蓄積素子と、
 前記第2のゲート端子と電氣的に接続されたローラインと、
 前記第4の端子と電氣的に接続されたデータラインと、
 を含むディスプレイ用ピクセル回路の駆動方法であって、
 前記ローラインの制御によって前記スイッチング素子をオン状態として前記駆動素子の前記第1のゲート端子に前記データラインから基準電圧を印加し、前記発光素子のカソード電位を所定の低電位とすることで、前記蓄積素子に前記駆動素子のしきい電圧より大きな電圧を蓄積する初期化工程と、
 前記ローラインの制御によって前記スイッチング素子をオフ状態とし、前記発光素子のカソード電位を所定の高電位とし前記発光素子を非発光状態とした後、前記ローラインの制御によって前記スイッチング素子をオン状態として前記駆動素子の前記第1のゲート端子に前記データラインから基準電圧を印加し、前記発光素子のカソード電位をグラウンド電位とすることで前記蓄積素子を放電して前記蓄積素子に前記駆動素子のしきい電圧を蓄積す

る工程と、

前記ローラインの制御によって前記スイッチング素子をオン状態として前記駆動素子の前記第1のゲート端子に前記データラインからデータ電圧を印加して、前記蓄積素子に前記しきい電圧と前記データ電圧の和を蓄積する工程と、

前記発光素子の前記カソード電位を所定の低電位として前記発光素子を発光させる工程と

、

を備えたことを特徴とするディスプレイ用ピクセル回路の駆動方法。

【請求項2】

請求項1に記載のディスプレイ用ピクセル回路の駆動方法であって、

第3のゲート端子、第5の端子および第6の端子を有した第2のスイッチング素子と、

前記第3のゲート端子と電氣的に接続されたスイッチラインと、

をさらに備え、

前記第2のスイッチング素子は、前記第5の端子が前記駆動素子の第2の端子と電氣的に接続され、前記第6の端子がグランドに接続され、

前記初期化工程および前記駆動素子のしきい電圧を蓄積する工程において、前記スイッチラインがロジック・ハイの電圧レベルに維持され、前記第2のスイッチング素子がオンになり、

前記蓄積素子に前記しきい電圧と前記データ電圧の和を蓄積する工程において、前記スイッチラインがロジック・ローの電圧レベルになり、前記第2のスイッチング素子がオフになり、

前記発光素子を発光させる工程において、前記スイッチラインがロジック・ハイの電圧レベルに維持され、前記第2のスイッチング素子がオンになる

ことを特徴とするディスプレイ用ピクセル回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は、ディスプレイ用ピクセル回路の駆動方法に関する。

【背景技術】

【0002】

アクティブマトリクス型有機発光ダイオード(OLED)ディスプレイは、ディスプレイのピクセルのロウとカラムを形成するピクセル回路の配列を含む。各ピクセル回路は、駆動トランジスタのような能動素子によって制御されるOLEDを含む。OLEDは、電流が流れると発光する発光物質を含む。ピクセル回路は、ピクセルの所望の輝度を示す電圧レベルを蓄積するストレージ・キャパシタを含んでよい。駆動トランジスタは、OLEDが所望の輝度レベルで作動するように、ストレージ・キャパシタに蓄積された電圧レベルに応じてOLEDに電流を供給する。

【0003】

一般的に、アクティブマトリクス型OLEDディスプレイには、バックライトがないので、ピクセルを点灯させる必要がある時にOLEDを駆動するために、駆動トランジスタがオンになる。一例では、アモルファスシリコンTFT(薄膜トランジスタ)が、駆動トランジスタとして使用される。動作電圧下でアモルファス・シリコンTFTに電流を流すと、トランジスタに負荷がかかる傾向があり、ディスプレイの寿命を超えてトランジスタのしきい電圧を上昇させる。しきい電圧が上昇すると、トランジスタによって供給される電流が減少し、それにより、OLEDの輝度が減少する。ピクセルが異なると、輝度履歴も異なる(ピクセルのいくつかは、他のピクセルよりも長時間オン状態になる)ので、しきい電圧のばらつきがディスプレイの明るさを不均一にし得る。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の目的は、ピクセルごとの照明レベルが均一となるアクティブマトリクス型OL

10

20

30

40

50

ＥＤディスプレイのピクセル回路の駆動方法を提供することにある。

【課題を解決するための手段】

【０００５】

ディスプレイ用ピクセル回路は、カソードおよびアノードを有した発光素子と、第１のゲート端子、第１の端子および第２の端子を有し、該第２の端子がグランドに電氣的に接続された駆動素子と、第２のゲート端子、第３の端子および第４の端子を有したスイッチング素子と、前記第１のゲート端子および前記第３の端子と電氣的に接続された正極、前記第１の端子および前記アノードと電氣的に接続された負極を有する蓄積素子と、前記第２のゲート端子と電氣的に接続されたローラインと、前記第４の端子と電氣的に接続されたデータラインとを含む。

10

【０００６】

本発明にかかるディスプレイ用ピクセル回路の駆動方法は、前記ローラインの制御によって前記スイッチング素子をオン状態として前記駆動素子の第１のゲート端子に前記データラインから基準電圧を印加し、前記発光素子のカソード電位を所定の低電位とすることで、前記蓄積素子に前記駆動素子のしきい電圧より大きな電圧を蓄積する初期化工程と、前記ローラインの制御によって前記スイッチング素子をオフ状態とし、発光素子のカソード電位を所定の高電位とし前記発光素子を非発光状態とした後、前記ローラインの制御によって前記スイッチング素子をオン状態として前記駆動素子の前記第１のゲート端子に前記データラインから基準電圧を印加し、前記発光素子のカソード電位をグランド電位とすることで前記蓄積素子を放電して前記蓄積素子に前記駆動素子のしきい電圧を蓄積する工程と、前記ローラインの制御によって前記スイッチング素子をオン状態として前記駆動素子の前記第１のゲート端子に前記データラインからデータ電圧を印加して、前記蓄積素子に前記しきい電圧と前記データ電圧の和を蓄積する工程と、前記発光素子の前記カソード電位を所定の低電位として前記発光素子を発光させる工程とを備えたことを特徴とする。

20

【０００７】

前記ディスプレイ用ピクセル回路は、第３のゲート端子、第５の端子および第６の端子を有した第２のスイッチング素子と、前記第３のゲート端子と電氣的に接続されたスイッチラインとをさらに備え、前記第２のスイッチング素子は、前記第５の端子が前記駆動素子の第２の端子と電氣的に接続され、前記第６の端子がグランドに接続される。

【０００８】

前記初期化工程および前記駆動素子のしきい電圧を蓄積する工程において、前記スイッチラインがロジック・ハイの電圧レベルに維持され、前記第２のスイッチング素子がオンになり、前記蓄積素子に前記しきい電圧と前記データ電圧の和を蓄積する工程において、前記スイッチラインがロジック・ローの電圧レベルになり、前記第２のスイッチング素子がオフになり、前記発光素子を発光させる工程において、前記スイッチラインがロジック・ハイの電圧レベルに維持され、前記第２のスイッチング素子がオンになることを特徴とする。

30

【００４０】

本発明の他の特徴及び利点は、明細書、図面、及び特許請求の範囲より明白となる。

【発明の効果】

40

【００４１】

本発明のディスプレイ用ピクセル回路の駆動方法は、蓄積素子全体の電圧差を駆動素子のしきい電圧より大きなレベルに変えて蓄積素子を構成し、駆動素子は蓄積素子が構成されている間、発光素子の駆動を減少させる。蓄積素子が構成された後、蓄積素子によって示された照明レベルに相当する輝度レベルを有する光を発するために、アクティブマトリクス型OLEDディスプレイのピクセルごとの照明レベルを均一とすることができる

【発明を実施するための最良の形態】

【００４２】

図１を参照すると、アクティブマトリクス型のOLEDのピクセル回路１００は、ユーザーがアクティブマトリクス型OLEDディスプレイ７００（図２８）のピクセルとして

50

認識する光を発するOLED102を含む。OLED102が発する光の輝度は、OLED102を流れる電流Iによって決定され、NMOS駆動トランジスタT2によって供給される。電流Iは、トランジスタT2のしきい電圧(V_{TH2})より多いゲート・ソース電圧の量によって決定される。トランジスタT2のしきい電圧は、ディスプレイを繰り返し使用後、経時変化し得る。ピクセル回路100は、トランジスタT2を制御する電圧を蓄積するストレージ・キャパシタCsと、データライン104にキャパシタCsを接続するNMOSトランジスタを含む。データライン104は、ユーザー定義のピクセル輝度レベルを示すデータ電圧(V_{DATA})を供給する。OLED102が、トランジスタT2のしきい電圧の変化に実質的には関係なく、ユーザー定義型の輝度レベルで光を発するように、ピクセル回路100は、トランジスタT2のしきい電圧の変化を補償するように構成されている特殊な信号タイミングで動作する。

10

【0043】

トランジスタT1及びT2及びキャパシタCsは、ディスプレイ制御装置720(図28)のようなソースからデータライン104によって供給されるデータ電圧によって決定される電流レベルで電流IをOLED102に供給するデータサンプル電流ソース120(点線で囲まれた部分)を形成する。データ電圧は、ユーザー定義型のピクセル輝度を示すレベルを有する。キャパシタCsは、ノード“A”及びノード“B”でそれぞれトランジスタT2のゲート116とソース118に接続される正極112と負極113を有する。トランジスタT2のしきい電圧は経時変化するが、($V_{DATA} + V_{TH2}$)とほぼ等しい電圧レベルが、キャパシタCs全体に設定される。 V_{gs} は、トランジスタT2のゲート・ソース電圧を示すこととする。トランジスタT2(飽和領域で動作する際、すなわち、 $V_{ds} > V_{gs} - V_t$ の時には本質的にトランジスタT2)によって供給される電流Iは、($V_{gs} - V_{TH2}$)²に比例するので、電流Iは V_{DATA}^2 に比例し、トランジスタT2のしきい電圧に左右されない。このように、しきい電圧は変化するが、照明の明るさは変化しない。

20

【0044】

しきい電圧のばらつきは、異なる時間間隔でピクセル回路100に印可される制御電圧を切換えることにより補償される。最初の時間間隔において、 V_{TH2} より大きな電圧がキャパシタCs全体に生じるように、キャパシタCsの正極112の電圧及びOLED102のカソード110の電圧が構成される。キャパシタCs全体の電圧は、 V_{cs} と表す。第2の時間間隔において、 V_{cs} が V_{TH2} とほぼ同じになるように、トランジスタT2はキャパシタCsを放電する。第3の時間間隔において、キャパシタに V_{DATA} と V_{TH2} の合計とほぼ同じ電圧レベルを蓄積させるため、データ電圧(V_{DATA})がキャパシタCsに供給される。第4の時間間隔中に、トランジスタT2はOLED102にデータ電圧に比例する駆動電流を供給する。

30

【0045】

トランジスタT1は、異なる時間間隔中に異なる作用を供給する。最初の時間間隔において、トランジスタT1は、 V_{TH2} にほぼ等しい電圧レベルがキャパシタCs全体に設定される際に、キャパシタCsの正極112をデータライン104に印加される基準電圧に接続するデータ参照型の電圧切換えトランジスタとして機能する。図1で示した例では、基準電圧はグラウンド電圧122である。別の時間間隔においては、トランジスタT1は、データ電圧がキャパシタCsに書き込まれ得るようにデータライン104に印可されるデータ電圧(V_{DATA})に正極112を接続する電圧サンプリングトランジスタとして機能する(すなわち V_{cs} が $V_{TH2} + V_{DATA}$ になる)。

40

【0046】

キャパシタCsは、トランジスタT1及びT2の寄生キャパシタンス(例えば、約50fF)と比較すると大きく(例えば、約500fF; $1\text{fF} = 10^{-12}$ ファラッド)設計されているが、OLED102のキャパシタンス(例えば、約6pF)と比較すると小さく設計される。

【0047】

50

アノード114からカソード110までで計測された電圧が開始電圧(V_{ONSET})より大きい場合に、OLED102が点灯する。カソード110は、共通の電流の戻りをもたらすために、ディスプレイ700のすべてのピクセルに接続されるように作られている。アクティブマトリクス型のOLEDディスプレイが製造されると、アノード端子をそれぞれ有するデータサンプル電流ソース120の回路の配列全体に、OLED層(例えば、OLED102を形成する層)が配置される。カソード112は、多くの場合は透明な、酸化イリジウム錫(ITO)のような導電する金属を、OLED層上に堆積させることによって形成される。

【0048】

図2を参照すると、タイミング図130は、画像のフレーム全体がディスプレイ700上にリフレッシュされるフレーム周期 $t-frame$ の間のピクセル回路100の信号タイミングを示す。全てのピクセル回路は、フレーム周期 $t-frame$ の間に新しいデータ電圧で書き込まれる。ディスプレイ700は、1秒あたり60フレームの画像を表示し得るので、フレーム周期は約16.7ミリ秒であり得る。図2で示した例では、フレーム周期は4つのサブ周期、すなわち、初期化サブ周期132、“Vt書き込み”サブ周期134、データ書き込みサブ周期136、及び発光サブ周期138に分割される。初期化サブ周期132は、時間 t_0 から時間 t_1 までの短い期間(例えば、 $10\mu s$; $1\mu s = 10^{-6}$ 秒)にわたり、Vt書き込みサブ周期134は、時間 t_1 から時間 t_3 までの短い期間にわたり、データ書き込みサブ周期136は、時間 t_3 から時間 t_5 までの短い期間にわたり、発光サブ周期138は、時間 t_5 から時間 t_6 までの短い期間にわたる。

【0049】

タイミング図130は、データライン104、ローライン106、カソード(V_{CA})、キャパシタ(V_{CS})、OLED102(V_{OLED})、OLED102の輝度レベル、及び“SW”制御信号の信号タイミングを示す。データライン104は、基準電圧とキャパシタ C_s に書き込まれるデータ電圧を提供する。ローライン106は、トランジスタT1のオン/オフ状態を制御し、それにより、ノードAがデータライン104に接続されるかどうかを決定する。 V_{CA} は、OLED102のカソード110の電圧レベルを表す。 V_{OLED} は、OLED102全体の電圧を表し、アノード114とカソード110との間の電圧差である。SW信号は、ピクセル回路104には使用されないが、データ電圧がキャパシタ C_s に書き込まれる際に駆動トランジスタをオフにするために、後述の他のピクセル回路で使用される。

【0050】

データライン104、ローライン106、 V_{CA} 、及びSW信号の電圧レベルは、データドライバ712及びゲートドライバ710と連携してディスプレイ制御装置720によって制御される(図28)。

【0051】

V_{TH2} が後でキャパシタ C_s に書き込むことができるように、初期化サブ周期132の間、キャパシタ C_s の正極112及び負極113の電圧は、初期値に設定される。Vt書き込みサブ周期134の間、 V_{TH2} にほぼ等しい電圧レベルがキャパシタ C_s 全体に設定される。データ書き込みサブ周期136の間、ピクセル輝度を示すデータ電圧(V_{DATA})が、キャパシタ C_s に書き込まれる。すなわち、 $V_{DATA} + V_{TH2}$ に等しい電圧が、キャパシタ C_s 全体に蓄積される。発光サブ周期138の間、OLED102を駆動させるために、トランジスタT2はオンにされ、データ電圧によって指定されたピクセル輝度でOLED102を点灯させる。

【0052】

時間 t_0 で、データドライバ712(図28)のうちのの一つが、データライン104に、基準電圧(図示した例では0ボルト)を供給する。トランジスタT1をオンにするため、ローライン106は、20ボルトの高さの電圧まで引き上げられる(140)。カソード110は、-20ボルトまで引き下げられる(142)。キャパシタ C_s 及びOLED102全体の電圧降下は、20ボルトである。一例として、キャパシタ C_s 全体の電圧を

13ボルト、OLE D 102全体の電圧を7ボルトにしてもよい(OLE Dがオンになる)。

【0053】

初期化サブ周期132の間、ディスプレイ700の全てのOLE D 102が発光(144)しても良い。一例では、初期化サブ周期132は、連続する各フレーム周期の最初に繰り返される。ディスプレイ700がハイコントラストとなり得るように、初期化サブ周期132は短時間維持される。時間経過ごとの平均輝度は、初期照明に影響される。別の例においては、初期化サブ周期132の信号タイミングは、ディスプレイ700の始動の際の最初のフレーム周期の初めに使用されるが、後のフレーム周期で繰り返されることはない。この場合、観察された輝度は、見ている人には、ディスプレイの始動プロセスの一部と受け止められるので、初期化サブ周期132はもっと長くてもよい。

10

【0054】

時間t1の時に、ローライン104は-20Vにまで下がる(146)。カソード110の電圧は、+10Vに変わる(148)。OLE D 102及びキャパシタCsのキャパシタンスが高いので、ノードA及びノードBの電圧が30Vずつ高くなり、それぞれ、約+30V及び+17Vになる。トランジスタT2は、グランド電圧に対して高いゲート電圧を有するので、トランジスタT2がオンになる。-10Vの電圧がOLE D全体に設定され、キャパシタCs全体に+13Vの電圧が維持される。

【0055】

時間t2の時に、ローライン106が再び+20Vにまで高くなり(150)、一方、カソード110の電圧はグランド電圧(0V)になる(152)。トランジスタT2は、(アノード114に接続された)ノードBの電圧が $-V_{TH2}$ となるまでキャパシタCsを放電しながら、OLE D 102のキャパシタンスを充電(放電)し、その結果、Vcsが $+V_{TH2}$ に落ち着くこととなる。

20

【0056】

時間t3の時に、ローライン106は、-20Vにまで低くなり(106)、トランジスタT1がオフになり、それにより、ノードAが仮想グランド電圧になる。つまり、ノードAは、トランジスタT1がオフになった直後に、グランド電圧になる。

【0057】

時間t3~t5の間に、データドライバ712の1つが、所望のピクセル輝度を示す電圧レベルを有するデータ電圧(156)を、データライン104に提供する。データ電圧は0~10Vのレベルを有する。

30

【0058】

時間t4で、カソード110の電圧は0Vのまま、ローライン106が高くなり(158)、トランジスタT1がオンになり、それにより、データ電圧がノードAを介してキャパシタCsに書き込まれる。データライン104は、ノードAの電圧が V_{DATA} に増加するように、キャパシタCsを充電する。キャパシタCsの充電中、OLE Dのキャパシタンスもわずかばかり充電される。時間t4+ tの時のキャパシタ全体の電圧量の増加が V_{DATA} とほぼ等しくなるように、例えば、 V_{DATA} の97%になるように、時間tは選択される。

40

【0059】

時間t5の時に、カソード110の電圧が-20Vに切換えられる(162)。VdsがトランジスタT2のドレイン・ソース電圧である場合、 $Vds > (Vgs - V_{TH2})$ であるので、トランジスタT2は、電流飽和モードで動作する。トランジスタT2及びOLE D 102を流れる電流Iは、例えば、おおよそ、

【数1】

$$I \propto (0.97 \times V_{DATA} + V_{TH2} - V_{TH2})^2 = (0.97 \times V_{DATA})^2.$$

50

である。電流 I により、例えば 206 ニットの輝度レベルで O L E D 1 0 2 が点灯する (164)。データサンプル電流ソース 120 は、 $V_{T H 2}$ とは関係のない電圧データから電流への伝達機能を実行する。

【0060】

トランジスタ T 2 がアモルファスシリコンを用いて実行すると、 $V_{T H 2}$ は最初約 2.5 V である。時間が経過すると、トランジスタ T 2 を流れる電流が電氣的ストレスを引き起こすので、しきい電圧が 10 V にまで上昇し得る。キャパシタ C s にデータ電圧を充電する前に、 $V_{T H 2}$ とほぼ等しい電圧レベルにまでキャパシタ C s を充電することにより、データサンプル電流ソース 120 が、 $V_{T H 2}$ とは実質的に無関係なデータライン 104 上の $V_{D A T A}$ によって特定された輝度レベルで O L E D 1 0 2 を点灯させる電流 I を提供する。

10

【0061】

タイミング図 130 の信号タイミングは、ディスプレイ 700 の全てのピクセル回路 100 に使用される。書き込み V_t サブ期間 134 の間、駆動トランジスタのしきい電圧が、全てのピクセル回路 100 の対応するキャパシタに書き込まれる。全てのピクセル回路 100 が、書き込みデータサブ期間 136 の間に、キャパシタに書き込まれた対応する輝度データを有する。発光サブ期間 138 の間、特定の輝度レベルで O L E D のすべてを駆動させるため、全てのピクセル回路 100 の駆動トランジスタがオンにされる。

【0062】

図 3 を参照すると、他の例であるピクセル回路 200 には、データサンプル切換え電流ソース 202 (点線で囲まれた部分) と O L E D 1 0 2 とが含まれる。データサンプル切換え電流ソース 202 には、データサンプル電流ソース 120 の回路素子と、トランジスタ T 2 のグランド 122 とドレイン 204 間に連結された N M O S トランジスタ T 3 が含まれる。ピクセル回路 200 の配列を用いて、ディスプレイ 700 のようなアクティブマトリクス型 O L E D ディスプレイが形成される。

20

【0063】

また、タイミング図 130 の信号タイミングは、ピクセル回路 170 にも使用され得る。トランジスタ T 3 は、配列の全てのピクセル回路に共通の S W 信号によって制御される。初期化サブ期間 132 及び書き込み V_t サブ期間 134 の間、S W 信号は、トランジスタ T 3 をオンにするため、ロジック・ハイの電圧レベル (166) で維持され、トランジスタ T 2 をピクセル回路 100 で動作するのと同じように動作させる。時間 t_3 の時に、輝度データ ($V_{D A T A}$) がキャパシタ C s に書き込まれる際にトランジスタ T 3 をオフにするために、S W 信号はロジック・ローの電圧レベル (168) にされる。トランジスタ T 3 をオフにすることにより、輝度データがキャパシタ C s に書き込まれる時に電流がトランジスタ T 2 を流れないようにし、輝度データが書き込まれている間 O L E D 1 0 2 全体の電圧の変化を最小にする。時間 t_5 の時に、発光サブ期間 138 の間電流がトランジスタ T 2 及び O L E D 1 0 2 を流れるように、S W 信号は高く設定される (170)。

30

【0064】

ピクセル回路 200 の利点は、輝度データがキャパシタ C s に書き込まれる間、トランジスタ T 2 がオフであるので、データライン 104 の電圧レベルがキャパシタ C s により正確に書き込まれ、キャパシタ C s に書き込まれた $V_{T H 2}$ 電圧をより正確に維持することである。トランジスタ T 3 がなければ、輝度データがキャパシタ C s に書き込まれる際に、キャパシタ C s 全体の電圧が $V_{T H 2}$ より大きくなり、トランジスタ T 2 がオンになってしまう。これにより、ノード B の電圧レベルが変化してしまい、キャパシタ C s に蓄積された輝度データとしきい電圧の両方にエラーが生じてしまう。輝度データがキャパシタ C s に書き込まれている間、トランジスタ T 3 を使ってトランジスタ T 2 をオフにすることにより、キャパシタ C s 全体の電圧が、蓄積されたしきい電圧 $V_{T H 2}$ を維持しながら、 $V_{D A T A}$ により近似した量増加することが確実となる。

40

【0065】

浮遊容量 (例えば、トランジスタ T 3 のゲート・ソース間キャパシタンス及びトランジ

50

スタT2のゲート・ドレイン間キャパシタンス)を介して結合する電圧により、SW信号の切換えがVcsに影響を与える。トランジスタT1のゲート・ソース間キャパシタンスを介して結合する電圧により、ローライン信号の切換えはVcsに影響を与える。ピクセル回路200のキャパシタCsに蓄積された電圧の制御は、ローライン信号及びSW信号の切換えから結合する電圧が互いに相殺されるように、トランジスタT1及びT2のゲート幅及び、SW信号のロジック・ハイ/ロジック・ローの電圧レベルを調整することにより改善され得る。

【0066】

例として、V_{DATA}がキャパシタCsに書き込まれた後、ローライン106はローになる(160)。トランジスタT1は、ゲート・ソース間キャパシタンスCgs1を有し、ローライン106が低くなると、キャパシタCsの負電圧エラーが生じる。負電圧エラーは、おおよそ、

【数2】

$$\frac{-(V_{\text{ROW}}(\text{high})-V_{\text{ROW}}(\text{low})) \times C_{\text{gs1}}}{C_{\text{s}}}$$

で、式中、V_{ROW}(high)は、トランジスタT1をオンにするためにローライン106に印可されるロジック・ハイの電圧レベルであり、V_{ROW}(low)は、トランジスタT1をオフにするためにローライン106に印可されるロジック・ローの電圧レベルである。この負電圧エラーは、SW信号のロジック・ハイ/ロジック・ローの電圧レベルを調整し、時間t5の時にV_{CA}の電圧レベルの変化を調整することにより補償され得る。

【0067】

発光サブ期間の最初に、SW信号はロジック・ハイに設定され(170)、その結果、キャパシタCsの正電圧エラーが生じる。電圧エラーは、おおよそ

【数3】

$$\frac{(V_{\text{sw}}(\text{high})-V_{\text{sw}}(\text{low})) \times C_{\text{gs3}} \times C_{\text{gd2}}}{(C_{\text{gs3}}+C_{\text{gd2}}) \times C_{\text{s}}}$$

で、式中、V_{sw}(high)及びV_{sw}(low)はそれぞれ、SW信号に印可されるロジック・ハイ及びロジック・ローの電圧レベルであり、Cgs3は、トランジスタT3のゲート・ソース間キャパシタンスであり、Cgdは、トランジスタT2のゲート・ドレイン間キャパシタンスである。ゲート・ソース間キャパシタンス及びゲート・ドレイン間キャパシタンスは、トランジスタの幅に比例するので、下記式に設定することにより、ネット・エラーを相殺することが可能である。

【数4】

$$(V_{\text{ROW}}(\text{high})-V_{\text{ROW}}(\text{low})) \times C_{\text{gs1}} = \frac{(V_{\text{sw}}(\text{high})-V_{\text{sw}}(\text{low})) \times C_{\text{gs3}} \times C_{\text{gd2}}}{(C_{\text{gs3}}+C_{\text{gd2}})} + (V_{\text{CA}}(\text{exposure})-V_{\text{CA}}(\text{write data})) \times (C_{\text{gs1}} + \frac{C_{\text{gs3}} \times C_{\text{gd2}}}{C_{\text{gs3}}+C_{\text{gd2}}})$$

式中、V_{CA}(exposure)及びV_{CA}(write data)は、それぞれ、発光サブ期間及びデータ書き込みサブ期間の間のV_{CA}の電圧レベルである。

10

20

30

40

50

【 0 0 6 8 】

図 4 を参照すると、他の例であるピクセル回路 2 3 0 には、ピクセル回路 2 0 0 の回路素子と、トランジスタ T 2 と O L E D 1 0 2 との間に接続された更に別の P M O S トランジスタ T 4 が含まれる。トランジスタ T 4 のゲートは、約 - 1 5 V の電圧レベルを有する V c c 制御信号によって制御される。ピクセル回路 2 3 0 の信号タイミングは、図 2 のタイミング図 1 3 0 で示したピクセル回路 2 0 0 の信号タイミングと同じである。

【 0 0 6 9 】

図 2 を参照すると、書き込み V t (1 3 4) サブ期間及びデータ書き込み (1 3 6) サブ期間の間、V c c 信号は約 - 1 5 V であるので、トランジスタ T 4 はハードに切りかえられる。つまり、T 4 はオンになり、直線領域、すなわち、 $V_{ds} < V_{gs} - V_{TH4}$ (10
式中、 V_{TH4} はトランジスタ T 4 のしきい電圧である) において、動作する。

【 0 0 7 0 】

時間 t 5 の時に、カソード 1 1 2 の電圧 (V_{CA}) は低くなり (1 6 2)、V c c 信号より低い負電圧 (例えば、- 2 3 V) になる。トランジスタ T 4 は、飽和領域で動作し、ノード B の電圧から O L E D 1 0 2 の電圧変化をよりよく分離することができる電流カスコード装置として機能する。トランジスタ T 4 の機動性が十分高く、トランジスタ T 4 の幅が十分広い場合には、結果的に、時間 t 5 の際のカソード電圧の切換えにより、ストレージ・キャパシタの電圧エラーがより少なくなる。

【 0 0 7 1 】

V_{CA} 電圧のレベルが変化すると、トランジスタ T 4 の電圧振幅が、発光サブ期間 1 3 8 の最初のノード B で減少する。 V_{CA} が電圧レベルを切換えると、O L E D 1 0 2 の特性のばらつきにより、ノード B で電圧を調整することができる。ばらつきの一つは、O L E D 1 0 2 を流れる電流 I (ユーザー定義型の輝度レベルに相当) と O L E D の電圧 (O L E D 1 0 2 全体の電圧) との関係に影響する。O L E D 1 0 2 の操作履歴に関係なく、電流 I が高くなると、O L E D 電圧が高くなる。別のばらつきは、O L E D 1 0 2 の操作履歴に影響する。O L E D 1 0 2 は、トラップされた変化により所定の電流で O L E D 1 0 2 全体の電圧を修正することができる、薄膜素子である。トラップされた変化の量は、O L E D 1 0 2 の操作履歴に左右され、所定期間操作後、所定の電流で、O L E D の電圧が変化し得る。

【 0 0 7 2 】

また、トランジスタ T 4 のゲート・ソース間電圧も同様の反応を示す。しかし、トランジスタ T 4 の性能が十分高い場合には、電流又は動作履歴の変化によって引き起こされるトランジスタ T 4 のゲート・ソース電圧のばらつきは、O L E D 1 0 2 のばらつきよりも少なく、それにより、ストレージ・キャパシタンス C s の電圧エラーを最小にすることができる。トランジスタ T 4 は飽和領域で動作するので、ゲート・ソース間電圧は、

$$(V_{TH4} + \sqrt{I_{OLED} \times \frac{2 \cdot L}{\mu \cdot Cox \cdot W}})$$

に比例する。式中、 μ は動作性を示し、 Cox は酸化キャパシタンスを示す。トランジスタ T 4 は、高い W / L 率を有するので、ゲート・ソース間電圧のばらつきは低く、その結果、しきい電圧のドリフトが小さくなる。

【 0 0 7 3 】

所定の電流レベルに対してトランジスタ T 4 のゲート・ソース間電圧がほぼ一定に維持されるように、トランジスタ T 4 のチャネル幅は、トランジスタ T 3 のチャネル幅よりも大きく設計される。さらに、トランジスタ T 4 のチャネル幅が大きいので、トランジスタ T 4 のゲート・ソース間電圧のばらつきは、所定の輝度範囲を越える O L E D 1 0 2 全体の電圧のばらつきよりも少なく変化し、時間 t 5 の時にカソード電圧を切換えることにより 50

、キャパシタの電圧エラーが減少する。チャンネル幅が広いので、トランジスタT4のゲート・ソース電圧が小さくなり、T4にかかる電氣的ストレスやしきい電圧T4のばらつきも減少させることができる。

【0074】

図5を参照すると、他の例であるピクセル回路250は、データサンプル切換え電流ソース252及びOLED102を含む。トランジスタT2のグラウンド122及びドレイン間に接続されるトランジスタT3を有するかわりに、NMOSTランジスタT5が駆動トランジスタT2のノードAと入力（例えば、ゲート254）との間に接続されるということ以外は、データサンプル切換え電流ソース252は、データサンプル切換え電流ソース120と類似している。トランジスタT5は、トランジスタT5をそれぞれオン及びオフにするために高電圧レベルと低電圧レベルとを切換えるSW信号によって制御されている。SW信号は、配列のすべてのピクセル回路に共通である。

10

【0075】

ピクセル回路250の信号タイミングは、図2のタイミング図130で示すピクセル回路200の信号タイミングと同一である。トランジスタT5との接続を絶つために、SW信号は低く設定され（168）、輝度データがキャパシタCsに書き込まれる時に、トランジスタT2のゲート254をノードAから分離する。これにより、輝度データがキャパシタCsに書き込まれている間のトランジスタT2の伝導を防ぎ、輝度データの電圧レベルがキャパシタCsに正確に書き込まれる。

【0076】

ピクセル回路250の利点は、OLED102と直列のトランジスタがたった一つである（すなわち、T2だけ）ということである。したがって、ピクセル回路250は動作するのに、別のトランジスタがトランジスタT2と直列に接続されている場合よりも、低い電圧を要する。SW信号は、データがキャパシタに書き込まれている間は低く設定され、トランジスタT2のゲート254を分離するので、データがキャパシタCsに書き込まれている間、トランジスタT2は電流を伝導しない。

20

【0077】

図6を参照すると、別の例であるピクセル回路260は、ピクセル回路250と類似である。PMOSTランジスタT6が、NMOSTランジスタT5の代わりに使用される。ピクセル回路250のSW信号は、削除される。トランジスタT6は、ローライン106によって容易に制御される。ピクセル回路260は、ポリシリコンを使ってトランジスタT1、T2、及びT6を作る際に有用であり得る。

30

【0078】

図7を参照すると、ピクセル回路300は、OLED102を駆動させる駆動トランジスタとして使用されるダブル・ゲート・トランジスタを含む。トランジスタT7の構成は、図8に示す。ダブル・ゲート・トランジスタT7は、ボトム・ゲート302（蓄積ゲートとして機能）、トップ・ゲート304（空乏ゲートとして機能）、ドレイン電極305、及びソース電極306を有する薄膜トランジスタである。

【0079】

ダブル・ゲート・トランジスタは、IEEE（電気電子技術者協会）電子素子レター、第13巻第1号（1992年1月）のB-S Wuら著の「新規の空乏ゲートアモルファス・シリコン薄膜トランジスタ」の17～19ページに記載されている。図8を参照すると、ボトム・ゲート302は、トランジスタT1～T6のゲートと同じように動作する。ボトム・ゲート302は、サブストレート308の上に形成される。サブストレート308は、ガラスでできている。誘電体層310とアモルファス・シリコン層312がボトム・ゲート308上にある。別の誘電体層314がアモルファス・シリコン層上にある。ドレイン電極305、ソース電極層306、及びトップ・ゲート304を形成するために、金属層316が誘電体層314上に堆積される。誘電体層314の開口部318により、ドレイン電極305とソース電極306がアモルファス・シリコン層312に接触する。

40

【0080】

50

ボトム・ゲート302とドレイン(305)電極とソース(306)電極とは、垂直方向に重なり合う。下部のゲート・ソース(V_{gs})間電圧がトランジスタT7のしきい電圧より大きいと、ドレイン電極305からソース電極306に電流を流すチャンネルを形成するために、ボトム・ゲート302の周辺に電子が付着する。このため、ボトム・ゲート302は、「蓄積ゲート」と呼ばれる。

【0081】

トップ・ゲート304は、ドレイン電極305とソース電極306とは重なり合わない。一例では、トップ・ゲート304は、ボトム・ゲート302のチャンネル幅よりも小さなチャンネル幅を有する。トップ・ゲート304の動作に関する一つの理論は、ゲート電極とドレイン・ソース電極とは重なり合わないので、トップ・ゲート304は空乏ゲートと同様の機能を果たすように見え、その動作は、誘電体層310及び314とアモルファス・シリコン層312の厚さに一般的には関係ない。

10

【0082】

表1は、上部のゲート・ソース間電圧(V_{tgs})が、トランジスタT7のドレイン・ソース間電流(I_{ds})に与える影響を要約している。電圧 V_{bgs} は、下部のゲート・ソース間電圧であり、 V_{bt} は、ボトム・ゲートのしきい電圧であり、 V_{tt} は、トップ・ゲートのしきい電圧である。動作において、 V_{bs} は、正の電圧であり、 V_{tt} は負の電圧である。

【表1】

V_{tgs}	I_{ds}	コメント
$V_{tgs} \geq 0$	$I_{ds} \sim (V_{bgs} - V_{bt})^2$ $I_{ds} \sim (2(V_{bgs} - V_{bt}) \times V_{ds} - V_{ds}^2)$	トランジスタT7が飽和モードで動作する時にこれが適用される。T7は I_{ds} に影響を及ぼさない。 トランジスタT7が非飽和モードで動作する時にこれが適用される。T7は I_{ds} に影響を及ぼさない。
$V_{tt} < V_{tgs} < 0$	$I_{ds} \sim (V_{bgs} - V_{bt} + V_{tgs})^2$ $I_{ds} \sim (2(V_{bgs} - V_{bt} + V_{tgs}) \times V_{ds} - V_{ds}^2)$	トランジスタT7が飽和モードで動作する時にこれが適用される。 I_{ds} は V_{tgs} によって減少される。 トランジスタT7が非飽和モードで動作する時にこれが適用される。 I_{ds} は V_{tgs} によって減少される。
$V_{tgs} < V_{tt}$	0	チャンネルはピンチオフされる。

20

30

40

【0083】

$V_{tgs} = 0$ の場合、トップ・ゲート304は、トランジスタT7の動作に影響を与えず、 $V_{tgs} < V_{tt}$ の場合、トランジスタT7の電源を遮断する。トップ・ゲート304は、ドレイン電極305とソース電極306と同じ金属層から形成されてもよく、そのため、TFTの形成には更に追加の処理は必要ない。TFTの上には、ITO層、保護層、それをつなぐバイアのような更なる層が存在してもよい。例えば、誘電体層は、積層さ

50

れ、化学的に平坦に研磨され、OLEDのアノード電極及びカソード電極に接続するために後で積層されるOLEDへの更なるバイア接続のためにパターン化されてもよい。

【0084】

有機半導体がTFTに使用される場合、OLEDはTFTの下に形成される。有機TFTは、低温で形成され得、以前に積層したOLEDにダメージを与えない。

【0085】

ピクセル回路300は、ピクセル回路200(図3)と同じ信号タイミングを使用する。したがって、タイミング図130(図2)で示した信号タイミングを、ピクセル回路300を制御するのに使用することができる。ピクセル回路300をピクセル回路200と比較すると、ダブル・ゲート・トランジスタT7が、トランジスタT2及びT3の代用となる。トランジスタT7のトップ・ゲート304は、二つの異なる電圧レベルを切替えるSW信号によって制御される。シミュレーションによると、ピクセル回路300のしきい電圧のばらつきの影響は、ピクセル回路200のしきい電圧のばらつきの影響と同程度又はそれよりも少ないということがわかっている。

10

【0086】

回路200では、トランジスタT2のゲートとドレインとの間の浮遊容量及び、トランジスタT3のゲートとソースとの間の浮遊容量により、SW信号とキャパシタCsとの間で電圧カップリングがある。SW信号がハイ(又はロー)に切替えられてトランジスタT3がオン(又はオフ)になると、電圧のばらつきが、キャパシタCsの端子に接続されているノードAでの電圧レベルに影響を及ぼし、その結果、キャパシタCsに書き込まれる輝度データの精度に影響を及ぼす。

20

【0087】

ピクセル回路300におけるSW信号からキャパシタCsへの電圧カップリングは、ピクセル回路200のトランジスタT2を介した、SW信号からキャパシタCsへの電圧カップリングより少ない。これは、トランジスタT7の上部のゲート・ソース間キャパシタンス及び上部のゲート・ドレイン間キャパシタンスがそれぞれ、下部のゲート・ソース間キャパシタンス及び下部のゲート・ドレイン間キャパシタンスの25分の1程度であり得るからである。浮遊容量が小さければ小さいほど、電圧カップリングは低くなる。

【0088】

ピクセル回路300は、トランジスタを2つだけ使用する。このような設計により、第3のトランジスタ(例えば、図3のピクセル回路200のトランジスタT3、又は、図5のピクセル回路250のトランジスタT5)の使用に伴う電圧降下及び電氣的ストレスが排除される。また、SW信号の切替えによるピクセル回路への悪影響も減少する。

30

【0089】

ピクセル回路300の操作は、ピクセル回路300を駆動するのに使用される信号電圧レベルを調整することにより向上され得る。

【0090】

図9を参照すると、タイミング図400は、OLEDのカソード電圧(V_{CA})の信号電圧レベルを最適化することによって、 V_{CA} の振幅を減少させるためにピクセル回路300に使用され得る信号のタイミングを示す。タイミング図400は、4つのサブ期間、すなわち、初期化サブ期間132、 V_t 書き込みサブ期間134、書き込みデータサブ期間136、及び発光サブ期間138、に分けられるフレーム期間 t_{frame} の間の信号タイミングを示す。初期化サブ期間132は、時間 t_0 から t_1 までの短い期間(例えば $10\mu s$)にわたり、 V_t 書き込みサブ期間134は、時間 t_1 から時間 t_3 までの短い期間にわたり、データ書き込みサブ期間136は、時間 t_3 から時間 t_5 までの短い期間にわたり、発光サブ期間138は、時間 t_5 から時間 t_6 までの短い期間にわたる。 V_t 書き込みサブ期間134には、二つの期間、すなわち、 $t_1 \sim t_2$ の第1の期間と $t_2 \sim t_3$ の第2の期間が含まれる。

40

【0091】

タイミング図400の信号タイミングは、 V_{CA} の電圧振幅を最小にし、時間 $t_2 \sim t$

50

3の間に許可される最も低いカソード電圧を最初に決定し、その後、時間 $t_1 \sim t_2$ の間に必要なカソード電圧を決定することによって設計される。

【0092】

タイミング図400では、ローライン106の信号レベルが、ロジカル「1」とロジカル「0」との間で切り換わる。ローライン106にとって、ロジカル「1」は、トランジスタT1がオンになるように、電圧レベルが十分高いことを意味し、ロジカル「0」は、トランジスタT1がオフになるように、電圧レベルが十分低いことを意味する。また、SW信号の信号レベルも、ロジカル「1」とロジカル「0」との間で切り換わる。SW信号にとっては、ロジカル「0」は、トランジスタT7がオフになるように、電圧レベルが十分低いことを意味し、ロジカル「1」は、トランジスタT7の V_{bgs} も十分高い場合にトランジスタT1が最大の電流を供給することができるように、電圧レベルが十分高いことを意味する。

10

【0093】

データライン104の信号レベルは、 $V_{DATA}(min)$ から $V_{DATA}(max)$ にまで及ぶ。 $V_{DATA}(min)$ は、輝度データの最低電圧レベルを表す。図示した例では、 $V_{DATA}(min)$ はグランド電圧、すなわち、0Vであり得る。 $V_{DATA}(max)$ は、ピクセルの最も明るい輝度レベルを示す輝度データの電圧レベルを表す。

【0094】

OLEDのカソード電圧 V_{CA} は、 $V_{TH7}(min)$ 、 $V_{TH7}(max)$ 、 $V_{OLED}(onset)$ 及び $V_{OLED}(max)$ の機能として表される3つの電圧レベルを有し得る。 $V_{TH7}(min)$ は、トランジスタT7の初期しきい電圧又は最低しきい電圧を表し、 $V_{TH7}(max)$ は、トランジスタT7の最大しきい電圧又は寿命末期しきい電圧を表し、 $V_{OLED}(onset)$ は、OLEDの発光し初めの時、又はOLEDの伝導し初めの時のOLED102全体の電圧を示す。ある例では、 $V_{OLED}(max)$ は、OLED102が最大の輝度レベルで駆動する時のOLED102全体の電圧レベルを表す。

20

【0095】

下記の記述では、等価回路500を使って、タイミング図400で信号タイミングが適用される初期化サブ期間132の間のピクセル回路300(図7)の操作について説明する。また、等価回路510及び520を使って、タイミング図400の信号タイミングが適用される V_t 書き込みサブ期間134の第1の期間及び第2の期間のそれぞれの間のピクセル回路300の操作について説明する。

30

【0096】

図10を参照すると、等価ピクセル回路500は、初期化サブ期間132の間(つまり、時間 $t_0 \sim t_1$)のピクセル回路300の等価回路を示す。初期化サブ期間132の間の信号タイミングは、ディスプレイ700が起動した後の最初のフレーム期間の初めにピクセル回路300に適用される。初期化サブ期間132の目的は、 V_{cs} が V_{TH7} とほぼ同じになるまでトランジスタT7がキャパシタ C_s を排出できるように、 V_t 書き込みサブ期間134の初めに、キャパシタ C_s 全体の電圧が V_{TH7} よりも確実に大きくなるようにすることである。一例では、トランジスタT1のリーク電流がキャパシタ C_s 全体の電圧を増加させる傾向があるので、初期化サブ期間132の信号タイミングは、後のフレーム期間の初めには繰り返されない。このことにより、 V_{cs} が V_{TH7} より大きくなり、トランジスタT7が V_t 書き込みサブ期間134中に V_{cs} を V_{TH7} に設定することができる。

40

【0097】

時間 t_0 で、ローライン106は、ロジカル「1」に設定され(402)、トランジスタT1がオンになる。データライン104は、 $V_{DATA}(min)$ 又は0Vに設定される(404)。この組合せは、トランジスタT7のボトム・ゲートBG(302)をアース接地する、すなわち、キャパシタ C_s の正極112の電圧を0Vに設定することに相当する。(トランジスタT7のトップ・ゲートTG(304)に適用される)SW信号は、

50

トランジスタT7が電流を流さないように、ロジカル「0」に設定される(406)。これにより、初期化サブ期間132中にOLEDがオンにならないように、OLED102に電流が流れるのを防止する。

【0098】

初期化サブ期間132の間、カソード電圧(V_{CA})は、 $-V_{TH7(max)}$ よりも低い電圧レベルに設定される(408)。たとえば、 V_{CA} は、

【数5】

$$V_{CA} = -V_{TH7(max)} - V_{OLED(max)}$$

10

に設定され得る。OLED102は、点線で示した、 C_{OLED} によって表されるキャパシタンスを有する。キャパシタ C_{OLED} は、キャパシタ C_S の約10倍である。 C_{OLED} の端子全体(502及び504)は起動の際に0Vなので、キャパシタ C_S 全体の電圧(V_{CS})は、

【数6】

$$V_{CS} \sim |V_{CA}| = |-V_{OLED(max)} - V_{TH7(max)}|$$

20

である。時間 t_1 の時に、ローライン106は、ロジカル「0」に設定され(409)、SW信号はハイに設定される(411)。

【0099】

図11を参照すると、等価ピクセル回路510は、時間 $t_1 \sim t_2$ 間のピクセル回路300の等価回路を示す。

【0100】

また、時間 t_1 の時に、電圧 V_{CA} は、

【数7】

$$V_{CA} = V_{TH7(max)} - V_{TH7(min)} - V_{OLED(onset)}$$

30

に設定される(410)。時間 t_2 の時に少なくとも $V_{TH7(max)}$ の電圧がキャパシタ V_{OLED} 全体に生じることを確実にするために、 V_{CA} の値は、電圧レベルに設定される。作動寿命の長いアモルファス・シリコンのディスプレイでは、 $V_{TH7(max)} - V_{TH7(min)} - V_{OLED(onset)}$ は正の電圧で有り得る。カソード電圧(V_{CA})が正の電圧であるので、電流がトランジスタT7のソースSからドレインDへ流れる。

【0101】

正の電圧 V_{CA} を使用することの利点は、トランジスタT7のゲート・ドレイン間電圧及びドレイン・ソース間電圧が逆になるということである。ドレインとソースとの間又はゲートとドレインの間にトラップされた電荷は除去され、それによりトランジスタT7の劣化が減少し、T7のしきい電圧のばらつき率が減少する。

【0102】

時間 t_1 の時に、トランジスタT7のボトム・ゲートBG(302)の電圧は、

【数8】

$$V_{bg} \sim V_{OLED(max)} - V_{OLED(onset)} + 2 \times V_{TH7(max)} - V_{TH7(min)}$$

50

である。トランジスタT7を伝導させるため、SW信号はロジカル「1」に設定される(411)。トランジスタT7は、OLEDのアノード114が0Vになるまで伝導し、OLED102全体の電圧は、
【数9】

$$V_{\text{OLED}} = V_{\text{TH7}(\text{min})} + V_{\text{OLED}(\text{onset})} - V_{\text{TH7}(\text{max})}.$$

である。時間t1～t2の時間間隔は、約100μsである。

【0103】

図12を参照すると、等価ピクセル回路520は、時間t2～t3の間のピクセル回路300の等価回路を示す。

【0104】

時間t2の時に、電圧V_{CA}は、

【数10】

$$V_{\text{CA}} = -V_{\text{TH7}(\text{min})} - V_{\text{OLED}(\text{onset})}$$

に設定される(412)。これは、OLED102を点灯させない、V_{CA}が許容可能な最も低い電圧である。その理由は下記のとおりである。ノードB(トランジスタT7のソース電極305に接続されている)は、V_t書き込みサブ期間134の終わりに-V_{TH7}の値を有するので、V_{CA}電圧は、-V_{TH7}より低いV_{OLED(onset)}ボルトに設定される。V_{TH7}はV_{TH7(min)}からV_{TH7(max)}までの範囲にわたり得るので、トランジスタT7を短時間(つまり、V_{TH7}=V_{TH7(min)})だけ操作した時にOLED102が確実にオンにならないようにするために、V_{CA}電圧は、-V_{TH7(min)}-V_{OLED(onset)}に設定される。

【0105】

キャパシタCsの負極113の初期電圧は、-V_{TH7(max)}である。ローライン106は、トランジスタT7のボトム・ゲートBG(302)がデータライン104に接続されるようにロジカル「1」に設定される(414)、つまり、V_{DATA(mim)}又は0Vである。SW信号はロジカル「1」のままであり、トランジスタT7に電流を伝導させる。トランジスタT7は、キャパシタCs全体の電圧がトランジスタのT7の現在のしきい電圧であるV_{TH7}にほぼなるまで伝導する。V_{TH7}は、V_{TH7(min)}からV_{TH7(max)}の値で有り得る。時間t2からt3までの時間間隔は、約500μsである。

【0106】

時間t2の時のV_{TH7}とV_{CA}の電圧レベルとの電圧差が小さいほど、V_{CA}がV_{TH7}に落ち着くのに要する時間がより短くなる。したがって、時間t2とt3の時間間隔を減少させるために、時間t2の時のV_{CA}のレベルを、できるだけ低い値ではあるが、可能な限り高いV_{TH7}値(つまり、V_{TH7(max)})よりもはるかに高い値にする必要がある。図9で示した例では、V_{CA}が時間t2の直前にV_{TH7(max)}になるように、時間t1からt2の間でV_{CA}がV_{TH7(max)}-V_{TH7(min)}-V_{OLED(onset)}に設定される。時間t2からt3までの時間間隔を減少することにより、データ書き込みサブ期間136と発光サブ期間136のためにより多くの時間を取ることができる。

【0107】

時間t3の時に、SW信号はロジカル「0」に設定される(416)。ローライン106は、ロジカル「0」に設定される(418)。

【0108】

10

20

30

40

50

図13を参照すると、等価ピクセル回路530は、時間 t_4 から $t_4 + t$ 間のピクセル回路300の等価回路を示す。ここで、 t は、一列のピクセル回路のキャパシタ C_s に V_{DATA} が書き込まれる短い時間のことである。一例では、 t は $10\mu s$ 未満であり得る。

【0109】

時間 t_4 の時に、ローライン106は、ロジカル「1」に設定され(420)、輝度データ(V_{DATA})は、 C_{OLED} に接続されたキャパシタ C_s に書き込まれる。キャパシタ C_s と比較すると、キャパシタ C_{OLED} は大きいので、キャパシタ C_s の負極113は、正の電圧である V_{DATA} がキャパシタ C_s の正極112に書き込まれている間、約 $-V_{TH7}$ で維持される。ローライン106は、時間 $t_4 + t$ の時にロジカル「0」に設定される(422)。 V_{DATA} がキャパシタ C_s に書き込まれる時にトランジスタT7が伝導しないように、 t_4 から t_5 の期間、SW信号はロジカル「0」のままである。

10

【0110】

キャパシタ C_{OLED} は有限であり、キャパシタ C_s の約10倍の大きさである。データライン104(電圧レベル V_{DATA} を有する)がキャパシタ C_s を充電すると、 $OLED102$ が十分に充電され、データ電圧(V_{DATA})がキャパシタ C_s と C_{OLED} の全体に生じる。その結果として、 V_{DATA} の一部(約90%又は $(1 - C_s / C_{OLED} \times 100\%)$)だけが実際にキャパシタ C_s に書き込まれる。

【0111】

20

図14を参照すると、等価ピクセル回路540は、時間 t_5 から t_6 までの期間のピクセル回路300の等価回路を示す。

【0112】

時間 t_5 の時に、 V_{CA} 電圧は、

【数11】

$$V_{CA} = -V_{OLED(max)} - V_{DATA(max)}$$

に設定される(424)。SW信号は、ロジカル「1」に設定され(426)、トランジスタT7がオンになり、電流 I がトランジスタT7から $OLED102$ に流れる。 $OLED$ は電流 I に比例した(V_{DATA}^2 に比例した)輝度レベルで点灯し、トランジスタT7のしきい電圧にはほとんど左右されない。ディスプレイにおける二つのピクセル回路間のしきい電圧差の効果は、 $V_{DATA} = 10V$ であれば、5%未満に減少される。 V_{DATA} の可能な電圧レベルの範囲が増加すると(すなわち、 $V_{DATA(max)} - V_{DATA(min)}$ が増加すると)、しきい電圧のばらつきによる異なるピクセル間の電流のばらつきが減少する。

30

【0113】

トランジスタT7のドレイン・ソース間電圧は、トランジスタT7のゲート・ソース間電圧からトランジスタT7のしきい電圧を引いたものより大きいので、トランジスタT7は、飽和領域で動作する。TFTの劣化は、トランジスタがリニア領域で動作するときよりも、飽和領域で動作するときのほうが深刻ではない。

40

【0114】

$OLED102$ は時間 t_6 まで点灯する。時間 t_1 から t_6 までの信号タイミングの周期は、連続するフレーム期間繰り返される。

【0115】

パッシブ・マトリクス型 $OLED$ のディスプレイは、ロー又はカラムのカソードラインを有する。比較すると、 $OLED$ 陰極は、アクティブ・マトリクス型 $OLED$ のディスプレイでは全てのピクセルに共通である。したがって、カソード電圧 V_{CA} は、全てのピクセルに共通である。カソードへのバイア接合が必要ないので、共通の又は2次元のカソー

50

ド形成プロセスは単純で、コストも安い。また、ディスプレイの上側、下側、左側、右側から力が取り入れられるので、共通のカソード構造が使用される場合や、2次元のカソード構造が使用される場合には、力の分散が効率的に行われる。ロー又はカラムにカソードを配置すると、2次元の平面構造よりも抵抗が大きいので、効率的ではない。カソードを接続するバイアは、共通のカソードが使用される場合には必要ではない。SW信号の信号タイミングがカソードの電圧タイミングとリンクしているので、SW信号も全てのピクセルに共通であってよい(すなわち、全てのピクセル回路が同じSW信号を有する)。全てのピクセルに共通の単独SW信号と単独 V_{CA} 電圧を使用することにより、 V_t 書き込みサブ期間、データ書き込み期間、発光期間という一連のサブ期間を、全てのピクセルに対し同時に起こせる。これにより、ローとカラムの駆動回路と、アクティブ・マトリクス型のOLED配列の形成を簡略化することができる。

10

【0116】

ピクセル回路300においては、キャパシタ C_s の正極112に接続されるトランジスタT1のゲート・ソース間の端子キャパシタンスにより、データ書き込みサブ期間の際に($t_4 + t_5$ の時に)、ローライン106がロジカル「1」からロジカル「0」に切り換わる時に、キャパシタ C_s の電圧レベルを修正することができる。また、トランジスタT1のゲート・ソース間キャパシタンスとT7の下部ゲート・ドレイン間キャパシタンスにより発光サブ期間の初めに(時間 t_5 の時に) V_{CA} が変化すると、キャパシタ C_s 全体の電圧も修正することができる。シミュレーションでは、カップリングによる V_{CS} の電圧エラーは、2V程度であり得る。電圧カップリングを減少させる一つの方法は、T7の下部ゲート・ソース間キャパシタンスとT1のゲート・ソース間キャパシタンスを減らすために、薄膜トランジスタT7及びT1の幅を減らすことである。より大きなデータ電圧範囲を使用することにより、トランジスタT7の幅を減らすことが可能である($V_{DATA} + V_{TH7}$ と等しいより高い電圧 V_{gs} を使うので、同じ電流 I をより小さなチャネル幅で得られる)が、トランジスタT1の幅を増加させる必要があり得る(なぜなら、 t_5 内でキャパシタ C_s をより高いデータ電圧レベルにまで充電するために、トランジスタT1にはより大きなチャネル幅が必要とされるからである)。

20

【0117】

図13では、ローラインの切換えにより(すなわち、ローライン106がロジカル「1」からロジカル「0」に切り換わる際のトランジスタT1のゲート・ソース間の浮遊容量 C_{gs} からの結合により)、ストレージ・キャパシタの電圧(V_{cs})が減少する。この V_{cs} の減少は、「ローラインの切換え結合」と呼ばれる。電圧の減少量は、

30

【数12】

$$\frac{(V_{ROW('1')} - V_{ROW('0')}) \times C_{OLED} \times C_{gs1}}{(C_{gs1} + C_{gd7}) \times (C_{OLED} + C_s + C_{gs7}) + C_{OLED} \times (C_s + C_{gs7})}$$

で、式中、 $V_{ROW('1')}$ と $V_{ROW('0')}$ は、それぞれ、ロジカル「1」及び「0」でのローラインの電圧であり、 C_{gs1} 及び C_{gs7} は、それぞれ、トランジスタT1及びT7のゲート・ドレイン間キャパシタンスであり、キャパシタンス C_{gd7} は、トランジスタT7のゲート・ソース間キャパシタンスである。 C_{OLED} が C_s 、 C_{gd7} 、 C_{gs7} 、及び C_{gs1} よりはるかに大きいと仮定すると、上記の式は下記のように簡略化することができる。

40

【数13】

$$\frac{(V_{ROW('1')} - V_{ROW('0')}) \times C_{gs1}}{C_{gs1} + C_{gd7} + C_s + C_{gs7}}$$

電圧 $V_{ROW('1')}$ は、 $V_{DATA(max)} + V_{TH1(max)}$ より大きく設計

50

される。ここで、 $V_{TH1(max)}$ は、トランジスタ T1 の寿命末期の最大しきい電圧である。電圧 $V_{ROW('0')}$ は、

【数 14】

$$V_{ROW('0')} < -V_{OLED(max)} - V_{DATA(min)} + V_{OLED(onset)} + V_{TH7(min)} + V_{TH1(min)}$$

となるようなレベルを有する。 $V_{ROW('0')}$ は、ローライン 106 と V_{CA} との間の電圧差によりトランジスタ T1 が発光サブ期間 138 中にオンにならないように設計される。

10

【0118】

図 14 では、ストレージキャパシタンスの電圧 (V_{CS}) は、 V_{CA} 電圧を切換えることによって増加する。この V_{CA} の増加は、「カソード電圧切換え結合」と呼ばれる。電圧の増加量は、

【数 15】

$$\frac{(V_{OLED(max)} + V_{DATA(max)} - V_{TH7(min)} - V_{OLED(onset)}) \times C_{OLED} \times (C_{gs1} + C_{gd7})}{(C_{OLED} + C_{gs1} + C_{gd7}) \times (C_s + C_{gs7}) + C_{OLED} \times (C_{gs1} + C_{gd7})}$$

20

である。 C_{OLED} が C_s 、 C_{gd7} 、 C_{gs7} 、及び C_{gs1} よりはるかに大きいと仮定すると、上記の式は、

【数 16】

$$(V_{OLED(max)} + V_{DATA(max)} - V_{TH7(min)}) \times \frac{C_{gs1} + C_{gd7}}{C_s + C_{gs7} + C_{gs1} + C_{gd7}}$$

と概算することができる。この電圧カップリングは大きく、オフ状態輝度を生み出す傾向がある（すなわち、 $V_{DATA} = 0V$ のようなピクセルがオフであると思われる時でさえ、OLED 102 が点灯する）。

30

【0119】

ローライン切換えカップリングは、式 13 で示した量分、ストレージ・キャパシタの電圧 V_{CS} を減少させる傾向があり、カソード電圧切換えカップリングは、式 16 で示した量分、ストレージ・キャパシタの電圧 V_{CS} を増加させる傾向がある。2 種類の電圧カップリングによる V_{CS} の電圧エラーが互いに相殺するようにピクセル回路 300 を設計することが可能である。これを達成するため、 V_{CA} 電圧の振幅は、ローラインの電圧振幅の約 $C_{gs1} / (C_{gs1} + C_{gd7})$ になるよう設計される。

【0120】

例えば、トランジスタ T1 及び T7 は、ほぼ同じ大きさ（すなわち、同じ幅と長さ）であり、 $C_{gs1} \sim C_{gd7}$ であり、したがって、ローラインの電圧振幅は、 V_{CA} の電圧振幅の量のほぼ 2 倍である必要がある。最小許容 V_{CA} 電圧振幅は、 $V_{DATA(max)} - V_{TH7(min)} + V_{OLED(max)} - V_{OLED(onset)}$

40

【数 17】

$$V_{DATA(max)} - V_{TH7(min)} + V_{OLED(max)} - V_{OLED(onset)}$$

である。したがって、2 種類の電圧カップリングを相殺させながらローラインの電圧振幅

50

を減少させるためには、トランジスタ T7 に対するトランジスタ T1 の大きさを増加させる必要があり得る。

【0121】

ピクセル回路 300 の設計の一例では、トランジスタ T7 の W/L 率は、 V_{DATA} (max) 及び所望の輝度範囲を得るのに必要な OLED の電流の量によって決定される。トランジスタ T1 の W/L 率は、ロー時間 (t) 内でキャパシタ C_s を充電することができる時間によって決定される。したがって、ローラインの切換えカップリングが陰極電圧切換えカップリングを相殺するのに十分であるために、トランジスタ T1 の W/L は、ロー時間で決定されたキャパシタ C_s を充電するのに必要な大きさよりも大きく設計され得る。

10

【0122】

タイミング図 400 では、 V_{CA} 電圧が、式 7、10、及び 11 で示したように、3 つの異なる電圧レベル間で切換えられる。 V_{CA} 電圧の切換えは、新たなトランジスタを使って OLED のアノード電圧を直接制御することによって簡略化され得る。

【0123】

図 15 を参照すると、ピクセル回路 550 の一例は、ピクセル回路 300 (図 7) と類似であり、更に、データライン 104 とキャパシタ C_s の負極 113 との間に接続されたトランジスタ T8 を有する。トランジスタ T8 は、「RS」信号によって制御される。

【0124】

図 16 を参照すると、タイミング図 560 は、ピクセル回路 550 を駆動するのに使用される信号のタイミングを示す。タイミング図 560 は、 V_t 書き込みサブ期間 134、データ書き込みサブ期間 136、及び発光サブ期間 138 とに分割されるフレーム期間 t_{frame} の間の信号タイミングを示す。 V_t 書き込みサブ期間 134 は時間 t_0 から t_1 にわたり、データ書き込みサブ期間 136 は時間 t_2 から時間 t_4 にわたり、発光サブ期間 138 は時間 t_4 から t_5 にわたる。図を簡略化するために、初期化サブ期間はタイミング図 560 では省略されている。

20

【0125】

時間 t_0 の時に、RS 信号はロジカル「1」に設定され (562)、データライン 104 は $-V_{TH7}$ (max) に設定される (564)。これにより、トランジスタ T8 がオンになり、OLED 102 のアノード 114 がデータラインの電圧 $-V_{TH7}$ (max) に設定されることになる。カソード電圧 V_{CA} は、 V_t 書き込みサブ期間 134 の間、

30

【数 18】

$$V_{CA} = -V_{TH7}(\min) - V_{OLED}(\text{onset})$$

に設定される。これにより、 V_{CA} の切換えが二つの電圧レベルだけに簡略化される。

【0126】

時間 t_1 の時に、RS 信号はロジカル「0」に設定され (566)、一方、ローライン 106 はロジカル「1」に設定され (568)、データライン 104 は 0 V に設定される (570)。これにより、トランジスタ T1 がオンになり、キャパシタ C_s の正極 112 がデータラインの電圧レベルの 0 V に設定される。

40

【0127】

キャパシタ C_s の負極 113 を $-V_{TH7}$ (max) に設定し、その後、キャパシタ C_s の正極 112 を 0 V に設定するという 2 連続工程を使用することにより、タイミング図 560 の V_t 書き込みサブ期間 134 を、タイミング図 400 の V_t 書き込みサブ期間 134 より短くできる。タイミング図 400 の V_t 書き込みサブ期間 134 の第 2 及び第 3 の工程は、タイミング図 560 では一つの工程に合体される。 V_{CA} は $-V_{TH7}$ (max) - $V_{OLED}(\text{onset})$ を上回る必要はないので、 V_{CA} の電圧振幅は減少し、

50

それにより、カソード電圧切換えカップリングの量も減少する。

【0128】

更に、キャパシタ C_c をトランジスタ T_7 のトップゲート $TG(304)$ とソース電極 305 との間に接続してもよい。 SW 信号は、発光サブ期間 138 の初めにロジカル「 0 」からロジカル「 1 」に切換えられるので、トランジスタ C_c を介して、トップゲート $TG(304)$ から $OLED102$ のアノード 114 への電圧カップリングは、 $OLED$ のアノード電圧を増加させる傾向にあるので、カソード電圧切換えカップリングの効果を相殺するのに役立つ。

【0129】

キャパシタ C_c を使って、トランジスタ T_1 の幅を小さくすることができ、ローライン 106 のロジカル「 1 」と「 0 」の状態の電圧差を減少することができる。 SW 信号は、トランジスタ T_7 の動作特に影響を及ぼすことなく、トランジスタ T_7 のソース電圧を越える幅広い電圧範囲に切り換わり得る。

10

【0130】

$-V_{TH7(max)}$ を、(データドライブ 712 とディスプレイ制御装置 720 を複雑にする傾向にある)データライン 104 に印可する必要性を回避するため、トランジスタ T_8 のドレインは別の制御電圧に接続され得る。

【0131】

図 17 を参照すると、ピクセル回路 560 の一例は、制御電圧 V_A に接続されたドレイン 562 を有するトランジスタ T_8 を含む。制御電圧 V_A は、 $-V_{TH7(max)}$ に固定され、ディスプレイ 700 の全てのピクセルに共通であり得る。

20

【0132】

図 18 を参照すると、タイミング図 570 は、ピクセル回路 560 の信号タイミングを示す。時間 t_0 の時に、データライン 104 の電圧が $0V$ で V_{CA} 電圧が、

【数19】

$$V_{CA} = -V_{TH7(min)} - V_{OLED(onset)}$$

である間、同時に、 RS 信号及びローライン 106 がロジカル「 1 」に設定される(572)。一工程において、キャパシタ C_s 全体の電圧は $V_{TH7(max)}$ に設定される。

30

【0133】

時間 t_1 の時に、 RS 信号はロジカル「 0 」に設定される(574)。キャパシタ C_s 全体の電圧が V_{TH7} 、すなわち、トランジスタ T_7 の現在のしきい電圧、に等しくなるまで、トランジスタ T_7 はキャパシタ C_s を充電する。

【0134】

時間 t_2 の時に、データライン 104 からキャパシタ C_s を分離するため、ローライン 106 がロジカル「 0 」に設定される(578)。

【0135】

アクティブマトリクス型 $OLED$ ディスプレイの中には、ディスプレイ制御装置(例えば 720)の設計又は他の考慮すべき事項により、電圧の振幅又は薄膜トランジスタの幅や長さを最適化することによって、又は、図 15 で示したキャパシタ C_c を用いることによって、電圧カップリングエラーを補償することはできない。電圧カップリングエラーを補償するには、二つの選択肢がある。

40

【0136】

一つ目の選択肢は、他のピクセル回路制御電圧も対するデータ電圧範囲を、電圧カップリングエラーとはほぼ同じ量分変えることである。例えば、図 1 、 3 、 4 、 6 、 7 、 8 、及び 16 で示したピクセル回路では、データライン 104 を駆動させるデータドライブ 712 は、ディスプレイ 700 の他の回路のグランド電圧レベルとは異なるグランド電圧レベルを有し得る。カソード電圧切換えカップリング(キャパシタ C_s 全体の電圧である V_c

50

sを減らす傾向がある)がローライン切換えカップリング(V_{cs} を増加させる傾向がある)より大きい場合、データライン104の電圧レベルは、カソード電圧切換えカップリングを補償するために、より低く変えられ得る。

【0137】

もう一つの選択肢は、電圧カップリングによる V_{cs} の電圧エラーに等しい量分、アース端子と、データライン104の電圧範囲に対するピクセル回路によって使用される V_{CA} の電圧レベルを上げることである。

【0138】

どちらの選択肢においても、上記例のピクセル回路を用いて、 V_t 書き込みサブ期間中のデータライン104の電圧レベルは、0V又はカップリング電圧エラーに設定され、 $V_{DATA}(min)$ には設定されない。

10

【0139】

ピクセル回路100、200、及び250のシミュレーション結果は下記のとおりである。シミュレーションの状態は、 $300\text{cd}/\text{m}^2$ の最大平均輝度が得られる状態であった。SPICEと同様の回路シミュレーターを使って、複数のフレーム期間の過度応答を得た。データラインの電圧は、0~10Vの範囲にわたって、1.25V~2.5V単位で増加する。シミュレーションで使用するOLEDモデルは、 $4\text{cd}/\text{A}$ の発光効率を有し、約7Vの順電圧で $500\text{cd}/\text{m}^2$ に達する。ターンオフ電流や逆バイアス電流は、回路を動作させないように十分低い。

【0140】

20

初期しきい電圧(V_{ti})が2.5Vである一般的なアモルファスNMOSトランジスタのトランジスタモデルが、シミュレーションで使用された。全てのトランジスタのトランジスタチャンネル長は、8ミクロンであった。トランジスタT1のチャンネル幅は、ピクセル回路100、200、及び250で、48ミクロンであった。トランジスタT2、T3、及びT5のチャンネル幅は、それぞれ、64、48、48ミクロンであった。キャパシタ C_s は500fFであった。データ書き込みサブ期間中のローラインのパルス持続時間 t は、約10マイクロセカンドであった。

【0141】

図19を参照すると、グラフ600はピクセル回路610(図20に示す)のデータライン104のデータ電圧(V_{DATA})の機能として正規化輝度を示す。ピクセル回路610は、トランジスタT2のドレインが+10Vに接続され、 V_{CA} が-4.5Vの定電圧で維持されるという以外は、ピクセル回路100(図1)と同じ構成を有する。グラフ600は、複数のフレーム期間の回路をシミュレートすることによって得られているが、タイミング図130(図2)におけるデータ書き込みサブ期間及び発光サブ期間での信号タイミングのみを使用した。これは、しきい電圧を補正することなく輝度データをキャパシタ C_s に書きこむことにより、ピクセル回路100を使用することを表す。

30

【0142】

ライン602は、トランジスタT2のしきい電圧(V_{TH2})が初期値 V_{ti} である場合のデータ電圧(V_{DATA})の機能として正規化輝度を表す。 $V_{DATA} = 10\text{V}$ である場合、輝度=1となるように、データは正規化される。ライン604、606、及び608は、トランジスタT2のしきい電圧がそれぞれ、1V、2V、5Vずつ増加する場合の輝度の減少を示す。しきい電圧の変化が大きいほど、輝度の低下が大きい。例えば、 $V_{DATA} = 10\text{V}$ の場合、しきい電圧が5V増加すると、輝度は80%低下する。

40

【0143】

図21は、グラフ620が、タイミング図130(図2)における信号タイミングを使ったピクセル回路100の正規化輝度を示す。グラフ620では、しきい電圧の補正が必要であった。ライン622は、トランジスタT2のしきい電圧(V_{TH2})が初期値 V_{ti} である場合のデータ電圧(V_{DATA})の機能として正規化輝度を表す。 $V_{DATA} = 10\text{V}$ である場合、輝度=1となるように、輝度は正規化される。ライン624、626、及び628は、トランジスタT2のしきい電圧がそれぞれ、1V、2V、5Vずつ増加

50

する場合の輝度の減少を示す。

【0144】

ライン624、626、628(図21)とライン604、606、608(図19)との比較は、タイミング図130の信号タイミングを使ってしきい電圧を補正することにより、トランジスタT2のしきい電圧の変化により引き起こされる輝度レベルの変化を減少させるということを示す。

【0145】

図22を参照すると、グラフ630は、データサンプル切換え電流ソース202を使用する図3のピクセル回路200の正規化輝度を示す。しきい電圧の補正は、タイミング図130(図2)の信号タイミングを使って行われる。トランジスタT2のしきい電圧が2V増加する場合、輝度は殆ど変化しない。ライン632は、しきい電圧が5V増加する場合でも、 $V_{DATA} = 10V$ で輝度は約6%しか低下しないということを示す。これは、T2のしきい電圧が5V増加する場合 $V_{DATA} = 10V$ で輝度がほぼ40%低下するということがライン628が示しているグラフ620で示した結果よりも大きな改善点である。

【0146】

図23を参照すると、グラフ640は、異なるピクセル回路の1Vしきい電圧のばらつきと信号タイミングによって生じる輝度差の比較を表す。ライン642と644はそれぞれ、トランジスタT2のしきい電圧が1Vずつ変化する場合のピクセル回路610及び100の輝度差を示す。ライン642では、しきい電圧の補正は使用されなかった。ライン644では、しきい電圧の補正が使用された。すなわち、タイミング図130(Vt書き込みサブ期間134を含む)の信号タイミングが使用された。ライン646は、トランジスタT2のしきい電圧が1Vずつ変わる場合のピクセル回路200の輝度差を示す。タイミング図130の信号タイミングが使用された。

【0147】

図24を参照すると、グラフ650は5Vのしきい電圧のばらつきによって生じる輝度差を比較する。ライン652、654、及び656は、ライン642、644、及び646と同様の状況下であるが、1Vのしきい電圧差ではなく5Vのしきい電圧差で得られたデータをそれぞれ示す。

【0148】

グラフ640及び650は、ピクセル回路200の輝度のばらつきがしきい電圧を補正した状態でピクセル回路100よりも少なく、更には、しきい電圧の補正なしでピクセル回路100よりも少ない輝度差を有するというを示す。

【0149】

図25を参照すると、グラフ660はピクセル回路250(図5)のデータ電圧の機能としての輝度値を示す。ピクセル回路250のトランジスタT1、T2、及びT5の幅は、それぞれ、48、64、48ミクロンであった。キャパシタCsのキャパシタンスは500fFであった。ライン662は、トランジスタT2のしきい電圧が、2.5Vの初期しきい電圧(V_{ti})である時のデータ電圧の機能としての輝度を示す。ライン664、666及び668は、トランジスタT2のしきい電圧がそれぞれ、1V、2V、5Vずつ増加する場合の輝度レベルとデータ電圧(V_{DATA})との関係を示す。ライン668をライン628(図21)とライン632(図22)と比較すると、ピクセル回路250の輝度のばらつきがピクセル回路100の輝度のばらつきより少ないが、2Vより大きいデータ電圧のピクセル回路200の輝度のばらつきよりも大きいことがわかる。

【0150】

図26を参照すると、グラフ670はピクセル回路250(図5)の駆動トランジスタT2のしきい電圧における変化と関連した輝度のばらつきを示す。ライン672、674、及び676は、トランジスタT2のしきい電圧が、初期しきい電圧からそれぞれ1V、2V、及び5V増加する場合のデータ電圧の機能としての輝度のばらつきを示す。

【0151】

10

20

30

40

50

図27を参照すると、グラフ680は、ピクセル回路200(図3)の駆動トランジスタT2のしきい電圧における変化に関連した輝度のばらつきを示す。ライン682、684、及び686は、トランジスタT2のしきい電圧が、初期しきい電圧からそれぞれ1V、2V、及び5V増加する場合のデータ電圧の機能としての輝度のばらつきを示す。

【0152】

グラフ670と680を比較すると、ピクセル回路200の輝度差は、データ電圧がより小さい場合(およそ1Vより少ない場合)、ピクセル回路250よりも大きい。ピクセル回路200の輝度差は、データ電圧がより大きい場合(およそ2Vより大きい場合)、ピクセル回路250よりも少ない。

【0153】

上記のピクセル回路を使用する上での利点は、非データ制御信号(例えば、SW信号や V_{CA} 信号)がディスプレイの全てのピクセルに共通であり得るので、市販されている標準的な既製のLCDのロー及びカラムドライバを使用することができるということである。これにより、新しいアクティブマトリクス型のOLEDディスプレイの開発費用が削減される。

【0154】

図28を参照すると、アクティブマトリクス型ディスプレイ700は、図1、3~7、15及び17で示したようなピクセル回路のローとカラムを有するピクセル回路配列702を含む。ピクセル回路配列702のOLEDは、アクティブマトリクス型ディスプレイ700の表示領域704(太線で囲まれた部分)を形成する。配列702のピクセル回路は、ローライン706及びデータライン708に接続される。ローライン706は、ロードドライバ710によって制御され、データライン708は、データドライバ712によって制御される。ディスプレイ制御装置720は、タイミング信号を生成し、バス714を介してロードドライバ710に送る。ディスプレイ制御装置720は、データ信号及びタイミング信号を生成し、バス726を介してデータドライバ712に送る。ディスプレイ制御装置720は、フレーム期間(1フレーム期間~16.67ms)の約半分以内に配列702のピクセル回路にデータを送れるように十分な速度に設計される。ロードドライバ710及びデータドライバ712は、市販のLCDドライバを使用することができる。

【0155】

ディスプレイ制御装置720は、SW及びRS(図示せず)制御信号とカソード電圧(V_{CA})制御信号を生成する補助信号回路722を含む。 V_{CA} 信号は、配列702のピクセル回路におけるOLEDの陰極に接続される。SW制御信号は、図3~5、7、15、及び17で示したピクセル回路に使用される。補助信号回路722は、図2、9、16又は18で示したタイミング図によると、ピクセル回路配列702で使用したピクセル回路の種類に応じて、SW信号及び V_{CA} 信号を生成する。補助信号回路722は、電圧信号V1、V2、及びV3を受け取る3つのDC電圧供給コネクション724を有する。電圧信号V1、V2、及びV3は、SW信号及び V_{CA} 信号の異なる電圧レベルを供給する。

【0156】

SW及びRS(図示せず)信号は、ピクセル回路の各カラム毎のカラムライン(例えば718)を用いて、ピクセル回路配列702全体に分布され得る。SW信号の分布配線は、アクティブマトリクスのバックプレーン上で信号の外部接続と一体化され得る。

【0157】

V_{CA} 信号を分布するには二つの方法があり得る。一例では、 V_{CA} 信号は、ピクセル回路の各ロー(又は各カラム)毎のローライン(又はカラムライン)を用いて配列702のピクセル回路に分配される。別の例では、 V_{CA} 信号は、外部のエッジコネクションを有するOLED層の表示領域704を覆う酸化イリジウム錫(ITO)の単一シートを用いて、配列702の全てのピクセル回路に分配される。したがって、各OLEDのカソードは、ITOのシートに接続されて、外部のエッジコネクションを介してディスプレイ制御装置720に接続される。

10

20

30

40

50

【 0 1 5 8 】

グランド基準電圧 7 3 0 は、ピクセル回路のロー毎のローライン（例えば、7 3 2）を用いて配列 7 0 2 のピクセル回路に接続される。グランド電圧の分配配線は、アクティブマトリックスのバックプレーン上で、一乃至複数の外部接続と一体化され得る。

【 0 1 5 9 】

ディスプレイ 7 0 0 では、表示領域 7 0 4 のピクセル領域 7 3 4（点線で囲まれた部分には、隣接するローライン（又はグランドライン）と隣接するデータライン（又は S W 信号ライン）によって囲まれた領域が含まれる。

【 0 1 6 0 】

幾つかの例を上記で議論してきたが、他の実施例や応用例も下記の特許請求の範囲内である。例えば、トランジスタ T 1 ~ T 8 は、薄膜トランジスタとして記載され、アモルファス・シリコン又はポリシリコンを用いて生成されたが、トランジスタ T 1 ~ T 8 としては、有機半導体で生成されたトランジスタなど、他のタイプのトランジスタを使用することもできる。トランジスタ T 4 が P M O S トランジスタで、トランジスタ T 1 ~ T 3 及び T 4 ~ T 8 が、N M O S トランジスタとして記載されてきたが、他の実施例においては、トランジスタ T 1 ~ T 3 及び T 4 ~ T 8 が P M O S トランジスタで、トランジスタ T 4 が N M O S トランジスタとすることもできる。したがって、制御信号及びデータ信号を調整することができる。

【 0 1 6 1 】

上記のピクセル回路を含むディスプレイは、多くの応用例で使用され得る。例えば、コンピュータディスプレイ、携帯電話のディスプレイ、ヘッドマウント・ディスプレイ、テレビ、携帯端末ディスプレイ、及び電子広告板などがその例である。ディスプレイは単色でも多色でもよい。ピクセル回路は、必ずしもカラムとローのマトリクスに配列されている必要はなく、用途に応じていかなる方法でも配列し得る。例えば、ピクセルの偶数のローを、ピクセルの奇数のローからオフセットすることができる。ピクセル回路を、リジッド（ガラス）基板又は、フレキシブル（プラスチック）基板上に形成してもよい。

【 図面の簡単な説明 】

【 0 1 6 2 】

【 図 1 】 ピクセル回路を示す。

【 図 2 】 タイミング図を示す。

【 図 3 】 ピクセル回路を示す。

【 図 4 】 ピクセル回路を示す。

【 図 5 】 ピクセル回路を示す。

【 図 6 】 ピクセル回路を示す。

【 図 7 】 ピクセル回路を示す。

【 図 8 】 ダブル・ゲート・トランジスタを示す。

【 図 9 】 タイミング図を示す。

【 図 1 0 】 等価回路を示す。

【 図 1 1 】 等価回路を示す。

【 図 1 2 】 等価回路を示す。

【 図 1 3 】 等価回路を示す。

【 図 1 4 】 等価回路を示す。

【 図 1 5 】 ピクセル回路を示す。

【 図 1 6 】 タイミング図を示す。

【 図 1 7 】 ピクセル回路を示す。

【 図 1 8 】 タイミング図を示す。

【 図 1 9 】 グラフである。

【 図 2 0 】 ピクセル回路を示す。

【 図 2 1 】 グラフである。

【 図 2 2 】 グラフである。

10

20

30

40

50

【図23】 グラフである。

【図24】 グラフである。

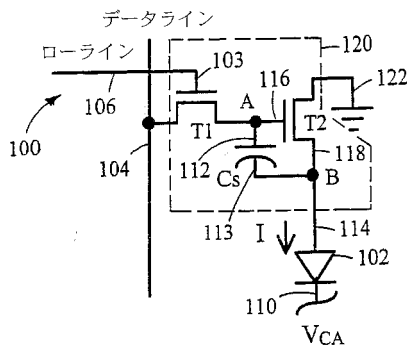
【図25】 グラフである。

【図26】 グラフである。

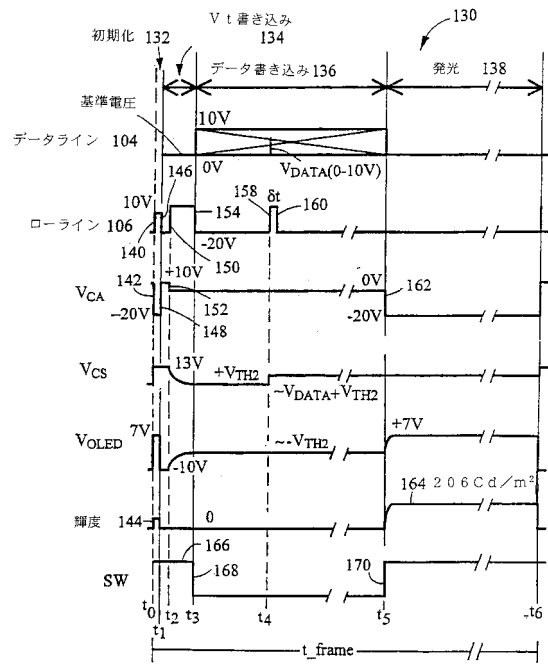
【図27】 グラフである。

【図28】 ピクセル回路を駆動する回路構成を有するディスプレイを示す。

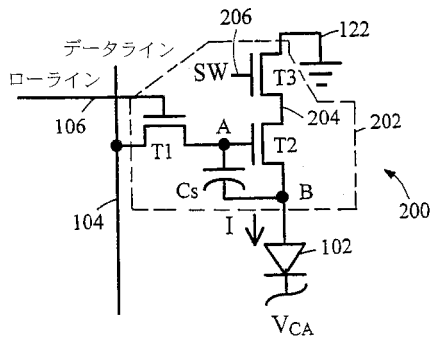
【図1】



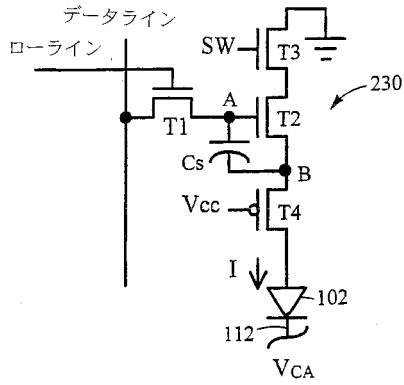
【図2】



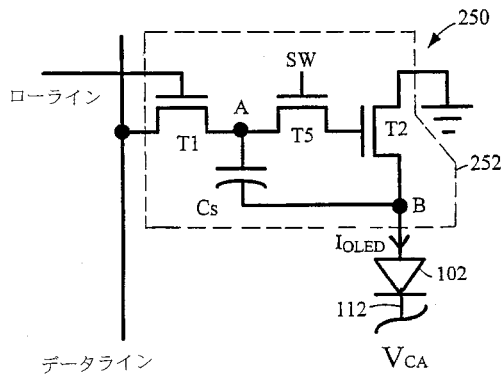
【図3】



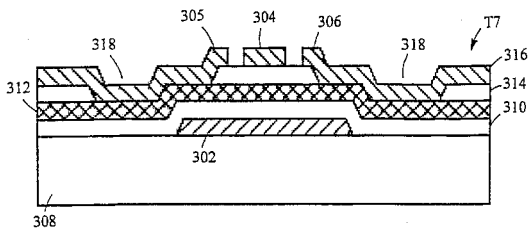
【図4】



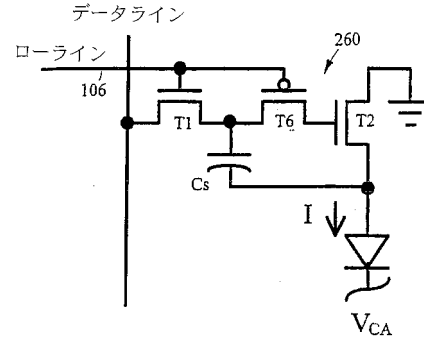
【図5】



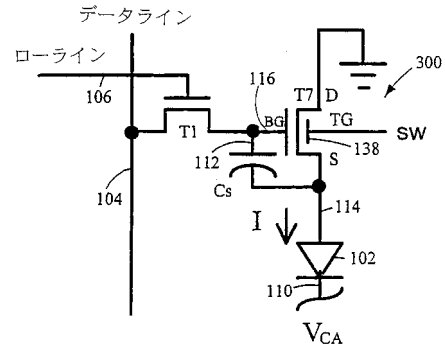
【図8】



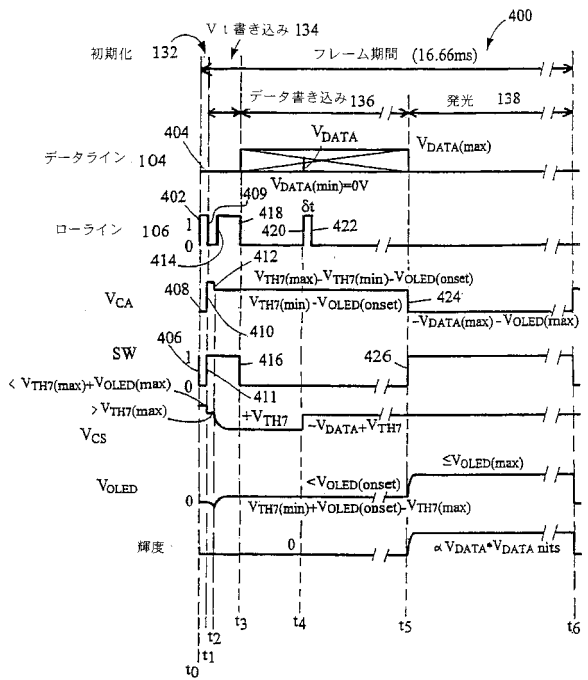
【図6】



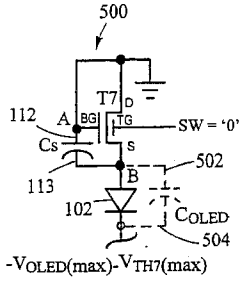
【図7】



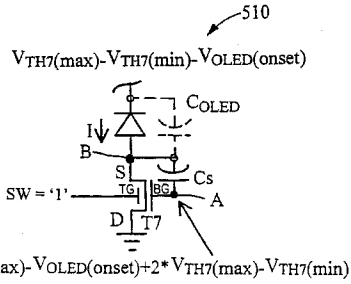
【図9】



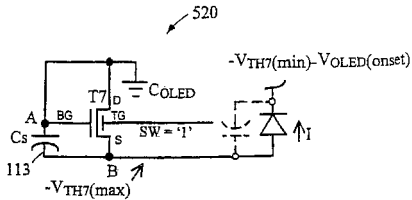
【図10】



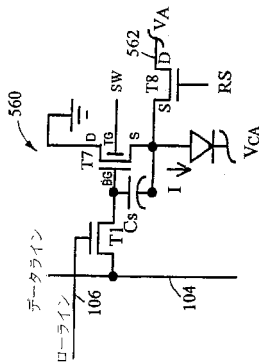
【図11】



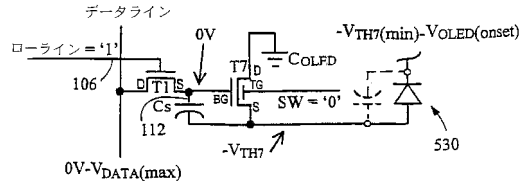
【図12】



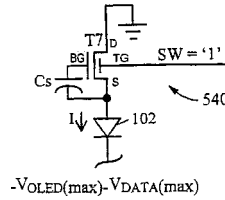
【図17】



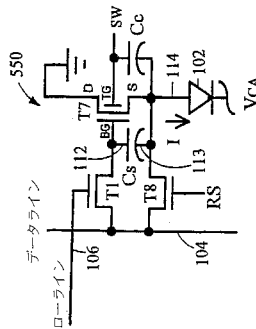
【図13】



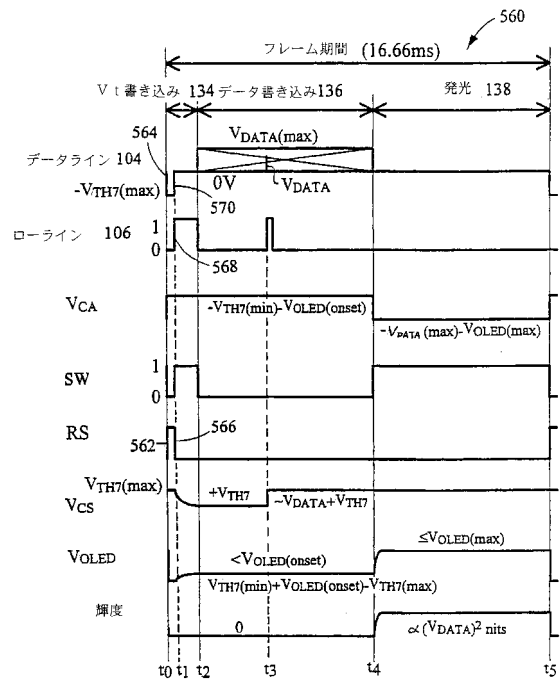
【図14】



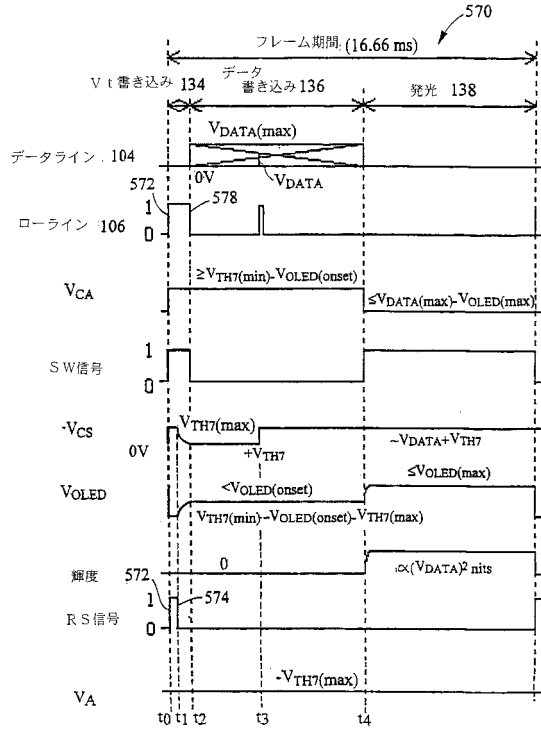
【図15】



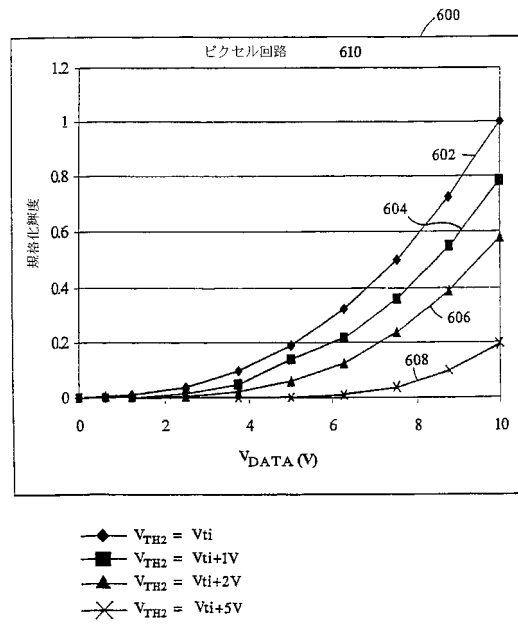
【図16】



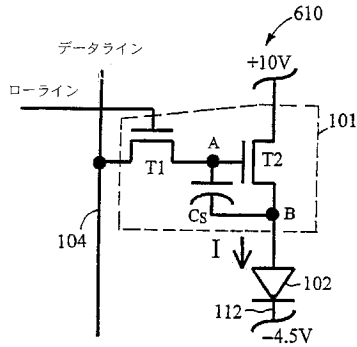
【図18】



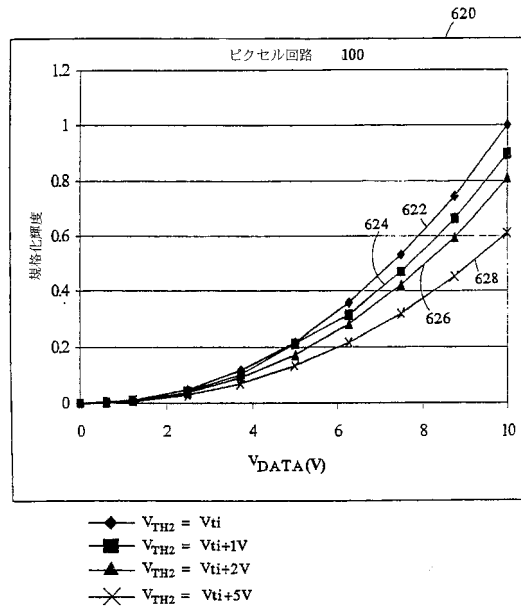
【図19】



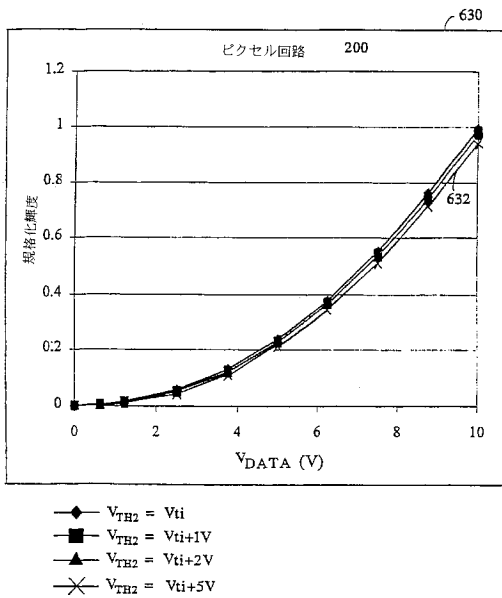
【図20】



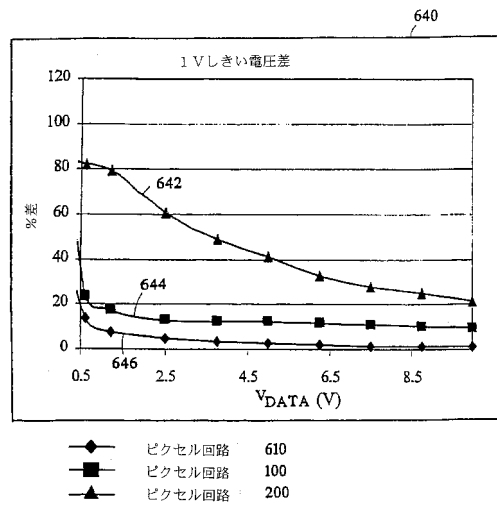
【図21】



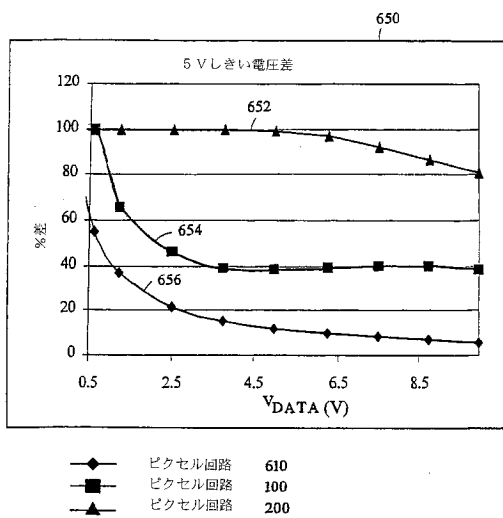
【図22】



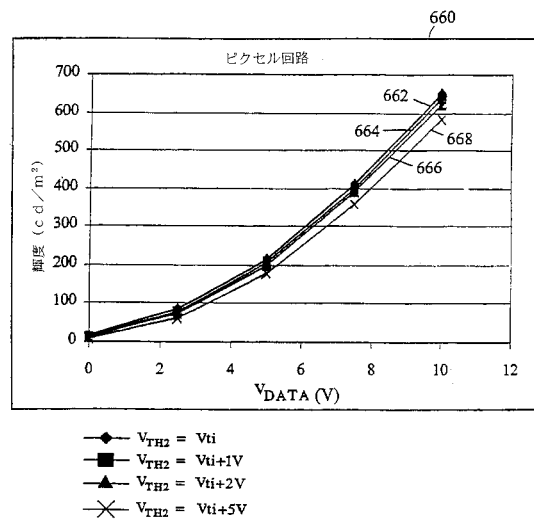
【図23】



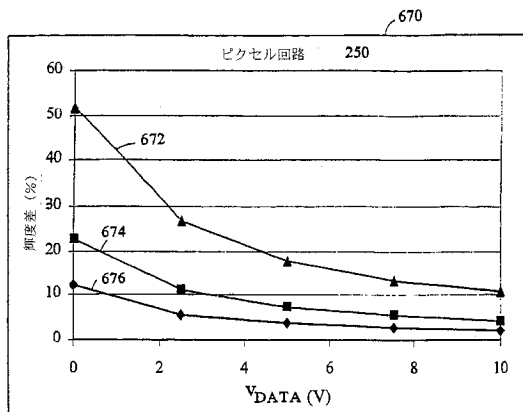
【図24】



【図25】

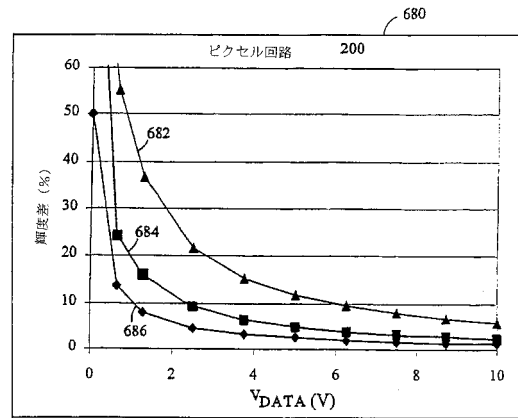


【図26】



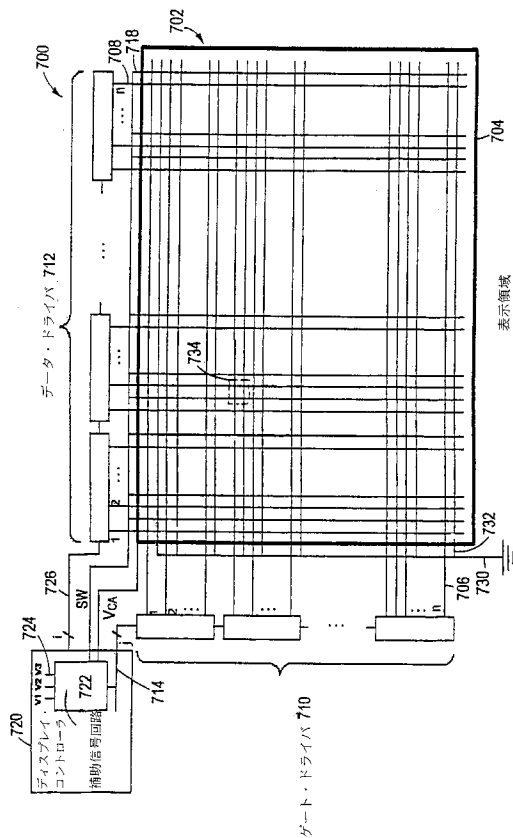
- ◆ $V_{TH2} = V_{ti} + 1V$
- $V_{TH2} = V_{ti} + 2V$
- ▲ $V_{TH2} = V_{ti} + 5V$

【図27】



- ◆ $V_{TH2} = V_{ti}$
- $V_{TH2} = V_{ti} + 2$
- ▲ $V_{TH2} = V_{ti} + 5$

【図28】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 8 0 T
H 0 5 B 33/14 A

(74)代理人 100094248

弁理士 楠本 高義

(72)発明者 ジェームズ・ローレンス・サンフォード

アメリカ合衆国 ニューヨーク、ホープウェル ジャンクション、フォックス ラン2

(72)発明者 フランク・ロバート・リプシュ

アメリカ合衆国 ニューヨーク、ホワイト プレイン、デービス アベニュー100

審査官 福村 拓

(56)参考文献 特表2002-514320(JP,A)
特開2001-083924(JP,A)
国際公開第02/075709(WO,A1)
特開2004-280059(JP,A)
特開2003-271095(JP,A)
特開2003-255897(JP,A)
米国特許出願公開第2003/0095087(US,A1)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0

G 0 9 G 3 / 2 0