



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

236 302

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 26 05 83
(21) PV 3765-83

(51) Int. Cl.³

H 03 K 13/24

(40) Zveřejněno 15 02 84
(45) Vydáno 01 01 88

(75)

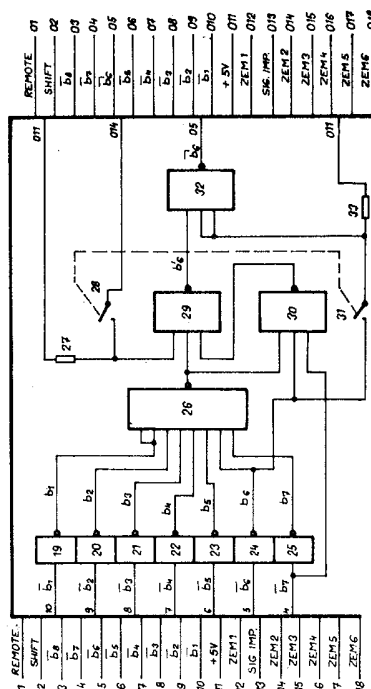
Autor vynálezu

KAŠKA ZDENĚK ing., BRNO

(54)

Zapojení pro transformaci kódu alfanumerické
klávesnice

Cílem vynálezu je umožnit použití alfanumerického displeje SM 7202 a jeho klávesnice pro zařízení, která nemají malé znaky abecedy, a sice jednoduchým zapojením, jež při stálém zapojení lze vyřadit z provozu pouhým přepnutím spínačů. Uvedeného cíle se dosáhne zapojením s logickými obvody, kde displej SM 7202 provádí kódové kombinace malých znaků na kódové kombinace velkých znaků, s výjimkou kódové kombinace klávesy DEL, která je ponechána v původním stavu. Přitom nezáleží na právě nastaveném režimu displeje pro malé či velké znaky. Takto upravený displej SM 7202 lze použít pro efektivní využití vývojového pracoviště INTELLEG MDS 800 jak při tvorbě složitých programů, tak i při ožiování nově vyvíjených zařízení pomocí emulátoru ICE 80.



Vynález se týká zapojení pro transformaci kódu alfanumerické klávesnice pracující v kódu KOI-7.

Vývojové pracoviště INTELLEC MDS 800 a jeho operační systém přijímá a vysílá pouze znaky velké abecedy v kódu ASCII. Pokud není tomuto pracovišti k dispozici příslušný alfanumerický displej, pak použití alfanumerického displeje SM 7202 s klávesnicí pracující v kódu KOI-7 činí určité potíže, neboť tento displej vysílá a přijímá znaky velké i malé abecedy v kódu KOI-7, avšak na obrazovce displeje zobrazuje pouze znaky velké abecedy. Informaci o přeřazení na velkou abecedu indikuje na pomocném panelu, což je málo výrazné a lehce se přehlédne. Použití displeje SM 7202 dále ztěžuje klávesa DEL, která provádí vymazávání znaků, jež je často používána a zařazena do souboru malých znaků. Obsluha je tak zatížena neefektivním přeřazováním displeje do režimu velké a malé abecedy, přičemž se neuvažuje četnost chyb a jejich důsledek na práci s vývojovým zařízením INTELLEC MDS 800.

Uvedené nedostatky odstraňuje zapojení pro transformaci kódu alfanumerické klávesnice pracující v kódu KOI-7 podle vynálezu, jehož podstatou je, že vstupní svorka signálu REMOTE je připojena na výstupní svorku signálu REMOTE, vstupní svorka signálu SHIFT je připojena na výstupní svorku signálu SHIFT, vstupní svorka signálu $\bar{b}8$ je připojena na výstupní svorku signálu $\bar{b}8$, vstupní svorka signálu $\bar{b}7$ je připojena na výstupní svorku signálu $\bar{b}7$, na vstup sedmého invertoru a na třetí vstup druhého třívstupového obvodu typu negace logického součinu, vstupní svorka signálu $\bar{b}6$ je připojena na vstup šestého invertoru, vstupní svorka signálu $\bar{b}5$ je připojena na výstupní svorku signálu $\bar{b}5$ a na vstup pátého invertoru, vstupní svorka signálu $\bar{b}4$ je připojena na výstupní svorku signálu $\bar{b}4$ a na vstup čtvrtého invertoru, vstupní svorka signálu $\bar{b}3$ je připojena na výstupní svorku signálu $\bar{b}3$ a na vstup třetího invertoru, vstupní svorka signálu $\bar{b}2$ je

připojena na výstupní svorku signálu $\bar{b}2$ a na vstup druhého invertoru, vstupní svorka signálu $\bar{b}1$ je připojena na výstupní svorku signálu $\bar{b}1$ a na vstup prvního invertoru, vstupní svorka kladného napětí je připojena na výstupní svorku kladného napětí, vstupní svorka pro ZEM1 je připojena na výstupní svorku pro ZEM1, vstupní svorka signálu SIG.IMP je připojena na výstupní svorku signálu SIG.IMP, vstupní svorka pro ZEM2 je připojena na výstupní svorku pro ZEM2, případně dále vstupní svorky pro ZEM3 až ZEM6 jsou připojeny na výstupní svorky pro ZEM3 až ZEM6, výstup prvního invertoru je připojen na první a druhý vstup osmivstupového obvodu typu negace logického součinu, výstup druhého invertoru je připojen na třetí vstup osmivstupového obvodu typu negace logického součinu, výstup třetího invertoru je připojen na čtvrtý vstup osmivstupového obvodu typu negace logického součinu, výstup čtvrtého invertoru je připojen na pátý vstup osmivstupového obvodu typu negace logického součinu, výstup pátého invertoru je připojen na šestý vstup osmivstupového obvodu typu negace logického součinu, výstup šestého invertoru je připojen na sedmý vstup osmivstupového obvodu typu negace logického součinu, na druhý vstup druhého třívstupového obvodu typu negace logického součinu a přes zapínací prvek jednak na druhý a třetí vstup třetího třívstupového obvodu typu negace logického součinu, jednak přes druhý odpor na výstupní svorku kladného napětí, výstup sedmého invertoru je připojen na osmý vstup osmivstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup prvního třívstupového obvodu typu negace logického součinu a na první vstup druhého třívstupového obvodu typu negace logického součinu, výstup druhého třívstupového obvodu typu negace logického součinu je připojen na třetí vstup prvního třívstupového obvodu typu negace logického součinu, jehož první vstup je připojen jednak přes první odpor na výstupní svorku kladného napětí, jednak přes další zapínací prvek na výstupní svorku pro ZEM2, výstup prvního třívstupového obvodu typu negace logického součinu je připojen na první vstup třetího třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na výstupní svorku signálu $\bar{b}6$.

Výhodou zapojení pro transformaci kódu alfanumerické klávesnice pracující v kódu KOI-7 podle vynálezu je, že displej SM 7202 generuje pouze znaky velké abecedy v kódu ASCII a správný kód klávesy DEL, přičemž kódy čísel a ostatních znaků odpovídají kódu ASCII bez ohledu na nastavení režimu displeje, to je re-

žimu malé nebo velké abecedy. Zapojení je jednoduché, umožňuje efektivně využívat vývojového pracoviště při tvorbě složitých programů a při ožiování nově vyvíjených zařízení používat emulátoru ICE 80, čímž vznikají časové úspory a má za následek snížení chyb při obsluze. Jednoduchým přepnutím spínačů lze zapojení vyřadit z činnosti, použije-li se displeje příslušného vývojového pracovišti MDS 800, aniž by se muselo z něho vyjímát.

Příklad zapojení pro transformaci kódu alfanumerické klávesnice pracující v kódu KOI-7 podle vynálezu je znázorněn na připojeném výkrese schématicky.

Vstupní svorka 1 signálu REMOTE je připojena na výstupní svorku 01 signálu REMOTE. Vstupní svorka 2 signálu SHIFT je připojena na výstupní svorku 02 signálu SHIFT. Vstupní svorka 3 signálu $\bar{b}8$ je připojena na výstupní svorku 03 signálu $\bar{b}8$. Vstupní svorka 4 signálu $\bar{b}7$ je připojena na výstupní svorku 04 signálu $\bar{b}7$, na vstup sedmého invertoru 25 a na třetí vstup druhého třívstupového obvodu 30 typu negace logického součinu. Vstupní svorka 5 signálu $\bar{b}6$ je připojena na vstup šestého invertoru 24. Vstupní svorka 6 signálu $\bar{b}5$ je připojena na výstupní svorku 06 signálu $\bar{b}5$ a na vstup pátého invertoru 23. Vstupní svorka 7 signálu $\bar{b}4$ je připojena na výstupní svorku 07 signálu $\bar{b}4$ a na vstup čtvrtého invertoru 22. Vstupní svorka 8 signálu $\bar{b}3$ je připojena na výstupní svorku 08 signálu $\bar{b}3$ a na vstup třetího invertoru 21. Vstupní svorka 9 signálu $\bar{b}2$ je připojena na výstupní svorku 09 signálu $\bar{b}2$ a na vstup druhého invertoru 20. Vstupní svorka 10 signálu $\bar{b}1$ je připojena na výstupní svorku 010 signálu $\bar{b}1$ a na vstup prvního invertoru 19. Vstupní svorka 11 kladného napětí +5V je připojena na výstupní svorku 011 kladného napětí +5V. Vstupní svorka 12 pro ZEM1 je připojena na výstupní svorku 012 pro ZEM1. Vstupní svorka 13 signálu SIG.IMP je připojena na výstupní svorku 013 signálu SIG.IMP. Vstupní svorka 14 pro ZEM2 je připojena na výstupní svorku 014 pro ZEM2. Vstupní svorka 15 pro ZEM3 je připojena na výstupní svorku 015 pro ZEM3. Vstupní svorka pro ZEM4 je připojena na výstupní svorku 016 pro ZEM4. Vstupní svorka 17 pro ZEM5 je připojena na výstupní svorku 017 pro ZEM5. Vstupní svorka 18 pro ZEM6 je připojena na výstupní svorku 018 pro ZEM6. Výstup prvního invertoru 19 pro signál $\bar{b}1$ je připojen na první a druhý vstup osmivstupového obvodu 26 typu negace logického součinu. Výstup druhého invertoru 20 pro signál $\bar{b}2$ je připojen na třetí vstup osmivstupového obvodu 26

typu negace logického součinu. Výstup třetího invertoru 21 pro signál b3 je připojen na čtvrtý vstup osmivstupového obvodu 26 typu negace logického součinu. Výstup čtvrtého invertoru 22 pro signál b4 je připojen na pátý vstup osmivstupového obvodu 26 typu negace logického součinu. Výstup pátého invertoru 23 pro signál b5 je připojen na šestý vstup osmivstupového obvodu 26 typu negace logického součinu. Výstup šestého invertoru 24 pro signál b6 je připojen na sedmý vstup osmivstupového obvodu 26 typu negace logického součinu, na druhý vstup druhého třívstupového obvodu 30 typu negace logického součinu a přes zapínací kontakt druhého spínače 31, jednak na druhý a třetí vstup třetího třívstupového obvodu 32 typu negace logického součinu, jednak přes druhý odpor 33 na výstupní svorku 011 kladného napětí +5V. Výstup sedmého invertoru 25 pro signál b7 je připojen na osmý vstup osmivstupového obvodu 26 typu negace logického součinu, jehož výstup je připojen na druhý vstup prvního třívstupového obvodu 29 typu negace logického součinu a na první vstup druhého třívstupového obvodu 30 typu negace logického součinu. Výstup druhého třívstupového obvodu 30 typu negace logického součinu je připojen na třetí vstup prvního třívstupového obvodu 29 typu negace logického součinu, jehož první vstup je připojen jednak přes první odpor 27 na výstupní svorku 011 kladného napětí +5V, jednak přes zapínací kontakt prvního spínače 28 na výstupní svorku 014 pro ZEM2, přičemž oba spínače 28, 31 jsou navzájem spřaženy. Výstup prvního třívstupového obvodu 29 typu negace logického součinu pro signál b'6 je připojen na první vstup třetího třívstupového obvodu 32 typu negace logického součinu, jehož výstup pro signál b'6 je připojen na výstupní svorku 05 signálu b'6.

Zapojení je uspořádáno na desce s plošnými spoji. Vstupní svorky 1 až 18 jsou uspořádány na vstupním konektoru, který se připojuje k výstupnímu konektoru klávesnice. Výstupní svorky 01 až 018 jsou uspořádány na výstupním konektoru, který se připojuje ke vstupnímu konektoru elektroniky displeje. Spřažení obou spínačů 28, 31 není nutné.

Výstup z alfanumerické klávesnice displeje SM 7202 je paralelní, osmibitový. Nejnižší bit je označen funkcí b1 a nejvyšší funkcí b8. Funkce b1 až b8 jsou významově shodně číslovány s abecední tabulkou Mezinárodní referenční verze. Funkce b8 je sudá parita k příslušné kódové kombinaci. Vlastní transformace se aplikuje pouze na funkci b6, která po transformaci je označena

jako funkce $\bar{b}'6$. Pro transformovanou funkci $\bar{b}'6$ platí, že bude-li funkce $\bar{b}7$ na logické úrovni nula, přejde funkce $\bar{b}'6$ na logickou úroveň jedna. Přejde-li funkce $\bar{b}7$ na logickou úroveň jedna, bude pro funkci $\bar{b}'6$ platit, že $\bar{b}'6 = \bar{b}6$. Pro kódovou kombinaci klávesy DEL platí, že se nesmí změnit a funkce $\bar{b}'6 = \bar{b}6$. Je-li na klávesnici displeje SM 7202 vystaven některý znak malé abecedy, na příklad znak malé a, jehož kódová kombinace na výstupu z klávesnice má tvar v pořadí funkcí $\bar{b}7$ až $\bar{b}1 = 0011110$, uplatní se transformace funkce $\bar{b}6$ následovně. V uvedené kombinaci je vidět, že funkce $\bar{b}7$ je na logické úrovni nula. To způsobí, že výstup druhého třívstupového obvodu 30 typu negace logického součinu přejde na logickou úroveň jedna nezávisle na logických úrovních zbývajících dvou vstupů druhého třívstupového obvodu 30 typu negace logického součinu. Na vstupy prvního třívstupového obvodu 29 typu negace logického součinu přicházejí logické úrovně jedna z výstupu druhého třívstupového obvodu 30 typu negace logického součinu, z osmivstupového obvodu 26 typu negace logického součinu a rovněž od rozpojeného prvního spínače 28. Výstup prvního třívstupového obvodu 29 typu negace logického součinu, který je na logické úrovni nula, je připojen na vstup třetího třívstupového obvodu 32 typu negace logického součinu, jehož další vstupy jsou rovněž na logické úrovni jedna od druhého spínače 31. Výstup třetího třívstupového obvodu 32 typu negace logického obvodu jako funkce $\bar{b}'6$ bude tedy na logické úrovni jedna. Výsledná výstupní kódová kombinace $\bar{b}1$ až $\bar{b}7$, jejíž funkce $\bar{b}'6 = 1$, odpovídá znaku velkého A. Pro kódovou kombinaci klávesy DEL na výstupu z klávesnice platí, že funkce $\bar{b}1$ až $\bar{b}7$ jsou všechny na logické úrovni nula. Po inverzi funkcí $\bar{b}1$ až $\bar{b}7$ invertory 19 až 25 se na všechny vstupy osmivstupového obvodu 26 typu negace logického součinu přivedou logické úrovně jedna. Výstup osmivstupového obvodu 26 typu negace logického součinu přejde na logickou úroveň nula, která nezávisle na logických úrovních zbývajících vstupů prvního třívstupového obvodu 29 typu negace logického součinu přejde na logickou úroveň jedna prostřednictvím výstupu prvního třívstupového obvodu 29 typu negace logického součinu. Výstup třetího třívstupového obvodu 32 typu negace logického součinu jako funkce $\bar{b}'6$ přejde na logickou úroveň nula, neboť všechny vstupy třetího třívstupového obvodu 32 typu negace logického součinu jsou na logické úrovni jedna. Je vidět, že nenastala změna výstupní funkce $\bar{b}'6$ oproti vstupní funkci $\bar{b}6$. Kódová kombinace klávesy DEL se tedy přenesl v původním stavu.

Pro kódové kombinace znaků velké abecedy bude funkce $\bar{b}7$ vždy rovna logické úrovni jedna. Na třetí vstup druhého třívstupového obvodu 30 typu negace logického součinu bude přicházet jednak logická úroveň jedna od funkce $\bar{b}7$, dále z výstupu osmivstupového obvodu 26 typu negace logického součinu, pokud nebude vystaven znak DEL a na druhý vstup druhého třívstupového obvodu 30 typu negace logického součinu se přivádí inverze funkce $\bar{b}6$. Ta se překopíruje přes první třívstupový obvod 29 typu negace logického součinu a třetí třívstupový obvod 32 typu negace logického součinu jako funkce $\bar{b}'6$ se stejnou logickou úrovní, jaká přichází z výstupu klávesnice. To znamená, že kódové kombinace velkých znaků zůstanou zachovány v původním stavu. Přepnutím obou spínačů 28, 31 se vyřadí transformace kódových kombinací z činnosti a provede uvedení displeje SM 7202 do původního stavu.

Vynálezu lze použít k připojení displeje SM 7202 s alfanumerickou klávesnicí k vývojovému pracovišti INTELLEC MDS 800.

P Ř E D M Ě T V Y N Á L E Z U

236 302

Zapojení pro transformaci kódu alfanumerické klávesnice

s logickými obvody, vyznačené tím, že vstupní svorka (1) signálu REMOTE je připojena na výstupní svorku (01) signálu REMOTE, vstupní svorka (2) signálu SHIFT je připojena na výstupní svorku (02) signálu SHIFT, vstupní svorka (3) signálu $\bar{b}8$ je připojena na výstupní svorku (03) signálu $\bar{b}8$, vstupní svorka (4) signálu $\bar{b}7$ je připojena na výstupní svorku (04) signálu $\bar{b}7$, na vstup sedmého invertoru (25) a na třetí vstup druhého třívstupového obvodu (30) typu negace logického součinu, vstupní svorka (5) signálu $\bar{b}6$ je připojena na vstup šestého invertoru (24), vstupní svorka (6) signálu $\bar{b}5$ je připojena na výstupní svorku (06) signálu $\bar{b}5$ a na vstup pátého invertoru (23), vstupní svorka (7) signálu $\bar{b}4$ je připojena na výstupní svorku (07) signálu $\bar{b}4$ a na vstup čtvrtého invertoru (22), vstupní svorka (8) signálu $\bar{b}3$ je připojena na výstupní svorku (08) signálu $\bar{b}3$ a na vstup třetího invertoru (21), vstupní svorka (9) signálu $\bar{b}2$ je připojena na výstupní svorku (09) signálu $\bar{b}2$ a na vstup druhého invertoru (20), vstupní svorka (10) signálu $\bar{b}1$ je připojena na výstupní svorku (010) signálu $\bar{b}1$ a na vstup prvního invertoru (19), vstupní svorka (11) kladného napětí je připojena na výstupní svorku (011) kladného napětí, vstupní svorka (12) pro ZEM1 je připojena na výstupní svorku (012) pro ZEM1, vstupní svorka (13) signálu SIG.IMP je připojena na výstupní svorku (013) signálu SIG.IMP, vstupní svorka (14) pro ZEM2 je připojena na výstupní svorku (014) pro ZEM2, případně dále vstupní svorky (15 až 18) pro ZEM3 až ZEM6 jsou připojeny na výstupní svorky (015 až 018) pro ZEM3 až ZEM6, výstup prvního invertoru (19) je připojen na první a druhý vstup osmivstupového obvodu (26) typu negace logického součinu, výstup druhého invertoru (20) je připojen na třetí vstup osmivstupového obvodu (26) typu negace logického součinu, výstup třetího invertoru (21) je připojen na čtvrtý vstup osmivstupového obvodu (26) typu negace logického součinu, výstup čtvrtého invertoru (22) je připojen na pátý vstup osmivstupového obvodu (26) typu negace logického součinu, výstup pátého invertoru (23) je připojen na šestý vstup osmivstupového obvodu (26) typu negace logického součinu, výstup šestého invertoru (24) je připojen na sedmý vstup osmivstupového obvodu (26) typu negace logického součinu, na druhý vstup druhého třívstupového obvodu (30) typu negace lo-

gického součinu a přes zapínací prvek jednak na druhý a třetí vstup třetího třívstupového obvodu (32) typu negace logického součinu, jednak přes druhý odpor (33) na výstupní svorku (011) kladného napětí, výstup sedmého invertoru (25) je připojen na osmý vstup osmivstupového obvodu (26) typu negace logického součinu, jehož výstup je připojen na druhý vstup prvního třívstupového obvodu (29) typu negace logického součinu a na první vstup druhého třívstupového obvodu (30) typu negace logického součinu, výstup druhého třívstupového obvodu (30) typu negace logického součinu je připojen na třetí vstup prvního třívstupového obvodu (29) typu negace logického součinu, jehož první vstup je připojen jednak přes první odpor (27) na výstupní svorku (011) kladného napětí, jednak přes další zapínací prvek na výstupní svorku (014) pro ZEM2, výstup prvního třívstupového obvodu (29) typu negace logického součinu je připojen na první vstup třetího třívstupového obvodu (32) typu negace logického součinu, jehož výstup je připojen na výstupní svorku (05) signálu $\bar{b}'6$.

1 výkres

