(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0002473
(43) 공개일자 2025년01월07일

(51) 국제특허분류(Int. Cl.)
H01G 4/232 (2006.01) *H01G 4/012* (2006.01)
H01G 4/12 (2006.01) *H01G 4/30* (2006.01)
(52) CPC특허분류
H01G 4/2325 (2013.01)
H01G 4/012 (2013.01)
(21) 출원번호 10-2024-7037675
(22) 출원일자(국제) 2023년04월13일
심사청구일자 2024년11월12일
(85) 번역문제출일자 2024년11월12일
(86) 국제출원번호 PCT/JP2023/015061
(87) 국제공개번호 WO 2023/233837
국제공개일자 2023년12월07일
(30) 우선권주장
JP-P-2022-090246 2022년06월02일 일본(JP)

(71) 출원인
가부시키가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
(72) 발명자
니시바야시 카즈히로
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시키가이샤 무라타 세이사쿠쇼 내
(74) 대리인
윤앤리특허법인(유한)

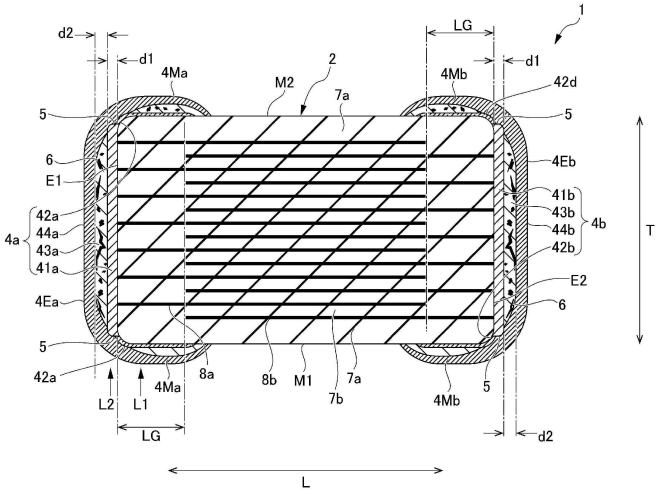
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 **적층 세라믹 콘덴서**

(57) 요 약

외부전극에 크랙이 발생하는 것을 억제하는 것이 가능하며 내습 신뢰성이 향상된 적층 세라믹 콘덴서를 제공하는 것이다. 적층 세라믹 콘덴서(1)는 외부전극이 제1 단면(E1) 및 제2 단면(E2) 상에, 상기 제1 단면(E1)으로 인출된 내부전극 및 상기 제2 단면(E2)으로 인출된 내부전극을 덮도록 배치된 금속층(41a, 41b)과, 제1 단면(E1) 및 제2 단면(E2) 상으로서, 금속층(41a, 41b)에 인접하여 상기 금속층(41a, 41b)의 주위에 배치된 유리막(42a, 42b)과, 유리 및 금속을 포함하고, 금속층(41a, 41b)을 덮도록 배치된 베이킹층(43a, 43b)과, 베이킹층(43a, 43b)을 덮도록 배치된 도금막(44a, 44b)을 포함하며, 금속층(41a, 41b)의 두께는 0.1㎛ 이상 15.0㎛ 이하이고, 베이킹층(43a, 43b)의 두께는 0.1㎛ 이상 1.0㎛ 이하이다.

대 표 도



(52) CPC특허분류
H01G 4/1227 (2013.01)
H01G 4/30 (2013.01)
Y02E 60/13 (2020.08)

명 세 서

청구범위

청구항 1

유전체층과 내부전극이 교대로 복수개 적층된 적층체와,

상기 적층체의 표면에 마련되고, 상기 적층체의 표면으로 인출된 상기 내부전극과 전기적으로 도통(導通)된 한 쌍의 외부전극을 포함하며,

상기 적층체는,

상기 유전체층과 상기 내부전극의 적층 방향인 두께 방향으로 마주보는 제1 주면(主面) 및 제2 주면과,

상기 한 쌍의 외부전극이 대향하는 방향인 길이 방향으로 마주보고, 상기 외부전극이 마련되는 제1 단면(端面) 및 제2 단면과,

상기 두께 방향 및 상기 길이 방향에 직교하는 폭 방향으로 마주보는 제1 측면 및 제2 측면을 가지며,

상기 외부전극은,

상기 제1 단면 및 상기 제2 단면 상에, 상기 제1 단면으로 인출된 상기 내부전극 및 상기 제2 단면으로 인출된 상기 내부전극을 덮도록 배치된 금속층과,

상기 제1 단면 및 상기 제2 단면 상으로서, 상기 금속층에 인접하여 상기 금속층의 주위에 배치된 유리막과,

유리 및 금속을 포함하고, 상기 금속층을 덮도록 배치된 베이킹층과,

상기 베이킹층을 덮도록 배치된 도금막을 포함하고,

상기 금속층의 두께는 0.1㎛ 이상 15.0㎛ 이하이며,

상기 베이킹층의 두께는 0.1㎛ 이상 1.0㎛ 이하인 것을 특징으로 하는, 적층 세라믹 콘덴서.

청구항 2

제1항에 있어서,

상기 베이킹층은 공극을 가지며,

상기 공극 내의 적어도 일부에는 도금재가 존재하는 것을 특징으로 하는, 적층 세라믹 콘덴서.

청구항 3

제1항 또는 제2항에 있어서,

상기 베이킹층의, 상기 도금막 측의 표면에서 금속으로 이루어지는 부분의 면적은 유리로 이루어지는 부분의 면적의 10배보다도 큰, 적층 세라믹 콘덴서.

청구항 4

제1항 또는 제2항에 있어서,

상기 금속층의 주위에는 상기 금속층의 단부(端部)에 접하는 유리막이 배치되는, 적층 세라믹 콘덴서.

발명의 설명

기 술 분 야

[0001] 본 발명은 적층 세라믹 콘덴서에 관한 것이다.

배 경 기 술

[0002] 유전체층과 내부전극이 교대로 적층된 적층체와, 내부전극과 도통(導通)하고 적층체의 표면에 마련된 외부전극을 포함하는 적층 세라믹 콘덴서가 알려져 있다.

[0003] 특허문헌 1에는 적층 세라믹 콘덴서에 외부전극을 형성하는 방법이 기재되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개특허공보 특개2007-266208호

발명의 내용

해결하려는 과제

[0005] 외부전극을 포함한 적층 세라믹 콘덴서에는 내습 신뢰성이 불충분하다는 문제가 있다. 내습 신뢰성이 불충분한 요인 중 하나로 외부전극에 크랙이 발생하는 것이 있다.

[0006] 본 발명은 외부전극에 크랙이 발생하는 것을 억제하는 것이 가능하며 내습 신뢰성이 향상된 적층 세라믹 콘덴서를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 적층 세라믹 콘덴서는,

[0008] 유전체층과 내부전극이 교대로 복수개 적층된 적층체와,

[0009] 상기 적층체의 표면에 마련되고, 상기 적층체의 표면으로 인출된 상기 내부전극과 전기적으로 도통된 한 쌍의 외부전극을 포함하며,

[0010] 상기 적층체는,

[0011] 상기 유전체층과 상기 내부전극의 적층 방향인 두께 방향으로 마주보는 제1 주면(主面) 및 제2 주면과,

[0012] 상기 한 쌍의 외부전극이 대향하는 방향인 길이 방향으로 마주보고, 상기 외부전극이 마련되어 있는 제1 단면(端面) 및 제2 단면과,

[0013] 상기 두께 방향 및 상기 길이 방향에 직교하는 폭 방향으로 마주보는 제1 측면 및 제2 측면을 가지며,

[0014] 상기 외부전극은,

[0015] 상기 제1 단면 및 상기 제2 단면 상에, 상기 제1 단면으로 인출된 상기 내부전극 및 상기 제2 단면으로 인출된 상기 내부전극을 덮도록 배치된 금속층과,

[0016] 상기 제1 단면 및 상기 제2 단면 상으로서, 상기 금속층에 인접하여 상기 금속층의 주위에 배치된 유리막과,

[0017] 유리 및 금속을 포함하고, 상기 금속층을 덮도록 배치된 베이킹층과,

[0018] 상기 베이킹층을 덮도록 배치된 도금막을 포함하고,

[0019] 상기 금속층의 두께는 0.1㎛ 이상 15.0㎛ 이하이며,

[0020] 상기 베이킹층의 두께는 0.1㎛ 이상 1.0㎛ 이하이다.

발명의 효과

[0021] 본 발명에 따르면 외부전극에 크랙이 발생하는 것을 억제하는 것이 가능하며 내습 신뢰성이 향상된 적층 세라믹 콘덴서를 제공할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 적층 세라믹 콘덴서의 사시도이다.

도 2는 도 1의 I-I선 단면도이다.

도 3은 도 1의 III-III선 단면도이다.

도 4는 도 1의 IV-IV선 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 실시형태의 일례에 대해 설명한다. 한편, 각 도면에서 동일 또는 상당한 부분에 대해서는 동일한 부호를 부여하는 것으로 한다.

[0024] <적층 세라믹 콘덴서의 외형>

[0025] 도 1에 기초하여 적층 세라믹 콘덴서(1)의 외관 개요를 설명한다. 도 1은 본 실시형태의 적층 세라믹 콘덴서(1)를 나타내는 사시도이다.

[0026] 적층 세라믹 콘덴서(1)는 도 1에 나타내는 바와 같이, 적층체(2) 및 외부전극(4(4a, 4b))을 포함한다. 외부전극(4)은 제1 외부전극(4a) 및 제2 외부전극(4b)을 포함한다.

[0027] <방향의 정의>

[0028] 도 1에서 도 4에는 L 방향, W 방향 및 T 방향이 나타나 있다. L 방향은 적층 세라믹 콘덴서(1)의 길이 방향(L)이다. W 방향은 적층 세라믹 콘덴서(1)의 폭 방향(W)이다. T 방향은 적층 세라믹 콘덴서(1)의 적층 방향, 즉, 두께 방향(T)이다.

[0029] 이로써, 도 2에 나타내는 절단면은 LT 절단면이라고 한다. 도 3 및 도 4에 나타내는 절단면은 WT 절단면이라고 한다.

[0030] 길이 방향(L), 폭 방향(W) 및 두께 방향(T)은 반드시 서로 직교하는 관계가 아니어도 된다. 길이 방향(L), 폭 방향(W) 및 두께 방향(T)은 서로 교차하는 관계이어도 된다.

[0031] <적층체의 외형>

[0032] 도 1에 나타내는 바와 같이, 적층체(2)의 형상은 대략 직방체 형상이다.

[0033] 적층체는 2개의 단면, 2개의 주면 및 2개의 측면을 가진다.

[0034] 단면은 길이 방향(L)으로 대향하는 면이다. 주면은 두께 방향(T)으로 대향하는 면이다. 측면은 폭 방향(W)으로 대향하는 면이다.

[0035] 2개의 단면을 제1 단면(E1) 및 제2 단면(E2)으로 한다. 2개의 주면을 제1 주면(M1) 및 제2 주면(M2)으로 한다. 2개의 측면을 제1 측면(S1) 및 제2 측면(S2)으로 한다.

[0036] 적층체(2)의 모서리부 및 능선부에는 라운드형으로 되어 있는 것이 바람직하다. 모서리부란, 적층체(2)의 3면이 교차하는 부분이다. 능선부란, 적층체(2)의 2면이 교차하는 부분이다.

[0037] <적층체의 크기>

[0038] 적층체(2)의 크기는 예를 들어 이하와 같이 할 수 있다.

[0039] 적층체(2)의 길이 방향(L)의 길이는 200㎛ 이상 2000㎛ 이하로 할 수 있다. 적층체(2)의 두께 방향의 길이는 100㎛ 이상 1000㎛ 이하로 할 수 있다. 적층체(2)의 폭 방향(W)의 길이는 100㎛ 이상 1000㎛ 이하로 할 수 있다.

[0040] 적층체(2)의 각 부분의 길이는 마이크로미터 또는 광학 현미경으로 측정할 수 있다.

[0041] <적층체의 내부 구조>

[0042] 도 2 및 도 3에 기초하여 적층체(2)의 내부 구조에 대해 설명한다.

[0043] 도 2는 도 1에 나타내는 적층 세라믹 콘덴서의 I-I선 단면도이다. 도 3은 도 1에 나타내는 적층 세라믹 콘덴서의 III-III선 단면도이다.

[0044] 적층체(2)는 도 2에 나타내는 바와 같이, 복수개의 유전체층(7(7a, 7b)) 및 복수개의 내부전극(8(8a, 8b))을 가

진다. 복수개의 유전체층(7) 및 복수개의 내부전극(8)은 서로 두께 방향(T)으로 적층되어 있다.

[0045] <유전체층>

[0046] 유전체층(7)은 도 2에 나타내는 바와 같이, 외층 유전체층(7a) 및 내층 유전체층(7b)을 포함한다.

[0047] <외층 유전체층>

[0048] 외층 유전체층(7a)은 유전체층(7) 중 적층체(2)의 제1 주면(M1) 측 및 제2 주면(M2) 측에 위치하는 유전체층(7)이다. 즉, 외층 유전체층(7a)은 적층체(2)의 두께 방향(T)의 양 외측에 위치하는 유전체층(7)이다.

[0049] 구체적으로는, 외층 유전체층(7a)은 제1 주면(M1)과, 제1 주면(M1)에 가장 가까운 내부전극(8) 사이, 및 제2 주면(M2)과 제2 주면(M2)에 가장 가까운 내부전극(8) 사이에 위치하는 유전체층(7)이다.

[0050] <내층 유전체층>

[0051] 내층 유전체층(7b)은 내부전극(8) 사이에 위치하는 유전체층(7)이다.

[0052] 구체적으로는, 내층 유전체층(7b)은 이하에 설명하는 제1 내부전극(8a)과 제2 내부전극(8b) 사이에 위치하는 유전체층(7)이다.

[0053] <내부전극>

[0054] 내부전극(8)은 도 2에 나타내는 바와 같이, 제1 내부전극(8a) 및 제2 내부전극(8b)을 포함한다. 제1 내부전극(8a)은 제1 외부전극(4a)에 접속된 내부전극이다. 제2 내부전극(8b)은 제2 외부전극(4b)에 접속된 내부전극이다.

[0055] 제1 내부전극(8a)은 제1 단면(E1)에서 제2 단면(E2)을 향하여 연장된다. 제2 내부전극(8b)은 제2 단면(E2)에서 제1 단면(E1)을 향하여 연장된다.

[0056] <대향부와 인출부>

[0057] 제1 내부전극(8a) 및 제2 내부전극(8b)은 각각 대향부 및 인출부를 가진다.

[0058] 대향부는 제1 내부전극(8a)과 제2 내부전극(8b)이 대향하는 부분이다.

[0059] 인출부는 대향부에서 적층체(2)의 단면(E1, E2)까지 인출된 부분이다. 구체적으로는, 제1 내부전극(8a)의 인출부는 대향부에서 적층체(2)의 제1 단면(E1)까지 인출된 부분이다. 제2 내부전극(8b)의 인출부는 대향부에서 적층체(2)의 제2 단면(E2)까지 인출된 부분이다.

[0060] 제1 내부전극(8a)의 대향부와 제2 내부전극(8b)의 대향부가 내층 유전체층(7b)을 사이에 두고 대향함으로써 대향부에 용량이 형성된다. 이로써, 적층 세라믹 콘덴서(1)는 콘덴서로서 기능한다.

[0061] <길이 방향 갭>

[0062] 제1 내부전극(8a)의 제2 단면(E2) 측의 선단에서 제2 단면(E2)까지의 영역을 도 2에 나타내는 바와 같이, 길이 방향 갭(LG)으로 한다. 또한, 제2 내부전극(8b)의 제1 단면(E1) 측의 선단에서 제1 단면(E1)까지의 영역을 동일하게 길이 방향 갭(LG)으로 한다.

[0063] 길이 방향 갭(LG)의 길이 방향(L)의 길이는 예를 들어 5㎛ 이상 30㎛ 이하로 할 수 있다.

[0064] <폭 방향 갭>

[0065] 내부전극(8)의 폭 방향(W)의 단부(端部)에서 제1 측면(S1)까지의 영역을 도 3에 나타내는 바와 같이, 폭 방향 갭(WG)으로 한다. 또한, 내부전극(8)의 폭 방향(W)의 단부에서 제2 측면(S2)까지의 영역을 동일하게 폭 방향 갭(WG)으로 한다.

[0066] 폭 방향 갭(WG)의 폭 방향(W)의 길이는 예를 들어 5㎛ 이상 30㎛ 이하로 할 수 있다.

[0067] <유전체층의 매수>

[0068] 적층체(2)에 적층하는 유전체층(7)의 매수는 예를 들어 10매 이상 1000매 이하로 할 수 있다. 이 유전체층(7)의 매수는 외층 유전체층(7a)의 매수 및 내층 유전체층(7b)의 매수를 포함하는 매수이다.

[0069] <유전체층의 두께>

[0070] 유전체층(7) 중 외층 유전체층(7a)의 두께는 예를 들어 10㎛ 이상 100㎛ 이하로 할 수 있다. 내층 유전체층(7b)의 두께는 예를 들어 0.3㎛ 이상 5.0㎛ 이하로 할 수 있다.

[0071] <유전체층의 재료>

[0072] 유전체층(7)의 재료는 예를 들어 $BaTiO_3$, $CaTiO_3$, $SrTiO_3$ 또는 $CaZrO_3$ 등을 포함하는 유전체 세라믹으로 할 수 있다.

[0073] 유전체층(7)의 재료는 전술한 유전체 세라믹, Mn 화합물, Fe 화합물, Cr 화합물, Co 화합물, Ni 화합물 등을 첨가한 것이어도 된다.

[0074] <내부전극의 매수>

[0075] 내부전극(8)의 매수는 예를 들어 10매 이상 1000매 이하로 할 수 있다. 이 내부전극(8)의 매수는 제1 내부전극(8a)의 매수 및 제2 내부전극(8b)의 매수를 포함하는 매수이다.

[0076] <내부전극의 두께>

[0077] 내부전극(8)의 두께는 예를 들어 0.3㎛ 이상 5.0㎛ 이하로 할 수 있다. 내부전극(8)의 두께가 0.5㎛ 이상인 경우에는, 금속층을 도금에 의해 형성할 때에 도금막이 성장하기 쉬워진다. 금속층에 대해서는 나중에 설명한다.

[0078] <내부전극의 재료>

[0079] 내부전극(8)의 재료는 예를 들어 Ni, Cu, Ag, Pd 및 Au 등의 금속이나, Ni와 Cu의 합금이나 Ag와 Pd의 합금 등으로 할 수 있다. 내부전극(8)의 재료는 그것에 추가하여 유전체층(7)에 포함되는 세라믹과 동일 조성계의 유전체 입자를 포함하고 있어도 된다.

[0080] <외부전극>

[0081] 외부전극은 도 1에 기초하여 설명한 바와 같이, 제1 외부전극(4a) 및 제2 외부전극(4b)을 포함한다.

[0082] <제1 외부전극>

[0083] 제1 외부전극(4a)은 도 1에 나타내는 바와 같이, 적층체(2)의 제1 단면(E1)에 배치된 외부전극이다.

[0084] 제1 외부전극(4a)은 제1 단면(E1)에서 2개의 주면의 일부 및 2개의 측면의 일부까지 연장된다.

[0085] 제1 외부전극(4a) 중 적층체(2)의 제1 단면(E1)에 배치된 부분을 단면 외부전극(4Ea)으로 한다. 제1 외부전극(4a) 중 제1 주면(M1)의 일부 또는 제2 주면(M2)의 일부에 배치된 부분을 주면 외부전극(4Ma)으로 한다. 제1 외부전극(4a) 중 제1 측면(S1)의 일부 또는 제2 측면(S2)의 일부에 배치된 부분을 측면 외부전극(4Sa)으로 한다.

[0086] 제1 외부전극(4a)은 도 2에 나타내는 바와 같이, 제1 내부전극(8a)과 전기적으로 접속되어 있다.

[0087] <제2 외부전극>

[0088] 제2 외부전극(4b)은 적층체(2)의 제2 단면(E2)에 배치된 외부전극이다.

[0089] 제2 외부전극(4b)은 제1 외부전극(4a)과 동일한 구성을 가진다.

[0090] 즉, 제2 외부전극(4b)은 제2 단면(E2)에서 2개의 주면의 일부 및 2개의 측면의 일부까지 연장된다.

[0091] 제2 외부전극(4b) 중 적층체(2)의 제2 단면(E2)에 배치된 부분을 단면 외부전극(4Eb)으로 한다. 제2 외부전극(4b) 중 제1 주면(M1)의 일부 또는 제2 주면(M2)의 일부에 배치된 부분을 주면 외부전극(4Mb)으로 한다. 제2 외부전극(4b) 중 제1 측면(S1)의 일부 또는 제2 측면(S2)의 일부에 배치된 부분을 측면 외부전극(4Sb)으로 한다.

[0092] 제2 외부전극(4b)은 도 2에 나타내는 바와 같이, 제2 내부전극(8b)과 전기적으로 접속되어 있다.

[0093] <외부전극의 층 구성>

[0094] 외부전극(4)의 층 구성을 도 2에 기초하여 설명한다.

[0095] 제1 외부전극(4a)은 도 2에 나타내는 바와 같이, 금속층(41a), 유리막(42a), 베이킹층(43a) 및 도금막(44a)을 가진다. 제2 외부전극(4b)은 금속층(41b), 유리막(42b), 베이킹층(43b) 및 도금막(44b)을 가진다.

[0096] 제1 외부전극(4a)을 예로 하여 외부전극(4)의 각 층을 설명한다.

[0097] 한편, 제2 외부전극(4b)의 각 층은 제1 외부전극(4)의 각 층과 동일한 구성을 가진다. 그 때문에, 제1 외부전극(4a)에 대한 설명은 제2 외부전극(4b)에 대해서도 타당하다.

[0098] <금속층>

[0099] 제1 내부전극(8a)의 단부는 단면(E1)으로부터 노출되어 있다. 금속층(41a)은 노출된 제1 내부전극(8a)의 단부를 덮도록 제1 단면(E1)에 마련된 금속의 층이다.

[0100] 금속층(41a)은 예를 들어 Cu, Ni, Ag, Pd 및 Au 등에서 선택되는 적어도 하나의 금속을 포함하는 재료로 형성된다. 금속층(41a)은 예를 들어 Cu와 Ni의 합금이나, Ag와 Pd의 합금 등의 합금으로 형성되어도 된다.

[0101] 금속층(41a)을 형성하는 재료의 일부는 금속층(41a)이 접하는 제1 내부전극(8a) 안에 확산되어 있어도 된다. 금속층(41a)을 형성하는 재료와 제1 내부전극(8a)을 형성하는 재료가 서로 섞여 혼재함으로써, 금속층(41a)과 제1 내부전극(8a)의 접합 강도를 높일 수 있다.

[0102] 금속층(41a)은 예를 들어 도금에 의해 형성할 수 있다.

[0103] <금속층의 두께>

[0104] 도 2에 금속층(41a)의 두께를 d1로 나타낸다.

[0105] 금속층(41a)의 두께(d1)는 예를 들어 0.1㎛ 이상 15.0㎛ 이하로 할 수 있다.

[0106] 금속층(41a)의 두께(d1)가 0.1㎛ 미만인 경우에는, 금속층(41a)의 연속성이 저하되기 쉽다. 그 때문에, 금속층(41a)과 제1 내부전극(8a)의 접합 강도가 낮아지는 경우가 있다. 또한 금속층(41a)의 도전성이 저하되는 경우가 있다.

[0107] 금속층(41a)의 두께(d1)가 15.0㎛를 초과하는 경우에는, 금속층(41a) 안의 내부 응력이 증가되기 쉽다. 그 때문에, 금속층(41a)이 제1 내부전극(8a)에서 박리되는 경우가 있다.

[0108] <베이킹층>

[0109] 베이킹층(43a)은 금속층(41a)의 적어도 일부를 덮도록 배치된 층이다. 베이킹층(43a)은 유리 및 금속을 포함한다.

[0110] 베이킹층(43a)은 예를 들어 Cu, Ni, Ag, Pd, Au 등에서 선택되는 적어도 하나의 금속을 포함하는 재료로 형성된다. 베이킹층(43a)은 1층이어도 되고 복수개의 층을 포함하고 있어도 된다.

[0111] 베이킹층(43a)은 예를 들어 이하와 같이 형성할 수 있다. 즉, 우선 도전성의 페이스트를 금속층(41a) 상에 도포한다. 도전성의 페이스트는 유리 및 금속을 포함한다. 다음으로 도포된 도전성의 페이스트를 소성한다. 이로써, 베이킹층(43a)을 형성할 수 있다.

[0112] 이 소성, 바꾸어 말하면 베이킹은 적층체(2)의 소성과 동시에 실시할 수 있다. 또는 베이킹층(43a)의 소성은 적층체(2)의 소성 후에 실시할 수 있다.

[0113] 베이킹층(43a)에 대해서는 나중에 보다 상세하게 설명한다.

[0114] <유리막>

[0115] 유리막(42a)은 주로 유리로 형성된 막이다. 유리막(42a)은 금속층(41a)의 주위 등에 배치된다.

[0116] 유리막(42a)은 도 2에 나타내는 바와 같이, 금속층(41a)의 주위에 금속층(41a)과 인접하여 금속층(41a)을 둘러싸도록 배치되어 있다. 상세하게는 유리막(42a)은 금속층(41a)의 단부(5)와 접하고 있다.

[0117] 또한 유리막(42a)은 적층체(2)의 제1 단면(E1)의 일부에서 제1 주면(M1)의 일부까지 연장되어 있다. 마찬가지로 유리막(42a)은 적층체(2)의 제1 단면(E1)의 일부에서 제2 주면(M2)의 일부까지 연장되어 있다.

[0118] 또한 유리막(42a)은 도 2에는 나타나 있지 않으나 적층체(2)의 제1 단면(E1)의 일부에서 제1 측면(S1)의 일부 및 제2 측면(S2)의 일부까지 연장되어 있다.

[0119] 유리막(42a)은 베이킹층(43a)의 형성 과정에서 베이킹층(43)과 함께 형성된다. 베이킹층(43a)의 형성 과정에서 도전성의 페이스트가 제1 단면(E1)에 도포된다. 이 도전성의 페이스트에는 유리가 포함되어 있다.

[0120] 이 유리는 베이킹 과정에서 유전체층(7)이 노출되는 부분으로 이동한다. 유전체층(7)이 노출되는 부분이란, 적

층체(2)에서 금속층(41a)이 배치되어 있지 않은 부분이다. 유리는 제1 단면(E1)의 일부, 제1 주면(M1)의 일부, 제2 주면(M2)의 일부, 제1 측면(S1)의 일부 및 제2 측면(S2)의 일부로 이동한다. 이와 같이 유전체층(7)이 노출되는 부분으로 이동한 유리는 베이킹이 끝난 후에 유리막(42a)을 형성한다.

[0121] 이상과 같이 도전성의 페이스트에 포함되는 유리가, 베이킹 시에 유전체층(7)이 노출되는 부분으로 이동한다. 그 때문에, 유리막(42a)의 유리 함유율은 베이킹층(43a)의 유리 함유율보다도 높아진다.

[0122] <베이킹층의 금속과 유리의 비율>

[0123] 특히 베이킹층(43a)의 표면은 유리 함유율이 낮은 것이 바람직하다.

[0124] 나중에 설명하는 도금막(44a)의, 베이킹층(43a)의 표면에 대한 부착성이 향상되기 때문이다. 또한 베이킹층(43a)의 표면과 도금막(44a)의 밀착성이 향상되기 때문이다.

[0125] 구체적으로는 베이킹층(43a)의 도금막(44a) 측의 표면에서 금속으로 이루어지는 부분의 면적은 유리로 이루어지는 부분의 면적의 10배보다도 큰 것이 바람직하다.

[0126] 이로써, 베이킹층(43a)에 대한 도금막(44a)의 부착성을 충분히 향상시킬 수 있다. 또한 베이킹층(43a)과 도금막(44a)의 밀착성을 충분히 향상시킬 수 있다.

[0127] 유리막(42a)은 유리만으로 형성되어 있을 필요는 없다. 유리막(42a)은 유리 외에 예를 들어 금속 재료 등의 다른 재료를 포함하고 있어도 된다. 단, 유리막(42a)에 포함되는 유리의 비율은 높은 편이 바람직하다. 유리의 비율이 높은 편이 나중에 설명하는 적층체(2)의 내부 등으로의 수분의 침입을 억제하는 효과가 높기 때문이다.

[0128] 이상과 같이 유리막(42a)은 금속층(41a)의 단부(5)와 접하고, 금속층(41a)에 인접하여 금속층(41a)의 주위를 둘러싸도록 배치되어 있다. 바꾸어 말하면, 금속층(41a)의 단부(5)는 유리막(42a)으로 메워져서 봉지(封止)되어 있다.

[0129] 이로써, 금속층(41a)의 주위로부터의, 유전체층(7)과 내부전극(8)의 계면으로의 수분의 침입을 억제할 수 있다.

[0130] 수분의 침입을 억제한다는 관점에서 유리막(42a)은 금속층(41a)의 전체 주위에서 커팅선 없이 단부(5)와 접하고, 그로써 금속층(41a)의 전체 주위를 덮는 것이 바람직하다.

[0131] 적층체(2)의 표면에 유리막(42a)이 형성되어 있는지 여부는 적층체(2)를 적절히 연마하여 상기 부분을 전계 방출형 파장 분산 X선 분광기에 의해 원소 분석함으로써 판단할 수 있다.

[0132] <도금막>

[0133] 도금막(44a)은 도금에 의해 형성된 금속으로 이루어지는 막이다. 도금막(44a)은 베이킹층(43a)을 덮도록 배치되어 있다.

[0134] 도금막(44a)은 예를 들어 Cu, Ni, Ag, Pd, Au 등에서 선택되는 적어도 하나의 금속을 포함하는 재료로 형성되어 있다. 도금막(44a)은 예를 들어 Ag와 Pd의 합금 등의 합금으로 형성되어 있어도 된다. 한편, 도금막(44a)에는 유리는 포함되지 않는다.

[0135] 도금막(44a)은 하층 도금막 및 상층 도금막을 포함한다. 상층 도금막은 하층 도금막 상에 형성되는 도금막이다.

[0136] 하층 도금막은 예를 들어 Cu, Ni, Ag, Pd, Ag와 Pd의 합금, Au의 적어도 하나의 금속을 포함하는 재료로 형성된다.

[0137] 상층 도금막은 예를 들어 Sn을 재료로 하여 형성된다.

[0138] 상층 도금막의 재료를 Sn으로 함으로써 제1 외부전극(4a)에 대한 솔더의 젖음성을 향상시킬 수 있다.

[0139] 상층 도금막의 두께는 예를 들어 1㎛ 이상 10㎛ 이하로 할 수 있다. 또한 도금막(44a, 44b)의 두께도 예를 들어 1㎛ 이상 10㎛ 이하로 할 수 있다.

[0140] 한편, 전술한 제1 외부전극(4a)에 대한 설명은 제2 외부전극(4b)에 대해서도 타당하다. 제1 외부전극(4a)과 제2 외부전극(4b)은 마련되어 있는 면이 다를 뿐, 그 외에는 동일하기 때문이다.

[0141] 그 때문에, 제2 외부전극(4b)에서의 금속층(41b), 유리막(42b), 베이킹층(43b) 및 도금막(44b)에 대해서도 제1 외부전극(4a)에 대해 설명한 각 부재와 동일하다.

[0142] <적층 세라믹 콘덴서의 크기>

[0143] 적층체(2) 및 외부전극(4)을 포함한 적층 세라믹 콘덴서(1) 전체의 길이 방향(L)의 길이는 예를 들어 0.2㎜ 이상 2.0㎜ 이하로 할 수 있다. 적층 세라믹 콘덴서(1) 전체의 두께 방향(T)의 길이는 예를 들어 0.1㎜ 이상 1.2㎜ 이하로 할 수 있다. 적층 세라믹 콘덴서(1) 전체의 폭 방향(W)의 길이는 예를 들어 0.1㎜ 이상 1.2㎜ 이하로 할 수 있다.

[0144] <외부전극의 상세>

[0145] 도 2에 기초하여 외부전극(4)에 대해 상세하게 설명한다.

[0146] 도 2는 전술한 바와 같이, 도 1의 I-I선 단면도이다. 여기서 I-I선 단면도는 적층 세라믹 콘덴서(1)의 폭 방향(W)의 중앙 위치에서의 LT 단면도이다.

[0147] 도 3에 폭 방향(W)의 중앙 위치를 나타낸다. 도 3의 선(I)의 위치가 적층 세라믹 콘덴서(1)의 폭 방향(W)의 중앙 위치이다. 한편, 도 3은 도 1의 III－III 단면도이다. 도 3은 적층 세라믹 콘덴서(1)의 WT 절단면을 나타내는 도면이다.

[0148] 도 2에 나타내는 적층 세라믹 콘덴서(1)의 폭 방향(W)의 중앙 위치에서의 LT 절단면을 1/2 LT 절단면으로 한다.

[0149] 이하, 제1 외부전극(4a)을 예로 하여 외부전극(4)을 설명한다. 한편, 제2 외부전극(4b)은 제1 외부전극(4a)과 동일한 구성을 가진다. 그 때문에, 제2 외부전극(4b)에 대해서도 이하의 설명이 타당하다.

[0150] <금속층과 유리막>

[0151] 제1 단면(E1)에는, 도 2에 나타내는 바와 같이, 금속층(41a)이 제1 단면(E1)의 거의 전역에 배치되어 있다. 단, 제1 단면(E1)에서의 제1 주면(M1)의 근방 부분 및 제2 주면(M2)의 근방 부분에는, 금속층(41a)이 아닌 유리막(42a)이 배치되어 있다. 이 유리막(42a)은 금속층(41a)의 단부(5)에 접하고 있다.

[0152] 또한 유리막(42a)은 도 2에는 나타나 있지 않으나 제1 단면(E1)에서의, 제1 측면(S1)의 근방 부분 및 제2 측면(S2)의 근방 부분에도 배치되어 있다. 이 유리막(42a)도 금속층(41a)의 단부(5)에 접하고 있다.

[0153] 이상과 같이 유리막(42a)은 금속층(41a)의 주위를 덮도록 배치되어 있다.

[0154] 보다 구체적으로는, 제1 단면(E1)의 유리막(42a)은 금속층(41a)의 단부(5)에서 제1 주면(M1)의 일부 및 제2 주면(M2)의 일부까지 연장되어 있다.

[0155] 또한 이 유리막(42a)은 도 2에는 나타나 있지 않으나 금속층(41a)의 단부(5)에서 제1 측면(S1)의 일부 및 제2 측면(S2)의 일부까지 연장되어 있다.

[0156] 즉, 유리막(42a)은 제1 단면과 양 주면 및 양 측면 사이의 적층체(2)의 능선부를 덮도록 배치되어 있다.

[0157] <베이킹층>

[0158] 베이킹층(43a)은 금속층(41a)의 전역에 걸쳐 배치되어 있는 것은 아니다. 베이킹층(43a)의 바깥가장자리는 도 2에 나타내는 바와 같이, 제1 단면(E1)의 끝 부분의 근방에서 금속층(41a)의 바깥가장자리보다도 내측에 위치하고 있다.

[0159] 다른 표현을 하면, 베이킹층(43a)은 제1 단면(E1)에서 제1 주면(M1)의 일부 및 제2 주면(M2)의 일부까지 연속하여 연장되어 있는 것은 아니다.

[0160] 베이킹층(43a)은 제1 단면(E1)과 제1 주면(M1), 및 제1 단면(E1)과 제2 주면(M2)의 능선부 근방에서 일단 끊어져 있다. 한편, 능선부란, 전술한 바와 같이, 적층체(2)의 2면이 교차하는 부분이다.

[0161] 이와 같이 베이킹층(43a)이 능선부 근방에서 끊어져 있음으로써 금속층(41a)의 단부(5)는 베이킹층(43a)에 덮여 있지 않다. 바꾸어 말하면, 금속층(41a)의 단부(5)는 베이킹층(43a)으로부터 노출되어 있다.

[0162] 한편, 도 2에는 나타나 있지 않으나, 베이킹층(43a)은 제1 측면(S1)의 일부 및 제2 측면(S2)의 일부에도 배치되어 있다.

[0163] 단, 베이킹층(43a)은 전술한 제1 주면(M1) 및 제2 주면(M2)과 마찬가지로, 제1 단면(E1)에서 제1 측면(S1) 및 제2 측면(S2)까지 연속하여 연장되어 있는 것은 아니다.

[0164] 베이킹층(43a)은 제1 단면(E1)과 제1 측면(S1), 및 제1 단면(E1)과 제2 측면(S2)의 능선부 근방에서 일단 끊어져 있다.

[0165] 이로써, 금속층(41a)의 단부(5)는 베이킹층(43a)에는 덮여 있지 않다. 바꾸어 말하면, 금속층(41a)의 단부(5)는 베이킹층(43a)으로부터 노출되어 있다.

[0166] 이상과 같이 금속층(41a)은 그 전체 주위가 베이킹층(43a)에 덮여 있는 것은 아니다.

[0167] 정확하게는 금속층(41a)의 전체 주위는 베이킹층(43a)으로부터 노출되어 있다. 이에 대해서는 도 4에 기초하여 나중에 설명한다.

[0168] <도금막>

[0169] 도금막(44a)은 베이킹층(43a)의 전체를 덮도록 배치되어 있다. 즉, 도금막(44a)은 베이킹층(43a)이 배치되어 있는 범위를 초과하여, 제1 단면(E1) 및 2개의 주면의 일부에 배치되어 있다. 또한 도금막(44a)은 도 2에는 나타나 있지 않으나 2개의 주면과 마찬가지로 2개의 측면의 일부에도 배치되어 있다.

[0170] 이하, 적층 세라믹 콘덴서(1)의 WT 절단면에 기초하여 금속층(41a) 및 베이킹층(43a)의 배치 등을 설명한다.

[0171] <WT 절단면>

[0172] 도 3 및 도 4는 모두 적층 세라믹 콘덴서(1)의 WT 단면도이다. 단, 도 3과 도 4에서는 절단면의 위치가 다르다.

[0173] 도 3은 전술한 바와 같이 도 1의 III-III선 단면도이다. 도 3은 도 2의 선(L1)에서의 WT 절단면을 나타내는 도면이다.

[0174] 도 3에 나타내는 바와 같이, 적층체(2)의 외측에는 유리막(42a)이 적층체(2)의 전제 주위를 둘러싸도록 배치되어 있다.

[0175] 그리고, 유리막(42a)의 외측에는 베이킹층(43a)이 유리막(42a)의 전제 주위를 둘러싸도록 배치되어 있다.

[0176] 또한 베이킹층(43a)의 외측에는 도금막(44a)이 베이킹층(43a)의 전제 주위를 둘러싸도록 배치되어 있다.

[0177] 도 4는 도 1의 IV-IV선 단면도이다. 도 4는 도 2의 선(L2)에서의 WT 절단면을 나타내는 도면이다.

[0178] 도 4에 나타내는 바와 같이, 금속층(41a)의 주위에는 도금막(44a)이 배치되어 있다. 금속층(41a)의 주위에는 베이킹층(43a)은 배치되어 있지 않다.

[0179] 그 때문에, 금속층(41a)은 그 전체 주위가 베이킹층(43a)으로부터 노출되어 있다.

[0180] <베이킹층의 두께>

[0181] 도 2에 기초하여 베이킹층(43a)의 두께(d2)에 대해 설명한다. 도 2는 적층 세라믹 콘덴서(1)의 LT 절단면을 나타내는 도면이다.

[0182] 도 2에 베이킹층(43a)의 두께를 d2로 나타낸다. 본 실시형태에서는 베이킹층(43a)의 두께가 얇다. 구체적으로는, 본 실시형태의 적층 세라믹 콘덴서(1)에서는 베이킹층(43a)의 두께(d2)는 0.1㎛ 이상 1.0㎛ 이하이다.

[0183] 여기서, 금속층(41a)의 두께(d1)는 전술한 바와 같이, 0.1㎛ 이상 15.0㎛ 이하이다. 그 때문에, 본 실시형태의 세라믹 콘덴서(1)에서는 베이킹층(43a)의 두께(d2)는 금속층(41a)의 두께와 비교해도 상당히 얇게 되어 있다.

[0184] <베이킹층의 공극>

[0185] 도 2에 기초하여 베이킹층(43a)의 공극(6)에 대해 설명한다.

[0186] 본 실시형태의 적층 세라믹 콘덴서(1)에서는 베이킹층(43a)에 공극(6)이 형성되어 있다.

[0187] 공극(6)은 베이킹층(43a) 안에서 유리나 금속 재료로 메워져 있지 않은 부분이다. 여기서, 유리와 금속은 베이킹층(43a)을 형성할 때 이용되는 도전성의 페이스트에 포함되어 있는 유리나 금속 재료를 말한다.

[0188] <공극의 위치>

[0189] 도 2에 나타내는 바와 같이, 공극(6)은 베이킹층(43a)의 두께 방향의 전체에 형성되어 있다. 단, 공극(6)은 적어도 금속층(41a)에 가까운 부분에 형성되어 있는 것이 보다 바람직하다.

[0190] <도금재의 충전>

[0191] 베이킹층(43a)의 외측에는 도금막(44a)이 형성되어 있다. 그 때문에, 공극(6)에는 그 적어도 일부에 도금재가 존재한다. 도금막(44a)을 형성할 때, 도금재가 공극(6) 안에 들어가기 때문이다.

[0192] <1/2 LT 절단면과 측단 LT 절단면>

[0193] 도 2에 나타낸 LT 절단면은 전술한 바와 같이, 적층 세라믹 콘덴서(1)의 폭 방향(W)의 중앙 위치에서의 LT 절단면이다. 즉 도 2에 나타낸 LT 절단면은 1/2 LT 절단면이다.

[0194] 본 실시형태의 적층 세라믹 콘덴서(1)에서는 폭 방향(W)에서의 측면에 가까운 위치에서의 LT 절단면은, 폭 방향(W)의 중앙 위치에서의 LT 절단면, 즉 1/2 LT 절단면과 동일하다.

[0195] 폭 방향(W)에서의 측면에 가까운 위치에서의 LT 절단면이란, 예를 들어 도 1의 II-II선 단절면을 의미한다. 이 절단면은 예를 들어 내부전극(8)의 제1 측면(S1) 측의 단면의 위치에서의 LT 절단면이다. 도 3에 나타내는 선(II)에서의 LT 절단면에 대응한다. 이 절단면을 측단 LT 절단면이라고 한다.

[0196] 본 실시형태에서는 1/2 LT 절단면과 측단 LT 절단면에 큰 차이가 없다. 바꾸어 말하면, 도 3의 선(I)에서의 LT 절단면과 도 3의 선(II)에서의 LT 절단면에 큰 차이가 없다.

[0197] 또한 본 실시형태의 적층 세라믹 콘덴서(1)에서는, 도시하고 있지는 않으나, 두께 방향(T)의 위치가 다른 LW 절단면에서도 외부전극(4)의 배치 등에 큰 차이가 없다.

[0198] 이것은 외부전극(4), 특히 베이킹층(43a)의 두께가 면 내에서 크게는 변동하고 있지 않음 의미한다.

[0199] 그 때문에, 본 실시형태의 적층 세라믹 콘덴서(1)에서는 도 4의 WT 절단면에 나타내는 바와 같이, 금속층(41a)의 전체 주위를 베이킹층(43a)으로부터 노출시키는 것이 용이해진다.

[0200] 베이킹층(43a)의 두께가 면 내에서 크게 변동하고 있는 경우에는, 베이킹층(43a)의 일부가 금속층(41a)의 바깥 가장자리를 넘어 배치되기 쉬워진다. 그렇게 하면 금속층(41a)의 전체 주위를 베이킹층(43a)으로부터 노출시키기 어려워진다.

[0201] <효과>

[0202] 본 실시형태의 적층 세라믹 콘덴서(1)는 외부전극(4)에 크랙이 발생하는 것을 억제하는 것이 가능하다. 또한 본 실시형태의 적층 세라믹 콘덴서(1)는 내습 신뢰성이 향상된 적층 세라믹 콘덴서(1)이다.

[0203] <종래의 적층 세라믹 콘덴서>

[0204] 종래, 외부전극에 금속층이 배치된 적층 세라믹 콘덴서에서는 금속층에 크랙이 발생하는 경우가 있다. 금속층에 크랙이 발생하는 원인으로서 다른 부재로부터 응력이 가해지는 것을 들 수 있다. 다른 부재로서 베이킹층이 있다. 베이킹층은 금속층에 접하여 배치되는 층이다.

[0205] 환경 온도의 변화나 환경 습도의 변화에 의해 베이킹층에 응력이 발생하는 경우가 있다. 이 응력이 금속층에 가해진다. 이 응력이 금속층에 크랙을 발생시키는 원인이 된다.

[0206] 금속층에 크랙이 발생하면 금속층이 가지는 수분 침입 억제 기능이 손상된다.

[0207] 또한 수분 침입의 억제는 베이킹층 등의 다른 층으로 대체하는 것은 용이하지 않다. 다른 층은 금속층에 비해 막의 치밀성이 떨어지기 때문이다.

[0208] 그 때문에, 크랙 발생을 억제하는 것이 요구된다.

[0209] <금속층의 두께>

[0210] 본 실시형태의 적층 세라믹 콘덴서(1)에서는, 금속층(41a)의 두께는 0.1㎛ 이상 15.0㎛ 이하이다. 또한 베이킹층(43a)의 두께는 0.1㎛ 이상 1.0㎛ 이하이다.

[0211] 본 실시형태의 적층 세라믹 콘덴서(1)에서는 베이킹층(43a)의 두께가 얇다.

[0212] 베이킹층(43a)의 두께를 얇게 함으로써 베이킹층(43a)의 응력을 저감시킬 수 있다. 그 결과, 금속층(41a)에 크랙이 발생하는 것을 억제할 수 있다.

[0213] 또한 베이킹층(43a)의 두께를 1.0㎛ 이하로 함으로써 베이킹층(43a)의 연속성을 저하시킬 수 있다. 연속성이 저

하되면, 베이킹층(43a)의 면 방향의 결합이 약해진다. 결합이 약해지면 베이킹층(43a)의 응력이 저하된다.

[0214] 그 결과, 금속층(41a)에 크랙이 발생하는 것을 억제할 수 있다.

[0215] 또한 베이킹층(43a)의 두께를 1.0㎛ 이하로 함으로써 외부전극(4)을 박막화할 수 있다. 그 결과, 적층 세라믹 콘덴서(1)의 외형 치수를 억제할 수 있다.

[0216] 또한 본 실시형태의 적층 세라믹 콘덴서(1)에서는 베이킹층(43a)의 도금막(44a) 측의 표면에서, 금속으로 이루어지는 부분의 면적은 유리로 이루어지는 부분의 면적의 10배보다도 크다.

[0217] 이로써, 도금막(44a)의 베이킹층(43a)에 대한 도금성을 확보할 수 있다.

[0218] 한편, 도금성은 예를 들어 베이킹층(43a)에 대한 도금막(44a)의 부착성이나, 베이킹층(43a)과 도금막(44a)의 밀착성 등을 포함하는 도금의 부착이 용이함을 의미한다.

[0219] <베이킹층의 공극>

[0220] 본 실시형태의 적층 세라믹 콘덴서(1)에서는, 베이킹층(43a)은 공극(6)을 가지고 있다. 베이킹층(43a)이 공극(6)을 가짐으로써 베이킹층(43a)의 응력을 감소시킬 수 있다. 그 결과, 금속층(41a)에 크랙이 발생하는 것을 억제할 수 있다.

[0221] <금속층의 노출>

[0222] 본 실시형태의 적층 세라믹 콘덴서(1)에서는 금속층(41a)의 적어도 일부가 베이킹층(43a)으로부터 노출되어 있다.

[0223] 구체적으로는 금속층(41a)을 길이 방향(L)에서 본 경우, 금속층(41a)의 주위에는 베이킹층(43a)이 배치되지 않았다. 그 결과, 금속층(41a)의 바깥가장자리의 근방은 바깥가장자리의 전체 주위에 걸쳐 베이킹층(43a)으로부터 노출되어 있다.

[0224] 본 실시형태의 적층 세라믹 콘덴서(1)는 금속층(41a)의 적어도 일부가, 베이킹층(43a)으로부터 노출되어 있음으로써 금속층(41a)에 크랙이 발생하는 것을 보다 억제할 수 있다.

[0225] 금속층(41a)이 베이킹층(43a)으로부터 노출되어 있음으로써 금속층(41a)이 노출되는 부분은 베이킹층(43a)에서 받는 응력이 약해진다. 그 때문에, 금속층(41a)에 크랙이 발생하는 것을 억제할 수 있다.

[0226] 또한 금속층(41a)이 노출되는 부분은 베이킹층(43a)이 끊어진 부분이다. 베이킹층(43a)에 끊어진 부분이 있음으로써 베이킹층(43a)의 면 방향의 결합이 약해진다. 이로써, 베이킹층(43a)의 응력이 저하된다. 그 결과, 금속층(41a)에 크랙이 발생하는 것을 억제할 수 있다.

[0227] <적층 세라믹 콘덴서의 제조 방법>

[0228] 적층 세라믹 콘덴서(1)의 일반적인 제조 방법의 개요에 대해 설명한다.

[0229] (1) 유전체층(7)용 세라믹 그린 시트 및 내부전극(8)용 도전성의 페이스트를 준비한다.

[0230] (2) 세라믹 그린 시트에 내부전극 패턴을 형성한다. 패턴의 형성은 도전성의 페이스트를 소정의 패턴으로 세라믹 그린 시트에 인쇄함으로써 실시할 수 있다. 이 인쇄는 예를 들어, 스크린 인쇄나 그라비어 인쇄 등으로 실시할 수 있다.

[0231] (3) 내부전극 패턴이 형성되어 있지 않은 외층 유전체층용 세라믹 그린 시트를 복수매 적층한다. 그 위에 내부전극 패턴이 인쇄된 세라믹 그린 시트를 순차적으로 적층한다. 그 위에 외층 유전체층용 세라믹 그린 시트를 복수매 적층한다. 이로써, 적층 시트를 제작한다.

[0232] (4) 적층 시트를 정수압 프레스 등에 의해 두께 방향으로 프레스한다. 이로써, 적층 블록을 제작한다.

[0233] (5) 적층 블록을 소정의 사이즈로 커팅한다. 이로써, 적층 칩을 잘라낸다.

[0234] (6) 배럴 연마 등에 의해 적층 칩의 모서리부 및 능선부를 라운드형으로 한다.

[0235] (7) 적층 칩을 소성한다. 이로써, 소성 후의 적층체를 얻는다.

[0236] (8) 소성 후의 적층체의 단면에 금속층을 형성한다. 구체적으로는 적층체의 단면으로 인출된 내부전극을 덮도록 단면에 금속층을 형성한다. 금속층은 예를 들어 도금에 의해 형성할 수 있다.

[0237] 도금은 전해 도금 또는 무전해 도금으로 실시할 수 있다. 도금 공법으로는 예를 들어 배럴 도금을 이용할 수 있다.

[0238] (9) 금속층 상에 베이킹층용 도전성의 페이스트를 도포한다.

[0239] (10) 도전성의 페이스트를 건조시킨다. 건조 후에 베이킹을 실시한다.

[0240] 이로써, 베이킹층(43a, 43b)이 형성된다. 또한 베이킹층(43a, 43b)용 도전성의 페이스트에 포함되는 유리가 유전체층(7)의 표면으로 이동한다. 이 이동한 유리가 유전체층(7)의 표면으로 이동한다. 이 이동한 유리가 유리막(42a, 42b)이 된다.

[0241] (11) 베이킹층(43a, 43b) 상에 도금막을 형성한다. 구체적으로는 먼저 베이킹층(43a, 43b)을 덮도록 Ni 도금을 실시한다. 이로써, 하층 도금막을 형성한다. 그 위에 Sn 도금을 실시한다. 이로써, 상층 도금막을 형성한다.

[0242] <제조 방법의 특징>

[0243] 본 실시형태의 적층 세라믹 콘덴서(1)에서는 전술한 일반적인 적층 세라믹 콘덴서의 제조 방법에 추가하여, 제조 방법에 하기 특징을 가진다.

[0244] 본 실시형태의 적층 세라믹 콘덴서(1)는 베이킹층(43a)의 두께가 얇다. 그 때문에, 금속층(41a) 상에 베이킹층(43a)용 도전성의 페이스트를 도포할 때, 그 도포량을 엄밀하게 조정한다. 이로써, 1.0㎛ 이하의 두께의 베이킹층(43a)을 형성한다.

[0245] 본 실시형태의 적층 세라믹 콘덴서(1)는 베이킹층(43a)이 공극(6)을 가지고 있다.

[0246] 이 공극(6)을 형성하기 위해 베이킹 온도 및 베이킹 시간을 최적화하고 있다. 구체적으로는 600℃ 이상 750℃ 이하의 온도에서 5분 이상 15분 이하 동안 베이킹을 실시한다. 온도는 650℃ 이상 700℃ 이하의인 것이 보다 바람직하다. 또한 시간은 15분 미만인 것이 보다 바람직하다. 한편, 이 베이킹은 질소 가스 등의 불활성 가스 분위기화에서 실시할 수 있다.

[0247] 이와 같은 소성에 의해 베이킹층(43a) 안에 공극(6)을 형성할 수 있다.

[0248] 단, 전술한 소성에서는 유리막(42a)이 형성되지 않는다.

[0249] 유리막(42a)은 전술한 바와 같이, 베이킹층(43a) 형성용 도전성의 페이스트에 포함되는 유리가, 유전체층(7)이 노출되는 부분으로 이동함으로써 형성된다.

[0250] 전술한 소성에서는 유리가 충분하게는 이동하지 않기 때문에 유리막(42a)이 형성되지 않는다.

[0251] 따라서, 전술한 소성에 추가하여 대기 분위기 하에서의 소성을 실시한다.

[0252] 이 소성은 대기 분위기 하에서 예를 들어 700℃에서 5분간으로 할 수 있다.

[0253] 이 대기 분위기 하에서의 소성에 의해 베이킹층(43a)을 형성할 수 있다.

[0254] 대기 분위기 하에서의 소성에 의해 베이킹층(43a)에 포함되는 Cu 등의 금속 입자가 산화된다. 그리고 유리가 이 산화된 금속 입자의 표면에 젖어 퍼진다. 이로써, 유리의 이동이 촉진된다. 그리고 유리가 산화물인 $BaTiO_3$ 등으로 형성되어 있는 유전체층(7)의 표면에 더 젖어 퍼짐으로써 유리막(42a)이 형성된다.

[0255] 또한 본 실시형태의 적층 세라믹 콘덴서(1)에서는 베이킹층(43a)의 두께가 1.0㎛ 이하이다. 그 때문에, 베이킹층(43a)의 연속성이 억제되기 쉽다. 연속성이 억제되면, 베이킹층(43a)에 포함되는 Cu 등의 금속 입자의 네킹에 의해 유리를 유전체층(7)의 표면으로 압출하는 작용이 억제된다. 즉 유리막(42a)의 형성이 더 어려워진다.

[0256] 따라서, 전술한 대기 분위기 하에서의 소성을 병용하여 유리의 이동을 촉진하는 것이 보다 유효해진다.

[0257] <길이의 측정 방법>

[0258] 적층 세라믹 콘덴서(1)의 각 부분의 길이의 측정 방법으로는 예를 들어 연마에 의해 노출시킨 적층체의 단면을 주사형 전자현미경으로 관찰하는 방법을 들 수 있다. 각 값은 측정하고자 하는 부위에 대응하는 복수개 부분의 측정값의 평균값으로 할 수 있다.

[0259] <내습 신뢰성 시험>

[0260] 내구성 시험으로서 내습 신뢰성 시험을 실시했다. 시료나 시험의 조건 등은 이하와 같다.

[0261] (시료)

[0262] 길이 방향(L)의 길이: 0.6㎜

[0263] 폭 방향(W)의 길이: 0.3㎜

[0264] 두께 방향(T)의 길이: 0.3㎜

[0265] 용량: 2.2㎌

[0266] 내층 유전체층(7b)의 두께: 0.65㎛

[0267] 내부전극(8)의 두께: 0.43㎛

[0268] 내부전극(8)의 매수: 280매

[0269] 금속층(41a, 141b)의 두께: 5㎛

[0270] (내습 신뢰성 시험)

[0271] 온도, 습도: 85℃ 및 85%RH

[0272] 전압: 6.3V

[0273] 전압 인가 시간: 120시간

[0274] 판정 기준: 내습 신뢰성 시험 시작 직후의 절연 저항(IR)의 대수값(log IR)에서 2자리 이상 낮아진 시료를 IR 열화로 판정했다.

[0275] 본 발명의 실시형태의 시료를 72개, 종래의 시료를 72개 이용하여 내습 신뢰성 시험을 실시했다.

[0276] 실시형태의 시료는 베이킹층(43a)의 두께가 0.5㎛인 시료이다. 한편, 종래의 시료란, 베이킹층(43a)의 두께가 3.0㎛인 시료이다.

[0277] 내습 신뢰성 시험의 결과는 이하와 같다.

[0278] 실시형태의 시료에서는 72개의 시료 모두에서 IR 열화는 볼 수 없었다.

[0279] 한편, 종래의 시료에서는 72개의 시료 중 3개의 시료에서 IR 열화가 보였다.

[0280] 종래의 시료에서는 내습 신뢰성 시험에서 금속층에 크랙이 발생하고, 그 결과 IR 열화가 발생한 것으로 생각된다.

[0281] 이에 비해, 실시형태의 시료에서는 내습 신뢰성 시험에서 금속층에 크랙은 발생하지 않고, 그 결과, IR 열화가 발생하지 않은 것으로 생각된다.

[0282] 이상의 시험 결과로부터 본 실시형태의 적층 세라믹 콘덴서는 외부전극에 크랙이 발생하는 것을 억제하는 것이 가능하며 내습 신뢰성이 향상된 적층 세라믹 콘덴서인 것을 알 수 있다.

[0283] 한편, 지금까지의 설명은 주로 제1 외부전극(4a)에 기초하고 있었다. 전술한 바와 같이, 제1 외부전극(4a)에 대한 설명은 제2 외부전극(4b)에 대해서도 타당하다. 제1 외부전극(4a)과 제2 외부전극(4b)은 마련되어 있는 면이 다를 뿐, 그 외에는 동일하기 때문이다.

[0284] 또한, 이상 본 발명의 실시형태에 대해 설명했으나, 본 발명은 전술한 실시형태에 한정되지 않고 다양한 변경 및 변형이 가능하다.

[0285] <1>

[0286] 유전체층과 내부전극이 교대로 복수개 적층된 적층체와,

[0287] 상기 적층체의 표면에 마련되고, 상기 적층체의 표면으로 인출된 상기 내부전극과 전기적으로 도통된 한 쌍의 외부전극을 포함하며,

[0288] 상기 적층체는,

[0289] 상기 유전체층과 상기 내부전극의 적층 방향인 두께 방향으로 마주보는 제1 주면 및 제2 주면과,

[0290] 상기 한 쌍의 외부전극이 대향하는 방향인 길이 방향으로 마주보고, 상기 외부전극이 마련되어 있는 제1 단면 및 제2 단면과,

[0291] 상기 두께 방향 및 상기 길이 방향에 직교하는 폭 방향으로 마주보는 제1 측면 및 제2 측면을 가지며,

[0292] 상기 외부전극은,

[0293] 상기 제1 단면 및 상기 제2 단면 상에, 상기 제1 단면으로 인출된 상기 내부전극 및 상기 제2 단면으로 인출된 상기 내부전극을 덮도록 배치된 금속층과,

[0294] 상기 제1 단면 및 상기 제2 단면 상으로서, 상기 금속층에 인접하여 상기 금속층의 주위에 배치된 유리막과,

[0295] 유리 및 금속을 포함하고, 상기 금속층을 덮도록 배치된 베이킹층과,

[0296] 상기 베이킹층을 덮도록 배치된 도금막을 포함하고,

[0297] 상기 금속층의 두께는 0.1㎛ 이상 15.0㎛ 이하이며,

[0298] 상기 베이킹층의 두께는 0.1㎛ 이상 1.0㎛ 이하인 것을 특징으로 하는, 적층 세라믹 콘덴서.

[0299] <2>

[0300] 제1항에 있어서,

[0301] 상기 베이킹층은 공극을 가지며,

[0302] 상기 공극 내의 적어도 일부에는 도금재가 존재하는 것을 특징으로 하는, 적층 세라믹 콘덴서

[0303] <3>

[0304] 제1항 또는 제2항에 있어서,

[0305] 상기 베이킹층의, 상기 도금막 측의 표면에서 금속으로 이루어지는 부분의 면적은 유리로 이루어지는 부분의 면적의 10배보다도 큰, 적층 세라믹 콘덴서.

[0306] <4>

[0307] 제1항 내지 제3항 중 어느 한 항에 있어서,

[0308] 상기 금속층의 주위에는 상기 금속층의 단부에 접하는 유리막이 배치되어 있는, 적층 세라믹 콘덴서.

부호의 설명

[0309] 1: 적층 세라믹 콘덴서 2: 적층체

4a: 제1 외부전극 4b: 제2 외부전극

4Ma, 4Mb: 주면 외부전극 4Ea, 4Eb: 단면 외부전극

4Sa, 4Sb: 측면 외부전극 41a, 41b: 금속층

42a, 42b: 유리막 43a, 43b: 베이킹층

44a, 44b: 도금막 5: 금속층의 단부

6: 베이킹층의 공극 7a: 외층 유전체층

7b: 내층 유전체층 8a: 제1 내부전극

8b: 제2 내부전극 M1: 제1 주면

M2: 제2 주면 E1: 제1 단면

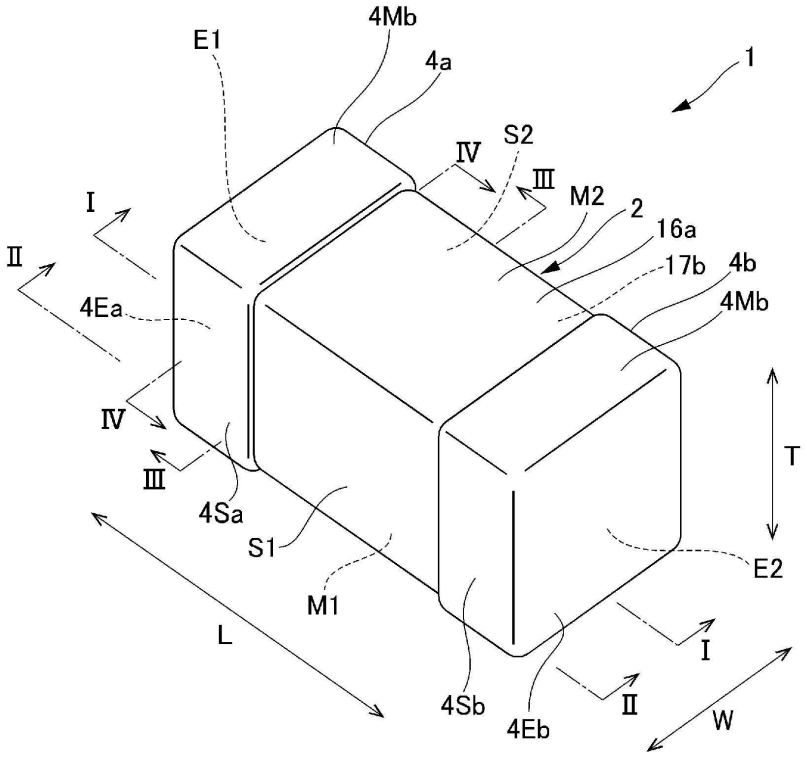
E2: 제2 단면 S1: 제1 측면

S2: 제2 측면 L: 길이 방향

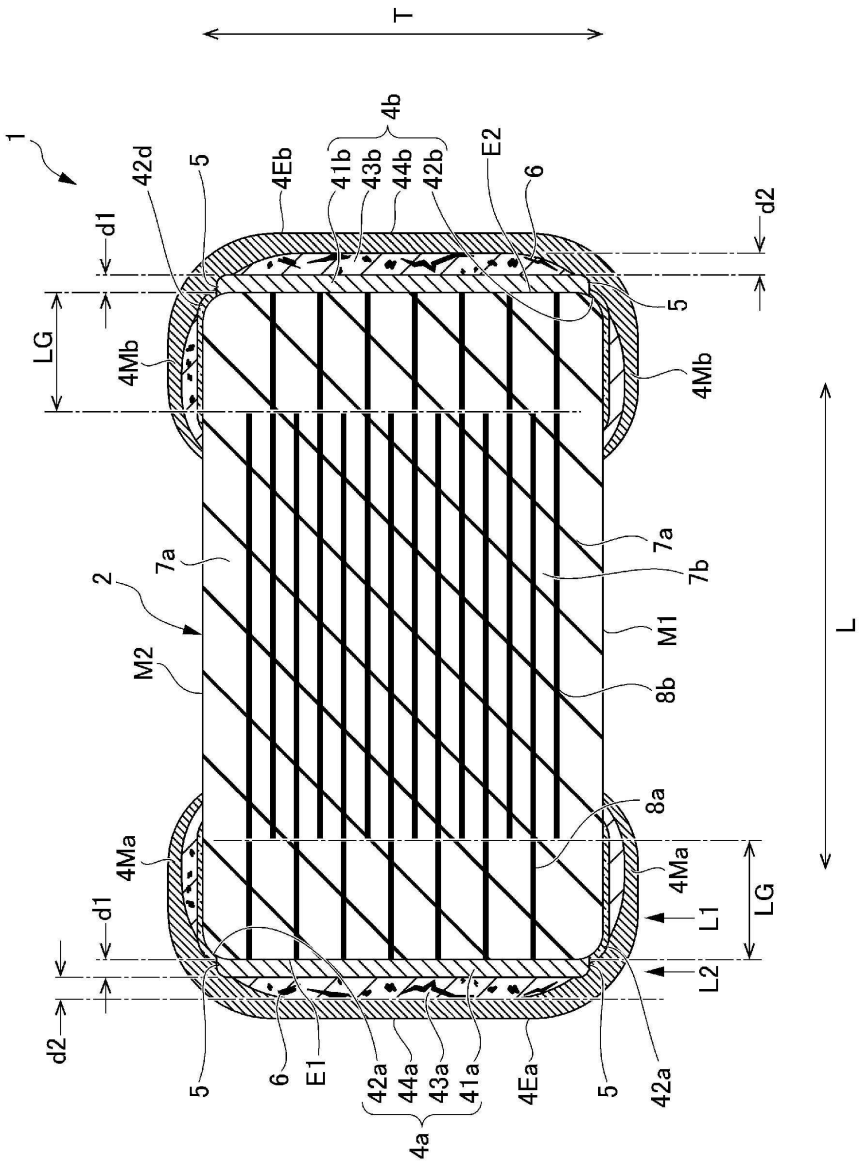
T: 두께 방향　　W: 폭 방향

도면

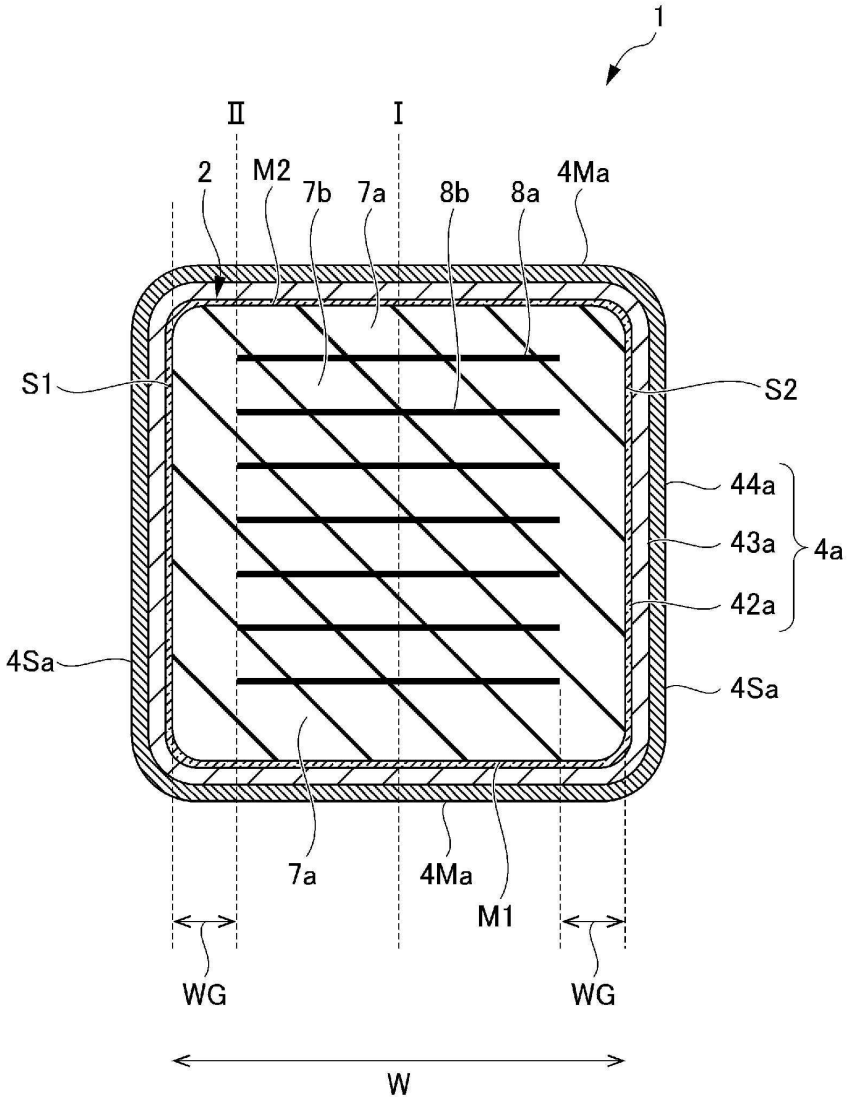
도면1



도면2


T
1
42d
5
4Eb
4b
41b
43b
44b
42b
E2
6
d2
d1
LG
4Mb
5
4Mb
7a
7a
2
7b
M2
M1
L
8b
8a
4Ma
4Ma
d1
L1
LG
L2
d2
5
6
E1
42a
44a
43a
41a
4Ea
5
42a
4a

도면3


1
Ⅱ
Ⅰ
2
M2
7b
7a
8b
8a
4Ma
S1
S2
44a
43a
42a
4a
4Sa
4Sa
7a
4Ma
M1
WG
WG
W

도면4

