



(12) 发明专利申请

(10) 申请公布号 CN 119007773 A

(43) 申请公布日 2024. 11. 22

(21) 申请号 202410632748.7

(22) 申请日 2024.05.21

(30) 优先权数据

18/200,199 2023.05.22 US

(71) 申请人 美商安纳富来希股份有限公司

地址 美国加利福尼亚州

(72) 发明人 金时焕

(74) 专利代理机构 成都超凡明远知识产权代理有限公司 51258

专利代理师 卫兰英

(51) Int. Cl.

G11C 11/4074 (2006.01)

G11C 11/409 (2006.01)

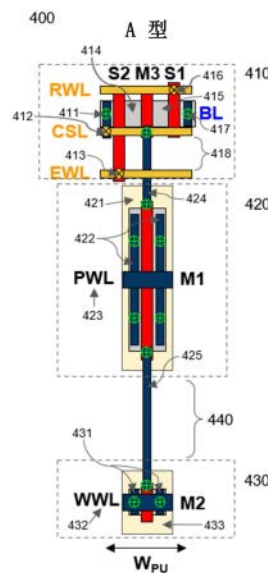
权利要求书3页 说明书15页 附图21页

(54) 发明名称

非易失性存储器单个单元和阵列架构

(57) 摘要

本申请涉及非易失性存储器装置。非易失性存储器单元结构被设计成能够实现高密度逻辑兼容的嵌入式闪存存储器。非易失性存储器装置包括：基板，该基板包括多个n阱，以及第一单个单元，该第一单个单元包括：第一存储器单体，该第一存储器单体包括形成在基板上的第一n阱上的第一P-MOS晶体管；第二存储器单体，该第二存储器单体包括作为第二n阱形成在基板上的第二P-MOS晶体管；第三存储器单体，该第三存储器单体包括三个N-MOS晶体管；第一连接线，该第一连接线将三个N-MOS晶体管中的一个N-MOS晶体管的栅极沿着单个单元的长度耦合至第一P-MOS晶体管的栅极；以及第二连接线，该第二连接线将第一P-MOS晶体管的栅极沿着单个单元的长度耦合至第二P-MOS晶体管的栅极。



1. 一种非易失性存储器装置,所述非易失性存储器装置包括:

基板,所述基板包括多个n阱,所述n阱包括多个扩散区,所述扩散区由所述基板的一个或更多个非有源区彼此分隔开;以及,

第一单个单元,所述第一单个单元包括:

第一存储器单体,所述第一存储器单体包括形成在所述基板上的第一n阱上的第一P-MOS晶体管;

第二存储器单体,所述第二存储器单体包括形成在所述基板上的第二n阱上的第二P-MOS晶体管,其中,所述第一P-MOS晶体管和所述第二P-MOS晶体管与第二单个单元至少部分地交叠,所述第二单个单元横向地邻近于所述第一单个单元,

第三存储器单体,所述第三存储器单体包括三个N-MOS晶体管,所述三个N-MOS晶体管形成在所述基板上,并且所述三个N-MOS晶体管以串联的方式连接,并且所述三个N-MOS晶体管平行于所述第一单个单元的长度而布置;以及,

一个或更多个连接线,所述一个或更多个连接线将所述三个N-MOS晶体管中的一个N-MOS晶体管的栅极与所述第一P-MOS晶体管的栅极和所述第二P-MOS晶体管的栅极耦合,其中,串联的所述三个N-MOS晶体管包括:与第二N-MOS晶体管共享有源区的第一N-MOS晶体管以及与所述第二N-MOS晶体管共享有源区的第三N-MOS晶体管。

2. 根据权利要求1所述的非易失性存储器装置,其中,使用金属层或多晶硅层用于所述连接线。

3. 根据权利要求1所述的非易失性存储器装置,其中,在所述第一单个单元中,所述第一P-MOS晶体管具有源极区和漏极区,所述第一P-MOS晶体管的所述源极区和所述漏极区连接至平行于所述第一单个单元的宽度的第一字线,而所述第二P-MOS晶体管具有源极区和漏极区,所述第二P-MOS晶体管的所述源极区和所述漏极区连接至平行于所述第一单个单元的宽度的第二字线,并且所述第一字线和所述第二字线中的每一者均是编程字线或写入字线。

4. 根据权利要求1所述的非易失性存储器装置,其中,所述第三存储器单体还包括:(1) 第一金属线组,所述第一金属线组平行于所述第一单个单元的长度而布置;以及(2) 第二金属线组,所述第二金属线组平行于所述第一单个单元的宽度而布置。

5. 根据权利要求4所述的非易失性存储器装置,其中,所述第一金属线组中的一条第一金属线连接至串联的所述三个晶体管的一个端部处的有源区,而所述第一金属线组中的另外的第一金属线连接至所述三个晶体管的相反端部处的有源区。

6. 根据权利要求4所述的非易失性存储器装置,其中,所述第二金属线组包括以规则间隔分隔开的三个平行的金属线,所述金属线沿着所述第一单个单元的宽度延伸,使得所述三个N-MOS晶体管的至少一部分定位在所述第二金属线组中的第一条第二金属线与第二条第二金属线之间,而第三单个单元具有三个N-MOS晶体管,所述三个N-MOS晶体管定位在所述第二金属线组中的所述第二条第二金属线与第三条第二金属线之间的间隔中。

7. 根据权利要求1所述的非易失性存储器装置,其中,所述N-MOS晶体管和所述P-MOS晶体管中的每一者均具有连接至多晶硅层的栅极区。

8. 根据权利要求7所述的非易失性存储器装置,其中,所述N-MOS晶体管中的一个N-MOS晶体管具有栅极区,所述一个N-MOS晶体管的所述栅极区具有多晶硅层,所述一个N-MOS晶

体管的所述栅极区通过金属线或多晶硅层连接至所述第一P-MOS晶体管的栅极区和所述第二P-MOS晶体管的栅极区。

9. 根据权利要求1所述的非易失性存储器装置, 其中, 所述第一单个单元在所述第一存储器单体与所述第二存储器单体之间具有足够长的空间, 以对下述进行容置: (1) 横向地邻近于所述第一单个单元的所述第二单个单元的存储器单体, 或者 (2) 所述第一单个单元的所述第三存储器单体。

10. 根据权利要求9所述的非易失性存储器装置, 其中, 所述第二单个单元包括三个存储器单体, 所述三个存储器单体包括与所述第一单个单元的所述第一P-MOS晶体管和所述第二P-MOS晶体管相同的第一P-MOS晶体管和所述第二P-MOS晶体管。

11. 根据权利要求10所述的非易失性存储器装置, 其中, 所述第二单个单元中的所述第一P-MOS晶体管与所述第二P-MOS晶体管之间的距离等于所述第一单个单元中的所述第一P-MOS晶体管与所述第二P-MOS晶体管之间的距离, 从而使得: 在所述第一单个单元中的所述第一PMOS晶体管和所述第二PMOS晶体管的邻近于所述第二单个单元的有源区与所述第二单个单元中的第一PMOS晶体管和所述第二PMOS晶体管的邻近于所述第一单个单元的有源区结合时, 形成公共有源区。

12. 根据权利要求11所述的非易失性存储器装置, 其中, 所述第二单个单元包括第三存储器单体, 所述第三存储器单体包括三个N-MOS晶体管, 所述三个N-MOS晶体管具有与所述第一单个单元的结构类似的结构。

13. 根据权利要求12所述的非易失性存储器装置, 其中, 所述第二单个单元中的所述第三存储器单体具有与所述第一单个单元的所述第三存储器单体的尺寸相同的尺寸。

14. 根据权利要求1所述的非易失性存储器装置, 其中, 所述第一单个单元的所述第三存储器单体与第三单个单元的第三存储器单体组合, 其中, 所述第三单个单元与所述第二单个单元至少部分地交叠, 所述第三单个单元与第四单个单元至少部分地交叠, 所述第四单个单元在与所述第二单个单元所位于的侧相反的侧上横向地邻近于所述第三单个单元。

15. 根据权利要求14所述的非易失性存储器装置, 其中, 所述第三单个单元包括三个存储器单体, 所述第三单个单元的所述三个存储器单体包括第一存储器单体、第二存储器单体和第三存储器单体, 所述第三单个单元的所述第一存储器单体和所述第二存储器单体与所述第一单个单元的所述第一存储器单体和所述第二存储器单体相同; 所述第三单个单元的所述第三存储器单体具有与在所述第一单个单元中的所述N-MOS晶体管成镜像的布置。

16. 根据权利要求15所述的非易失性存储器装置, 其中, 所述第三单个单元还包括: (1) 第一金属线组, 所述第三单个单元的所述第一金属线组平行于单个单元的长度而布置, 所述第三单个单元的所述第一金属线组具有与所述第一单个单元的所述第一金属线组相同的结构; 以及 (2) 第二金属线组, 所述第三单个单元的所述第二金属线组平行于所述单个单元的宽度而布置, 所述第三单个单元的所述第二金属线组具有与所述第一单个单元的所述第二金属线组的间隔相同的间隔。

17. 根据权利要求15所述的非易失性存储器装置, 其中, 所述第三单个单元中的所述第一存储器单体与所述第二存储器单体之间的距离等于所述第一单个单元的所述第一存储器单体与所述第二存储器单体之间的距离。

18. 根据权利要求14所述的非易失性存储器装置, 其中, 所述第四单个单元包括第一存

储器单体和第二存储器单体,所述第四单个单元的所述第一存储器单体和所述第二存储器单体与所述第二单个单元中的所述第一存储器单体和所述第二存储器单体相同。

19. 根据权利要求18所述的非易失性存储器装置,其中,所述第三存储器单体包括:(1) 第一金属线组,所述第一金属线组平行于所述单个单元的长度而布置,所述第一金属线组具有与所述第二单个单元的所述第一金属线组相同的结构;以及(2) 第二金属线组,所述第二金属线组平行于所述单个单元的宽度而布置,所述第二金属线组具有与所述第二单个单元的所述第二金属线组的间隔相同的间隔。

20. 根据权利要求18所述的非易失性存储器装置,其中,所述第三存储器单体被配置有与所述第二单个单元中的所述N-MOS晶体管成镜像的布置,其中,所述第二单个单元的所述第三存储器单体与所述第四单个单元的第三存储器单体组合。

非易失性存储器单个单元和阵列架构

[0001] 相关申请的交叉引用

[0002] 该申请涉及美国专利申请序列号16/196,617,现为美国专利申请第11,361,215号。本发明通常涉及能够实现高密度逻辑兼容的嵌入式闪存存储器的单元阵列结构。

技术领域

[0003] 本发明通常涉及存储器装置,并且特别地涉及基于浮置栅极的非易失性存储器(NVM)中的单个存储器单元架构。

背景技术

[0004] 诸如闪存、STT-MRAM、PRAM和RRAM的可重写嵌入式非易失性存储器(eNVM)允许系统完全关闭而不会丢失数据,从而实现零待机功率消耗并且支持诸如无线传感器的超低功耗系统和嵌入式微控制器。在许多SoC应用中,嵌入式闪存(eFlash)存储器已得到成功部署。然而,它们只能在具有专用eFlash工艺的代工厂中找到。作为独立于代工厂的eFlash解决方案,多种应用已提出并使用了逻辑兼容的嵌入式闪存存储器,该逻辑兼容的嵌入式闪存存储器除了标准核心和I/O晶体管之外,不使用特殊器件。逻辑闪存存储器的高度集成在技术上是可取的,因为它可以降低芯片生产成本并允许实现大参数的大型AI模型。

[0005] 图1示出了eNVM单个存储器单元(100)的示例,该eNVM单个存储器单元(100)包括由字线组连接的MOS晶体管的集合。字线通常由金属或金属硅化物/多晶硅化物(silicided/polycided polysilicon)形成。该单个存储器单元包括:耦合晶体管M1(110)、写入晶体管M2(120)、上选择晶体管S1(131)、读取晶体管M3(133)和下选择晶体管S2(135)。晶体管M1(110)和晶体管M2(120)共享浮置栅极FG节点(136)。M1晶体管(110)具有耦合至编程字线PWL(150)的漏极端子和源极端子,并且M1晶体管(110)具有与用于写入、擦除和读取的M2晶体管(120)的容量相比相对较大的容量。

[0006] 浮置栅极节点(136)还连接至读取晶体管M3(133)的控制栅极。读取晶体管M3(133)将晶体管S1(131)和晶体管S2(135)以串联的方式连接。晶体管M3的漏极端子(132)以串联的方式耦合至晶体管S1的源极端子。晶体管S1具有连接至位线BL(190)的漏极端子和连接至读取字线RWL(140)的栅极端子。晶体管S2具有与晶体管M3的源极端子共享公共区域(134)的漏极端子。晶体管S2具有耦合至边缘字线EWL(170)的栅极端子和耦合至公共源极线CSL(180)的源极端子。

[0007] 在写入操作或编程操作之前,擦除存储在存储器单元(100)中的数据需要大的正电压来吸引在浮置栅极FG(136)中捕获的电子。通过将高电压施加至写入字线WWL(160)并将其他耦合线RWL(140)、编程字线PWL(150)、EWL(170)和公共源极线CSL(180)接地,WWL(160)上的高电压HV吸引所捕获的电子并将所捕获的电子从浮置栅极FG(136)移除。

[0008] 通过向PWL线(150)和WWL线(160)施加高电压,使得电子注入到晶体管M3(133)的浮置栅极(136)以改变其电导,来对单个存储器单元(100)进行编程。因此,浮置栅极(136)中捕获的电子的数目改变了导通晶体管M3(133)所需的控制栅极电压,从而生成晶体管M3

的新阈值电压 V_{TH} 。这个特定的阈值电压表示存储器单元中存储的数据值,直到该特定的阈值电压通过重置改变为止。存储器单元读取涉及通过观察读取晶体管M3对施加在PWL(150)和WWL(160)上的低输入电压(V_{rd})的响应来对输出线BL(190)中的电流变化进行测量。

[0009] 因此,需要一种基于浮置栅极的非易失性存储器单元,该非易失性存储器单元实现比现有技术更有效的空间布局,同时保持基于浮置栅极的非易失性存储器的静态特性。下面的说明书解释了本发明对上面提及的问题的解决方案。本说明书中描述的存储器单元结构需要实现与嵌入式闪存存储器的高密度逻辑兼容性。

发明内容

[0010] 本发明是鉴于上面的困难和问题而作出的。本发明的主要目的是提供一种用于单个存储器单元的阵列的有效设计。基于浮置栅极的非易失性存储器单元可以根据以下说明书有效地布置在半导体基板上。本发明描述了半导体管芯上的每个非易失性存储器单元内的部件晶体管的各种配置,从而减小了总体管芯尺寸。

[0011] 非易失性存储器单元结构被设计成能够实现高密度逻辑兼容的嵌入式闪存存储器。在一般方面中,非易失性存储器装置包括:基板,该基板包括多个n阱,所述n阱包括多个扩散区,所述扩散区由基板的一个或多个非有源区彼此分隔开;以及第一单个单元,该第一单个单元包括:第一存储器单体,该第一存储器单体包括形成在基板上的第一n阱上的第一P-MOS晶体管;第二存储器单体,该第二存储器单体包括作为第二n阱形成在基板上的第二P-MOS晶体管,其中,第一P-MOS晶体管和第二P-MOS晶体管与第二单个单元至少部分地交叠,该第二单个单元横向地邻近于第一单个单元;第三存储器单体,该第三存储器单体包括三个N-MOS晶体管,该三个N-MOS晶体管形成在基板上,并且该三个N-MOS晶体管以串联的方式连接,并且该三个N-MOS晶体管平行于单个单元的长度而布置;以及一个或多个连接线,该一个或多个连接线将三个N-MOS晶体管中的一个N-MOS晶体管的栅极与第一P-MOS晶体管的栅极和第二P-MOS晶体管的栅极耦合,其中,串联的三个N-MOS晶体管包括:第一N-MOS晶体管、第二N-MOS晶体管和第三N-MOS晶体管,该第一N-MOS晶体管与第二N-MOS晶体管共享有源区,该第二N-MOS晶体管与第三N-MOS晶体管共享有源区。

[0012] 在另外的方面中,使用金属层或多晶硅层用于连接线。

[0013] 在另外的方面中,第一P-MOS晶体管具有源极区和漏极区,所述第一P-MOS晶体管的该源极区和漏极区连接至平行于第一单个单元的宽度的第一字线,而第二P-MOS晶体管具有源极区和漏极区,所述第二P-MOS晶体管的该源极区和漏极区连接至平行于第一单个单元的宽度的第二字线,并且第一字线和第二字线中的每者均是编程字线或写入字线。

[0014] 在另外的方面中,第三存储器单体还包括:(1)第一金属线组,该第一金属线组平行于第一单个单元的长度而布置;以及(2)第二金属线组,该第二金属线组平行于第一单个单元的宽度而布置。

[0015] 在另外的方面中,第一金属线组中的一条第一金属线连接至串联的三个晶体管的一个端部处的有源区,而所述第一金属线组中的另外的第一金属线连接至三个晶体管的相反端部处的有源区。

[0016] 在另外的方面中,第二金属线组包括以规则间隔分隔开的三个平行的金属线,该金属线沿着第一单个单元的宽度延伸,使得三个N-MOS晶体管的至少一部分定位在第二金

属线组中的第一条第二金属线与第二条第二金属线之间,而第三单个单元具有三个N-MOS晶体管,该三个N-MOS晶体管定位在第二金属线组中的第二条第二金属线与第三条第二金属线之间的间隔中。

[0017] 在另外的方面中,N-MOS晶体管和P-MOS晶体管中的每者均具有连接至多晶硅层的栅极区。

[0018] 在另外的方面中,N-MOS晶体管中的一个N-MOS晶体管具有栅极区,所述一个N-MOS晶体管的该栅极区具有多晶硅层,所述一个N-MOS晶体管的该栅极区通过金属线或多晶硅层连接至第一P-MOS晶体管的栅极区和第二P-MOS晶体管的栅极区。

[0019] 在另外的方面中,第一单个单元在第一存储器单体与第二存储器单体之间具有足够长的空间,以对下述进行容置:横向地邻近于所述第一单个单元的第二单个单元的存储器单体,或者其自己的单元的第三存储器单体。

[0020] 在另外的方面中,第二单个单元包括三个存储器单体,该三个存储器单体包括与第一单个单元的所述第一P-MOS晶体管和所述第二P-MOS晶体管相同的第一P-MOS晶体管和第二P-MOS晶体管。

[0021] 在另外的方面中,第二单个单元中的第一P-MOS晶体管与第二P-MOS晶体管之间的距离等于第一单个单元中的第一P-MOS晶体管与第二P-MOS晶体管之间的距离,从而使得:在第一单个单元中的第一PMOS晶体管和第二PMOS晶体管的邻近于第二单个单元的有源区与第二单个单元中的第一PMOS晶体管和第二PMOS晶体管的邻近于第一单个单元的有源区结合时,形成公共有源区。

[0022] 在另外的方面中,第二单个单元包括第三存储器单体,第三存储器单体包括三个N-MOS晶体管,该三个N-MOS晶体管具有与第一单个单元的结构类似的结构。

[0023] 在另外的方面中,第二单个单元中的第三存储器单体具有与第一单个单元的第三存储器单体的尺寸相同的尺寸。

[0024] 在另外的方面中,第一单个单元的所述第三存储器单体与第三单个单元的第三存储器单体组合,其中,第三单个单元与第二单个单元至少部分地交叠,所述第三单个单元与第四单个单元至少部分地交叠,所述第四单个单元在与所述第二单个单元所位于的侧相反的侧上横向地邻近于第三单个单元。

[0025] 在另外的方面中,第三单个单元包括三个存储器单体,所述第三单个单元的该三个存储器单体包括第一存储器单体、第二存储器单体和第三存储器单体,所述第三单个单元的该第一存储器单体和第二存储器单体与第一单个单元的第一存储器单体和第二存储器单体相同;所述第三单个单元的该第三存储器单体具有与在第一单个单元中的N-MOS晶体管成镜像的布置。

[0026] 在另外的方面中,第三单个单元还包括:(1) 第一金属线组,所述第三单个单元的该第一金属线组平行于单个单元的长度而布置,所述第三单个单元的该第一金属线组具有与第一单个单元的第一金属线组相同的结构;以及(2) 第二金属线组,所述第三单个单元的该第二金属线组平行于单个单元的宽度而布置,所述第三单个单元的该第二金属线组具有与第一单个单元的第二金属线组的间隔相同的间隔。

[0027] 在另外的方面中,第三单个单元中的第一存储器单体与第二存储器单体之间的距离等于第一单个单元的第一存储器单体与第二存储器单体之间的距离。

[0028] 在另外的方面中,第四单个单元包括第一存储器单体和第二存储器单体,所述第四单个单元的该第一存储器单体和第二存储器单体与第二单个单元中的第一存储器单体和第二存储器单体相同。

[0029] 在另外的方面中,第三存储器单体包括:(1) 第一金属线组,该第一金属线组平行于单个单元的长度而布置,该第一金属线组具有与第二单个单元的第一金属线组相同的结构;以及(2) 第二金属线组,该第二金属线组平行于单个单元的宽度而布置,该第二金属线组具有与第二单个单元的第二金属线组的间隔相同的间隔。

[0030] 在另外的方面中,第三存储器单体被配置有与第二单个单元中的N-MOS晶体管成镜像的布置,其中,第二单个单元的第三存储器单体与第四单个单元的第三存储器单体组合。

附图说明

[0031] 说明书的以下附图部分被包括以进一步展示本发明的某些实施方式或各个方面。在一些情况下,通过参照附图并结合本文给出的详细描述可以最好地理解本发明的实施方式。描述和附图可以突出显示本发明的某个特定示例或某个方面。然而,本领域技术人员将理解的是,该示例或方面的部分可以与本发明的5个其他示例或方面结合使用。

[0032] 图1是非易失性存储器装置中的单独的存储器单元的示意性电路图。

[0033] 图2A示出了对应于图1的存储器单元的传统单个单元结构。

[0034] 图2B是包括图2A的四个单个单元的传统单元阵列的平面图。

[0035] 图3示出了形成图1中的单个存储器单元的晶体管的三维布局结构。

[0036] 图4示出了根据本发明的一个实施方式的图1中的单独的非易失性存储器单元的第一布局结构。

[0037] 图5示出了根据本发明的一个实施方式的图1中的单独的非易失性存储器单元的第二布局结构。

[0038] 图6示出了根据本发明的一个实施方式的图1中的单独的非易失性存储器单元的第三布局结构。

[0039] 图7示出了根据本发明的一个实施方式的图1中的单独的非易失性存储器单元的第四布局结构。

[0040] 图8是示出了根据本发明的一个实施方式的图1中的单独的非易失性存储器单元的第五布局结构的图示。

[0041] 图9是示出了根据本发明的一个实施方式的图1中的单独的非易失性存储器单元的第六布局结构的图示。

[0042] 图10示出了根据本发明的一个实施方式的第一单个单元阵列。

[0043] 图11示出了根据本发明的一个实施方式的第二单个单元阵列。

[0044] 图12示出了根据本发明的一个实施方式的第三单个单元阵列。

[0045] 图13A和图13B分别示出了与图4和图5中所示的单个单元类似的单个单元的实施方式。

[0046] 图14A和图14B分别示出了与图4和图5中所示的单个单元类似的单个单元的实施方式。

- [0047] 图15示出了根据本发明的一个实施方式的第四单个单元阵列。
- [0048] 图16示出了根据本发明的一个实施方式的第五单个单元阵列。
- [0049] 图17示出了根据本发明的一个实施方式的第六单个单元阵列。
- [0050] 图18示出了根据本发明的一个实施方式的与图4中的第一布局结构等效的示例性布局结构。
- [0051] 图19示出了根据本发明的一个实施方式的与图6中的第三布局结构等效的示例性布局结构。

具体实施方式

[0052] 图2A示出了图1中的存储器单个单元(unit cell)的传统布局。在图2A中,“多晶硅”指的是多晶硅层。“Nwell”指的是形成在基板(未示出)上的N阱。“有源”指的是扩散区,以及多个扩散区由一个或更多个非有源区彼此分隔开。“金属1”指的是第一金属层,以及“金属2”指的是第二金属层。第一金属层和第二金属层可以是相同的金属组分或不同的金属组分,以及第一金属层与第二金属层之间的差异可以理解为:在半导体器件的芯片上具有不同的层级。例如,在半导体器件中形成过孔,以将两个金属化层电互连。“VIA 1”指的是将(1)多晶硅层连接至金属1层或将(2)n阱上的有源区连接至金属1层的过孔。“VIA 2”指的是将(1)多晶硅层连接至金属2层或(2)将金属1层连接至金属2层的过孔。然而,重要的是,有源区必须在创建金属2层之前连接至VIA 1,因为直到VIA 1就位后才创建金属2。类似地,如果在有源区中存在需要直接连接至金属3层的半导体,则其连接方式如下:有源区-过孔1-过孔2-过孔3-金属3。

[0053] 在存储器单个单元(200)中,M1晶体管(240)、M2晶体管(260)和M3晶体管(250)的栅极区背对背连接在p型基板(未示出)上以形成浮置栅极(FG)(242)节点。S1晶体管(230)具有位于p型基板上的有源源极区和漏极区(例如,N型掺杂区)以及限定了有源源极区与漏极区之间的沟道的栅极。有源区平行于RWL(231)。成对的金属1层(以蓝色示出)分别通过VIA 1沿着存储器单个单元的宽度(Wtu)连接至S1晶体管的漏极区和源极区。特别地,金属1具有两个层,其中的一个层连接至BL线(232),其中的另一层经由VIA 2耦合至金属2。

[0054] 金属2层(251)通过VIA 2穿过M1(240)晶体管连接至S1晶体管(230)和M3晶体管(250)(即,S1晶体管的源极区到M3晶体管的漏极区)。多晶硅层(以红色示出)耦合至S1晶体管的栅极区并沿着存储器单个单元(200)的宽度(Wtu)延伸至RWL线(231)。

[0055] 在p型基板上的第一N阱(210)中,M1晶体管(240)具有有源漏极区和源极区(即,P型掺杂区)以及限定了漏极区与源极区之间的沟道的栅极区。覆盖栅极区的多晶硅层(242)(以红色示出)位于栅极区之上。覆盖M1晶体管的有源漏极区和源极区的金属层1(以蓝色示出)延伸至PWL线层(241)。

[0056] 在p型基板上,M3晶体管(250)具有有源漏极区和源极区(即,N型掺杂区)以及限定了漏极区与源极区之间的沟道的栅极区。覆盖M1晶体管的多晶硅(242)延伸至M3晶体管的栅极区。成对的金属1层(以蓝色示出)平行于多晶硅层并且分别覆盖M3晶体管的漏极区和源极区。M3晶体管具有两个有源区,其中的一个有源区通过金属2层(251)穿过M1晶体管连接至S1晶体管的一个有源区,其中的另一有源区通过另一金属2层(273)穿过M2晶体管连接至S2晶体管(270)的一个有源区。

[0057] 在p型基板上的第二N阱(220)中,M2晶体管(260)具有有源漏极区和源极区(即,P型掺杂区)以及限定了置于漏极区与源极区之间的沟道的栅极区。覆盖M1晶体管和M3晶体管的多晶硅层(以红色示出,242)延伸至覆盖M2晶体管的栅极区。有两个金属1层(以蓝色示出)平行于多晶硅层,该两个金属1层延伸至WWL输入线(261)并覆盖M2晶体管漏极区和源极区。

[0058] 在p型基板上,S2晶体管(270)具有有源漏极区和源极区(即,N型掺杂区)以及限定了置于漏极区与源极区之间的沟道的栅极区。有源区平行于EWL线(271)和CSL线(272)而布置。成对的金属1层(以蓝色示出)分别通过VIA 1沿着存储器单个单元的宽度(Wtu)连接至S2的漏极区和源极区。金属1中的一个金属1层延伸至CSL线(272),金属1中的另一金属1层通过VIA 2耦合至金属2层(273)。金属2层(273)通过VIA 2穿过M2晶体管连接至M3晶体管。多晶硅层耦合至晶体管S2的栅极区并且沿着存储器单个单元的宽度(Wtu)延伸至EWL线(271)。

[0059] 图2B示出了沿字线方向WL布置的四个单个单元(280)的平面图。在单元(cell)阵列中,宽度(Wta)为高达单个单元的宽度(Wtu)的四倍,以及长度(Lta)与单个单元的尺寸(Ltu)相匹配。四个单个单元横跨单个单元方向的宽度以阵列的方式布置成使得四个单个单元共享读取字线RWL(231)、编程字线PWL(241)、写入字线WWL(261)和边缘字线EWL(272)。单个单元宽度(Wtu)根据字线方向WL上两个相邻晶体管的有源层之间的最小间隔规则来设定。

[0060] 图3示出了图2A中的单独的存储器单元(即,M1晶体管、M3晶体管和M2晶体管)布局的一部分的透视图。金属层位于扩散接触层(有源源极区和漏极区)和栅电极接触层(多氧化物区)之上。金属层包括:第一金属(金属1)层、第一过孔(VIA 1)、第二金属(金属2)层和第二过孔(VIA 2)。金属层和过孔可以限定所需的电路连接。电路的逻辑功能是通过将存储器单元中的扩散接触部和栅电极接触部经由金属层和过孔连接来实现的。金属层和过孔不限于动态阵列架构中的特定数目的互连层。动态阵列的实施方式可以包括第二金属层(金属2)之外的附加互连层。替代性地,在另一实施方式中,动态阵列可以包括多于两个金属层。

[0061] 图4至图9示出了用于根据本发明的非易失性存储器装置的不同单个单元结构(A型至F型单个单元)。在示例中,A型可以与B型配对,C型可以与D型配对,以及E型可以与F型配对。

[0062] 尽管它们的结构不同,但单个单元具有某些共同的技术特征。例如,每个单个单元具有三个子组,一个子组具有N-MOS晶体管(S1、M3和S2),另外的两个子组具有P-MOS晶体管(M1或M2)。在单个单元中,每个晶体管都具有有源区(漏极区和源极区),其中的一些晶体管连接至金属层,而另外的晶体管则位于金属层周围没有任何连接。所有晶体管的栅极均由多晶硅栅极层覆盖。此外,一个晶体管上的多晶硅栅极层:(1)经由金属1层连接至另一晶体管上的多晶硅栅极层,或者(2)连接至金属2。

[0063] 针对每个单个单元,M1晶体管和M2晶体管分隔开相同的距离。M1与M2之间的间隙或者由自身单个单元的S1晶体管、M3晶体管和S2晶体管占据(C型和D型),或者留作自由空间(A型、B型、E型和F型),并且M1与M2之间的间隙在与其他单个单元组合时被填充。连接至单个单元的输入线(RWL、CSL和EWL)被分隔开,同时保持相同的位置和距离,无论布局类型如何。以这种方式,可以在无需协调输入线的情况下对具有不同布局类型但对于S1晶体管、

M3晶体管和S2晶体管具有相同空间的单个单元组合。此外,无论单个单元的类型如何,由输入线(RWL、CSL和EWL)所占据的空间都足以填充M1晶体管与M2晶体管之间的空间。

[0064] 还应当注意的是,M1晶体管和M2晶体管的位置可以基于技术需要而互换,但是无论位置如何变化,M1晶体管和M2晶体管之间的空间(距离)保持不变。A型到F型都可以根据本文提供的进行修改。此外,取决于架构要求,可以使用不同的金属层(例如,金属2、金属3或金属4等)来连接单个单元的子组。此外,可以使用多晶硅层或不同的金属层来连接第一组和第二组。可以使用不同的金属层来连接第二组和第三组。

[0065] 图4示出了根据本发明的第一实施方式的集成电路上的A型单个单元。A型单个单元(400)包括三个子组。第一子组(410)包括S2晶体管、M3晶体管和S1晶体管;第二子组(420)包括M1晶体管;以及,第三子组(430)包括M2晶体管。

[0066] 在第一子组(410)中,S2晶体管、M3晶体管和S1晶体管位于RWL线层与CSL线层之间。S2晶体管、M3晶体管和S1晶体管形成在包含四个n型有源区(以灰色示出)的p型基板上。多晶硅栅极层横跨单个单元的长度平行布置在S2晶体管、M3晶体管和S1晶体管的栅极区上。S2晶体管的源极区通过VIA 1(411)耦合至金属1(以蓝色示出),并且将经耦合的金属1通过VIA 2(412)连接至CSL线层(金属2)。S2晶体管上的多晶硅栅极层(以红色示出)延伸穿过CSL层并通过VIA 1(未示出)和VIA 2(413)耦合至EWL层(金属2)。

[0067] S2晶体管的漏极区与M3晶体管的源极区共享第一公共有源区(公共扩散区,414)。在M3晶体管中,栅极区连接至多晶硅栅极层。M3晶体管的漏极区与S1晶体管的源极区共享第二公共有源区(公共扩散区,415)。S1晶体管具有:栅极区,该栅极区由多晶硅栅极层覆盖,该多晶硅栅极层通过VIA 1(未示出)和VIA 2(416)连接至RWL线层;以及漏极区,该漏极区通过VIA 1(417)连接至位线(BL)。CSL线层和EWL线层两者都平行于单个单元的宽度,并且在CSL线层与EWL线层之间没有布置晶体管。CSL线层与EWL线层之间的空间(418)被设计成:当对两种类型的单个单元(A型和B型)组合时,所述空间(418)容置B型单个单元的S1晶体管、M3晶体管和S2晶体管。

[0068] 在第二子组(420)中,M1晶体管在p型基板上的n阱(421)中形成有两个p型扩散区。此外,存在将M1晶体管的p型扩散区分隔开的栅极区。耦合至栅极区的多晶硅层定位在栅极区上。与多晶硅层平行,金属1层(422)分别耦合至M1晶体管的漏极区和源极区并且延伸至PWL线层(423)。金属1层(424)将M3晶体管连接至M1晶体管。具体地,金属1层(424)将M3晶体管的多晶硅栅极层耦合至M1晶体管的多晶硅栅极层。另一金属1层(425)连接M1晶体管和M2晶体管。具体地,金属1层(425)将M1晶体管的多晶硅栅极层耦合至M2晶体管的与栅极区耦合的多晶硅栅极层。

[0069] 在第三子组(430)中,M2晶体管在n阱(433)中具有两个p型扩散区,该两个p型扩散区由限定了漏极区与源极区之间的沟道的栅极区分隔开。栅极区由定位在栅极区之上的多晶硅栅极层覆盖。成对的金属1层(以蓝色示出,431)平行于多晶硅栅极层并且分别覆盖M2晶体管的漏极区和源极区,并且成对的金属1层与WWL线层(432)合并,该WWL线层(432)垂直于多晶硅线层并沿着A型单个单元的宽度穿过多晶硅线层定位。M1晶体管与M2晶体管之间是自由空间(440),该自由空间(440)被配置成容置C型单个单元和D型单个单元的S1晶体管、M3晶体管、S2晶体管的子组。因此,自由空间的尺寸取决于所容置的C型单个单元和D型单个单元的包括S1晶体管、M3晶体管、S2晶体管的子组的尺寸。

[0070] 图5示出了根据本发明的第二实施方式的集成电路上的B型单个单元结构。B型单个单元(500)包括三个子组。第一子组(510)包括S1晶体管、M3晶体管和S2晶体管;第二子组(520)包括M1晶体管;以及,第三子组(530)包括M2晶体管。

[0071] 在第一子组(510)中,S1晶体管、M3晶体管和S2晶体管定位在CSL线层与EWL线层之间,而在RWL线层与CSL线层之间没有放置晶体管。在S2晶体管、M3晶体管和S1晶体管中,多晶硅栅极层沿单个单元的长度均匀分布。

[0072] S1晶体管的漏极区通过VIA 1(511)连接至位线(BL)层。S1晶体管上的多晶硅栅极层延伸穿过CSL层并通过VIA 2(512)耦合至RWL层(金属2)。S1晶体管的源极区与M3晶体管的漏极区共享第一公共源区(公共扩散区,513)。在M3晶体管中,栅极区由多晶硅栅极层覆盖。M3晶体管的源极区与S2晶体管的漏极区共享第二公共源区(514)。S2晶体管的源极区通过VIA 1(515)耦合至金属1(以蓝色示出),并且经耦合的金属1通过VIA 2(516)连接至CSL线层(金属2)。S2晶体管的栅极区由多晶硅栅极层覆盖,多晶硅栅极层通过VIA 2(517)连接至EWL线层。

[0073] 第二子组(520)的M1晶体管和第三子组(530)的M2晶体管与图4中的A型单个单元(400)的M1晶体管和M2晶体管类似。因此此处不再重复对这些晶体管的描述。M1晶体管与M2晶体管之间存在自由空间(540)。在该自由空间(540)中,容置有C型单元和D型单元的子组。这样,自由空间的尺寸取决于所容置的C型单个单元和D型单个单元的包括S1晶体管、M3晶体管、S2晶体管的子组的尺寸。

[0074] 金属1层(521)将M3晶体管连接至M1晶体管。具体地,金属1层(521)将M3晶体管的多晶硅栅极层耦合至M1晶体管的多晶硅栅极层。另一金属1层(522)连接M1晶体管和M2晶体管。具体地,金属1层(522)将M1晶体管的多晶硅栅极层耦合至M2晶体管的与栅极区耦合的多晶硅栅极层。M1晶体管与M2晶体管之间的自由空间(540)容置C型单个单元和D型单个单元的S1晶体管、M3晶体管和S2晶体管的子组。因此,自由空间取决于子组晶体管的类型的尺寸以装配在该自由空间中。

[0075] 图6示出了根据本发明的第三实施方式的集成电路上的C型单个单元结构。C型单个单元(600)包括三个子组,其中,第一子组(610)、第二子组(620)和第三子组(630)紧密地间隔开。第一子组(610)包括M1晶体管,第二子组(620)包括S2晶体管、M3晶体管和S1晶体管,以及第三子组(630)包括M2晶体管。

[0076] 第一子组(610)的M1晶体管与图4中的第二子组(420)的M1晶体管类似,但有一处差异。差异之处在于,在A型单个单元(400)中,M1晶体管的多晶硅栅极层的一端通过金属1层(424)连接至M3晶体管的多晶硅栅极层,而M1晶体管的多晶硅栅极总线的相反端部通过金属1层(425)连接至M2晶体管的多晶硅栅极总线。另一方面,在C型单个单元中,M1晶体管具有单个开口端部,并且相反端部经由金属1层(611)连接至M3晶体管和M2晶体管。

[0077] 第二子组(620)的S2晶体管、M3晶体管和S1晶体管与A型单个单元(400)中的S2晶体管、M3晶体管和S1晶体管类似。类似特征在此不再重复描述,以及其主要技术特征如下。CSL线与EWL线之间的空间(621)被设计成由D型单个单元(700)的S1晶体管、M3晶体管和S2晶体管占据。另外,当A型单个单元(400)和B型单个单元(500)与在中间的C型单个单元(600)组合时,C型单个单元(600)的S2晶体管、M3晶体管和S1晶体管可以占据A型单个单元和B型单个单元(400、500)的M1晶体管与M2晶体管之间的自由空间(440和540)。

[0078] 第三子组 (630) 的M2晶体管与A型单个单元 (400) 中的M2晶体管类似,以及此处不再重复类似的描述。金属1层 (611) 沿着C型单个单元 (600) 的长度通过VIA 1 (612、622和631) 连接M1晶体管、M3晶体管和M2晶体管。金属1层 (611) 覆盖M3晶体管的整个多晶硅栅极总线: (1) 通过VIA 1 (612) 将M3晶体管的多晶硅栅极总线连接至M1晶体管的多晶硅栅极总线,以及 (2) 通过VIA 1 (631) 将M3晶体管的多晶硅栅极总线连接至M2晶体管的多晶硅栅极总线。

[0079] 图7示出了根据本发明的第四实施方式의 集成电路上的D型单个单元结构。D型单个单元 (700) 包括三个子组,第一子组、第二子组和第三子组在其之间都具有紧密的间距。第一子组 (710) 包括M1晶体管,第二子组 (720) 包括S2晶体管、M3晶体管和S1晶体管,以及第三子组 (730) 包括M2晶体管。由于其紧密间隔的特性,当将其组装在一起时,第二子组可以占据相邻单个单元 (例如,A型单个单元、B型单个单元、E型单个单元和F型单个单元) 中的自由空间 (440、540、840和940)。

[0080] 第一子组 (710) 的M1晶体管与C型单个单元 (600) 的M1晶体管共享结构的类似性,以及此处不再重复类似的描述。

[0081] 第二子组 (720) 的S1晶体管、M3晶体管和S2晶体管与B型单个单元 (500) 的S1晶体管、M3晶体管和S2晶体管类似,但有一处差异。

[0082] 差异之处在于,在B型单个单元 (500) 中,M1晶体管的多晶硅栅极层的一个端部通过第一金属1层 (521) 连接至M3晶体管的多晶硅栅极层,M1晶体管的多晶硅栅极总线的相反端部通过第二金属1层 (522) 连接至M2晶体管的多晶硅栅极总线。另一方面,在D型单个单元 (700) 中,M1晶体管具有单个开口端部,并且相反端部经由金属1层 (711) 连接至M3晶体管和M2晶体管。在D型单个单元 (700) 中,金属1层 (711) 覆盖M3晶体管的栅极区上的整个多晶硅栅极层: (1) 通过第一VIA 1 (712) 将M3晶体管的多晶硅栅极层连接至M1晶体管的多晶硅栅极层,以及 (2) 通过第二VIA 1 (731) 将M3晶体管的多晶硅栅极层连接至M2晶体管的多晶硅栅极层。

[0083] D型单个单元 (700) 的M2晶体管与C型单个单元 (600) 中的M2晶体管共享结构的类似性,以及此处不再重复类似的描述。

[0084] 图8示出了根据本发明的第五实施方式의 集成电路上的E型单个单元结构。E型单个单元 (800) 包括三个子组,其中在第一子组 (810) 与第二子组 (820) 之间具有自由空间 (840),而第二子组和第三子组是紧密地间隔开的。第一子组 (810) 包括M1晶体管,第二子组 (820) 包括M2晶体管,以及第三子组 (830) 包括S2晶体管、M3晶体管和S1晶体管。

[0085] E型单个单元 (800) 的M1晶体管和M2晶体管与A型单个单元 (400) 的M1晶体管和M2晶体管类似,因此此处将不再重复类似的描述。在E型单个单元中,M1晶体管与M2晶体管之间的自由空间 (840) 用于容置C型单个单元和D型单个单元 (600、700) 的S1晶体管、M3晶体管、S2晶体管的子组。因此,自由空间取决于所容置的C型单个单元和D型单个单元 (600、700) 的子组的尺寸。另外,E型单元 (800) 的M2晶体管定位在第一子组 (810) 的M1晶体管与第三子组 (830) 的S2晶体管、M3晶体管和S1晶体管之间,这与A型单个单元 (400) 的M1晶体管不同。

[0086] 在E型单个单元 (800) 中,金属1层 (811) 将M1晶体管连接至M2晶体管。具体地,金属1层 (811) 将M1晶体管的多晶硅栅极层耦合至M2晶体管的多晶硅栅极层。另一金属1层 (821)

将M2晶体管连接至M3晶体管。具体地,金属1层(821)将M2晶体管的多晶硅栅极层耦合至M3晶体管的与栅极区耦合的多晶硅栅极层。应当注意的是,取决于架构要求,可以使用不同的金属层(例如,金属2、金属3或金属4等)来连接子组。此外,多晶硅层或不同的金属层可以用于连接这些晶体管。

[0087] 在E型单个单元(800)中,S2晶体管、M3晶体管和S1晶体管形成在包含四个n型有源区的p型基板上。多晶硅栅极层以平行于单个单元的长度且均匀分布的方式设置在S2晶体管、M3晶体管和S1晶体管的栅极区上。金属1层和CSL线层(金属2层)分别通过VIA 1(831)和VIA 2(832)连接至S2晶体管的源极区。S2晶体管的栅极区之上是多晶硅栅极层,该多晶硅栅极层绕过CSL线层(金属2)并且通过VIA 2(833)直接连接至EWL线层(金属2)。S2晶体管的漏极区与M3晶体管的源极区共享第一公共有源区(公共扩散区,834)。M3晶体管的栅极区被多晶硅栅极层覆盖。M3晶体管的漏极区与S1晶体管的源极区共享第二公共有源区(公共扩散区,835)。S1晶体管具有:栅极区,该栅极区被连接至RWL线层(金属2)的多晶硅栅极层覆盖;以及漏极区,该漏极区连接至位线(BL)。

[0088] CSL线层和EWL线层两者均平行于单个单元(800)的宽度,并且当对单个单元(800、900)组合时,CSL线与EWL线之间的空间(836)将由F型单个单元(900)的S1晶体管、M3晶体管和S2晶体管占据。

[0089] 图9示出了根据本发明的第六实施方式的集成电路上的F型单个单元结构。F型单个单元(900)包括三个子组,其中在第一子组与第二子组(910、920)之间具有自由空间(940),而第二子组和第三子组(920、930)紧密地间隔开。第一子组(910)包括M1晶体管,第二子组(920)包括M2晶体管,以及第三子组(930)包括S2晶体管、M3晶体管和S1晶体管。

[0090] F型单个单元(900)的M1晶体管和M2晶体管与E型单个单元(800)中的M1晶体管和M2晶体管类似,因此此处将不再重复类似的描述。在F型单个单元(900)中,M1晶体管与M2晶体管之间的自由空间(940)用于容置C型单个单元(600)的第二子组(620)和D型单个单元(700)的第二子组(720)。因此,自由空间取决于所容置的子组的尺寸,该子组是C型单个单元和D型单个单元的S1晶体管、M3晶体管、S2晶体管的组(620和720)。与E型单个单元(800)类似,F型单个单元(900)的M2晶体管定位在第一子组(910)与第三子组(930)之间。

[0091] 在第三子组(930)中,RWL线层与CSL线层之间没有晶体管,而在CSL线层与EWL线层之间布置有S1晶体管、M3晶体管和S2晶体管。当对单个单元(800,900)组合时,RWL线与CSL线之间的空间(931)将由E型单个单元(800)的S1晶体管、M3晶体管和S2晶体管占据。多晶硅栅极层(以红色示出)以平行于单个单元的长度且均匀分布的方式设置在S2晶体管、M3晶体管和S1晶体管的栅极区上。S1晶体管的漏极区通过VIA 1(932)连接至位线(BL)层。S1晶体管之上的多晶硅栅极层(以红色示出)是足够长的,以绕过CSL线层并且直接连接至RWL线层(金属2)。S1晶体管的源极区与M3晶体管的漏极区共享第一公共有源区(公共扩散区,933)。在M3晶体管中,栅极区被多晶硅栅极层覆盖。M3晶体管的源极区与S2晶体管的漏极区共享第二公共有源区(934)。S2晶体管的源极区分别通过VIA 1(935)和VIA 2(936)耦合至金属1(以蓝色示出)和CSL线层(金属2)。S2晶体管的栅极区被多晶硅栅极层(以红色示出)覆盖,多晶硅栅极层连接至设置在多晶硅栅极之上的EWL线层(金属2)。

[0092] 图10是根据本发明的一个实施方式的A型单个单元和C型单个单元的阵列的布局的平面图。所提出的单个单元A和单个单元C的单元布局组合(A-C)会产生以下空间效果。

[0093] (1) 将A型单个单元(400)的M1晶体管和M2晶体管以及C型单个单元(600)的M1晶体管和M2晶体管分别耦合,使得经耦合的晶体管的长度等于耦合之前每个晶体管的长度。

[0094] (2) 将A型的M1晶体管和M2晶体管的与C型单个单元邻近的两个有源区以及C型的M1晶体管和M2晶体管的与C型单个单元邻近的两个有源区合并在一起,形成两个公共有源区(1010和1020)。因此,所组合的两个单个单元(A-C)的宽度(Wpa)远小于其各自宽度的和(2Wtu)。

[0095] (3) 当A型单个单元和C型单个单元(400、600)耦合时,C型单个单元(600)的S1晶体管、M3晶体管和S1晶体管(620)容置在A型单个单元(400)中的M1晶体管与M2晶体管之间的自由空间(440)中,因此它们需要与它们在该空间外部的情况相比较小的空间。

[0096] (4) 由于(2)和(3)的影响,两个单个单元(A-C)的组合具有比它们的宽度的和(2Wtu)窄得多的宽度(Wpa)。此外,与图2A所述的传统单个单元的长度(Ltu)相比,单个单元的组合(A-C)具有较长的长度(Lpa),以容置C型单个单元的第二子组。

[0097] 图11示出了A型单个单元和C型单个单元以及添加的B型单个单元的阵列的布局的平面图。所提出的单个单元A、单个单元C和单个单元B的单元布局组合(A-C-B)会产生以下空间效果。

[0098] (1) 将C型的M1晶体管和M2晶体管的与B型单个单元邻近的两个有源区以及B型的M1晶体管和M2晶体管的与C型单个单元邻近的两个有源区合并在一起,形成两个公共有源区(1110和1120)。

[0099] (2) 将A型单个单元中的S1晶体管栅极区和B型单个单元的S1晶体管栅极区合并成公共栅极区(1130),因此需要与A型和B型的两个S1晶体管具有它们自己独立的栅极区的情况相比较小的空间。

[0100] (3) 用于B型单个单元的S1晶体管的有源区(1140)被分配在用于A型单个单元的S1晶体管的有源区(418)的正下方。然而,如果S1晶体管并排定位,则需要附加的空间来布置S1晶体管的有源区。

[0101] (4) 已经位于A型单个单元的M1晶体管与M2晶体管之间的自由空间(440)中的C型单个单元的S2晶体管、M3晶体管和S1晶体管(620)变成位于B型单个单元的M1晶体管与M2晶体管之间的自由空间中。因此,这些晶体管占据与它们位于A型中该空间外部的情况相比较小的空间。

[0102] (5) 由于(1)、(2)、(3)和(4)的影响,三个单个单元的组合(A-C-B)具有与其传统宽度的和(3Wtu)相比较窄的宽度(Wpa)。此外,与如图2A所示的传统单个单元的长度(Ltu)相比,单个单元的组合(A-C-B)具有较长的长度(Lpa),以容置C型的单个单元的第二子组。

[0103] 在图12中,图12为A型单个单元、C型单个单元和B型单个单元以及添加的D单个单元的第三阵列。所提出的单个单元A、单个单元C、单个单元B和单个单元D的单元布局组合(A-C-B-D)会产生以下空间效果。

[0104] (1) 将B型单个单元的M1晶体管和M2晶体管的与D型单个单元邻近的两个有源区以及D型单个单元的M1晶体管和M2晶体管的与B型单个单元邻近的两个有源区合并在一起,形成两个公共有源区(1210和1220),其中一个公共有源区(1210)由B型的M1晶体管和D型的M1晶体管共享,而另一公共有源区(1220)由B型的M2晶体管和D型的M2晶体管共享。

[0105] (2) D型单个单元的S1晶体管、M3晶体管和S2晶体管(1230)位于A型和B型的M1晶体

管与M2晶体管之间的自由空间(440、540)中,因此它们需要与它们在该区域外部的情况相比较小的空间。

[0106] (3) 将C型单个单元的S1晶体管栅极区和D型单个单元的S1晶体管栅极区合并成公共栅极区(1240),因此需要与C型和D型的两个S1晶体管都具有它们自己独立的栅极区相比较小的空间。

[0107] (4) 由于(1)、(2)和(3)的影响,四个单个单元的组合(A-C-B-D)具有与其传统宽度的和($4W_{tu}$)相比较窄的宽度(W_{pa})。此外,与如图2A所示的传统单个单元的长度(L_{tu})相比,单个单元的组合(A-C-B-D)具有较长的长度(L_{pa}),以容置C型单个单元和D型单个单元的第二子组。

[0108] 图13A示出了图4中的单个单元以及经重新布置的金属2线的一个实施方式。图13A示出了A型单个单元的第三子组(410)中的金属2线可以被重新布置成CSL-RWL-EWL。因此,当A型单个单元与具有与A型单个单元的第三子组相当的第三子组的其他类型的单个单元组合时,并且当对A型单个单元的金属2线进行重新布置时,其他类型的单个单元也将具有发生变化的金属2线。然而,这种经重新布置的金属2线对第三子组(410)中的金属2线与S2晶体管、M3晶体管和S1晶体管之间的VIA2连接不产生影响。

[0109] 图13B示出了图5中的单个单元以及经重新布置的金属2线的一个实施方式。B型单个单元的第三子组(510)中的金属2线被重新布置成CSL-RWL-EWL。具有经重新布置的金属2线的B型单个单元将与图13A中的具有经重新布置的金属2线的A型单个单元耦合。然而,与图13A中具有经重新布置的金属2线的A型单个单元一样,这些经重新布置的金属2线对第三子组(510)中的这些线与S2晶体管、M3晶体管和S1晶体管之间的VIA2连接不产生影响。

[0110] 图14A示出了图4中的单个单元以及经重新布置的金属2线的另一实施方式。图14A示出了A型单个单元的第三子组(410)中的金属2线可以被重新布置成RWL-EWL-CSL。因此,当A型单个单元与具有与A型单个单元的第三存储器单体(unit)相当的第三存储器单体的其他类型的单个单元组合时,并且当对A型单个单元的金属2线进行重新布置时,其他类型的单个单元也将具有发生变化的金属2线。然而,这种经重新布置的金属2线对第三子组(410)中的金属2线与S2晶体管、M3晶体管和S1晶体管之间的VIA2连接不产生影响。

[0111] 图14B示出了图5中的单个单元以及经重新布置的金属2线的一个实施方式。B型单个单元的第三子组(510)中的金属2线被重新布置成RWL-EWL-CSL。具有经重新布置的金属2线的B型单个单元将与图14A中的具有经重新布置的金属2线的A型单个单元耦合。然而,与如图14A中具有经重新布置的金属2线的A型单个单元一样,这些经重新布置的金属2线对第三子组(510)中的这些线与S2晶体管、M3晶体管和S1晶体管之间的VIA2连接不产生影响。还可以在对金属2线与VIA 2线之间的连接没有影响的情况下,在单个单个单元中对三个金属2线的六种组合重新布置。

[0112] 图15至图17是根据本发明的一个实施方式的另一示例性阵列的平面图。本发明涉及设置M1晶体管与M2晶体管之间的距离,留出与该距离相对应的空白空间,并且使横向地邻近的单体占据该空间。另外,当具有晶体管S1、晶体管M3和晶体管S2的单个单元耦合在一起时,相邻单个单元中的晶体管中的一个晶体管可以共享相同的栅极区。

[0113] 图15示出了C型单个单元和E型单个单元的组合的第一布局。所提出的这种单元布局(C-E)能够实现具有以下空间效果的紧凑单元阵列。

[0114] (1) 将C型单个单元的M1晶体管和M2晶体管的与E型的端侧部邻近的两个有源区以及E型中的M1晶体管和M2晶体管的与C型的端侧部邻近的两个有源区被合并在一起,形成两个公共有源区(1510和1520),其中一个公共有源区(1510)由C型的M1晶体管和E型的M1晶体管共享,而另一公共有源区(1520)由C型的M2晶体管和E型的M2晶体管共享。在组合M1和M2的有源区时,需要与这四个晶体管具有独立的有源区相比较小的宽度。

[0115] (2) C型单个单元的S2晶体管、M3晶体管和S1晶体管(620)容置在E型的M1晶体管和M2晶体管(840)之间,因此它们占据与它们位于该空间外部的情况相比较小的空间。

[0116] (3) C型单个单元在M2晶体管下方不包含子组,该子组对应于E型单个单元的S2晶体管、M3晶体管和S1晶体管的位置(1530)。因此,即使当C型单个单元和E型单个单元被组合时,所组合的E型单个单元的S2晶体管、M3晶体管和S1晶体管也不需要附加的空间,并且它们占据的空间保持不变。

[0117] (4) 由于(1)、(2)和(3)的影响,所组合的两个单个单元(C-E)具有与其传统的宽度的和($2W_{tu}$)相比较窄的宽度(W_{pa})。另外,与如图2A所示的传统单个单元的长度(L_{tu})相比,单个单元的组合(C-E)具有较长的长度(L_{pa}),以容置C型单个单元和D型单个单元的第二子组。

[0118] 图16示出了C型单个单元和E型单个单元以及添加的D型单个单元的第二阵列。所提出的这种单元布局(C-E-D)能够实现具有以下空间效果的紧凑单元阵列。

[0119] (1) 将E型单个单元中M1晶体管和M2晶体管的与D型的端侧部邻近的两个有源区以及D型中M1晶体管和M2晶体管的与E型的端侧部邻近的两个有源区合并在一起,形成两个公共有源区(1610和1620),其中一个公共有源区(1610)由E型的M1晶体管和D型的M1晶体管共享,而另一公共有源区(1620)由E型的M2晶体管和D型的M2晶体管共享。通过组合M1和M2的有源区,需要与这四个晶体管具有它们自己的独立的有源区的情况相比较小的空间。

[0120] (2) 将C型单个单元的S1晶体管栅极区和D型单个单元的S1晶体管栅极区合并成公共栅极区(1630),因此需要与C型单个单元和D型单个单元中的两个S1晶体管都具有它们自己独立的栅极区的情况相比较小的空间。

[0121] (3) 用于D型单个单元的S1晶体管的有源区(1640)被分配在用于C型单个单元的S1晶体管的有源区(1650)的正下方。这消除了对用于S1晶体管的有源区的附加空间的需求。

[0122] (4) D型单个单元的S1晶体管、M3晶体管和S2晶体管(1660)容置在E型中的M1晶体管与M2晶体管之间的自由空间(840)中,因此它们需要与它们在该区域之外的情况相比较小的空间。

[0123] (5) 由于(1)、(2)、(3)和(4)的影响,所组合的三个单个单元(C-E-D)具有与其传统宽度的和($3W_{tu}$)相比窄得多的宽度(W_{pa})。另外,与如图2A所示的传统单个单元的长度(L_{tu})相比,单个单元的组合(C-E)具有较长的长度(L_{pa}),以容置C型单个单元和D型单个单元的第二子组。

[0124] 图17示出了根据本发明的一个实施方式的单个单元阵列。在图17中,图17为C型单个单元、E型单个单元和D型单个单元以及添加的F型单个单元的第三单元阵列。所提出的这种单元布局(C-E-D-F)能够实现具有以下空间效果的紧凑单元阵列。

[0125] (1) 将D型单个单元中的M1晶体管和M2晶体管的与F型的端侧部邻近的两个有源区以及F型中的M1晶体管和M2晶体管的与D型的端侧部邻近的两个有源区合并在一起,形成两

个公共有源区(1710和1720),其中一个公共有源区(1710)由D型的M1晶体管和F型的M1晶体管共享,而另一公共有源区(1720)由D型的M2晶体管和F型的M2晶体管共享。通过组合M1和M2的有源区,需要与这四个晶体管具有它们自己的独立的有源区的情况相比较小的空间。

[0126] (2) 由于D型单个单元的S2晶体管、M3晶体管和S1晶体管(1660)容置在E型和F型中的M1晶体管与M2晶体管之间的自由空间(840、940)中,所以它们占据与它们位于外部的情况相比较小的空间。

[0127] (3) 用于F型的S1晶体管的有源区(1730)被分配在用于E型的S1晶体管的有源区(836)的正下方。这消除了对用于S1晶体管的有源区的附加空间的需求。

[0128] (4) E型中的S1晶体管栅极区和F型中的S1晶体管栅极区合并成公共栅极区(1740),因此需要与E型和F型中的两个S1晶体管都具有它们自己独立的栅极区的情况相比较小的空间。与具有A-C-B-D型单个单元的組合的阵列一样,所提出的具有C-E-D-F型单个单元的組合的阵列占据与传统的具有四个单个单元布置的阵列相比较小的空间。

[0129] (5) 由于(1)、(2)、(3)和(4)的影响,所組合的四个单个单元(C-E-D-F)占据与其传统宽度的和($4W_{tu}$)相比较窄的空间(W_{pa})。另外,一个单个单元的M1晶体管与M2晶体管之间的自由空间增加,使得当它们耦合在一起时可以容置另一单个单元的子组。因此,所組合的单个单元具有与典型的单个单元組合相比较长的布局,但所組合的单个单元具有与典型的单个单元組合相比窄得多的宽度。

[0130] 图18示出了根据本发明的示例性修改的A型单个单元结构。如图18所示,可以通过对作为A型单个单元的第一子组的晶体管S2-M3-S1的布置(410)成镜像为晶体管S1-M3-S2的布置(1810)来对A型单个单元进行修改。为了与所修改的A型单个单元配对,可以通过根据本发明的一个实施方式将作为B型单个单元的第一子组的S1-M3-S2(510)的顺序成镜像为晶体管S2-M3-S1的顺序来对B型单个单元进行修改。B型单元的这种重新布置是与A型单元的经重新布置的晶体管中的相邻一个晶体管共享S2的栅极区。

[0131] 还可以对A型单个单元进行修改,使得通过将两个独立的多晶硅总线组合成单个多晶硅总线(1820)来去除连接M1晶体管和M3晶体管的金属1层(424),而其他的子组晶体管保持相同。

[0132] 图19示出了根据本发明的示例性修改的C型单个单元结构。可以通过对作为C型单个单元的第二子组的晶体管S2-M3-S1的布置(620)成镜像为晶体管S1-M3-S2的布置(1910)来对C型单个单元进行修改。为了与所修改的C型单个单元配对,可以通过根据本发明的一个实施方式对作为D型单个单元的第二子组的S1-M3-S2的顺序(720)成镜像为晶体管S2-M3-S1的顺序来对D型单个单元进行修改。D型单元的这种重新布置是与C型单元的经重新布置的晶体管中的相邻一个晶体管共享S2的栅极区。

[0133] 还可以对C型单个单元进行修改,使得通过将三个独立的多晶硅总线组合成单个多晶硅栅极总线(1920)来去除用于连接M1晶体管、M3晶体管和M2晶体管的金属1层(611),而其他的子组晶体管保持相同。

[0134] 虽然上面已经参考所公开的实施方案和示例对特定的实施方案进行了描述,但是这种实施方式仅是说明性的并且不限制本发明的范围。可以根据本领域的普通技术进行改变和修改,而不脱离如所附权利要求所限定的本发明的更广泛方面。

[0135] 所有出版物、专利和专利文献均通过引用并入本文,如同单独通过引用并入一样。

由此不应从中理解与本公开不一致的任何限制。已经参考各种特定和优选的实施方式和技术对本发明进行了描述。然而,应当理解的是,可以在保持在本发明的精神和范围内的情况下进行许多变化和修改。

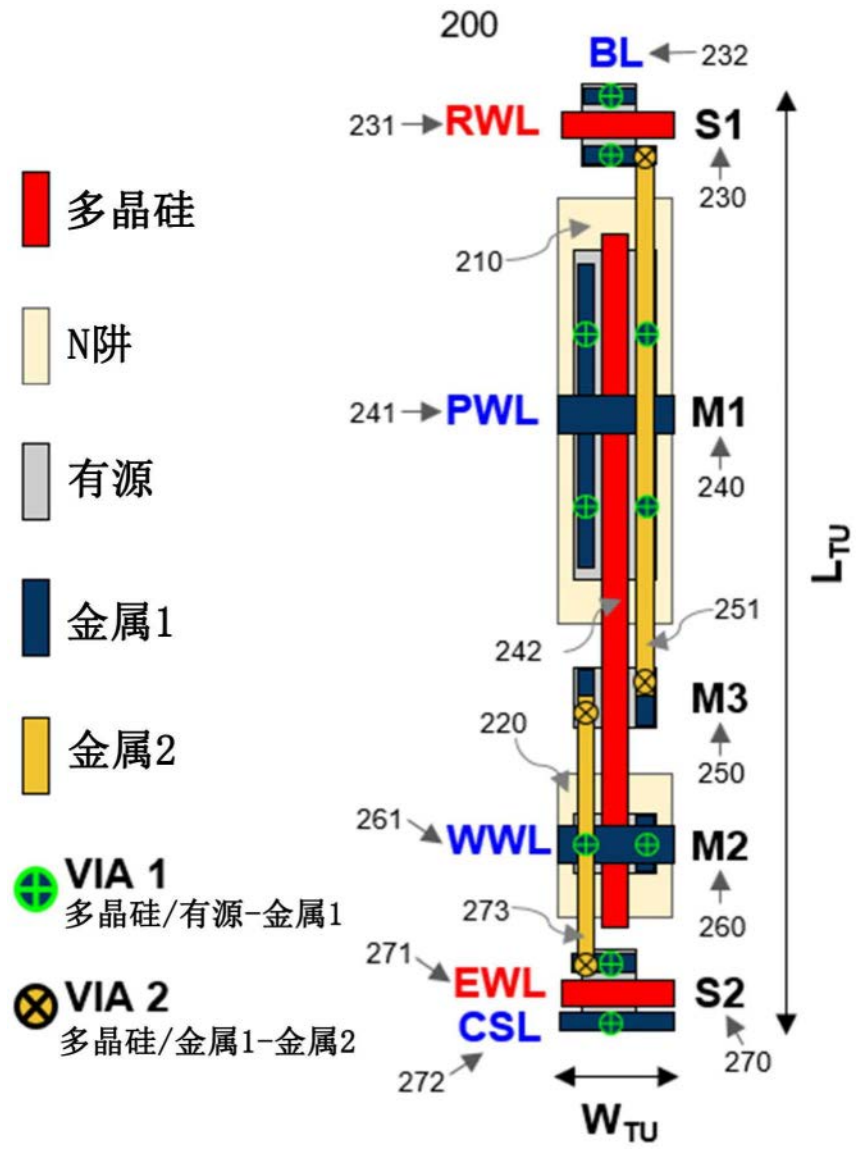


图2A

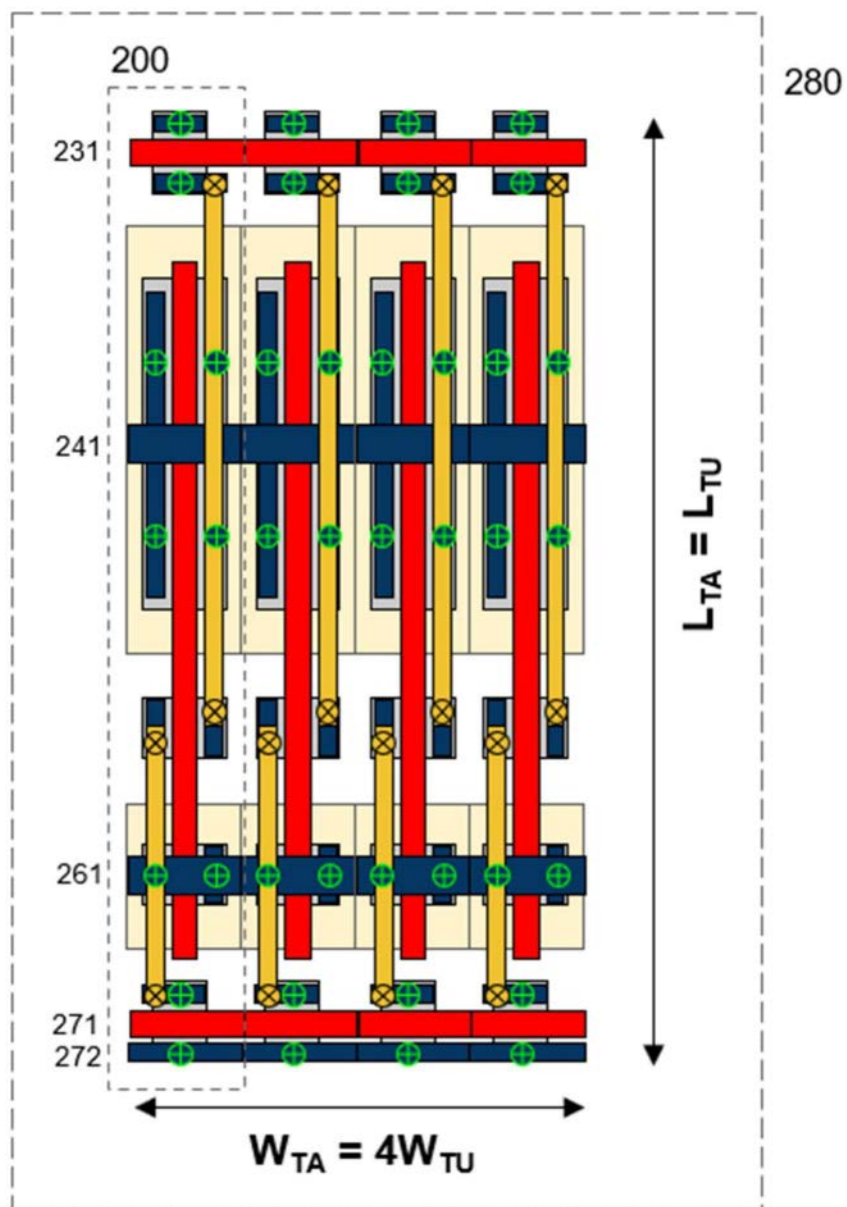


图2B

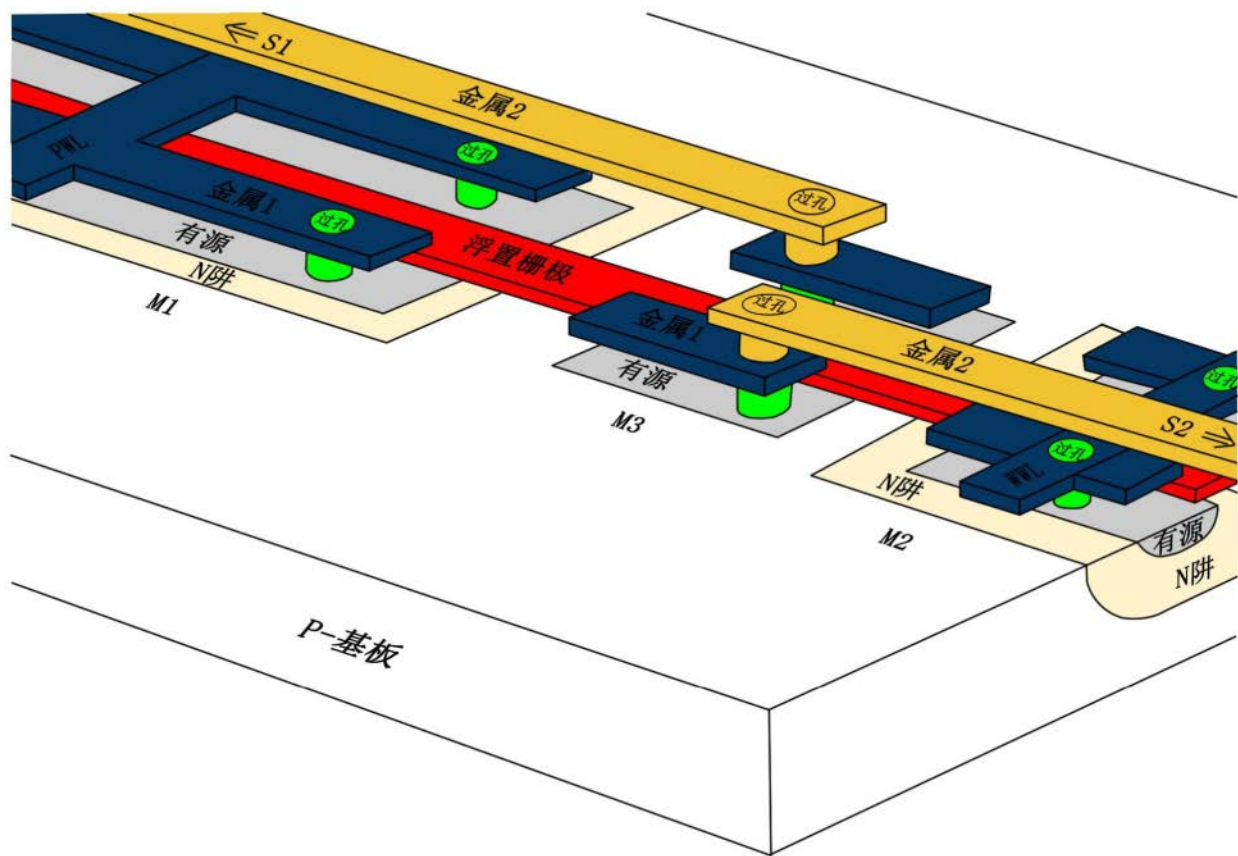


图3

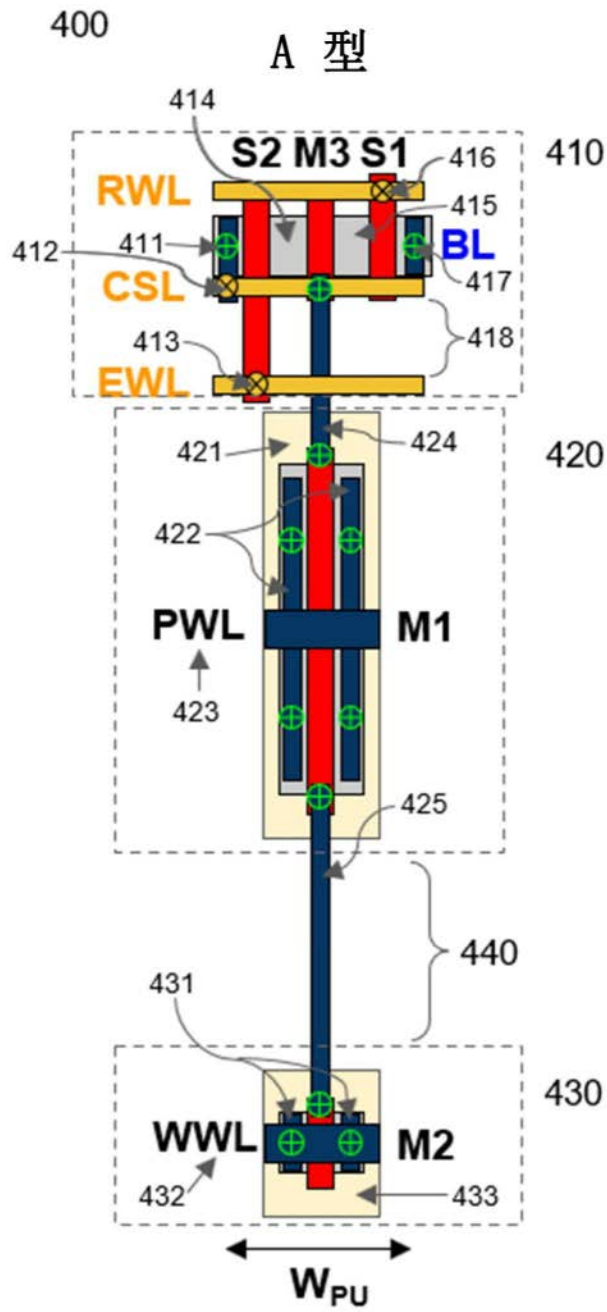


图4

500

B 型

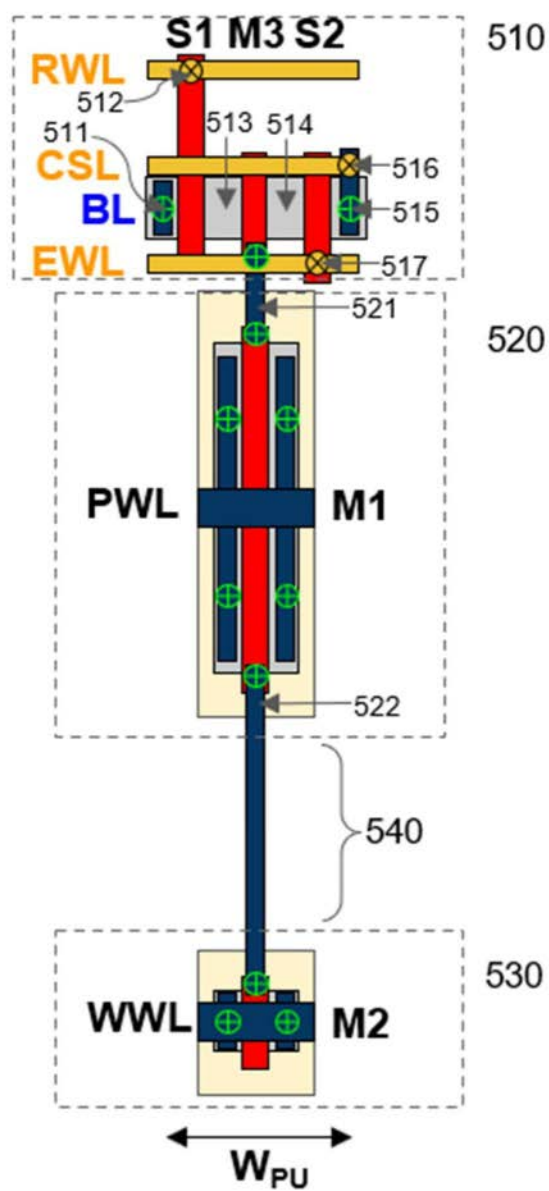


图5

600

C 型

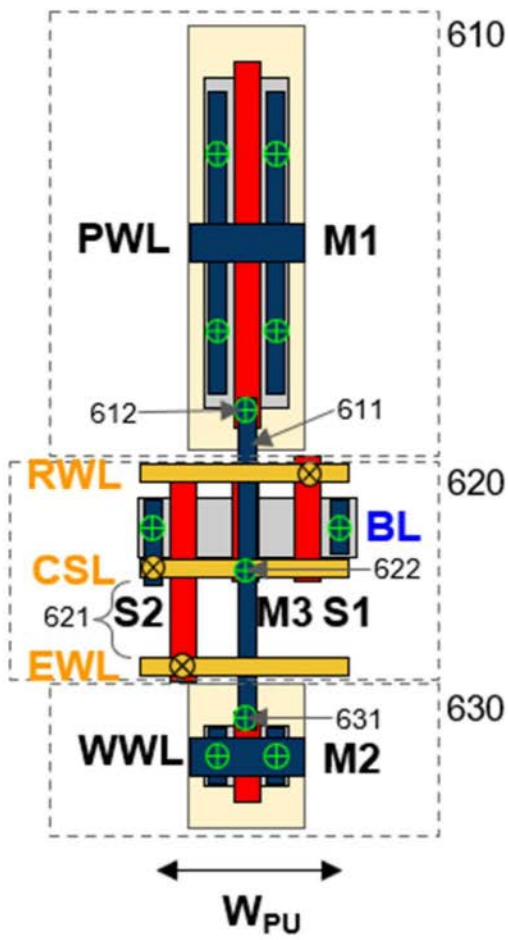


图6

700

D 型

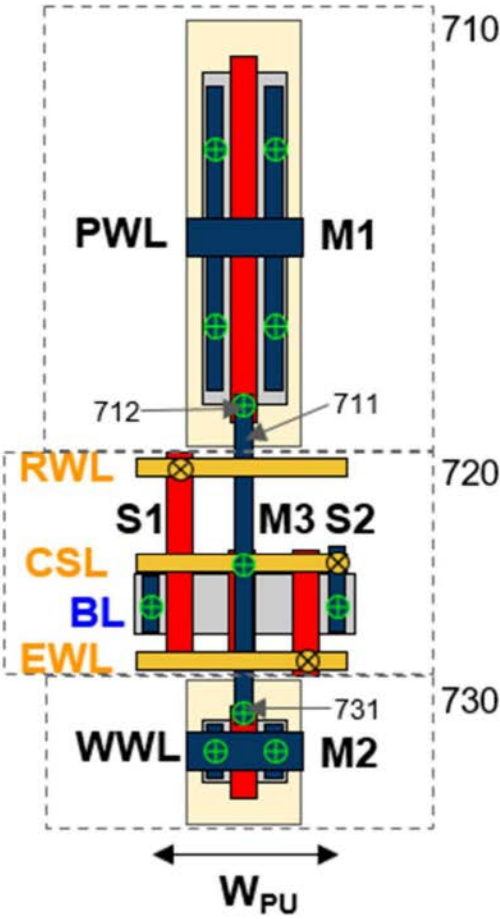


图7

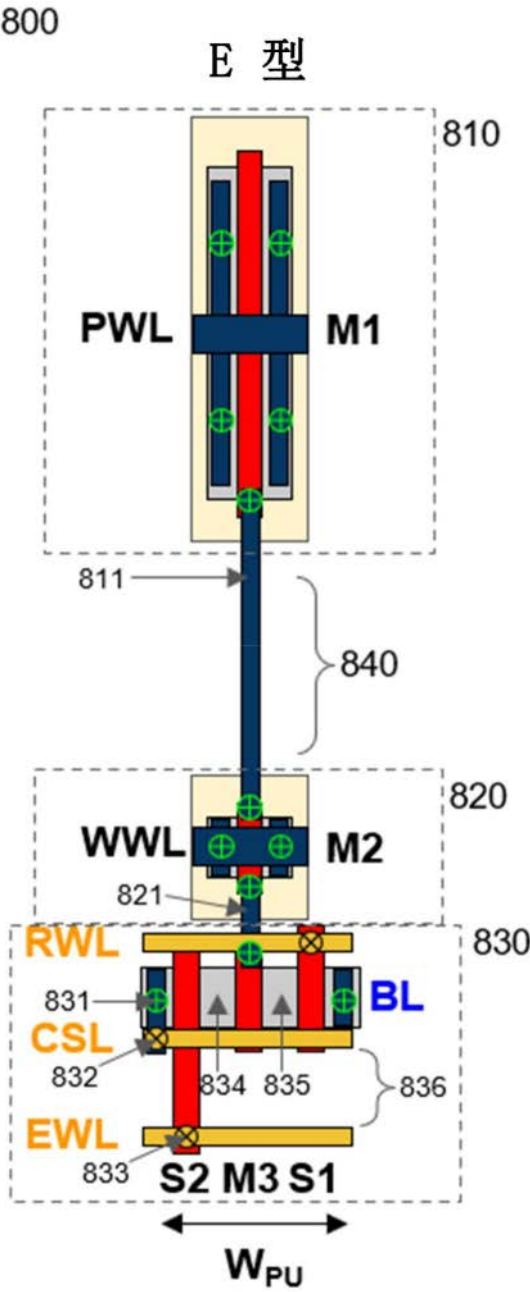


图8

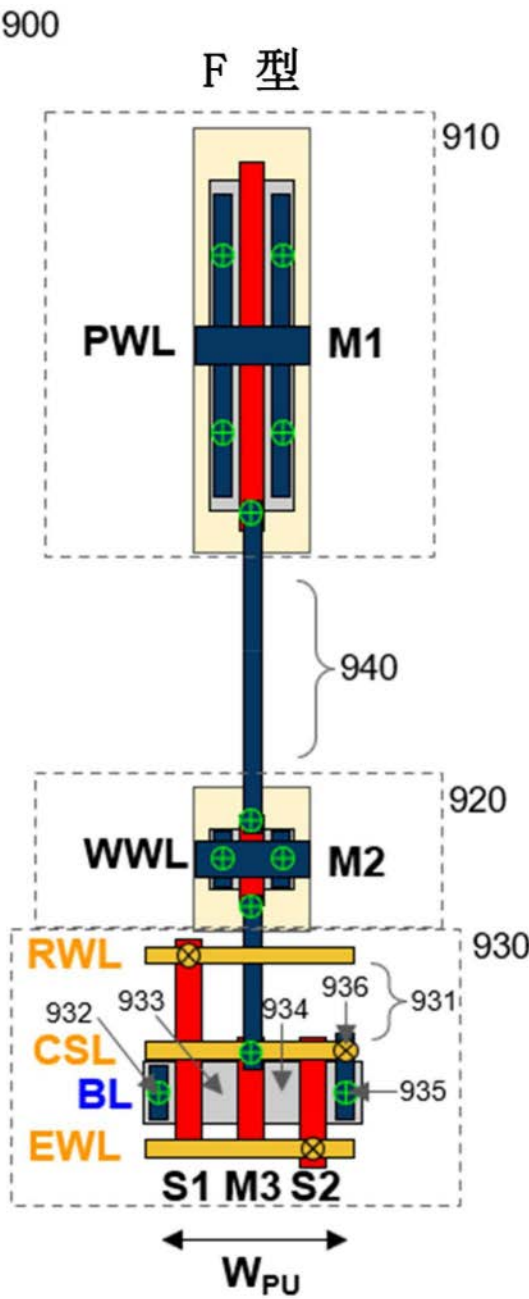


图9

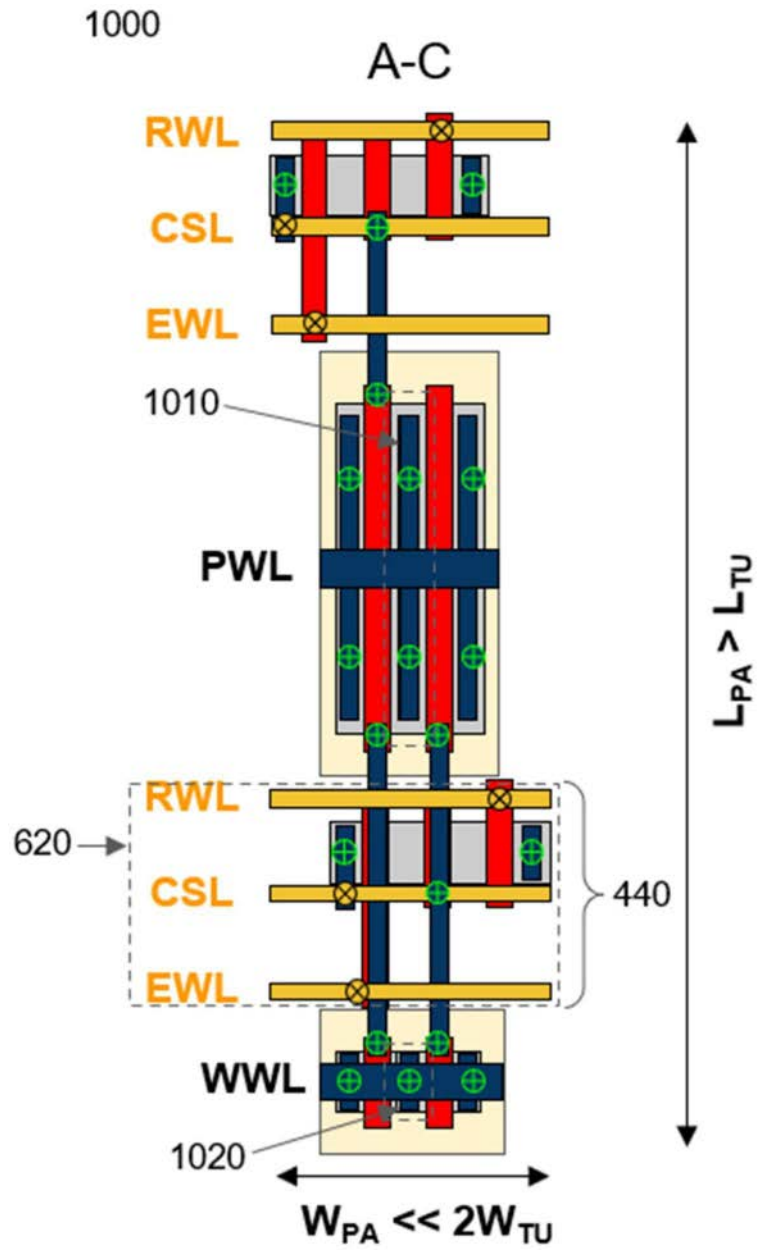


图10

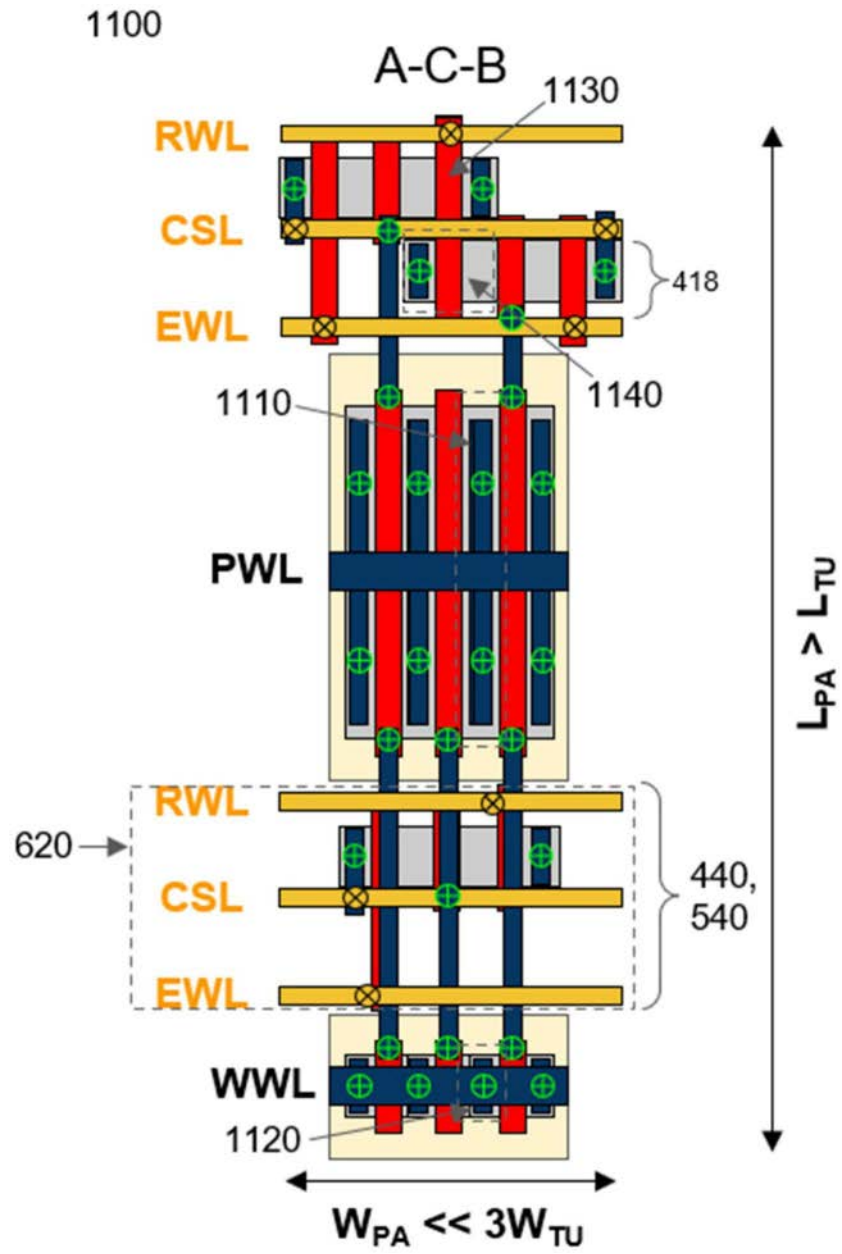


图11

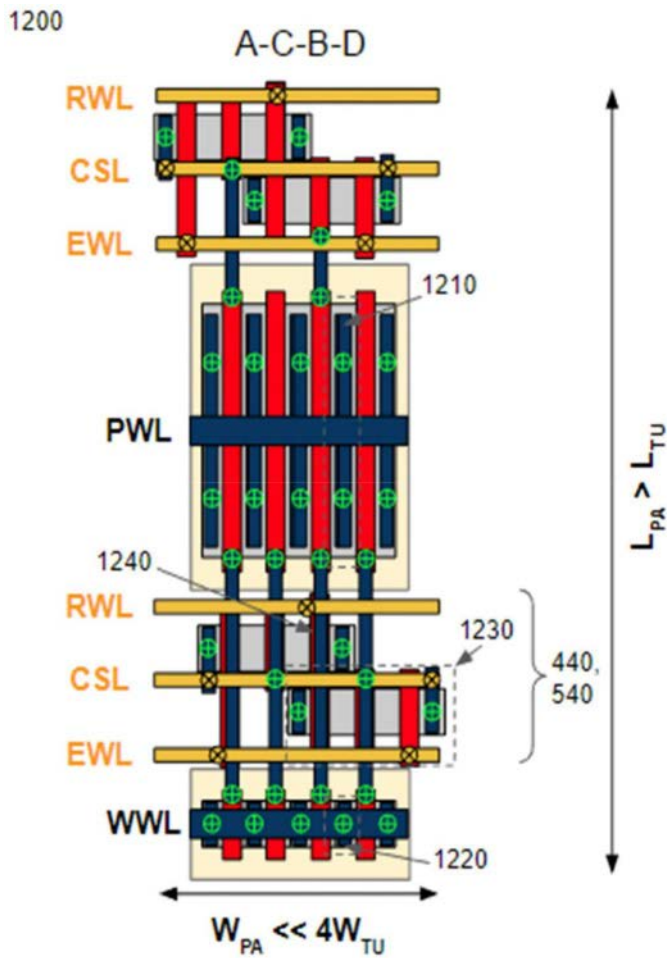


图12

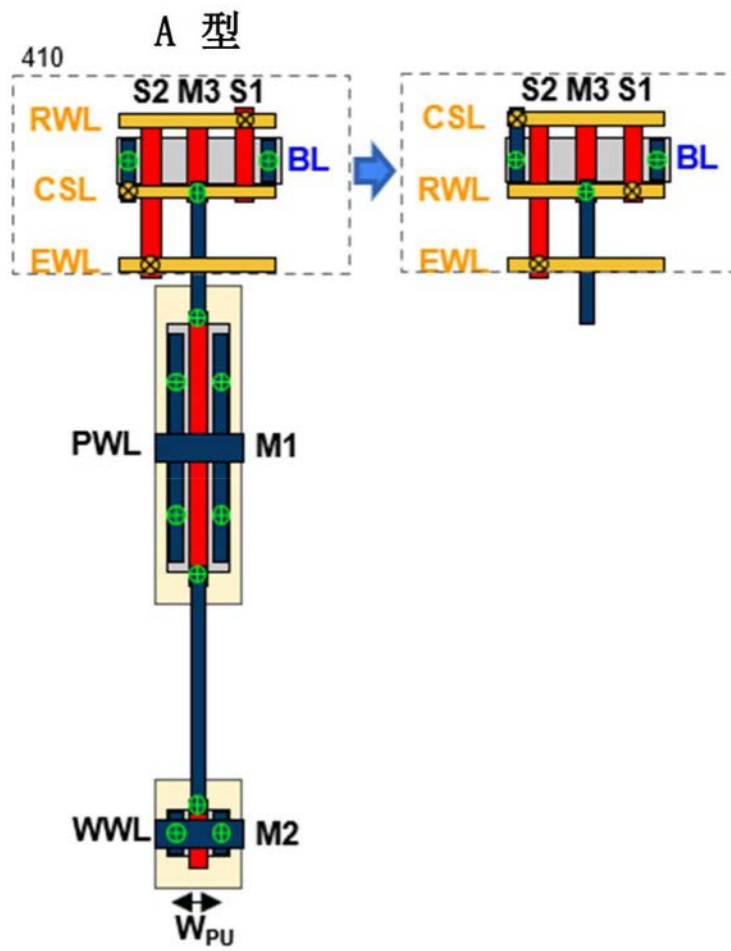


图13A

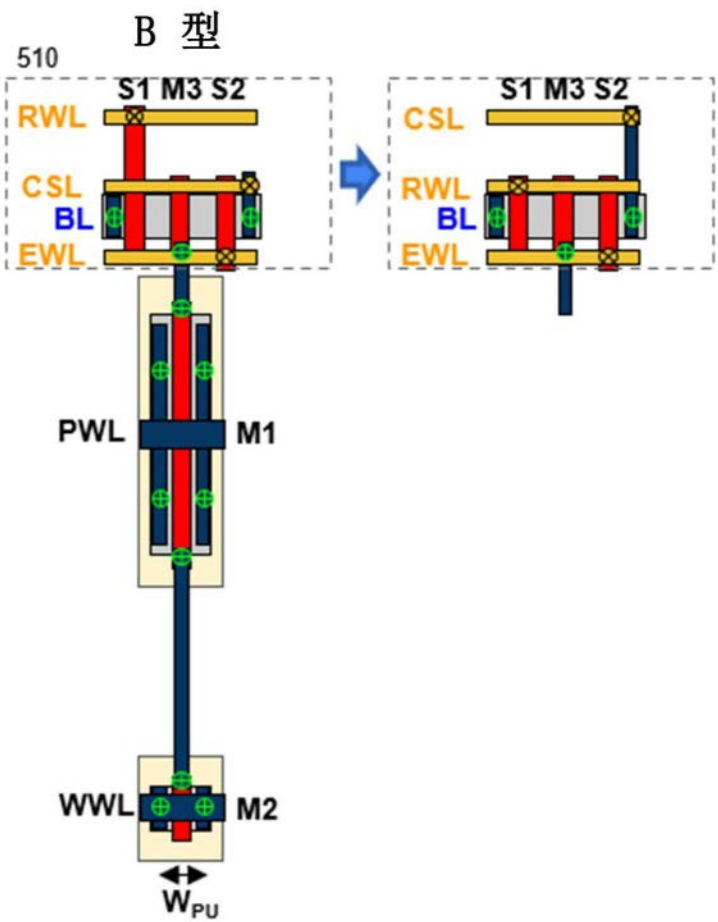


图13B

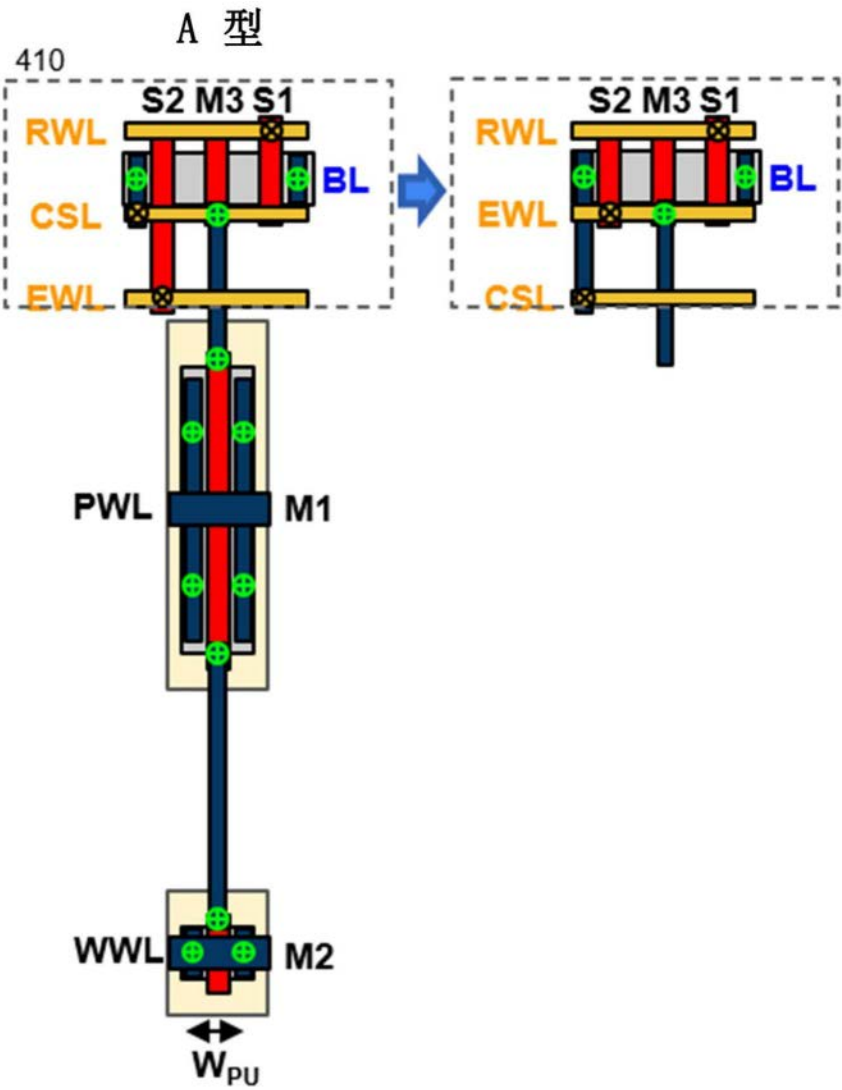


图14A

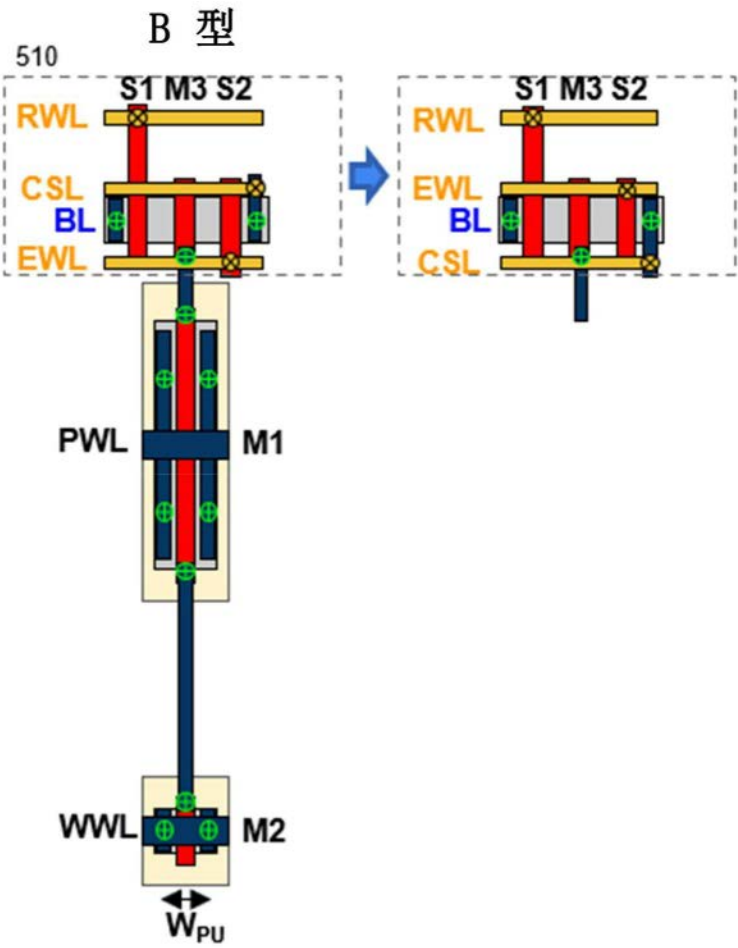


图14B

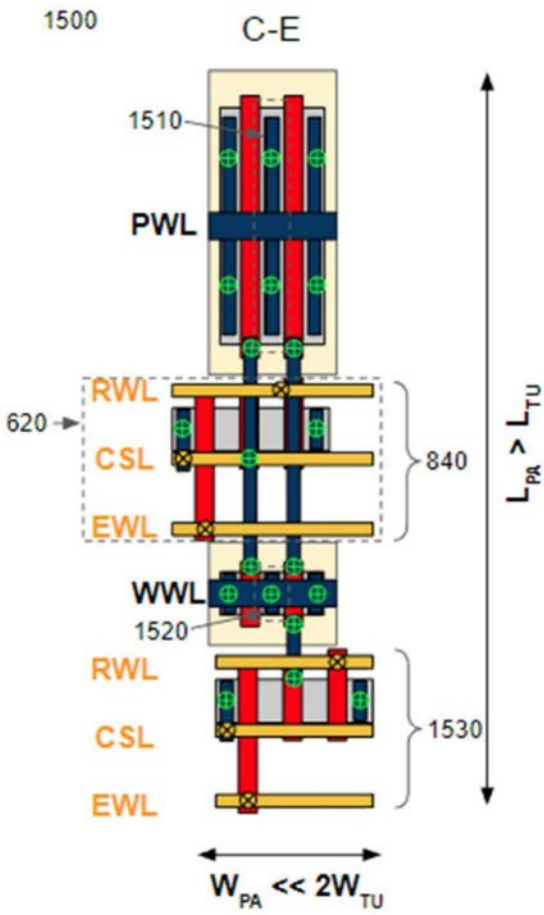


图15

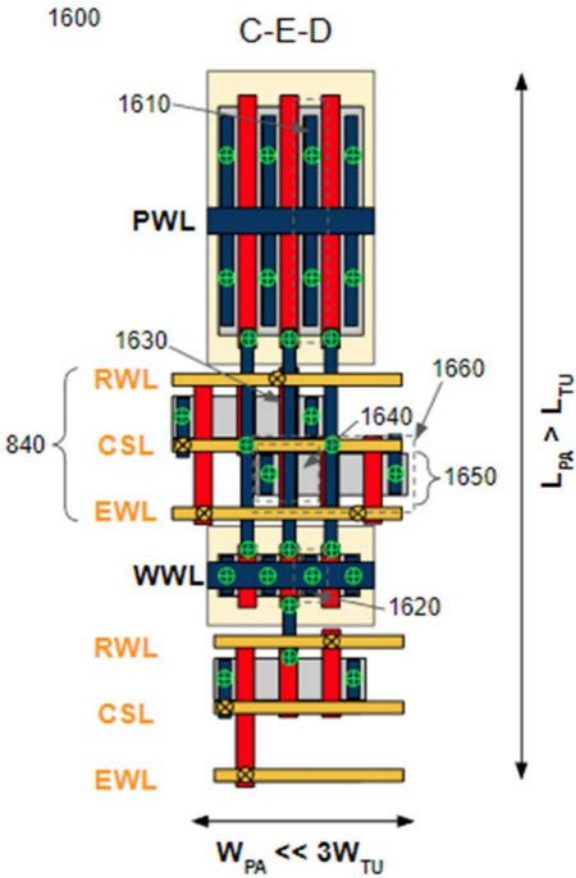


图16

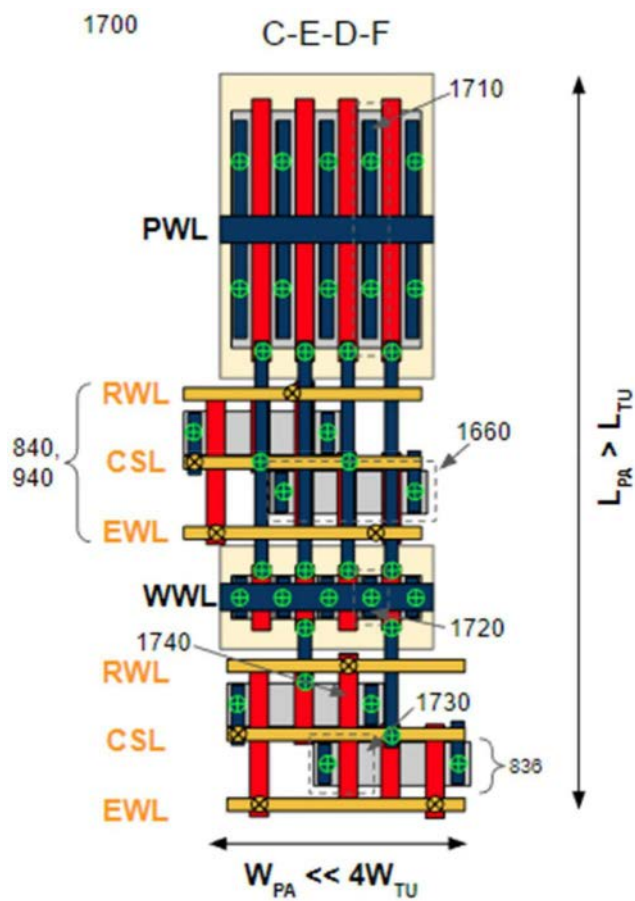


图17

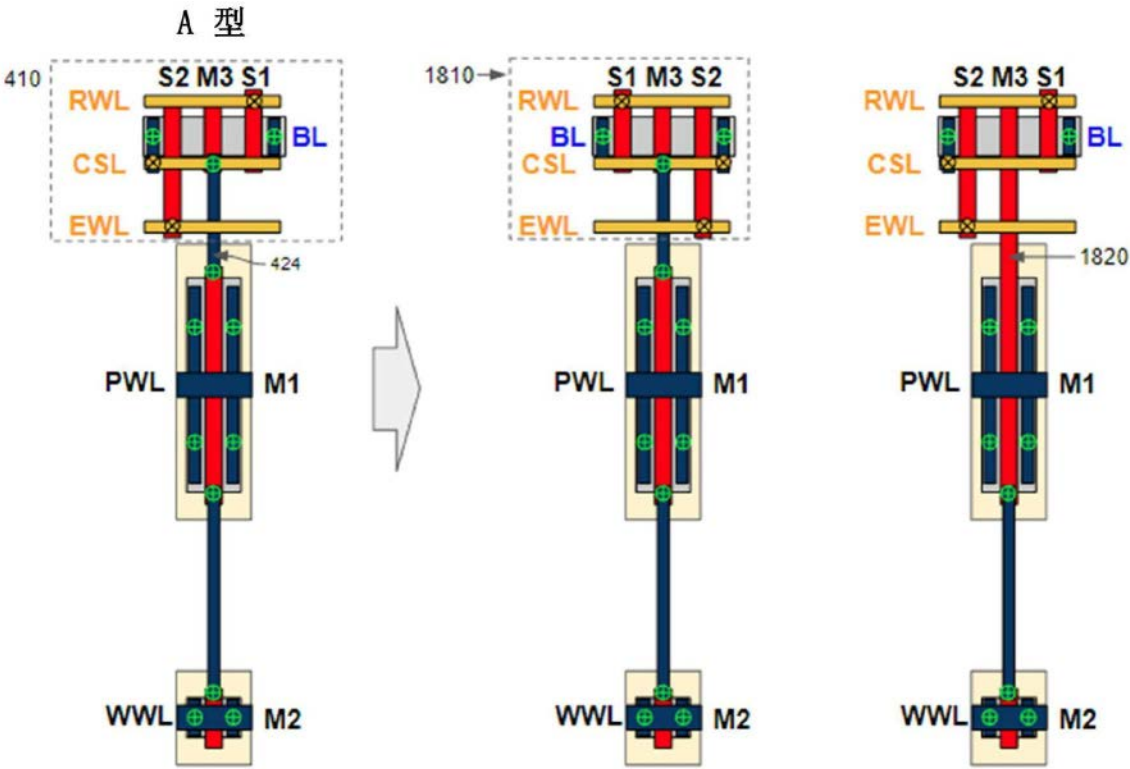


图18

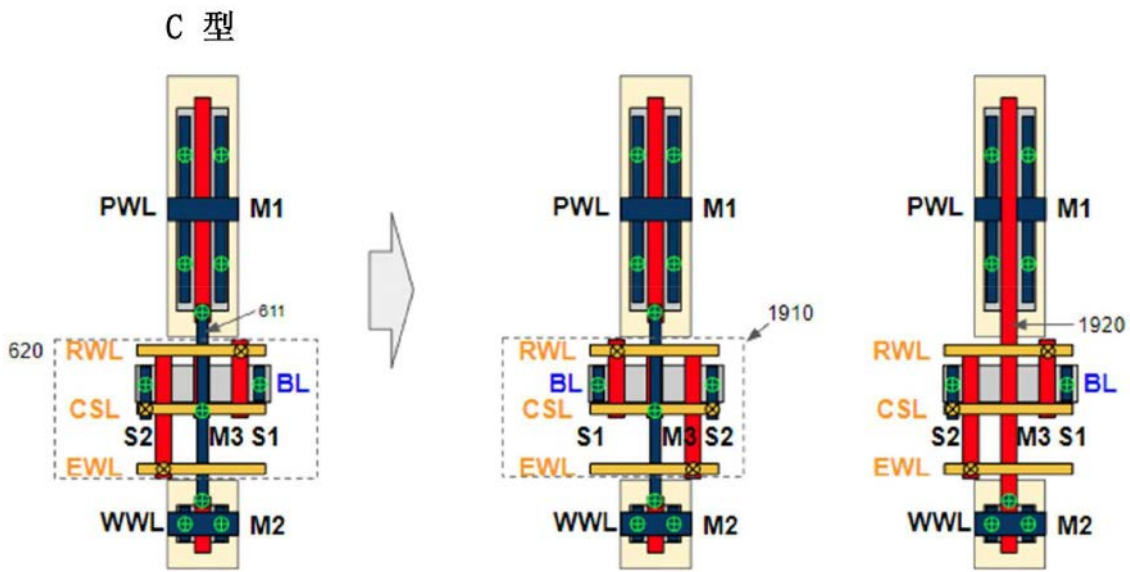


图19