

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月1日(01.02.2018)



(10) 国際公開番号

WO 2018/021150 A1

(51) 国際特許分類:
H05K 1/02 (2006.01) *H05K 3/46* (2006.01)

(21) 国際出願番号: PCT/JP2017/026331

(22) 国際出願日: 2017年7月20日(20.07.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-147671 2016年7月27日(27.07.2016) JP
特願 2017-013647 2017年1月27日(27.01.2017) JP

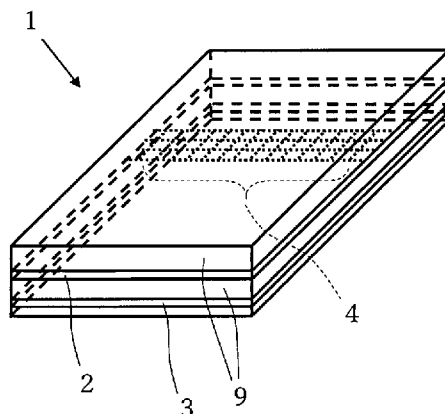
(71) 出願人: 国立大学法人岡山大学(NATIONAL UNIVERSITY CORPORATION OKAYAMA UNIVERSITY) [JP/JP]; 〒7008530 岡山県岡山市北区津島中一丁目1番1号 Okayama (JP). 京セラ株式会社(KYOCERA

CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).

(72) 発明者: 豊田 啓孝 (TOYOTA, Yoshitaka); 〒7008530 岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内 Okayama (JP). 五百旗頭 健吾 (IOKIBE, Kengo); 〒7008530 岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内 Okayama (JP). 林 星小雨 (LIN, Xingxiaoyu); 〒7008530 岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内 Okayama (JP). 金子 俊之 (KANEKO, Toshiyuki); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 内藤 政則 (NAITO, Masanori); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 上原 利久 (UEHARA,

(54) Title: PRINTED WIRING BOARD

(54) 発明の名称: 印刷配線板



(57) Abstract: This printed wiring board comprises a power supply layer and a ground layer. A power supply layer pattern formed in a portion of the power supply layer includes: a branch which is a direct-current power feeding path connecting adjacent EBG unit cells; and a power supply layer electrode that is connected through a slit provided along the branch. A capacitive coupling element arranged in opposition to the power supply layer electrode with a layer provided therebetween has a structure in which EBG unit cells are arranged at regular intervals, the EBG unit cells being connected to the branch in the power supply layer pattern through a via.

(57) 要約: 本開示の印刷配線板は、電源層とグラウンド層とを含み、電源層の一部に形成される電源層パターンが、隣接するEBG単位セル間を接続する直流給電路であるブランチと、このブランチに沿って設けられたスリットを介して接続する電源層電極を含み、前記電源層電極と対向するよう層間を設けて配置される容量結合素子が、前記電源層パターン内のブランチと、ビアを介して接続されるEBG単位セルが周期的に配置された構造を有する。

[続葉有]



Toshihisa); 〒6128501 京都府京都市伏見区竹田
鳥羽殿町 6 番地 京セラ株式会社内 Kyoto (JP).

(74) 代理人: 深 井 敏 和 (**FUKAI, Toshikazu**);
〒5406591 大阪府大阪市中央区大手前 1 丁目
7 番 3 1 号 OMMビル 8 階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：印刷配線板

技術分野

[0001] 本開示は、電磁バンドギャップ構造を有する印刷配線板に関する。

背景技術

[0002] 多層印刷配線板の電源層－グラウンド層で生じる平行平板共振抑制または高周波ノイズ伝搬抑制には、ノイズ抑制部品またはノイズ伝搬抑制を有する多層印刷配線板が考えられる。多層印刷配線板における電源系ノイズの低減には、通常、コンデンサが用いられる。一方、ノイズ伝搬抑制には、電源層－グラウンド層に対して電磁バンドギャップ (Electromagnetic band gap: E B G) 構造体を利用される。このような E B G 構造体を利用した印刷配線板は、例えば特許文献 1 ～ 5 に開示されている。

先行技術文献

特許文献

- [0003] 特許文献1：特開 2 0 1 0 － 1 0 1 8 3 号公報
特許文献2：特開 2 0 1 3 － 5 8 5 8 5 号公報
特許文献3：特開 2 0 1 3 － 1 8 3 0 8 2 号公報
特許文献4：特開 2 0 1 3 － 2 5 5 2 5 9 号公報
特許文献5：特開 2 0 1 4 － 2 7 5 5 9 号公報

発明の概要

[0004] 本開示の印刷配線板は、電源層とグラウンド層とを含む。電源層に形成される電源層パターンが、隣接する E B G 単位セル間を接続する直流給電路であるブランチと、このブランチに沿って設けられたスリットを介して接続する電源層電極を含む。電源層電極と対向するよう層間を設けて配置される容量結合素子が、電源層パターンのブランチと、ビアを介して接続される E B G 単位セルが周期的に配置された構造を有する。

図面の簡単な説明

[0005] [図1]本開示の一実施形態に係る印刷配線板を示す説明図である。

[図2] (a) は図 1 に示す印刷配線板に設けられた E B G 構造の一実施形態を示す説明図であり、(b) は E B G 構造に含まれる電源層パターンを示す説明図であり、(c) は E B G 構造に含まれる容量結合素子を示す説明図である。

[図3]本開示の電源電極を 2 層構造にすることによる小型化の原理説明のための E B G 単位セルに含まれる並列共振回路の等価回路図である。

[図4]並列共振回路の共振周波数が電源層電極と容量結合素子との距離に依存することを示す電磁界シミュレーション結果のグラフである。

[図5]透過特性の電磁界シミュレーション用の印刷配線板の一実施形態を示す説明図である。

[図6]図 5 の印刷配線板を用いた電磁界シミュレーション結果を示すグラフである。

[図7] (a) は E B G 構造の他の実施形態を示す説明図であり、(b) は E B G 構造に含まれる電源層パターンを示す説明図であり、(c) は E B G 構造に含まれる容量結合素子を示す説明図である。

[図8]図 7 (a) に示す E B G 構造を構成している E B G 単位セルに含まれる共振回路部分の等価回路である。

[図9]図 7 (a) に示す E B G 単位セル中の共振回路の共振周波数を求めるための電磁界シミュレーション結果を示すグラフである。

[図10] (a) は E B G 構造のさらに他の実施形態を示す説明図であり、(b) は E B G 構造に含まれる電源層パターンを示す説明図であり、(c) は E B G 構造に含まれる容量結合素子を示す説明図である。

発明を実施するための形態

[0006] 一般に使用されているコンデンサでは、等価直列インダクタンス (E S L) の影響によって、数百 MHz 以上でノイズ抑制の効果を期待できない。1 GHz 以上の周波数でのノイズ伝搬抑制については、E B G 構造を基板に設けることが有効とされている。しかし、実用化には E B G 構造の小型化が不

可欠であり、小型化が容易なオープスタブを使用したE B G構造が報告されている。このE B G構造では、電源層ーグラウンド層間にビアを形成する必要があり、コスト面で不利となる。一方、電源層ーグラウンド層間にビアが形成されていないE B G構造は、一般的に小型化しにくいという問題がある。

[0007] 本開示の印刷配線板に設けられているE B G構造は、電源層ーグラウンド層間にビアが形成されていなくても、電源層に容量結合素子を付加して電源電極を2層構造とすることによって、より小型化を実現することができる。以下、本開示の印刷配線板について詳細に説明する。

[0008] 本開示の一実施形態に係る印刷配線板1は、図1に示すように、電源層2とグラウンド層3とを含み、この電源層2は、その一部にE B G構造4を有している。電源層2とグラウンド層3の間は絶縁層9が設けられている。電源層2およびグラウンド層3は、例えば銅などの導電性材料を含むベタパターンで形成されている。電源層2の厚さは特に限定されず、例えば18～70 μm 程度である。グラウンド層3の厚さも特に限定されず、例えば18～70 μm 程度である。

[0009] 電源層2とグラウンド層3との間、電源層2の上面、およびグラウンド層3の下面には、絶縁層9が形成されている。絶縁層9は絶縁性を有する素材で形成されていれば特に限定されない。絶縁性を有する素材としては、例えば、エポキシ樹脂、ビスマレイミドトリアジン樹脂、ポリイミド樹脂、ポリフェニレンエーテル樹脂などの有機樹脂などが挙げられる。これらの有機樹脂は2種以上を混合して用いてもよい。

[0010] 絶縁性を有する素材として有機樹脂を使用する場合、有機樹脂に補強材を配合して使用してもよい。補強材としては、例えば、ガラス繊維、ガラス不織布、アラミド不織布、アラミド繊維、ポリエステル繊維などの絶縁性布材が挙げられる。補強材は2種以上を併用してもよい。さらに、絶縁性を有する素材には、シリカ、硫酸バリウム、タルク、クレー、ガラス、炭酸カルシウム、酸化チタンなどの無機充填材が含まれていてもよい。

- [0011] E B G構造4は、E B G単位セル41をブランチに沿った方向に複数個、周期的に一次元配置して、または、これに直交する方向にも複数個、周期的に二次元配置して並べて形成される。
- [0012] 以下、図2(a)～(c)に基づいて一実施形態に係るE B G構造4を説明する。図2(a)に示す一実施形態に係るE B G構造4では、E B G単位セル41をブランチに沿った方向に3つ並べて配置しているが、使用形態に応じて適宜配置の変更は可能である。
- [0013] E B G単位セル41は、図2(a)に示すように、電源層パターン42の上方に層間を設けて容量結合素子43が配置された構造を有する。このE B G単位セル41は、設計段階で印刷配線板1内に設置するため、ノイズ抑制部品と異なり印刷配線板作製後の実装コストが不要となる。E B G単位セル41の形状は特に限定されないが、配置した際に省スペースとなる略矩形状であるのがよい。
- [0014] 電源層パターン42は、図2(b)に示すように、隣接するE B G単位セル41間を、電源給電に必要な直流電流を流せる範囲でなるべく細いブランチ45で接続した構造を有している。このブランチ45とスリット46を隔てて端部で接続した電源層電極47が設けられている。さらに、電源層パターン42は容量結合素子43のビア44bと接続するビア44aを少なくとも1つ有する。ここで「端部」とは、E B G単位セル41において、スリット46を挟んでブランチ45と対向する電源層電極47の辺の端部、具体的には、ビア44aと反対側の端部(角)から辺の長さの約 $1/8$ までの位置のことを意味する。
- [0015] 容量結合素子43は、図2(c)に示すように、電源層パターン42のビア44aと接続するビア44bを少なくとも1つ有する。この容量結合素子43は電源層電極47の上方から重ねるように配置する。この容量結合素子43は、例えば銅などの導電性材料で形成されている。また、容量結合素子43は電源層パターン42と同じ導電性材料であってもよい。
- [0016] この電源層電極47と容量結合素子43とは、平行平板コンデンサを形成

し、容量結合（結合容量 C_s ）を実現する。

[0017] 図2（a）に示すように、EBG単位セル41内においてブランチ45のインダクタンス L_b と、前記結合容量 C_s とビア44のインダクタンス L_v の直列回路により図3で示す並列共振回路が形成される。この共振周波数が2.4GHzになるようにインダクタンス L_b と結合容量 C_s を設計すると、2.4GHz付近の帯域に電磁波が伝搬しない阻止域を設定することができる。電源層電極47や容量結合素子43の形状や間隔を C_s が増加するよう設計すると共振周波数を下げることができ、EBG構造4の小型化が実現できる。

[0018] ブランチ45は、電源供給に必要な直流電流を流すためのものであり、EBG単位セル41内に配置されている。スリット46を介して、平行平板コンデンサを形成するための電源層電極47を配置する。この電源層電極47に、対向電極となる容量結合素子43を、層間を設けて設置する。電源層電極47と容量結合素子43との層間の厚さは25 μm 以下であってもよく、十分な結合容量 C_s を有するようにするため5～20 μm であってもよい。ブランチ45はEBG単位セル41の任意の場所に配置されてもよい。容量結合素子43が重ならないように配置されると、よりインダクタンスを大きくすることができる。図4や図6の電磁界シミュレーション結果が得られた時のブランチ45の幅やEBG単位セル41のサイズは、それぞれ0.25mm角および2.0mm角である。

[0019] このように、本開示では、電源層電極47の上方に容量結合素子43を配置することにより平行平板コンデンサを形成し、容量結合を実現する。詳細に述べると、電源層電極47と容量結合素子43との層間に結合容量 C_s を持たせ、ブランチ45の端で電源層電極47と接続すると共に、ブランチ45のもう一方の端に設置されたビア44で容量結合素子43とを接続させ、ブランチ45で発生するインダクタンス L_b との間で並列共振回路をEBG単位セル41内に形成した。

[0020] 図3は、図2（a）に示すEBG単位セル41に含まれる並列共振回路部

分の等価回路である。このとき、 L_b はブランチ45のインダクタンス成分を示す。また、 C_s は、電源層パターン42がスリット46で分割された電源層電極47と容量結合素子43の結合容量を示し、 L_v は電源層パターン42からビア44（44a、44b）を介して容量結合素子43へ接続される経路のインダクタンス成分を示している。電源層電極47と容量結合素子43との層間の厚さに L_v は依存するが、厚さが十分に薄ければ設計上無視してよい。精度を求める場合は L_v の大きさを考慮して設計を行うこともできる。

[0021] 図2に示すものと同じEBG構造を有し、電源層電極と容量結合素子との層間厚の異なる3つのEBG構造（ $25\mu\text{m}$ 厚、 $12\mu\text{m}$ 厚および $8\mu\text{m}$ 厚）に含まれる並列共振回路の共振周波数を電磁界シミュレーションにより調べたグラフを図4に示す。図4によれば、 $25\mu\text{m}$ 厚のEBG構造を用いた場合、共振周波数は 3.45GHz であった。

[0022] $12\mu\text{m}$ 厚および $8\mu\text{m}$ 厚ではそれぞれ 2.4GHz 、 1.9GHz が共振周波数となり、薄くなるほど共振周波数が低周波側にシフトすることがわかる。これは、電源層電極と容量結合素子との層間の厚さを薄くするほどEBG構造を小型化できることを示している。

[0023] 図5は、透過特性のシミュレーション用の印刷配線板10の一実施形態を示す説明図である。この印刷配線板10において、ポート51、ポート52、53とは、EBG構造40で分断されている。EBG構造40は、EBG単位セル41を印刷配線板10の長手方向に3個、横断面方向に24個配置した構造を示している。印刷配線板10の長手方向はEBG単位セル41をブランチに沿った方向と同じである。EBG単位セル41は、上述の図2（a）に示すものと同じ形状であり、電源層電極と容量結合素子との層間の厚さが $12\mu\text{m}$ で、EBG単位セル41は 2.0mm 角で形成される。このとき、EBG構造40の幅は、長手方向が 6.0mm 、横断面方向が 48.0mm である。印刷配線板10の厚さ方向のグラウンド層および絶縁層は省略している。

[0024] 印刷配線板 10 を用いた電磁界シミュレーションで、ポート 51－ポート 52 およびポート 51－ポート 53 間の透過特性をそれぞれ評価した結果を図 6 に示す。太線は EBG 構造 40 を設けた場合、細線は EBG 構造 40 が無い（ベタ構造）場合（Reference）の透過特性を示している。さらに、図中の S21 はポート 51－ポート 52 間、S31 はポート 51－ポート 53 間を示している。

[0025] 図 6 から、EBG 構造 40 を設けた場合、2.4 GHz 付近で透過量が 20 dB 以上減少し、高周波の電磁ノイズを伝搬させない阻止域が形成されていることが分かる。この結果から、EBG 単位セル内の電源層パターンや容量結合素子の形状を変えれば、更なる小型化、あるいは異なる周波数域に阻止域を形成することが可能であることがわかる。

[0026] 次に、図 7（a）～（c）に基づいて他の実施形態に係る EBG 構造 4' を説明する。上述の一実施形態に係る EBG 構造 4 と同一の部材については同一の符号を付し、詳細な説明は省略する。

[0027] 他の実施形態に係る EBG 構造 4' では、電源層パターン 42' は、図 7（a）および（b）に示すように、隣接する EBG 単位セル 41 間をブランチ 45 で接続し、このブランチ 45 とスリット 46 を隔てて端部以外で接続した電源層電極 47 を設けている。ここで「端部以外」とは、上述の「端部」以外の部分をいい、ビア 44a と反対側の端部（角）から辺の長さの約 1/8 の位置からビア 44a 側の端部（角）までのことを意味する。EBG 構造 4' において、電源層電極 47 と容量結合素子 43 との層間厚は 12 μm である。

[0028] 図 8 は、図 7（a）に示す EBG 単位セル 41 に含まれる並列共振回路部分の等価回路である。このとき、 $L_b/2$ はブランチ 45 のインダクタンス成分を示す。また、 C_s は、電源層パターン 42' がスリット 46 で分割された電源層電極 47 と容量結合素子 43 の結合容量を示す。図 7（a）では、電源層パターン 42' は、ブランチ 45 とスリット 46 を隔ててほぼ中央部で接続した電源層電極 47 を設けているため、インダクタンス成分は $L_b/2$

である。接続位置によって、分母は異なる値を採る。

[0029] 図9は、図7(a)に示すEBG構造4'中の並列共振回路の共振周波数を求めるための電磁界シミュレーション結果を示すグラフである。この共振解析結果から、EBG構造4'は、3.3GHz付近の帯域に電磁ノイズ伝搬を抑制する阻止域を設定できることがわかる。「端部」のグラフは、上述のEBG単位セル41(12μm厚)の結果を示す。

[0030] 本開示の印刷配線板によると、EBG構造体が電源層とグラウンドのビアを有しないにも関わらず、EBG構造体(EBG単位セル)の小型化が可能である。さらに、設計段階で、EBG構造を印刷配線板内に設置するため、印刷配線板作製後の実装コストが不要となる。

[0031] また、図7(a)に示すEBG構造4'のように、接続位置を変更するという比較的容易な設計変更で、適用する周波数を変更することができる。

[0032] 以上、本開示の印刷配線板を説明したが、本発明は上記実施形態に限定されるものではなく、種々の改善や改良が可能である。

[0033] ブランチはEBG単位セル内のどこに配置されてもよい。例えば、図10に示すさらに他の実施形態に係るEBG構造4''では、ブランチ45'がEBG単位セル41の略中央部に配置されている。上述の一実施形態に係るEBG構造4と同一の部材については同一の符号を付し、詳細な説明は省略する。

符号の説明

- [0034] 1、10 印刷配線板
2 電源層
3 グラウンド層
4、4'、4''、40 EBG構造
41 EBG単位セル
42、42' 電源層パターン
43 容量結合素子
44、44a、44b ビア

45、45' ブランチ

46 スリット

47 電源層電極

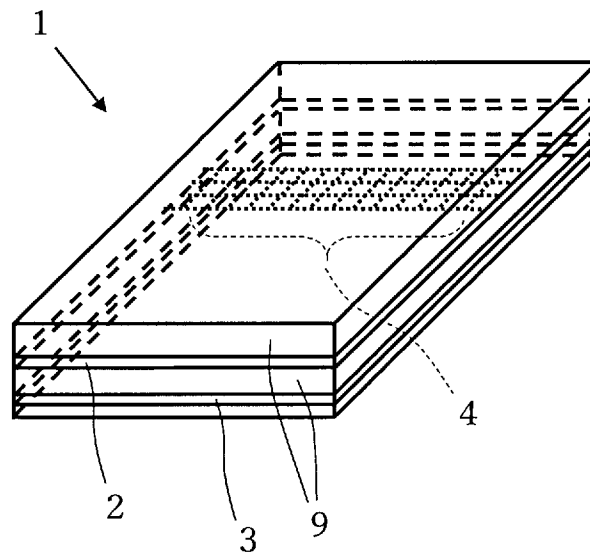
51～53 ポート

9 絶縁層

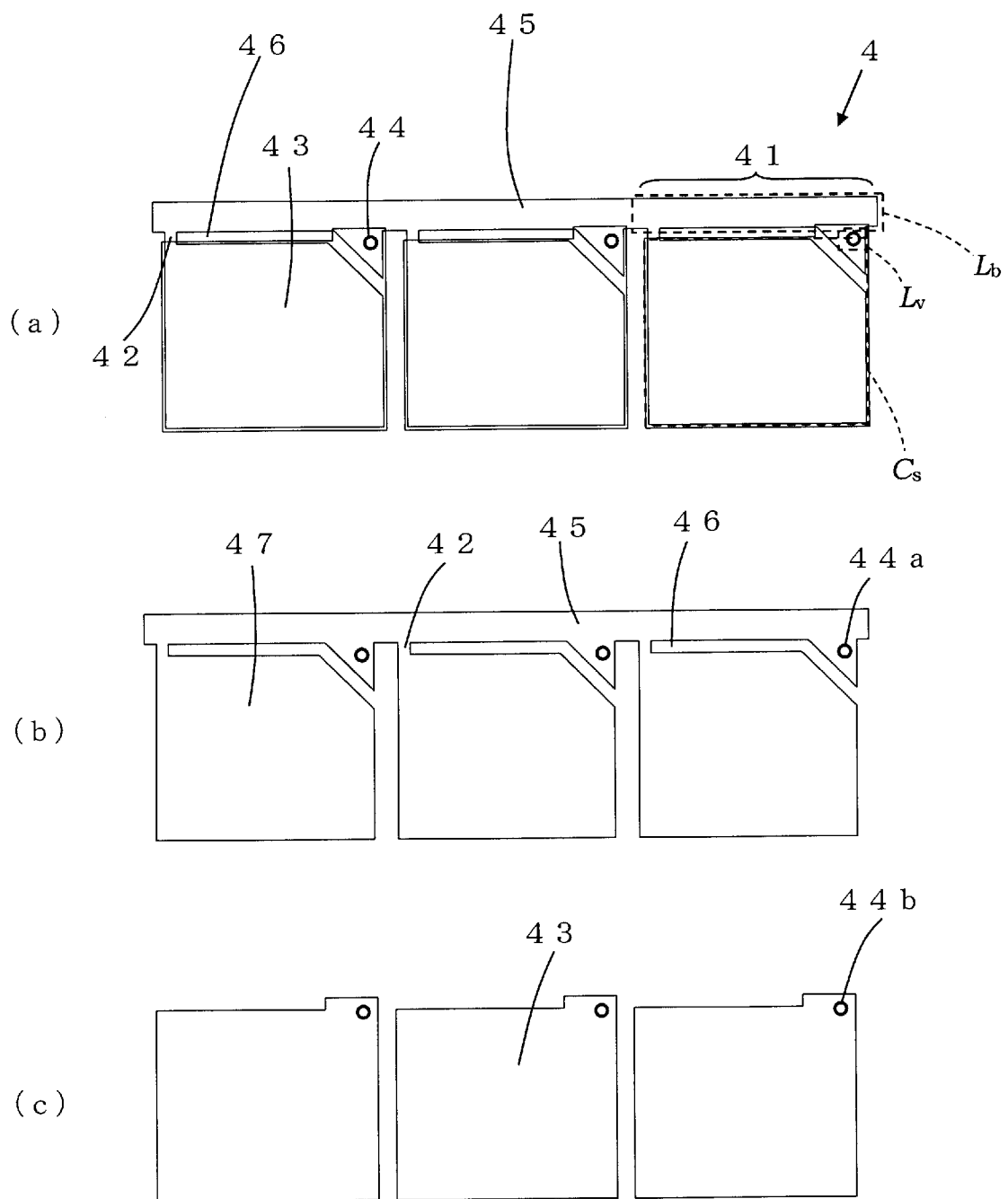
請求の範囲

- [請求項1] 電源層とグラウンド層とを含み、
- 電源層の一部に形成される電源層パターンが、隣接するE B G単位セル間を接続する直流給電路であるブランチと、このブランチに沿って設けられたスリットを介して接続する電源層電極を含み、
- 前記電源層電極と対向するよう層間を設けて配置される容量結合素子が、前記電源層パターン内のブランチと、ビアを介して接続されるE B G単位セルが周期的に配置された構造を有することを特徴とする印刷配線板。
- [請求項2] 電源層パターンが、前記ブランチと前記スリットを介して端部で接続する電源層電極を含む請求項1に記載の印刷配線板。
- [請求項3] 電源層パターンが、前記ブランチと前記スリットを介して端部以外で接続する電源層電極を含む請求項1に記載の印刷配線板。
- [請求項4] 前記ブランチがE B G単位セルの端部に配置される請求項1～3のいずれかに記載の印刷配線板。
- [請求項5] 前記電源層電極と前記容量結合素子との層間の厚さが $25\mu\text{m}$ 以下である請求項1～4のいずれかに記載の印刷配線板。

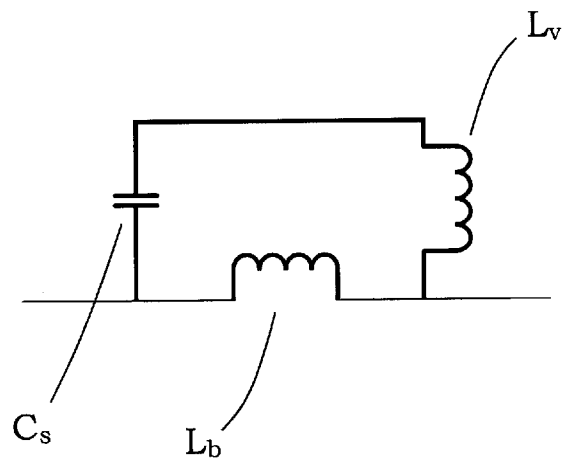
[図1]



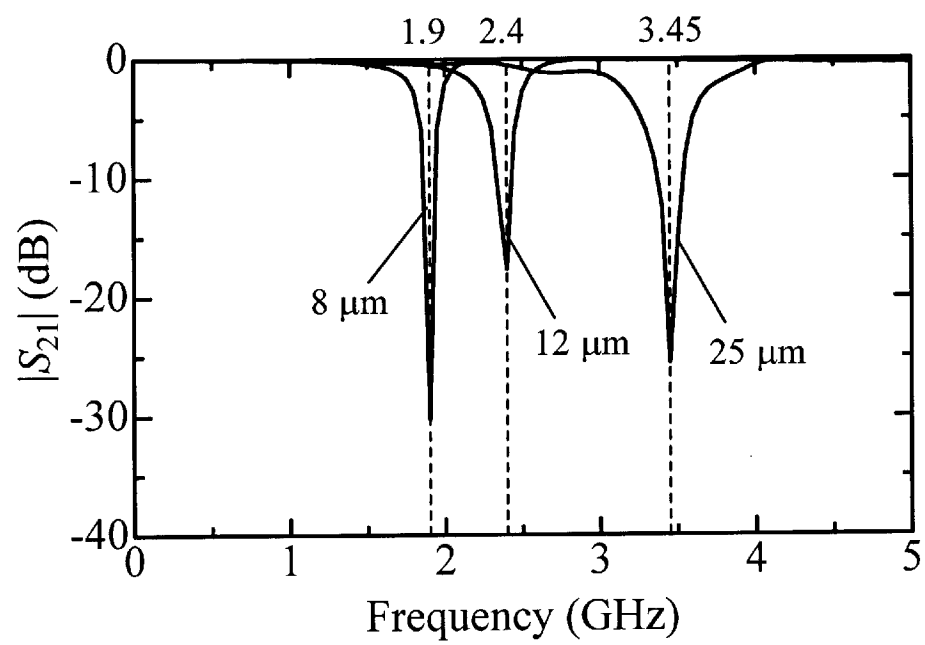
[図2]



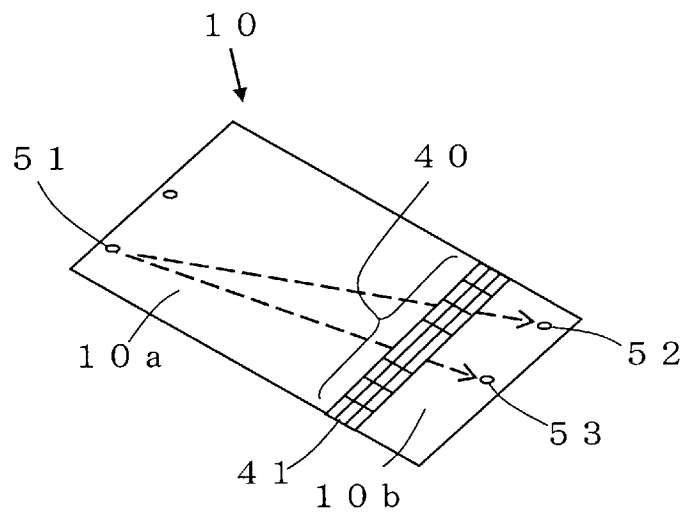
[図3]



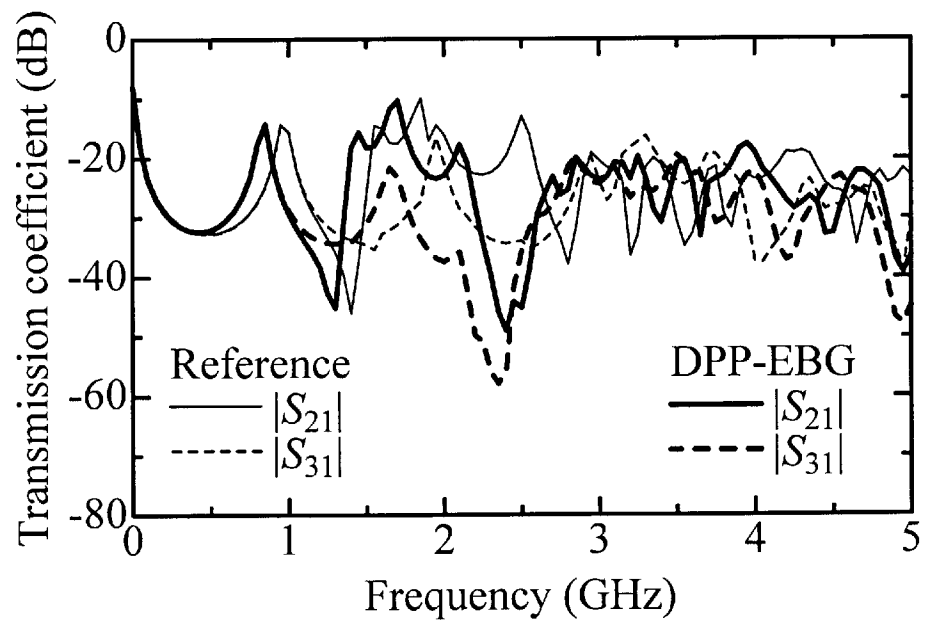
[図4]



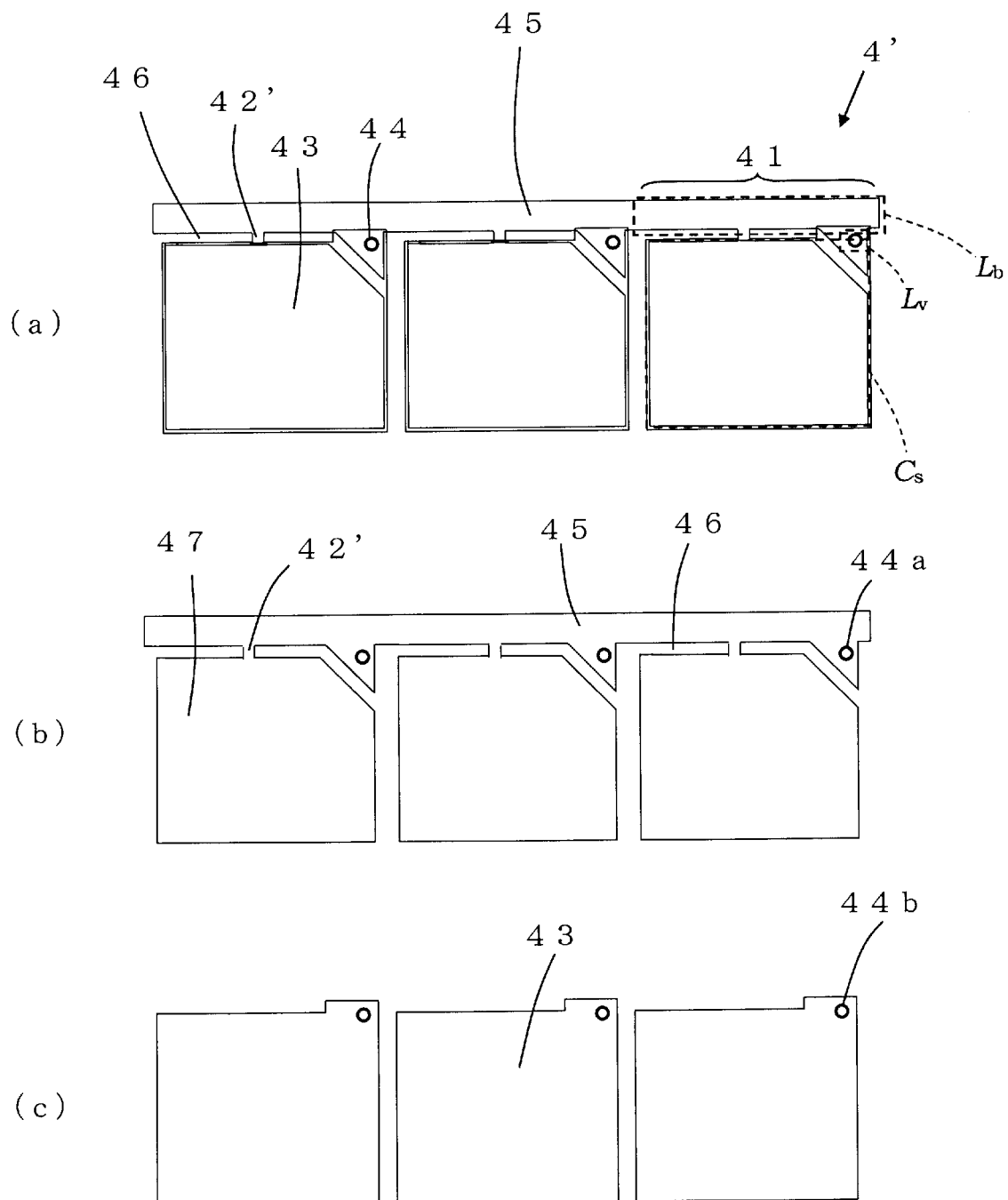
[図5]



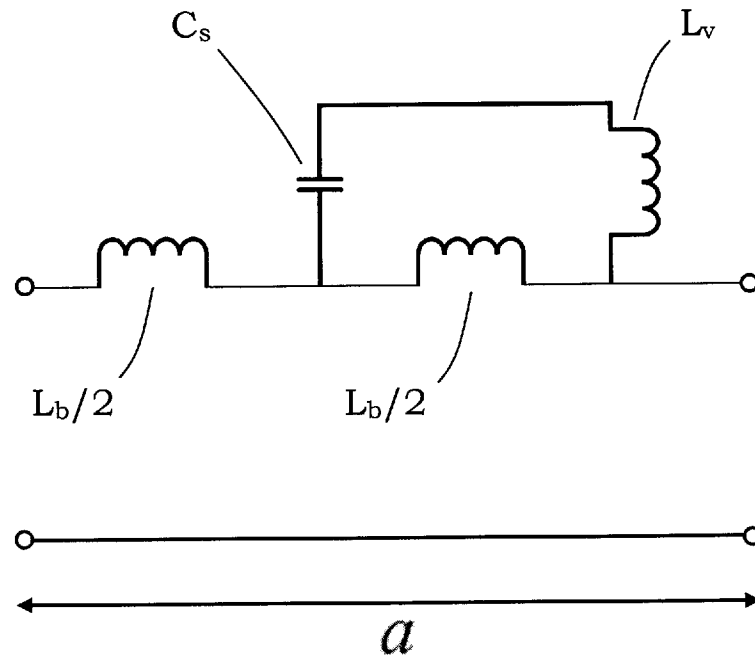
[図6]



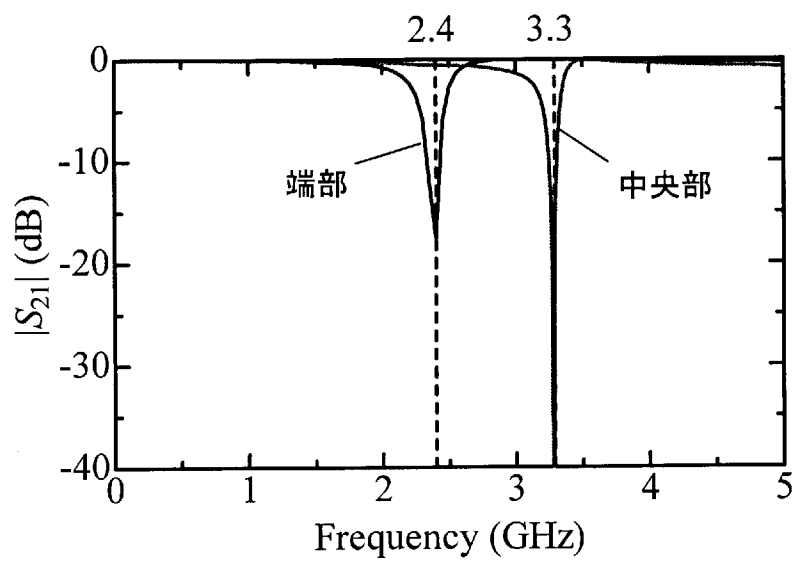
[図7]



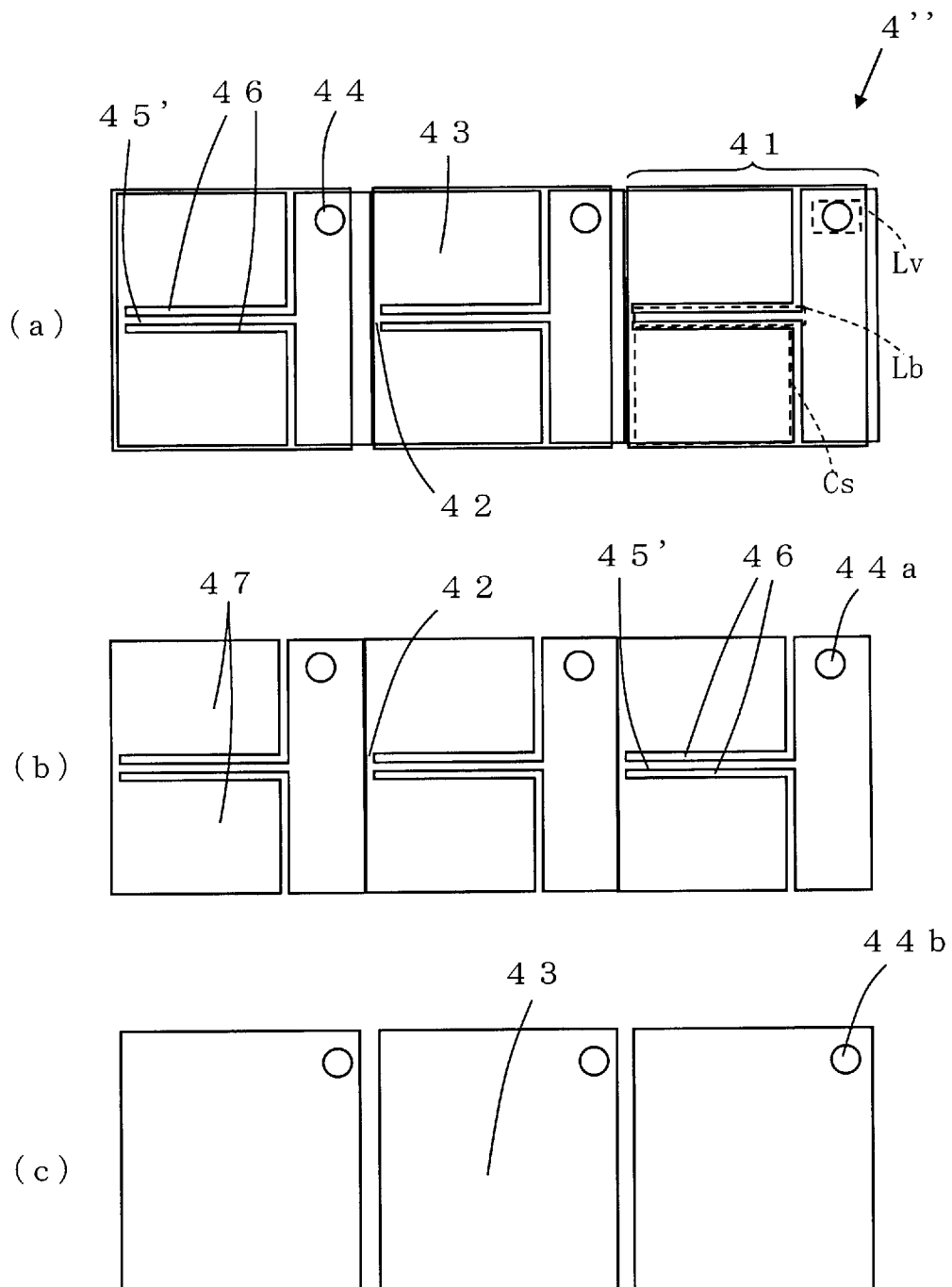
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026331

A. CLASSIFICATION OF SUBJECT MATTER

H05K1/02(2006.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/02, H05K3/46, H01P1/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-232613 A (Sony Corp.), 14 November 2013 (14.11.2013), entire text; all drawings & US 2013/0265736 A1 entire text; all drawings & CN 103369815 A	1-5
A	JP 2008-131509 A (NEC Tokin Corp.), 05 June 2008 (05.06.2008), entire text; all drawings (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 October 2017 (03.10.17)

Date of mailing of the international search report
17 October 2017 (17.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K1/02(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K1/02, H05K3/46, H01P1/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-232613 A（ソニー株式会社）2013.11.14, 全文, 全図 & US 2013/0265736 A1, 全文, 全図 & CN 103369815 A	1-5
A	JP 2008-131509 A（NECトーキン株式会社）2008.06.05, 全文, 全図（ファミリーなし）	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

03.10.2017

国際調査報告の発送日

17.10.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石坂 博明

5D

3353

電話番号 03-3581-1101 内線 3551