



(10) Internationale Veröffentlichungsnummer  
**WO 2012/168040 A1**

(51) Internationale Patentklassifikation:

H01L 33/62 (2010.01) H01L 33/48 (2010.01)  
H01L 33/00 (2010.01) H01L 25/075 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2012/058921

(22) Internationales Anmeldedatum:  
14. Mai 2012 (14.05.2012)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
10 2011 103 412.2 6. Juni 2011 (06.06.2011) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **HERRMANN, Siegfried** [DE/DE]; Hauptstr. 24, 94362 Neukirchen (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Ridlerstr. 55, 80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

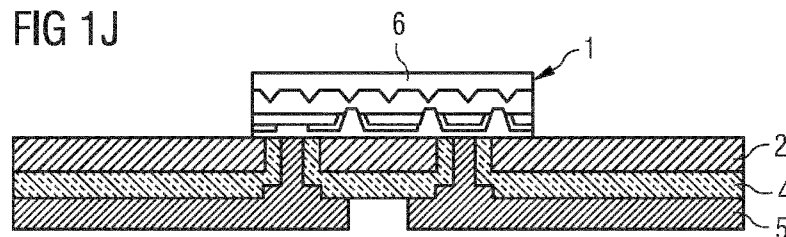
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

(54) Title: METHOD FOR PRODUCING AN OPTOELECTRONIC SEMICONDUCTOR COMPONENT AND SUCH A SEMICONDUCTOR COMPONENT

(54) Bezeichnung : VERFAHREN ZUM HERSTELLEN EINES OPTOELEKTRONISCHEN HALBLEITERBAUELEMENTS UND DERARTIGES HALBLEITERBAUELEMENT



(57) Abstract: The invention relates to a method for producing a semiconductor component, in which a carrier substrate (2) is provided which has a mounting area (2a) and a cut-out (2b), which is formed in the mounting area (2a) of the carrier substrate (2). Following the mounting of a semiconductor chip (1), an electrically insulating layer (4) is applied to the carrier substrate (2) in such a way that the electrically insulating layer (4) completely fills the first cut-out (2b) in the carrier substrate (2). A second cut-out (4a) is formed in the electrically insulating layer (4). An electrically conductive layer (5) is then applied to the electrically insulating layer (4) in such a way that the second cut-out (4a) is filled with the electrically conductive layer (5) as a through contact. The invention further relates to a semiconductor component produced in this way.

(57) Zusammenfassung: Es wird ein Verfahren zum Herstellen eines Halbleiterbauelements angegeben, bei dem ein Trägersubstrat (2) bereitgestellt wird, das einen Montagebereich (2a) und eine Aussparung (2b) aufweist, die im Montagebereich (2a) des Trägersubstrats (2) ausgebildet ist. Nach Montage eines Halbleiterchips (1) wird eine elektrisch isolierende Schicht (4) auf dem Trägersubstrat (2) derart aufgebracht, dass die elektrisch isolierende Schicht (4) die erste Aussparung (2b) des Trägersubstrats (2) vollständig ausfüllt. Eine zweite Aussparung (4a) wird in der elektrisch isolierenden Schicht (4) ausgebildet. Anschließend wird eine elektrisch leitende Schicht (5) auf der elektrisch isolierenden Schicht (4) derart aufgebracht, dass die zweite Aussparung (4a) als Durchkontaktierung mit der elektrisch leitenden Schicht (5) ausgefüllt ist. Weiter wird ein derart hergestelltes Halbleiterbauelement angegeben.



WO 2012/168040 A1

Beschreibung

Verfahren zum Herstellen eines optoelektronischen  
Halbleiterbauelements und derartiges Halbleiterbauelement

5

Die Erfindung betrifft ein Verfahren zum Herstellen eines  
optoelektronischen Bauelements, das ein Trägersubstrat und  
einen Halbleiterchip umfasst. Weiter betrifft die vorliegende  
Erfindung ein derartiges optoelektronisches

10 Halbleiterbauelement.

Bei der Herstellung von Halbleiterbauelementen mit dünnen  
Halbleiterchips, die unter anderem eine einseitige  
elektrische Kontaktierung aufweisen, sind exakte

15 Justageprozesse notwendig, um die Halbleiterchips auf  
Trägersubstraten zu montieren. Dabei ist beispielsweise bei  
einem Halbleiterchip, der eine ringförmige Isolation zwischen  
p- und n-Kontaktbereich des Halbleiterchips aufweist, der  
ringförmige Bereich freistehend und mechanisch von dem  
20 Trägersubstrat nicht unterstützt. Ein derartiger mechanisch  
nicht unterstützter Bereich zur Kontakttrennung der  
einseitigen elektrischen Kontaktierung führt nachteilig zu  
einer geringeren mechanischen Stabilität und somit zur  
Anfälligkeit von Beschädigungen durch externe mechanische  
25 Einflüsse.

Es ist Aufgabe der vorliegenden Erfindung, ein  
Herstellungsverfahren anzugeben, das die oben genannten  
Nachteile vermeidet, wodurch sich vorteilhafterweise ein  
30 mechanisch stabiles Halbleiterbauelement ergibt, wobei im  
Herstellungsverfahren gleichzeitig eine vereinfachte  
Chipjustage ermöglicht wird.

Diese Aufgabe wird durch ein Herstellungsverfahren mit den Merkmalen des Anspruchs 1 gelöst. Weiter wird diese Aufgabe durch ein optoelektronisches Halbleiterbauelement mit den Merkmalen des Anspruchs 12 gelöst. Vorteilhafte

5 Weiterbildungen des Herstellungsverfahrens und des Halbleiterbauelements sind Gegenstand der abhängigen Ansprüche.

In einer Ausführungsform umfasst das Verfahren zum Herstellen  
10 eines optoelektronischen Halbleiterbauelements folgende Verfahrensschritte:

A1) Bereitstellen zumindest eines Halbleiterchips, der eine zur Strahlungserzeugung geeignete aktive Schicht aufweist,

15

A2) Bereitstellen eines Trägersubstrats, das zumindest einen Montagebereich für den Halbleiterchip und zumindest eine erste Aussparung aufweist, die im Montagebereich des Trägersubstrats ausgebildet ist,

20

B) Montieren des Halbleiterchips auf dem Montagebereich des Trägersubstrats,

25

C) Aufbringen einer elektrisch isolierenden Schicht auf der von dem Halbleiterchip abgewandten Seite des Trägersubstrats derart, dass die elektrisch isolierende Schicht die erste Aussparung des Trägersubstrats vollständig ausfüllt,

30

D) Ausbilden zumindest einer zweiten Aussparung in der elektrisch isolierenden Schicht, wobei die zweite Aussparung im Bereich der ersten Aussparung des Trägersubstrats ausgebildet wird, und

E) Aufbringen einer elektrisch leitenden Schicht auf der von dem Trägersubstrat abgewandten Seite der elektrisch isolierenden Schicht derart, dass die elektrisch leitende Schicht die zweite Aussparung der elektrisch isolierenden Schicht als Durchkontaktierung ausfüllt.

Das Herstellungsverfahren ermöglicht vorteilhafterweise eine vereinfachte Chipjustage und eine mechanisch ganzflächige Unterstützung des Halbleiterchips durch das Trägersubstrat und der elektrisch isolierenden Schicht. Insbesondere wird die erste Aussparung des Trägersubstrats mit der elektrisch isolierenden Schicht gefüllt und dient so zur mechanischen Unterstützung des Halbleiterchips. Zum Herstellen eines elektrisch leitenden Kontakts durch die elektrisch isolierende Schicht findet die zweite Aussparung Verwendung, durch die die elektrisch leitende Schicht geführt ist. Vorteilhafterweise können die Genauigkeitsanforderungen bei der Chipjustage, also bei der Anordnung des Halbleiterchips auf dem Montagebereich des Trägersubstrats, reduziert werden, da die Kontaktdurchführung durch das Trägersubstrat vollständig mit der elektrisch isolierenden Schicht unterlegt ist. Für einen derartigen Herstellungsprozess können vorteilhafterweise größere Substrate als herkömmlicherweise verwendet werden, die vorzugsweise zudem aus einem kostengünstigen Material gebildet sein können. Aufgrund der elektrisch isolierenden Schicht ist weiter eine gute externe thermische Ankopplung des Halbleiterbauelements möglich.

Die Verfahrensschritte A1) und A2) können parallel oder nacheinander durchgeführt werden. Anschließend erfolgen die Verfahrensschritte B) bis E) in der beanspruchten Reihenfolge.

Nach Durchlaufen der Verfahrensschritte A) bis E) ist der Halbleiterchip auf einem Träger angeordnet, der gebildet wird durch das Trägersubstrat, durch die elektrisch isolierende Schicht und durch die elektrisch leitende Schicht.

5 Insbesondere erstreckt sich die elektrisch isolierende Schicht auf der von dem Halbleiterchip abgewandten Seite des Trägersubstrats in lateraler Richtung. Ebenso erstreckt sich die elektrisch leitende Schicht auf der von dem Trägersubstrat abgewandten Seite der elektrisch isolierenden  
10 Schicht in lateraler Richtung. Der Träger wird somit durch einen Mehrschichtenaufbau gebildet, wobei die Schichten jeweils mit Aussparungen und Durchkontaktierungen in vertikaler Richtung durchzogen sind.

15 Der Halbleiterchip wird auf den Montagebereich des Trägersubstrats insbesondere vor dem Aufbringen der elektrisch isolierenden Schicht in die erste Aussparung montiert. Weiter erfolgt die Montage des Halbleiterchips auf den Montagebereich des Trägersubstrats insbesondere vor dem  
20 Ausbilden der zweiten Aussparung in die elektrisch isolierende Schicht. Mit anderen Worten kann der Halbleiterchip mit dem Montagebereich und/oder der Durchkontaktierung des Trägersubstrats zumindest stellenweise im direkten Kontakt stehen, wobei der Montagebereich des  
25 Trägersubstrats frei von der elektrisch isolierenden Schicht und der elektrisch leitenden Schicht ist.

Die elektrisch leitende Schicht füllt vorzugsweise die zweite Aussparung der elektrisch isolierenden Schicht vollständig  
30 aus. Die erste Aussparung des Trägersubstrats ist somit mit der elektrisch isolierenden Schicht und die zweite Aussparung vollständig mit der elektrisch leitenden Schicht gefüllt,

sodass das Trägersubstrat eine ebene und planare Hauptfläche aufweist, die den Montagebereich umfasst.

Das Halbleiterbauelement ist ein optoelektronisches

5 Bauelement, das die Umwandlung von elektrisch erzeugten Daten oder Energien in Lichtemission ermöglicht oder umgekehrt. Beispielsweise ist der optoelektronische Halbleiterchip ein strahlungsemittierender Halbleiterchip, beispielsweise eine LED.

10

Die aktive Schicht des Halbleiterchips enthält vorzugsweise einen pn-Übergang, eine Doppelheterostruktur, eine Einfachquantentopfstruktur (SQW, single quantum well) oder eine Mehrfachquantentopfstruktur (MQW, multi quantum well) zur Strahlungserzeugung. Die Bezeichnung Quantentopfstruktur entfaltet hierbei keine Bedeutung hinsichtlich der Dimensionalität der Quantisierung. Sie umfasst unter anderem Quantentröge, Quantendrähte und Quantenpunkte und jede Kombination dieser Strukturen.

20

Der Halbleiterchip setzt sich vorzugsweise aus einer epitaktisch aufgewachsenen Halbleiterschichtenfolge zusammen, die die aktive Schicht enthält. Die Halbleiterschichten der Halbleiterschichtenfolge enthalten vorzugsweise ein III/V-Halbleitermaterial. III/V-Halbleitermaterialien sind zur Strahlungserzeugung im ultravioletten, über den sichtbaren bis in den infraroten Spektralbereich besonders geeignet. Der Halbleiterchip kann ein Aufwachssubstrat umfassen, auf dem die Halbleiterschichtenfolge im Herstellungsverfahren

25  
30 aufgewachsen worden ist.

Gemäß zumindest einer Ausführungsform weist der Halbleiterchip auf der dem Trägersubstrat zugewandten Seite

zwei voneinander elektrisch isolierte elektrische Kontaktbereiche auf, wobei die erste und die zweite Aussparung in einem in einer vertikalen Richtung benachbarten Bereich zu einem der zwei Kontaktbereiche ausgebildet wird.

5

Einer der elektrischen Kontaktbereiche des Halbleiterchips ist demnach in vertikaler Richtung über der ersten und zweiten Aussparung angeordnet. Durch die Aussparungen kann so eine Durchkontaktierung der elektrisch leitenden Schicht zu diesem Kontaktbereich des Halbleiterchips geführt sein. Der zweite Kontaktbereich des Halbleiterchips kann beispielsweise über das Trägersubstrat elektrisch kontaktiert sein, das von der elektrisch leitenden Schicht mittels der elektrisch isolierenden Schicht vollständig elektrisch getrennt ist.

Alternativ kann der zweite Kontaktbereich ebenfalls mittels einer Durchkontaktierung durch den Träger elektrisch kontaktierbar sein.

Der Halbleiterchip weist somit eine einseitige Kontaktierung auf. Die von dem Trägersubstrat abgewandte Seite des Halbleiterchips weist damit keinen elektrischen Kontaktbereich auf, sodass durch diese Seite eine effiziente Strahlungsauskopplung erzielt wird, wobei so mit Vorteil keine Abschattungs- oder Absorptionseffekte auftreten.

25

Die einseitige Kontaktierung auf der dem Trägersubstrat zugewandten Seite des Halbleiterchips kann beispielsweise mittels eines ringförmigen Kontakts erzeugt sein. Beispielsweise findet hierbei eine ringförmige Isolation zwischen einem p- und einem n-Kontaktbereich des Halbleiterchips Verwendung.

30

Gemäß zumindest einer Ausführungsform wird ein Durchmesser der zweiten Aussparung kleiner ausgebildet als ein Durchmesser der ersten Aussparung. Durch die kleinere Ausgestaltung der ersten Aussparung kann eine verbesserte mechanische, ganzflächige Unterstützung des Halbleiterchips durch den Träger gewährleistet werden. Die zweite Aussparung ist dabei punktuell geöffnet, sodass lediglich ein geringer zentraler Bereich der ersten Aussparung nicht mit der elektrisch isolierenden Schicht ausgefüllt ist und so lediglich ein kleiner Bereich nicht zur mechanischen Unterstützung des Halbleiterchips beiträgt. Durch die Unterlegung der ersten Aussparung mit der elektrisch isolierenden Schicht können mit Vorteil zudem die Genauigkeitsanforderungen bei der Chipjustage reduziert werden.

Gemäß zumindest einer Ausführungsform weisen die erste Aussparung einen Durchmesser von wenigstens 70  $\mu\text{m}$  und höchstens 90  $\mu\text{m}$  und die zweite Aussparungen einen Durchmesser von wenigstens 10  $\mu\text{m}$  und höchstens 30  $\mu\text{m}$  auf. Die erste Aussparung ist somit mehr als doppelt so groß wie die erste Aussparung.

Gemäß zumindest einer Ausführungsform wird die zweite Aussparung zumindest teilweise in der ersten Aussparung ausgebildet. Die zweite Aussparung führt demnach zumindest teilweise durch die erste Aussparung. So kann eine Durchkontaktierung aus Material der elektrisch leitenden Schicht von der von dem Halbleiterchip abgewandten Seite des Trägersubstrats zum Kontaktbereich des Halbleiterchips erzeugt werden.

Gemäß zumindest einer Ausführungsform wird die Durchkontaktierung punktförmig ausgebildet. Insbesondere wird die zweite Aussparung so klein wie möglich ausgebildet, sodass eine möglichst große mechanische Unterstützung des Halbleiterchips durch den Träger gewährleistet wird. Die zweite Aussparung ist dabei derart groß ausgebildet, dass eine ausreichende elektrisch leitende Verbindung der elektrisch leitenden Schicht zu einem der Kontaktbereiche des Halbleiterchips erzeugt wird.

10

Gemäß zumindest einer Ausführungsform wird nach dem Verfahrensschritt E) die elektrisch leitende Schicht strukturiert. Beispielsweise ist unter jedem der Kontaktbereiche des Halbleiterchips eine erste und eine zweite Aussparung angeordnet, wobei die elektrisch isolierende Schicht in jeder ersten Aussparung und die elektrisch leitende Schicht in jeder zweiten Aussparung als Durchkontaktierung ausgebildet sind. In diesem Fall wird die elektrisch leitende Schicht derart strukturiert, dass die Durchkontaktierungen mittels der Strukturierung elektrisch voneinander isoliert sind.

20

Gemäß zumindest einer Ausführungsform umfasst das Herstellungsverfahren nach dem Verfahrensschritt E) einen oder mehrere der weiteren Verfahrensschritte:

- Aufrauen einer Auskoppelfläche des Halbleiterchips, die dem Trägersubstrat gegenüberliegt,
- Aufbringen einer Konverterschicht und/oder einer Passivierungsschicht auf der dem Trägersubstrat gegenüberliegenden Seite des Halbleiterchips, und/oder
- Dünnen oder vollständiges Ablösen eines Aufwachssubstrats des Halbleiterchips.

30

Die Konverterschicht ist dabei vorzugsweise dazu geeignet, eine von dem Halbleiterchip emittierte Strahlung in Strahlung einer anderen Wellenlänge umzuwandeln.

5 Gemäß zumindest einer Ausführungsform wird in den Verfahrensschritten A1) und A2) eine Mehrzahl von Halbleiterchips bereitgestellt, wobei das Trägersubstrat eine Mehrzahl von Montagebereichen für die Halbleiterchips und eine Mehrzahl von ersten Aussparungen aufweist. Im  
10 Verfahrensschritt B) wird jeweils einer der Halbleiterchips auf jeweils einem der Montagebereiche angeordnet. Im Verfahrensschritt D) wird eine Mehrzahl von zweiten Aussparungen in der elektrisch isolierenden Schicht ausgebildet, wobei jeweils eine der zweiten Aussparungen im  
15 Bereich jeweils einer der ersten Aussparungen des Trägersubstrats ausgebildet werden.

Vorliegend wird somit ein Halbleiterbauelement hergestellt, das eine Mehrzahl von Halbleiterchips umfasst, die mittels  
20 Durchkontaktierungen durch das Trägersubstrat elektrisch leitend verbindbar sind. Jeder der Halbleiterchips wird dabei zur mechanischen Chipunterstützung mittels der elektrisch isolierenden Schicht unterlegt.

25 Gemäß zumindest einer Ausführungsform wird nach dem Verfahrensschritt E) anschließend das Halbleiterbauelement zu einzelnen Halbleiterchips und/oder zu Halbleiterchip-Modulen vereinzelt. Als Halbleiterchip-Modul wird insbesondere ein Modul angesehen, das eine Mehrzahl von Halbleiterchips  
30 umfasst, die beispielsweise serienverschaltet miteinander sind.

Gemäß zumindest einer Ausführungsform werden im Verfahrensschritt B) die Halbleiterchips mit einem Pick-and-Place-Verfahren auf den Montagebereichen des Trägersubstrats aufgebracht. Durch die Unterlegung der ersten Aussparung mit  
5 der elektrisch isolierenden Schicht sind dabei mit Vorteil geringere Genauigkeitsanforderungen bei der Chipjustage notwendig.

Die Aussparungen im Trägersubstrat und/oder in der elektrisch  
10 isolierenden Schicht werden beispielsweise mittels eines gesteuerten Lasers erzeugt. Zum Ausbilden der Durchkontaktierung in der zweiten Aussparung wird beispielsweise die elektrisch isolierende Schicht mit einer Metallschicht hinterlegt, wobei die Durchkontaktierungen  
15 galvanisch mit den Kontaktbereichen des Halbleiterchips hergestellt werden.

Gemäß zumindest einer Ausführungsform umfasst das optoelektronische Halbleiterbauelement zumindest einen  
20 Halbleiterchip und ein Trägersubstrat, wobei der Halbleiterchip eine zur Strahlungserzeugung geeignete aktive Schicht aufweist. Das Trägersubstrat weist zumindest einen Montagebereich für den Halbleiterchip und zumindest eine erste Aussparung auf, die im Montagebereich ausgebildet ist.  
25 Der Halbleiterchip ist auf dem Montagebereich des Trägersubstrats angeordnet. Auf der von dem Halbleiterchip abgewandten Seite des Trägersubstrats ist eine elektrisch isolierende Schicht aufgebracht, die die erste Aussparung des Trägersubstrats ausfüllt. Eine zweite Aussparung ist in der  
30 elektrisch isolierenden Schicht im Bereich der ersten Aussparung des Trägersubstrats ausgebildet. Eine elektrisch leitende Schicht ist auf der von dem Trägersubstrat abgewandten Seite der elektrisch isolierenden Schicht

angeordnet, wobei die elektrisch leitende Schicht die zweite Aussparung der elektrisch isolierenden Schicht als Durchkontaktierung ausfüllt.

5 Der Halbleiterchip des Bauelements weist somit eine einseitige Chipkontaktierung auf, die dem Trägersubstrat zugewandt ist. Die Durchkontaktierungen durch das Trägersubstrat und die elektrisch isolierende Schicht ermöglichen dabei die elektrische Kontaktierung des  
10 Halbleiterchips. Vorzugsweise weist das Trägersubstrat zumindest zwei erste Aussparungen auf, die jeweils unter einem der Kontaktbereiche des Halbleiterchips angeordnet sind. Die elektrisch isolierende Schicht weist dabei vorzugsweise zwei zweite Aussparungen auf, die jeweils in  
15 einer der ersten Aussparungen angeordnet sind. Die zweiten Aussparungen sind dabei jeweils vollständig mit Material der elektrisch leitenden Schicht ausgefüllt.

Die in Verbindung mit dem Herstellungsverfahren angeführten  
20 Merkmale finden auch im Zusammenhang mit dem Halbleiterbauelement Verwendung und umgekehrt.

Gemäß zumindest einer Ausführungsform ist die dem Halbleiterchip zugewandte Seite des Trägersubstrats frei von  
25 der elektrisch isolierenden Schicht. Auf der dem Halbleiterchip zugewandten Seite des Trägersubstrats ist dann kein Material der elektrisch isolierenden Schicht angeordnet. Die dem Halbleiterchip zugewandten Seite des Trägersubstrats ist also weder durch das Material der elektrisch isolierenden  
30 Schicht verunreinigt, bedeckt oder weist Spuren des elektrisch isolierenden Materials auf. Das heißt, der Halbleiterchip kann insbesondere ohne vorhergehende Reinigung und/oder Entfernung des elektrisch isolierenden Materials auf

das Trägersubstrat montiert werden. Der Halbleiterchip steht mit dem Trägersubstrat im direkten Kontakt.

5 Gemäß zumindest einer Ausführungsform ist das Trägersubstrat eine Metallfolie oder eine Folie aus Keramik. Als Metallfolie kann beispielsweise eine Molybdänfolie Verwendung finden.

Das Trägersubstrat wird vorzugsweise rückseitig mit der elektrisch isolierenden Schicht überzogen, wobei die  
10 elektrisch isolierende Schicht dabei die ersten Aussparungen des Trägersubstrats vollständig auskleiden, sodass der Halbleiterchip mit seiner ganzen Fläche mechanisch unterstützt ist.

15 Gemäß zumindest einer Ausführungsform ist die elektrisch isolierende Schicht eine Kunststoffschicht, vorzugsweise eine Kunststofffolie.

Gemäß zumindest einer Ausführungsform sind das  
20 Trägersubstrat, die elektrisch isolierende Schicht und/oder die elektrisch leitende Schicht jeweils als Folie ausgebildet.

In der elektrisch isolierenden Schicht werden beispielsweise  
25 mit einem Laser punktuell zweite Aussparungen geöffnet, sodass jeweils ein Chipkontaktbereich offen liegt. Dabei wird nur der Bereich mittelbar unter dem Chipkontaktbereich geöffnet, sodass der verbleibende Bereich der ersten  
Aussparung des Trägersubstrats weiterhin mit der elektrisch  
30 isolierenden Schicht ausgefüllt ist und so zur mechanischen Unterstützung des Halbleiterchips dient. Die Durchkontaktierung der elektrisch leitenden Schicht

gewährleistet die externe elektrische Kontaktierung des Bauelements.

- Gemäß zumindest einer Ausführungsform wird ein
- 5 erfindungsgemäßes Halbleiterbauelement, das eine Mehrzahl von Halbleiterchips aufweist, als Bildschirmhinterleuchtung oder als serienverschaltetes Modul zur Seiteneinkopplung in Lichtverteilungsplatten verwendet.
- 10 Weitere Vorteile und vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den im Folgenden in Verbindung mit den Figuren 1 und 2 beschriebenen Ausführungsbeispielen. Es zeigen:
- 15 Figuren 1A bis 1K jeweils einen schematischen Querschnitt eines Ausführungsbeispiels eines erfindungsgemäßen Halbleiterbauelements im Herstellungsverfahren,
- Figuren 2A bis 2C jeweils Ausschnitte aus einem
- 20 erfindungsgemäßen Halbleiterbauelement im Herstellungsverfahren.
- In den Figuren können gleiche oder gleich wirkende Bestandteile jeweils mit den gleichen Bezugszeichen versehen
- 25 sein. Die dargestellten Bestandteile und deren Größenverhältnisse untereinander sind nicht als maßstabsgerecht anzusehen. Vielmehr können einzelne Bestandteile, wie beispielsweise Schichten, Strukturen, Komponenten und Bereiche zur besseren Darstellbarkeit
- 30 und/oder zum besseren Verständnis übertrieben dick oder groß dimensioniert dargestellt sein.

In den Figuren 1A bis 1K sind jeweils Querschnitte eines Halbleiterbauelements im Herstellungsverfahren dargestellt. In Figur 1A ist ein Substrat 11 bereitgestellt, auf dem eine Mehrzahl von Halbleiterchips 1 angeordnet sind. Das Substrat 5 11 ist vorzugsweise als Folie ausgebildet. Die Halbleiterchips 1 weisen jeweils eine zur Strahlungserzeugung geeignete aktive Schicht 1a auf. Die Halbleiterchips 1 sind beispielsweise LEDs und weisen vorzugsweise eine einseitige Kontaktierung auf. Das bedeutet, dass die Halbleiterchips 1 10 jeweils beide Kontaktbereiche auf derselben Seite aufweisen. Beispielsweise sind die Kontaktbereiche der Halbleiterchips 1 auf der dem Substrat 11 zugewandten Seite angeordnet. In diesem Fall weist die von dem Substrat 11 abgewandte Seite der Halbleiterchips 1 keine Kontaktbereiche auf. Diese Seite 15 ist demnach zur Strahlungsauskopplung geeignet, wobei Absorptionsverluste in beispielsweise den Kontaktbereichen auf dieser Seite so vermieden werden können.

Parallel oder nachfolgend wird ein Trägersubstrat 2 20 bereitgestellt, wie in Figur 1B dargestellt. Das Trägersubstrat 2 weist zumindest einen Montagebereich 2a für zumindest einen Halbleiterchip 1 auf. Zudem weist das Trägersubstrat 2 zwei erste Aussparungen 2b auf, die im Montagebereich 2a des Trägersubstrats 2 ausgebildet sind. Das 25 Trägersubstrat 2 weist vorzugsweise ein thermisch an das Material des Halbleiterchips angepasstes Material auf. Beispielsweise ist das Trägersubstrat 2 eine Molybdänfolie oder ein  $\text{Al}_2\text{O}_3$ -Keramiksubstrat. Bevorzugt ist das Trägersubstrat 2 als Folie ausgebildet. Die ersten 30 Aussparungen 2b im Trägersubstrat 2 werden beispielsweise mittels einer Laseraufbohrung, Ätzung oder mittels eines Stanzprozesses hergestellt.

Auf das Trägersubstrat 2 wird im anschließenden Verfahrensschritt eine Lotschicht 3 aufgebracht, wobei die ersten Aussparungen 2b ebenfalls ausgespart werden (siehe Figur 1C). Die Lotschicht 3 weist beispielsweise als Material  
5 ein Metall oder eine Metalllegierung auf, das für einen Lötprozess geeignet ist.

Im anschließenden Verfahrensschritt wird, wie in Figur 1D dargestellt, der Halbleiterchip 1 von dem Substrat 11  
10 abgelöst und auf den Montagebereich des Trägersubstrats 2 aufgebracht. Zum Montieren des Halbleiterchips 1 wird dieser auf dem Montagebereich des Trägersubstrats 2 aufgelötet. Die ersten Aussparungen 2b sind dabei vertikal unterhalb des Halbleiterchips 1 angeordnet. Insbesondere ist jeweils eine  
15 erste Aussparung 2b in jeweils einem Kontaktbereich des Halbleiterchips 1 ausgebildet. Unterhalb bedeutet insbesondere, dass die erste Aussparung 2b jeweils in vertikaler Richtung benachbart zum Halbleiterchip 1 ausgebildet ist. Das Übertragen des Halbleiterchips 1 von dem  
20 Substrat 11 auf das Trägersubstrat 2 erfolgt beispielsweise mittels eines Pick-and-Place-Verfahrens.

Wie in Figur 1E dargestellt wird anschließend auf der von dem Halbleiterchip 1 abgewandten Seite des Trägersubstrats 2 eine  
25 elektrisch isolierende Schicht 4 aufgebracht. Die elektrisch isolierende Schicht wird dabei so aufgebracht, dass die ersten Aussparungen 2b des Trägersubstrats 2 vollständig mit Material der elektrisch isolierenden Schicht 4 ausgefüllt sind. Das Trägersubstrat 2 und die elektrisch isolierende  
30 Schicht 4 bilden demnach auf der dem Halbleiterchip 1 zugewandten Seite eine ebene Hauptfläche aus. Im Bereich der ersten Aussparungen 2b grenzt die elektrisch isolierende

Schicht 4 demnach direkt an die Kontaktbereiche des Halbleiterchips 1 an.

Die elektrisch isolierende Schicht 4 ist vorzugsweise eine Kunststofffolie, beispielsweise eine Schicht aufweisend Parylen oder Polymer oder ein RCC-Material. Die elektrisch isolierende Schicht wird beispielsweise mittels eines Vakuum laminierprozesses auf dem Trägersubstrat 2 aufgebracht.

10 Wie in Figur 1F dargestellt werden anschließend zwei zweite Aussparungen 4a in der elektrisch isolierenden Schicht 4 ausgebildet, wobei die zweiten Aussparungen jeweils in einem Bereich jeweils einer ersten Aussparung des Trägersubstrats ausgebildet werden. Die zweiten Aussparungen 4a sind demnach  
15 jeweils in der ersten Aussparung des Trägersubstrats ausgebildet. Die zweiten Aussparungen 4a führen dabei vollständig durch die elektrisch isolierende Schicht 4 im Bereich der ersten Aussparung, sodass jeweils die Kontaktbereiche des Halbleiterchips 1 von der elektrisch  
20 isolierenden Schicht zumindest teilweise freigelegt sind. In der elektrisch isolierenden Schicht werden punktuell die zweiten Aussparungen so ausgebildet, dass nur jeweils der Kontaktbereich des Halbleiterchips zum Vorschein kommt. Das Öffnen erfolgt beispielsweise mit einem gesteuerten Laser,  
25 womit mit Vorteil nur der Bereich unmittelbar unter dem Halbleiterchipkontaktbereich geöffnet werden kann. Der verbleibende Bereich der ersten Aussparung bleibt weiterhin mit dem Material der elektrisch isolierenden Schicht 4 ausgefüllt und dient so vorteilhafterweise weiter zur  
30 mechanischen Unterstützung des Halbleiterchips.

Ein Durchmesser der zweiten Aussparung 4a ist dabei jeweils kleiner ausgebildet als ein Durchmesser der ersten Aussparung des Trägersubstrats.

- 5 Das Aufbringen der elektrisch isolierenden Schicht und das Ausbilden der zweiten Aussparungen in der elektrisch isolierenden Schicht sind in Zusammenhang mit den Figuren 2A bis 2C näher erläutert.
- 10 Im nächsten Verfahrensschritt wird, wie in dem Ausführungsbeispiel der Figur 1G dargestellt, eine elektrisch leitende Schicht 5 auf der von dem Trägersubstrat 2 abgewandten Seite der elektrisch isolierenden Schicht 4 aufgebracht. Die elektrisch leitende Schicht 5 wird dabei so
- 15 aufgebracht, dass in den zweiten Aussparungen der elektrisch isolierenden Schicht 4 Durchkontaktierungen 5b aus Material der elektrisch leitenden Schicht 5 ausgebildet sind. Vorzugsweise sind die zweiten Aussparungen vollständig mit Material der elektrisch leitenden Schicht 5 ausgefüllt.
- 20 Dadurch kann wiederum eine ebene Fläche der dem Halbleiterchip 1 zugewandten Seite des Trägersubstrats 2 erzeugt werden.

Das Trägersubstrat 2, die elektrisch isolierende Schicht 4

25 und die elektrisch leitende Schicht 5 bilden zusammen einen Träger für den Halbleiterchip 1 aus. Die verschiedenen Schichten 2, 4, 5 des Trägers können dabei jeweils als Folie ausgebildet sein. Beispielsweise wird die elektrisch leitende Schicht 5 aus einem Metallseedlayer gebildet, wobei die

30 Durchkontaktierungen 5b galvanisch hergestellt werden und so einen elektrischen Kontakt zu den Kontaktbereichen des Halbleiterchips 1 ermöglichen.

Die elektrisch leitende Schicht 5 ist beispielsweise eine Kupferschicht, vorzugsweise eine Kupferfolie.

Im anschließenden Verfahrensschritt wird, wie in Figur 1H dargestellt, die elektrisch leitende Schicht 5 strukturiert. Insbesondere wird die elektrisch leitende Schicht 5 in zwei Bereiche unterteilt, die durch einen Abstand voneinander räumlich und elektrisch getrennt sind. Jeder Bereich weist dabei eine Durchkontaktierung auf, sodass die Kontaktbereiche des Halbleiterchips 1 getrennt voneinander elektrisch kontaktierbar sind und dabei elektrisch voneinander isoliert sind. Die Bereiche sind durch die Strukturierung 5a getrennt, die als Aussparung oder Loch ausgebildet ist.

Zudem wird im Verfahrensschritt der Figur 1H ein Aufwachssubstrat, auf dem die Halbleiterschichtenfolge des Halbleiterchips 1 aufgewachsen worden ist und das auf der von dem Trägersubstrat 2 abgewandten Seite des Halbleiterchips 1 aufgebracht ist, vollständig abgelöst. Der Halbleiterchip 1 ist somit ein Dünnschicht-Halbleiterchip. Alternativ kann lediglich ein Teil des Aufwachssubstrats abgedünnt werden.

In dem Verfahrensschritt zu Figur 1I wird anschließend die von dem Trägersubstrat 2 abgewandten Seite des Halbleiterchips 1 aufgeraut. Durch diese Aufrauung kann vorteilhafterweise die Strahlungsauskoppeleffizienz des Halbleiterchips erhöht werden.

Anschließend wird auf die aufgeraute Oberfläche des Halbleiterchips 1 eine Passivierungsschicht 6 aufgebracht, wie in Figur 1J dargestellt. Die Passivierungsschicht 6 ermöglicht eine planare Auskoppeleffizienz des Halbleiterchips 1.

Anschließend kann eine Konverterschicht 7 auf dem Trägersubstrat 2 und auf dem Halbleiterchip 1 auf der gegenüberliegenden Seite des Trägersubstrats 2 aufgebracht werden. Die Konverterschicht 7 wird beispielsweise auf das Trägersubstrat und den Halbleiterchip auflaminiert. Die Konverterschicht 7 ist insbesondere geeignet, zumindest einen Teil der von dem Halbleiterchip 1 im Betrieb emittierten Strahlung in Strahlung eines anderen Wellenlängenbereichs zu konvertieren.

Die Verfahrensschritte der Figuren 1A bis 1J können auch für eine Mehrzahl von Halbleiterchips 1 gleichzeitig durchgeführt werden, wie in Figur 1K angedeutet. Dabei werden eine Mehrzahl von Montagebereichen und eine Mehrzahl von ersten Aussparungen im Verfahrensschritt der Figuren 1B und 1C am Trägersubstrat bereitgestellt. Anschließend wird im Verfahrensschritt zu Figur 1D jeweils ein Halbleiterchip auf jeweils einem Montagebereich angeordnet. Jeweils unterhalb eines Halbleiterchips sind jeweils zwei erste Aussparungen ausgebildet. Anschließend werden nach Aufbringen der elektrisch isolierenden Schicht 4 (wie in Figur 1E gezeigt) jeweils unter jedem Halbleiterchip 2 zweite Aussparungen ausgebildet, wie in Figur 1F exemplarisch für einen Halbleiterchip dargestellt. Anschließend werden eine Mehrzahl von zweiten Aussparungen in der elektrisch isolierenden Schicht ausgebildet, die als Durchkontaktierungen mittels der elektrisch leitenden Schicht 5 ausgefüllt werden, sodass jeweils ein Halbleiterchip von extern elektrisch kontaktierbar ist.

Der Verbund aus Halbleiterbauelementen, wie in Figur 1K dargestellt, kann anschließend zu einzelnen Halbleiterchips

oder zu Halbleiterchip-Modulen vereinzelt werden. Derart hergestellte Halbleiterbauelemente finden beispielsweise Verwendung als Bildschirmhinterleuchtung oder als serienverschaltetes Modul zur Seiteneinkopplung in  
5 Lichtverteilungsplatten.

In den Figuren 2A bis 2C sind die Verfahrensschritte des Aufbringens der elektrisch isolierenden Schicht und das Ausbilden der zweiten Aussparung in der elektrisch  
10 isolierenden Schicht 4 näher dargestellt. Hierbei weist der Halbleiterchip 1 eine ringförmige Kontaktierung auf der dem Trägersubstrat 2 zugewandten Seite auf. Dabei ist ein Kontaktbereich 1b des Halbleiterchips 1 von einem zweiten Kontaktbereich 1c ringförmig umschlossen, wobei zwischen dem  
15 ersten Kontaktbereich 1b und dem zweiten Kontaktbereich 1c ein ringförmig ausgebildeter Abstand ausgebildet ist. Die erste Aussparung 2b des Trägersubstrats 2 ist in vertikaler Richtung direkt unterhalb des ersten Kontaktbereichs 1b und der ringförmigen Aussparung ausgebildet. Beispielsweise weist  
20 die erste Aussparung 2b einen Durchmesser  $D_2$  von wenigstens 70  $\mu\text{m}$  und höchstens 90  $\mu\text{m}$  auf, wie in Figur 2A dargestellt.

Wie in Figur 2B dargestellt wird anschließend die elektrisch isolierende Schicht 4 in der ersten Aussparung des  
25 Trägersubstrats 2 angeordnet. Das Material der elektrisch isolierenden Schicht 4 füllt dabei zudem die ringförmige Aussparung zwischen den Kontaktbereichen des Halbleiterchips 1 aus. Die zweite Aussparung in der elektrisch isolierenden Schicht 4 ist in vertikaler Richtung direkt unterhalb des  
30 ersten Kontaktbereichs 1b des Halbleiterchips 1 ausgebildet. Dabei ist der Durchmesser  $D_4$  der zweiten Aussparung 4a beispielsweise an die Ausdehnung des ersten Kontaktbereichs 1b des Halbleiterchips 1 anpasst. Beispielsweise weist die

zweite Aussparung 4a einen Durchmesser  $D_4$  von wenigstens 10  $\mu\text{m}$  und höchstens 30  $\mu\text{m}$  auf. Die zweite Aussparung ist demnach kleiner als die erste Aussparung des Trägersubstrats und in der ersten Aussparung angeordnet.

5

Anschließend wird in der zweiten Aussparung 4a die Durchkontaktierung mittels des Materials der elektrisch leitenden Schicht ausgebildet (nicht dargestellt).

10 In Figur 2C ist eine Unteransicht auf den Halbleiterchip des Ausführungsbeispiels der Figur 2B dargestellt. Der erste Kontaktbereich 1b des Halbleiterchips wird von dem Material der elektrisch isolierenden Schicht 4 ringförmig umgeben. Die elektrisch isolierende Schicht 4 wird wiederum von dem  
15 zweiten Kontaktbereich 1c des Halbleiterchips umgeben, sodass die elektrisch isolierende Schicht 4 den ersten Kontaktbereich 1b und den zweiten Kontaktbereich 1c räumlich und elektrisch voneinander trennt.

20 Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt, sondern umfasst jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn diese Merkmale oder  
25 diese Kombinationen selbst nicht explizit in den Ansprüchen oder Ausführungsbeispielen angegeben sind.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 102011103412.2, deren Offenbarungsgehalt  
30 hiermit durch Rückbezug aufgenommen wird.

## Patentansprüche

1. Verfahren zum Herstellen eines optoelektronischen Halbleiterbauelements mit den folgenden

5 Verfahrensschritten:

A1) Bereitstellen zumindest eines Halbleiterchips (1),  
der eine zur Strahlungserzeugung geeignete aktive  
Schicht (1a) aufweist,

10 A2) Bereitstellen eines Trägersubstrats (2), das  
zumindest einen Montagebereich (2a) für den  
Halbleiterchip (1) und zumindest eine erste  
Aussparung (2b) aufweist, die im Montagebereich  
(2a) des Trägersubstrats (2) ausgebildet ist,

15 B) Montieren des Halbleiterchips (1) auf dem  
Montagebereich (2a) des Trägersubstrats (2),

C) Aufbringen einer elektrisch isolierenden Schicht  
(4) auf der von dem Halbleiterchip (1) abgewandten  
Seite des Trägersubstrats (2) derart, dass die  
elektrisch isolierende Schicht (4) die erste  
20 Aussparung (2b) des Trägersubstrats (2) vollständig  
ausfüllt,

D) Ausbilden zumindest einer zweiten Aussparung (4a)  
in der elektrisch isolierenden Schicht (4), wobei  
die zweite Aussparung (4a) im Bereich der ersten  
25 Aussparung (2b) des Trägersubstrats (2) ausgebildet  
wird, und

E) Aufbringen einer elektrisch leitenden Schicht (5)  
auf der von dem Trägersubstrat (2) abgewandten  
Seite der elektrisch isolierenden Schicht (4)  
30 derart, dass die elektrisch leitende Schicht (5)  
die zweite Aussparung (4a) der elektrisch  
isolierenden Schicht (4) als Durchkontaktierung  
(5b) ausfüllt.

2. Verfahren nach Anspruch 1, wobei  
der Halbleiterchip (1) auf der dem Trägersubstrat (2)  
zugewandten Seite zwei voneinander elektrisch isolierte  
elektrische Kontaktbereiche (1b, 1c) aufweist, wobei die  
5 erste und zweite Aussparung (2b, 4a) in einem in  
vertikaler Richtung benachbarten Bereich zu einem der  
zwei Kontaktbereiche (1b, 1c) ausgebildet wird.

10 3. Verfahren nach einem der vorhergehenden Ansprüche,  
wobei  
ein Durchmesser ( $D_4$ ) der zweiten Aussparung (4a) kleiner  
ausgebildet wird als ein Durchmesser ( $D_2$ ) der ersten  
Aussparung (2b).

15 4. Verfahren nach Anspruch 3, wobei  
die erste Aussparung (2b) einen Durchmesser ( $D_2$ ) von  
wenigstens 70  $\mu\text{m}$  und höchstens 90  $\mu\text{m}$  und die zweite  
Aussparung (4a) einen Durchmesser ( $D_4$ ) von wenigstens 10  
20  $\mu\text{m}$  und höchstens 30  $\mu\text{m}$  aufweisen.

5. Verfahren nach einem der vorhergehenden Ansprüche,  
wobei  
die zweite Aussparung (4a) zumindest teilweise in der  
25 ersten Aussparung (2b) ausgebildet wird.

6. Verfahren nach einem der vorhergehenden Ansprüche,  
wobei  
die Durchkontaktierung (5b) punktförmig ausgebildet wird.

30 7. Verfahren nach einem der vorhergehenden Ansprüche,  
wobei

nach dem Verfahrensschritt E) die elektrisch leitende Schicht (5) strukturiert wird.

8. Verfahren nach einem der vorhergehenden Ansprüche,  
5 wobei

nach dem Verfahrensschritt E)

- eine Auskoppelfläche des Halbleiterchips (1), die dem Trägersubstrat (2) gegenüberliegt, aufgeraut wird,

- eine Konverterschicht (7) und/oder eine

10 Passivierungsschicht (6) auf der dem Trägersubstrat (2) gegenüberliegenden Seite des Halbleiterchips (1)

aufgebracht wird, und/oder

- ein Aufwachssubstrat des Halbleiterchips (1) gedünnt oder vollständig abgelöst wird.

15

9. Verfahren nach einem der vorhergehenden Ansprüche,  
wobei

in den Verfahrensschritten A1) und A2)

- eine Mehrzahl von Halbleiterchips (1) bereitgestellt  
20 wird, und

- das Trägersubstrat (2) eine Mehrzahl von Montagebereichen (2a) für die Halbleiterchips (1) und eine Mehrzahl von ersten Aussparungen (2b) aufweist,  
im Verfahrensschritt B)

25 - jeweils einer der Halbleiterchips (1) auf jeweils einem der Montagebereichen (2a) angeordnet wird, und  
im Verfahrensschritt D)

- eine Mehrzahl von zweiten Aussparungen (4a) in der elektrisch isolierenden Schicht (4) ausgebildet wird,

30 wobei jeweils eine der zweiten Aussparungen (4a) im Bereich jeweils einer der ersten Aussparungen (2b) des Trägersubstrats (2) ausgebildet werden.

10. Verfahren nach Anspruch 9, wobei nach dem Verfahrensschritt E) das Halbleiterbauelement zu einzelnen Halbleiterchips (1) und/oder zu Halbleiterchip-Modulen vereinzelt wird.

5

11. Verfahren nach Anspruch 9 oder 10, wobei im Verfahrensschritt B) die Halbleiterchips (1) mit einem Pick-and-Place-Verfahren auf den Montagebereichen (2a) des Trägersubstrats (2) aufgebracht werden.

10

12. Optoelektronisches Halbleiterbauelement, das zumindest einen Halbleiterchip (1) und ein Trägersubstrat (2) umfasst, wobei

15

- der Halbleiterchip (1) eine zur Strahlungserzeugung geeignete aktive Schicht (1a) aufweist,

- das Trägersubstrat (2) zumindest einen Montagebereich (2a) für den Halbleiterchip (1) und zumindest eine erste Aussparung (2b) aufweist, die im Montagebereich (2a) des Trägersubstrats (2) ausgebildet ist,

20

- der Halbleiterchip (1) auf dem Montagebereich (2a) des Trägersubstrats (2) angeordnet ist,

- auf der von dem Halbleiterchip (1) abgewandten Seite des Trägersubstrats (2) eine elektrisch isolierende Schicht (4) aufgebracht ist, die die erste Aussparung

25

(2b) des Trägersubstrats (2) ausfüllt,

- eine zweite Aussparung (4a) in der elektrisch isolierenden Schicht (4) im Bereich der ersten Aussparung (2b) des Trägersubstrats (2) ausgebildet ist, und

30

- eine elektrisch leitende Schicht (5) auf der von dem Trägersubstrat (2) abgewandten Seite der elektrisch isolierenden Schicht (4) angeordnet ist, die die zweite Aussparung (4a) der elektrisch isolierenden Schicht (2) als Durchkontaktierung (5b) ausfüllt.

13. Halbleiterbauelement nach Anspruch 12, wobei  
die dem Halbleiterchip (1) zugewandte Seite des  
Trägersubstrats (2) frei von der elektrisch isolierenden  
5 Schicht (4) ist.

14. Halbleiterbauelement nach Anspruch 12, wobei  
das Trägersubstrat (2) eine Metallfolie oder eine Folie  
aus Keramik ist.

10

15. Halbleiterbauelement nach Anspruch 12 oder 13, wobei  
die elektrisch isolierende Schicht (4) eine  
Kunststoffschicht ist.

FIG 1A

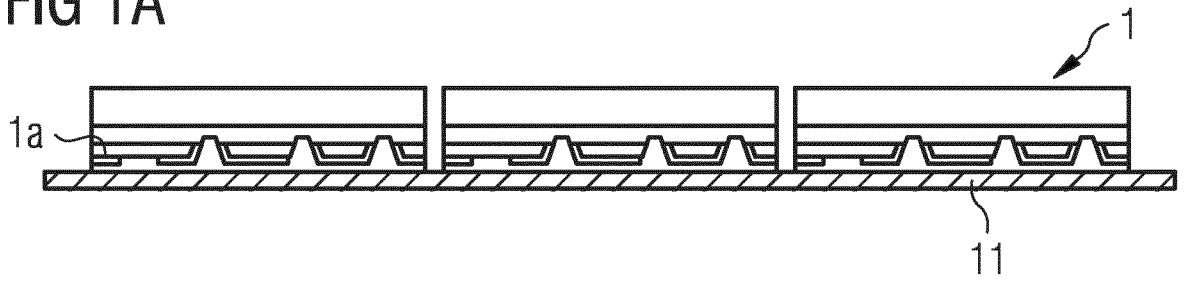


FIG 1B

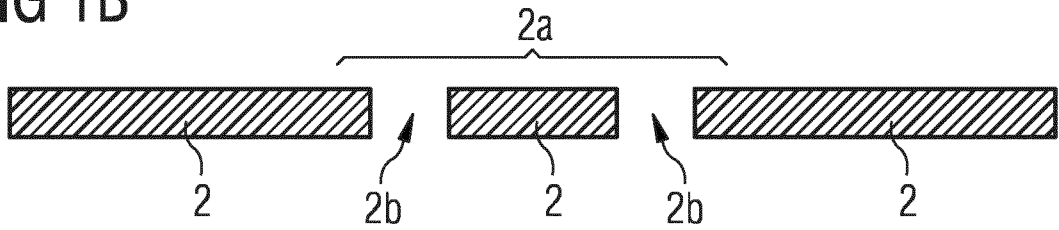


FIG 1C

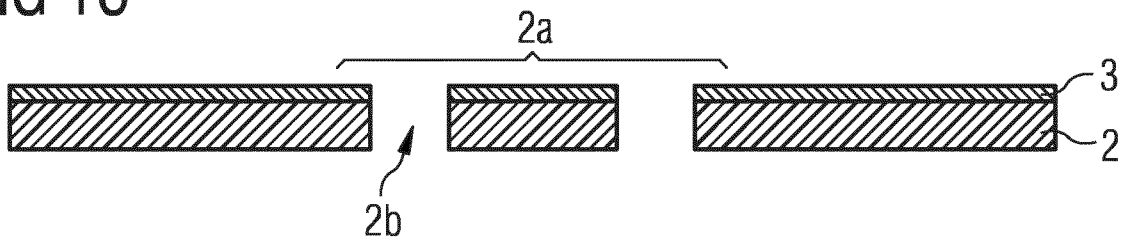


FIG 1D

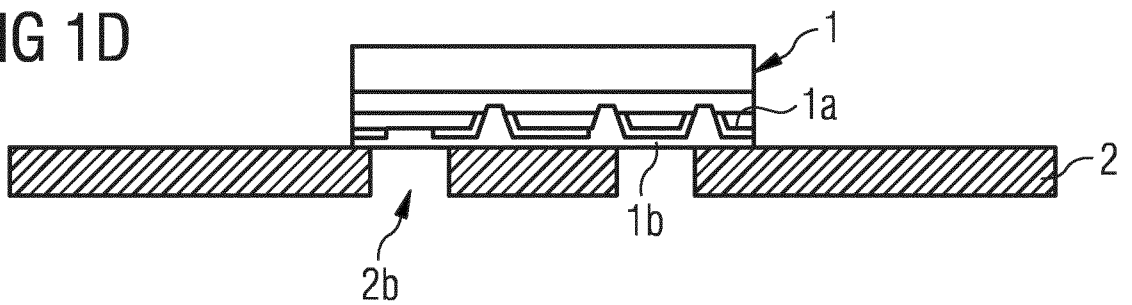


FIG 1E

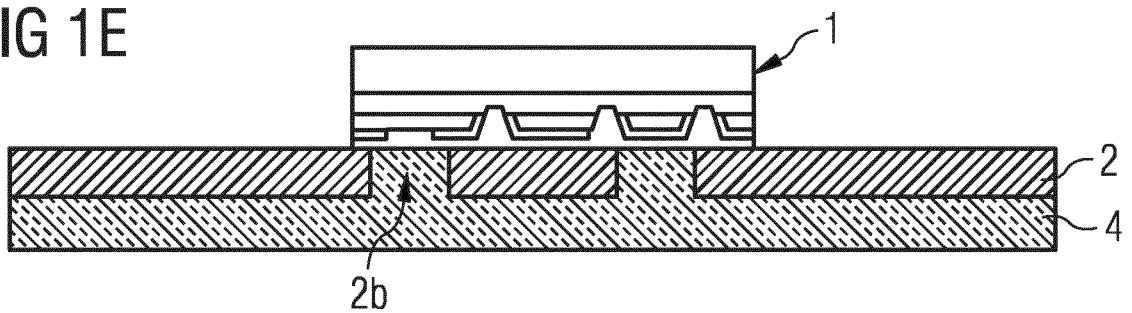


FIG 1F

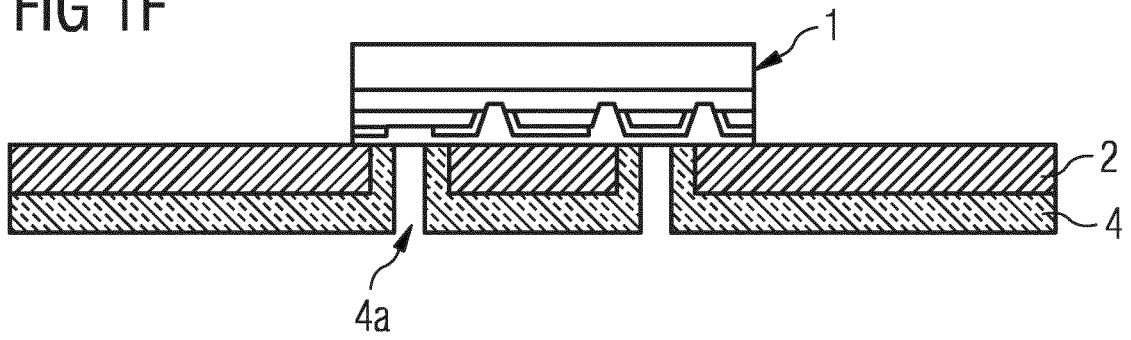


FIG 1G

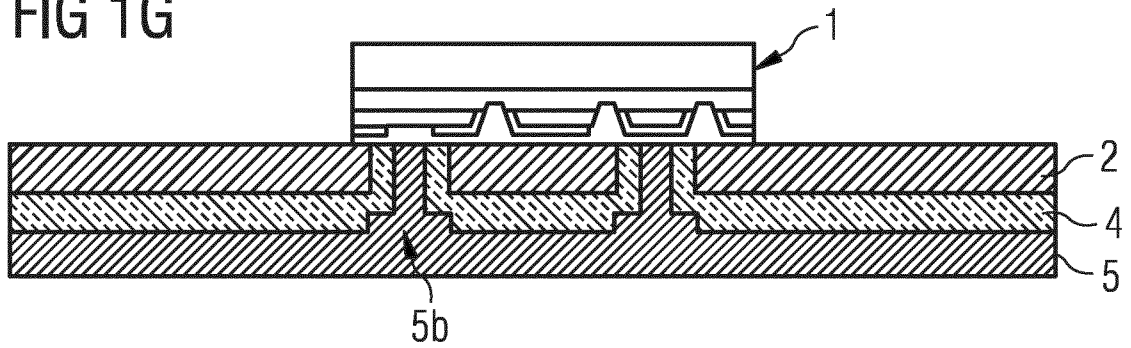


FIG 1H

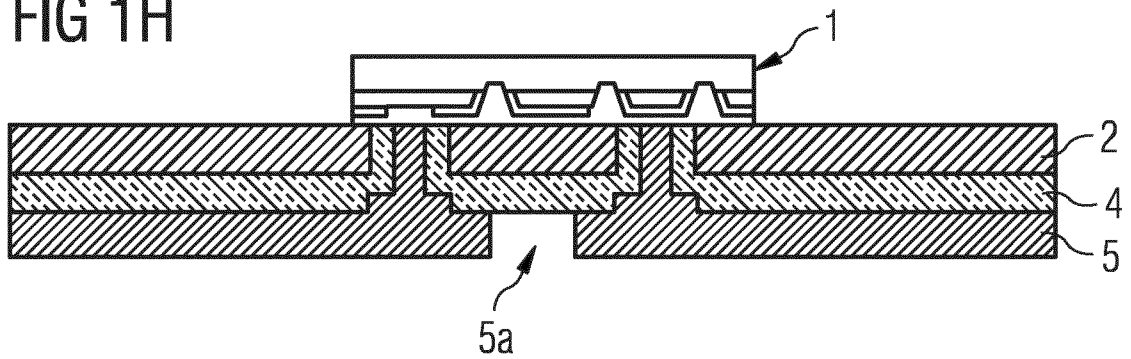


FIG 1I

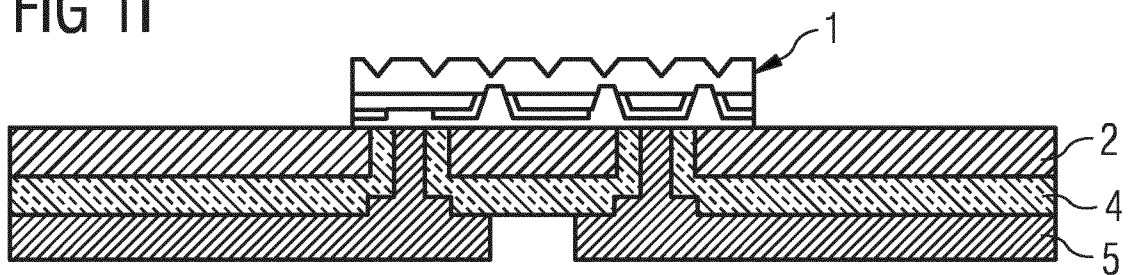


FIG 1J

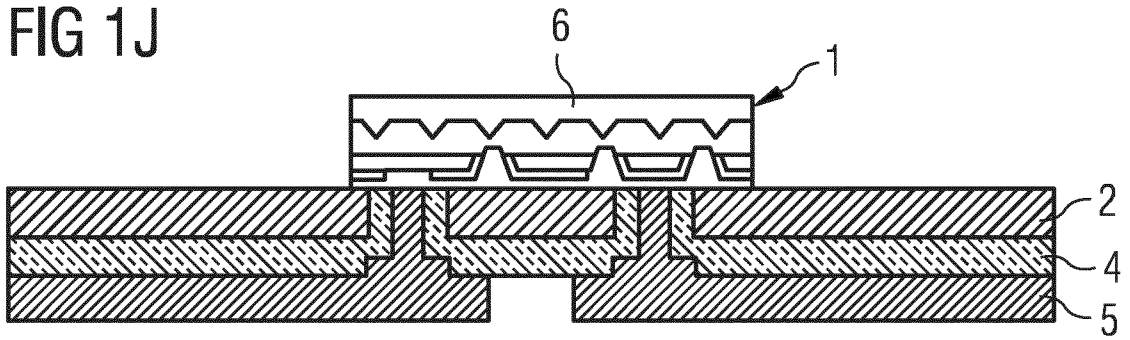


FIG 1K

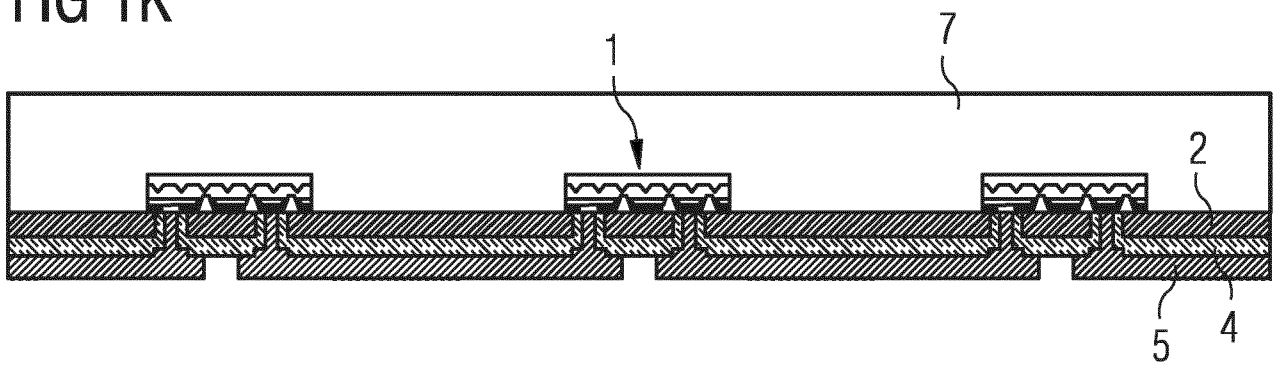


FIG 2A

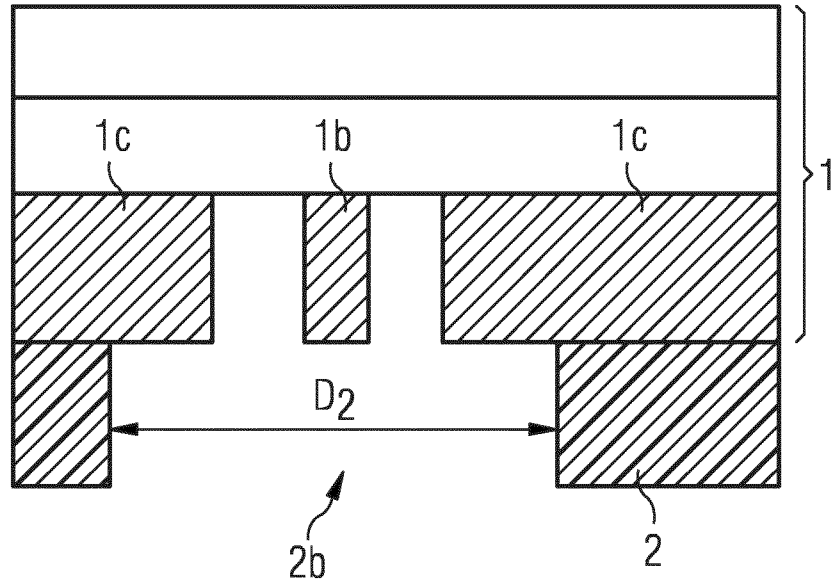


FIG 2B

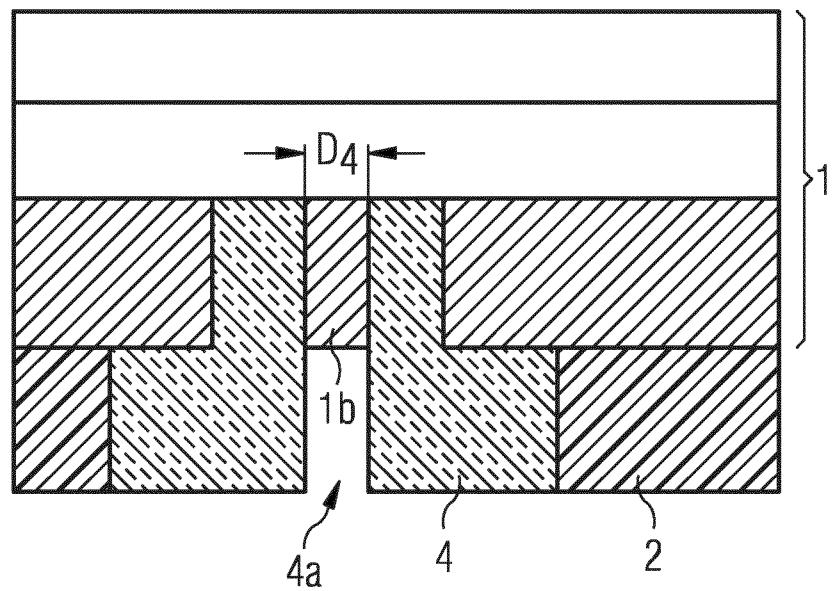
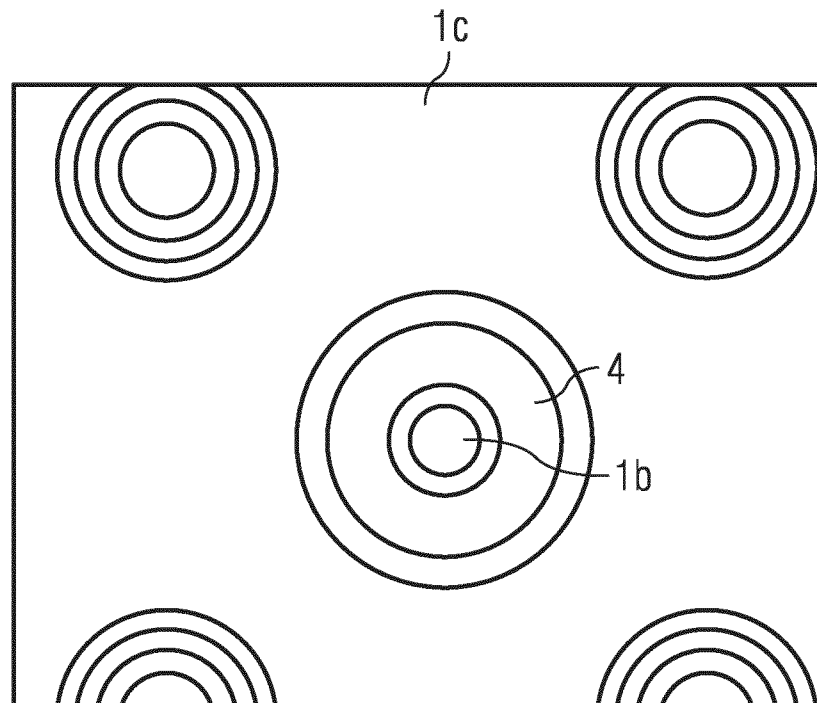


FIG 2C



**INTERNATIONAL SEARCH REPORT**

International application No  
PCT/EP2012/058921

**A. CLASSIFICATION OF SUBJECT MATTER**  
 INV. H01L33/62  
 ADD. H01L33/00 H01L33/48 H01L25/075

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**  
 Minimum documentation searched (classification system followed by classification symbols)  
 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
 EPO-Internal, WPI Data

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011/006322 A1 (LI JUNJIE [CN] ET AL) 13 January 2011 (2011-01-13)	1-7, 9-12,15
Y	paragraphs [0104] - [0131]; figures 3,7,18-25	8,13
	-----	
X	WO 2011/003907 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; HOEPEL LUTZ [DE]) 13 January 2011 (2011-01-13)	12
Y	page 10, line 17 - page 18, line 30; figure 1	8
	-----	
Y	US 2009/189179 A1 (WEN FONG-YUAN [TW] ET AL) 30 July 2009 (2009-07-30)	13
A	paragraphs [0017] - [0026]; figures 2,3A-G,4,5	8
	-----	
	-/--	

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  20 July 2012	Date of mailing of the international search report  16/08/2012
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer  Tinjob, Frank

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2012/058921

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/006404 A1 (IBBETSON JAMES [US] ET AL) 12 January 2006 (2006-01-12)	12-14
A	paragraph [0071]; figure 7 paragraphs [0066] - [0070]; figures 5A-I, 6	8-10
X	----- EP 2 219 241 A1 (LG INNOTEK CO LTD [KR]) 18 August 2010 (2010-08-18) paragraphs [0016] - [0035]; figure 2	12
A	----- US 2009/121249 A1 (TSENG WEN LIANG [TW] ET AL) 14 May 2009 (2009-05-14) paragraphs [0016], [0029] - [0032]; figures 1,2 paragraph [0035]; figures 4A-H -----	13,14

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/EP2012/058921
---

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011006322 A1	13-01-2011	CN 101587933 A US 2011006322 A1	25-11-2009 13-01-2011
-----			
WO 2011003907 A1	13-01-2011	CN 102428581 A DE 102009032486 A1 EP 2452373 A1 KR 20120048558 A US 2012098025 A1 WO 2011003907 A1	25-04-2012 13-01-2011 16-05-2012 15-05-2012 26-04-2012 13-01-2011
-----			
US 2009189179 A1	30-07-2009	NONE	
-----			
US 2006006404 A1	12-01-2006	AT 524839 T CN 101032034 A EP 1774598 A2 JP 2008505508 A KR 20070041729 A US 2006006404 A1 WO 2006005062 A2	15-09-2011 05-09-2007 18-04-2007 21-02-2008 19-04-2007 12-01-2006 12-01-2006
-----			
EP 2219241 A1	18-08-2010	CN 101807656 A EP 2219241 A1 KR 20100093975 A US 2010207152 A1	18-08-2010 18-08-2010 26-08-2010 19-08-2010
-----			
US 2009121249 A1	14-05-2009	TW 200921942 A US 2009121249 A1	16-05-2009 14-05-2009
-----			

**INTERNATIONALER RECHERCHENBERICHT**

Internationales Aktenzeichen

PCT/EP2012/058921

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
 INV. H01L33/62  
 ADD. H01L33/00 H01L33/48 H01L25/075

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)  
 EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2011/006322 A1 (LI JUNJIE [CN] ET AL) 13. Januar 2011 (2011-01-13)	1-7, 9-12,15
Y	Absätze [0104] - [0131]; Abbildungen 3,7,18-25	8,13
	-----	
X	WO 2011/003907 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; HOEPEL LUTZ [DE]) 13. Januar 2011 (2011-01-13)	12
Y	Seite 10, Zeile 17 - Seite 18, Zeile 30; Abbildung 1	8
	-----	
Y	US 2009/189179 A1 (WEN FONG-YUAN [TW] ET AL) 30. Juli 2009 (2009-07-30)	13
A	Absätze [0017] - [0026]; Abbildungen 2,3A-G,4,5	8
	-----	
	-/--	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen  Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts
20. Juli 2012	16/08/2012

Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter  Tinjod, Frank
--	--

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2006/006404 A1 (IBBETSON JAMES [US] ET AL) 12. Januar 2006 (2006-01-12)	12-14
A	Absatz [0071]; Abbildung 7 Absätze [0066] - [0070]; Abbildungen 5A-I, 6 -----	8-10
X	EP 2 219 241 A1 (LG INNOTEK CO LTD [KR]) 18. August 2010 (2010-08-18) Absätze [0016] - [0035]; Abbildung 2 -----	12
A	US 2009/121249 A1 (TSENG WEN LIANG [TW] ET AL) 14. Mai 2009 (2009-05-14) Absätze [0016], [0029] - [0032]; Abbildungen 1,2 Absatz [0035]; Abbildungen 4A-H -----	13,14

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2012/058921

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2011006322 A1	13-01-2011	CN 101587933 A US 2011006322 A1	25-11-2009 13-01-2011
WO 2011003907 A1	13-01-2011	CN 102428581 A DE 102009032486 A1 EP 2452373 A1 KR 20120048558 A US 2012098025 A1 WO 2011003907 A1	25-04-2012 13-01-2011 16-05-2012 15-05-2012 26-04-2012 13-01-2011
US 2009189179 A1	30-07-2009	KEINE	
US 2006006404 A1	12-01-2006	AT 524839 T CN 101032034 A EP 1774598 A2 JP 2008505508 A KR 20070041729 A US 2006006404 A1 WO 2006005062 A2	15-09-2011 05-09-2007 18-04-2007 21-02-2008 19-04-2007 12-01-2006 12-01-2006
EP 2219241 A1	18-08-2010	CN 101807656 A EP 2219241 A1 KR 20100093975 A US 2010207152 A1	18-08-2010 18-08-2010 26-08-2010 19-08-2010
US 2009121249 A1	14-05-2009	TW 200921942 A US 2009121249 A1	16-05-2009 14-05-2009