

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4942405号  
(P4942405)

(45) 発行日 平成24年5月30日 (2012.5.30)

(24) 登録日 平成24年3月9日 (2012.3.9)

(51) Int. Cl.	F I	
<b>G 1 1 C 19/00 (2006.01)</b>	G 1 1 C 19/00	J
<b>G 1 1 C 19/28 (2006.01)</b>	G 1 1 C 19/28	D
<b>G O 9 G 3/20 (2006.01)</b>	G O 9 G 3/20	6 2 2 E
<b>G O 9 G 3/36 (2006.01)</b>	G O 9 G 3/20	6 1 1 A
	G O 9 G 3/20	6 2 2 K
請求項の数 4 (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2006-173307 (P2006-173307)  
 (22) 出願日 平成18年6月23日 (2006.6.23)  
 (65) 公開番号 特開2007-4176 (P2007-4176A)  
 (43) 公開日 平成19年1月11日 (2007.1.11)  
 審査請求日 平成21年4月24日 (2009.4.24)  
 (31) 優先権主張番号 10-2005-0054427  
 (32) 優先日 平成17年6月23日 (2005.6.23)  
 (33) 優先権主張国 韓国 (KR)

前置審査

(73) 特許権者 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si,  
 Gyeonggi-do, Republic of Korea

(74) 代理人 100121382  
 弁理士 山下 託嗣  
 (72) 発明者 郭 珍 午  
 大韓民国京畿道水原市靈通区亡通洞トンス  
 ウォンエルジービレッジ101棟1404  
 号

最終頁に続く

(54) 【発明の名称】 表示装置用シフトレジスタ及びこれを含む表示装置

(57) 【特許請求の範囲】

【請求項1】

画素及びこれに接続されている信号線をそれぞれ備える少なくとも2つの表示領域を有する表示装置用シフトレジスタであって、

互いに接続されていて、順に出力信号を生成する複数のステージをそれぞれ含む少なくとも2つのステージ群を含み、

前記各ステージ群は前記表示領域のうちの1つに属する前記信号線に接続され、前記各ステージ群はそれぞれ第1ステージが異なる時間に出力される走査開始信号を受けて、前記各走査開始信号に対応するタイミングで前記信号線に前記出力信号を送出するように形成され、

前記表示領域のうち複数の表示領域を表示する場合には、表示する表示領域に対応するステージ群のうち少なくとも1つは、上に隣接したステージ群の最後のステージの出力と同期して、第1ステージに前記走査開始信号の印加を受け、

前記各ステージ群への前記各走査開始信号の入力可否は選択的に決定される表示装置用シフトレジスタ。

【請求項2】

前記各ステージは、セット端子、リセット端子、ゲート電圧端子、出力端子並びに第1及び第2クロック端子を有する、請求項1に記載の表示装置用シフトレジスタ。

【請求項3】

前記各ステージは、

前記第1クロック端子に接続されている第1端子、第1接続点に接続されている第2端子及び前記出力端子に接続されている第3端子を有する第1スイッチング素子と、

前記セット端子に共通に接続されている第1及び第2端子と、前記第1接続点に接続されている第3端子を有する第2スイッチング素子と、

前記第1接続点に接続されている第1端子、前記リセット端子に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第3スイッチング素子と、

前記第1接続点に接続されている第1端子、第2接続点に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第4スイッチング素子と、

前記出力端子に接続されている第1端子、前記第2接続点に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第5スイッチング素子と、

前記出力端子に接続されている第1端子、前記第2クロック端子に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第6スイッチング素子と、

前記第2接続点に接続されている第1端子、前記第1接続点に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第7スイッチング素子と、

前記第1クロック端子と前記第2接続点との間に接続されている第1キャパシタと、

前記第1接続点と前記出力端子との間に接続されている第2キャパシタと、

を含む、請求項2に記載の表示装置用シフトレジスタ。

【請求項4】

スイッチング素子をそれぞれ含む複数の画素と、前記スイッチング素子にそれぞれ接続されている複数の信号線を各々含む少なくとも2つの表示領域と、

互いに接続されていて、前記表示領域のうちの1つに属する信号線に接続される複数のステージをそれぞれ含む少なくとも2つのステージ群を含むシフトレジスタと、

前記各ステージ群の第1ステージにそれぞれ入力される走査開始信号であって、前記各走査開始信号が互いに異なる時間に出力されるように複数の走査開始信号を生成する回路部と、

を含み、

前記表示領域のうち複数の表示領域を表示する場合には、表示する表示領域に対応するステージ群のうち少なくとも1つは、上に隣接したステージ群の最後のステージの出力と同期して、第1ステージに前記走査開始信号の印加を受け、前記各ステージ群に含まれる前記複数のステージは順に出力信号を生成して前記信号線に印加するように形成され、

前記各ステージ群への前記各走査開始信号の入力可否は選択的に決定される表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置用シフトレジスタ及びこれを含む表示装置に関する。

【背景技術】

【0002】

最近、重くて大きい陰極線管(cathode ray tube、CRT)に代わって有機発光表示装置(organic light emitting diode display)、プラズマ表示装置(plasma display panel、PDP)、液晶表示装置(liquid crystal display、LCD)のような平板表示装置が活発に開発されている。

【0003】

PDPは気体放電によって発生するプラズマを利用して文字や映像を表示する装置であり、有機発光表示装置は特定有機物または高分子などの電界発光を利用して文字または映像を表示する。液晶表示装置は、2つの表示板の間に入っている液晶層に電場を印加し、この電場の強さを調節して液晶層を通過する光の透過率を調節することによって、所望の

10

20

30

40

50

画像を得る。

【0004】

このような表示装置の中で、特に携帯電話などに使用される中小型表示装置として、外部と内部に各々表示板部を備えたデュアル表示装置が活発に開発されている。

このようなデュアル表示装置は、内部に装着される主表示板部、外部に装着される副表示板部、外部からの入力信号を伝達する配線が具備された駆動可撓性印刷回路膜 (flexible printed circuit film、FPC)、主表示板部と副表示板部とを連結する補助FPC及びこれらを制御するための統合チップ (integrated chip) を含む。

【0005】

デュアル表示装置の中で、例えば、液晶表示装置と有機発光表示装置は、スイッチング素子を含む画素と表示信号線が設けられた表示板と、表示信号線のうちのゲート線にゲートオン電圧とゲートオフ電圧を送出して画素のスイッチング素子を導通/遮断するゲート駆動部と、表示信号線のうちのデータ線にデータ電圧を送出して導通したスイッチング素子を通じて画素に印加するデータ駆動部とを含み、統合チップは、主表示板部と副表示板部のゲート駆動部とデータ駆動部を制御するための制御信号及び駆動信号を生成し、主に主表示板部にCOG (chip on glass) 形態で装着されている。

【0006】

一方、このような中小型表示装置はもちろん、大型表示装置においても、原価節減などのために、ゲート駆動部が画素のスイッチング素子と同一の工程で形成されて表示板部に集積するように構成する場合がある。

ゲート駆動部は、実質的にシフトレジスタとして互いに接続されていて、一列に配列されている複数のステージを含み、第1ステージが走査開始信号の印加を受けてゲート出力を送出すると同時に、次のステージにキャリア出力 (carry output) を送出して順にゲート出力を生成する。

【0007】

しかし、画面全体を表示せずに一部だけを表示する、いわゆる一部駆動モード (partial operation mode) の場合にも、走査開始信号は第1ステージに入力されて全てのステージが動作しなければならないので、電力消費が激しい。

【特許文献1】米国特許第6900788号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

そこで、本発明が目的とする技術的課題は、一部駆動モードを実現することで消費電力を減らすことができるシフトレジスタ及びこれを含む表示装置を提供することにある。

【課題を解決するための手段】

【0009】

このような技術的課題を達成するための本発明の一実施形態によって、画素及びこれに接続されている信号線がそれぞれ設けられている少なくとも2つの表示領域を有する表示装置用シフトレジスタであって、互いに接続されていて順に出力信号を生成する複数のステージをそれぞれ含む少なくとも2つのステージ群を含み、前記各ステージ群は前記表示領域のうちの1つに属する前記信号線に前記出力信号を送出する。

【0010】

前記ステージ群のうちの少なくとも1つは走査開始信号の印加を受けるように構成できる。

前記各ステージ群の第1ステージに前記走査開始信号を入力するように構成でき、前記走査開始信号は、上に隣接したステージ群の最後のステージの出力と同期して入力することができる。

【0011】

前記各ステージは、セット端子、リセット端子、ゲート電圧端子、出力端子並びに第1

10

20

30

40

50

及び第2クロック端子を有するように構成できる。

前記各ステージは、前記第1クロック端子に接続されている第1端子、第1接続点に接続されている第2端子及び前記出力端子に接続されている第3端子を有する第1スイッチング素子と、前記セット端子に共通に接続されている第1及び第2端子と、前記第1接続点に接続されている第3端子を有する第2スイッチング素子と、前記第1接続点に接続されている第1端子、前記リセット端子に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第3スイッチング素子と、前記第1接続点に接続されている第1端子、第2接続点に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第4スイッチング素子と、前記出力端子に接続されている第1端子、前記第2接続点に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第5スイッチング素子と、前記出力端子に接続されている第1端子、前記第2クロック端子に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第6スイッチング素子と、前記第2接続点に接続されている第1端子、前記第1接続点に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第7スイッチング素子と、前記第1クロック端子と前記第2接続点との間に接続されている第1キャパシタと、前記第1接続点と前記出力端子との間に接続されている第2キャパシタとを含むように構成できる。

10

#### 【0012】

前記第1～第7スイッチング素子は非晶質シリコンで構成することができる。

本発明の1つの特徴による表示装置は、スイッチング素子を各々含む複数の画素と、前記スイッチング素子にそれぞれ接続されている複数の信号線をそれぞれ含む少なくとも2つの表示領域、及び互いに接続されていて、順に出力信号を生成して前記表示領域のうちの1つに属する信号線に印加する複数のステージをそれぞれ含む少なくとも2つのステージ群を含むシフトレジスタを含む。

20

#### 【0013】

前記ステージ群のうちの少なくとも1つは走査開始信号の印加を受けるように構成でき、前記各ステージ群の第1ステージには前記走査開始信号が入力されるように構成できる。

前記走査開始信号は、上に隣接したステージ群の最後のステージの出力と同期して入力されるように構成できる。

30

#### 【0014】

前記各ステージは、セット端子、リセット端子、ゲート電圧端子、出力端子並びに第1及び第2クロック端子を有するように構成できる。

前記各ステージは、前記第1クロック端子に接続されている第1端子、第1接続点に接続されている第2端子及び前記出力端子に接続されている第3端子を有する第1トランジスタと、前記セット端子に共通に接続されている第1及び第2端子と、前記第1接続点に接続されている第3端子を有する第2トランジスタと、前記第1接続点に接続されている第1端子、前記リセット端子に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第3トランジスタと、前記第1接続点に接続されている第1端子、第2接続点に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第4トランジスタと、前記出力端子に接続されている第1端子、前記第2接続点に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第5トランジスタと、前記出力端子に接続されている第1端子、前記第2クロック端子に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有する第6トランジスタと、前記第2接続点に接続されている第1端子、前記第1接続点に接続されている第2端子及び前記ゲートオフ電圧端子に接続されている第3端子を有するトランジスタと、前記第1クロック端子と前記第2接続点との間に接続されている第1キャパシタと、前記第1接続点と前記出力端子との間に接続されている第2キャパシタとを含む構成とすることができる。

40

#### 【0015】

50

前記第1～第7トランジスタは非晶質シリコンで構成することができる。

一方、前記表示装置は互いに異なる時間に出力される複数の走査開始信号を生成する回路部をさらに含むことができ、前記走査開始信号の一部は前記ステージ群の最後のステージの出力に同期して入力されるように構成できる。

また、前記表示装置は前記表示領域を有する表示板部をさらに含み、前記シフトレジスタは前記表示板部に集積することができる。

【0016】

前記表示装置は液晶表示装置とすることができ、前記液晶表示装置は半透過型 (transflective type) であり得る。

【発明の効果】

10

【0017】

本発明によれば、シフトレジスタを複数の群に分け、必要な部分だけを表示することによって、消費電力をさらに減らすことができる。

【発明を実施するための最良の形態】

【0018】

添付した図面を参照して、本発明の実施形態について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。

図面において、いろいろな層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似する部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“すぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上”にあるとする時には、中間に他の部分がないことを意味する。

20

【0019】

以下、本発明の実施形態による表示装置について、添付した図面を参照して詳細に説明し、液晶表示装置を一例として説明する。

図1は本発明の一実施形態による液晶表示装置の概略図であり、図2は本発明の一実施形態による液晶表示装置のブロック図であり、図3は本発明の一実施形態による液晶表示装置の1つの画素に対する等価回路図である。

【0020】

以下において、ゲート駆動部400は、特別な言及がなければ、ゲート駆動部400Mまたはゲート駆動部400Sであり得る。

30

図1に示すように、本発明の一実施形態による表示装置は、主表示板部300Mと副表示板部300S、主表示板部300Mに付着されたFPC (flexible printed circuit film) 650、主表示板部300Mと副表示板部300Sとの間に付着された補助FPC 680及び表示板部300M上に装着された統合チップ700を含む。

【0021】

FPC 650は、主表示板部300Mの1つの端縁付近に取り付けられている。また、組立状態でFPC 650を折り畳んだ時、主表示板部300Mの一部を露出する開口部690を有している。開口部690の下側には外部からの信号が入力される入力部660が設けられており、その他の入力部660と統合チップ700、統合チップ700と主表示板部300Mの電気的接続のための複数の信号線 (図示せず) を備えている。これら信号線は、統合チップ700と接続される地点及び主表示板部300Mに付着される地点でほぼ幅が広がってパッド (図示せず) を形成する。

40

【0022】

補助FPC 680は、主表示板部300Mの他の端縁と、副表示板部300Sの1つの端縁との間に付着されており、統合チップ700と副表示板部300Sとの電気的接続のための信号線SL2、DLを備える。

各表示板部300M、300Sは、画面をなす表示領域310M、310Sと周辺領域320M、320Sとを含み、周辺領域320M、320Sには光を遮断するための遮光

50

層（図示せず）（“ブラックマトリックス”）を設けることができる。FPC650及び補助FPC680は、この遮光領域320M、320Sに付着されている。

【0023】

図2に示したように、各表示板部300M、300Sは、複数のゲート線 $G_1 \sim G_n$ と複数のデータ線 $D_1 \sim D_m$ を含む複数の表示信号線、これに接続されていて、ほぼ行列状に配列された複数の画素PX及びゲート線 $G_1 \sim G_n$ に信号を供給するゲート駆動部400を含み、画素と表示信号線 $G_1 \sim G_n$ 、 $D_1 \sim D_m$ のほとんどは表示領域310M、310S内に位置し、ゲート駆動部400M、400Sは周辺領域320M、320Sに各々位置する。ゲート駆動部400M、400Sが位置する側の周辺領域320M、320Sはもう少し大きい幅を有する。

10

【0024】

また、図1に示したように、主表示板部300Mのデータ線 $D_1 \sim D_m$ のうちの一部は、補助FPC680を通じて副表示板部300Sに接続されている。つまり、2つの表示板部300M、300Sは、データ線 $D_1 \sim D_m$ のうちの一部を共有する形態であり、図面にはそのうちの1つのDLを示した。

上部表示板200は下部表示板100より大きさが小さくて下部表示板100の一部領域が露出され、この領域にデータ線 $D_1 \sim D_m$ が延長されてデータ駆動部500と接続される。ゲート線 $G_1 \sim G_n$ は、また、周辺領域320M、320Sによって覆われた領域に延長され、ゲート駆動部400M、400Sと接続される。

【0025】

表示信号線 $G_1 \sim G_n$ 、 $D_1 \sim D_m$ は、FPC650、680と接続される地点で大体幅が広がってパッド（図示せず）をなし、表示板部300M、300SとFPC650、680は、これらパッドの電氣的接続のための異方性導電膜（図示せず）によって付着されている。

20

各画素PX、例えば、 $i$ 番目（ $i = 1, 2, n$ ）ゲート線 $G_i$ と $j$ 番目（ $j = 1, 2, m$ ）データ線 $D_j$ に接続された画素PXは、信号線 $G_i$ 、 $D_j$ に接続されたスイッチング素子Qと、これに接続された液晶キャパシタ（liquid crystal capacitor） $C_{LC}$ 及びストレージキャパシタ（storage capacitor） $C_{ST}$ を含む。ストレージキャパシタ $C_{ST}$ は必要に応じて省略できる。

【0026】

スイッチング素子Qは、下部表示板100に設けられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 $G_i$ と接続されており、入力端子はデータ線 $D_j$ と接続されており、出力端子は液晶キャパシタ $C_{LC}$ 及びストレージキャパシタ $C_{ST}$ と接続されている。

30

液晶キャパシタ $C_{LC}$ は、下部表示板100の画素電極191と上部表示板200の共通電極270を2つの端子とし、2つの電極191、270の間の液晶層3は誘電体として機能する。画素電極191はスイッチング素子Qと接続され、共通電極270は上部表示板200の全面に形成されており、共通電圧Vcomの印加を受ける。図3に示す例とは異なり、共通電極270を下部表示板100に設けることもでき、この時には2つの電極191、270のうちの少なくとも1つを線状または棒状に構成することができる。

40

【0027】

液晶キャパシタ $C_{LC}$ の補助的な役割を果たすストレージキャパシタ $C_{ST}$ は、下部表示板100に設けられた別個の信号線（図示せず）と画素電極191とが絶縁体を介して重畳することにより構成されるもので、この別個の信号線には共通電圧Vcomなどの決められた電圧が印加される。これとは異なり、ストレージキャパシタ $C_{ST}$ は、画素電極191が絶縁体を媒介としてすぐ上の前段ゲート線と重畳することによって構成することもできる。

【0028】

一方、色表示を実現するためには、各画素PXが基本色（primary color）のうちの一つを固有に表示したり（空間分割）、各画素PXが時間によって交互に基本

50

色を表示するように（時間分割）して、これら基本色の空間的、時間的合計によって所望の色相を認識できるようにする。基本色の例としては、赤色、緑色、青色など三原色がある。図3は空間分割の一例として、カラーフィルタ230を設けることにより、各画素PXが画素電極191に対応する上部表示板200の領域に基本色のうちの1つを表すように構成することを示している。図3とは異なって、カラーフィルタ230を、下部表示板100の画素電極191上または下に形成することもできる。

#### 【0029】

液晶表示板組立体300の外側面には、光を偏光させる少なくとも1つの偏光子（図示せず）が付着されている。

階調電圧生成部800は、画素PXの透過率と係わる2組の階調電圧集合（または基準階調電圧集合）を生成する。2組のうち1組は共通電圧Vcomに対して正の値を有し、他の1組は負の値を有する。

#### 【0030】

ゲート駆動部400M、400Sは、ゲート線G<sub>1</sub>～G<sub>n</sub>に接続されてスイッチング素子Qを導通することができるゲートオン電圧V<sub>on</sub>と、スイッチング素子Qを遮断することができるゲートオフ電圧V<sub>off</sub>との組み合わせからなるゲート信号をゲート線G<sub>1</sub>～G<sub>n</sub>に印加する。ゲート駆動部400M、400Sは、画素のスイッチング素子Qと同一の工程によって形成され集積されており、信号線SL1、SL2を通じて統合チップ700とそれぞれ接続されている。

#### 【0031】

データ駆動部500は、液晶表示板組立体300のデータ線D<sub>1</sub>～D<sub>m</sub>に接続されており、階調電圧生成部800からの階調電圧を選択し、これをデータ信号としてデータ線D<sub>1</sub>～D<sub>m</sub>に印加する。しかし、階調電圧生成部800が全ての階調に対する電圧を全て提供することではなく、決められた数の基準階調電圧のみを提供する場合に、データ駆動部500は基準階調電圧を分圧して全体階調に対する階調電圧を生成し、この中でデータ信号を選択する。

#### 【0032】

信号制御部600は、ゲート駆動部400及びデータ駆動部500などを制御する。

統合チップ700は、連結部660とFPC650に設けられた信号線を通じて外部の信号を受信し、処理した信号を主表示板部300Mの周辺領域320Mと補助FPC680に設けられた配線を通じて主表示板部300M及び副表示板部300Sに供給することによってこれらを制御し、図2に示した階調電圧生成部800、データ駆動部500及び信号制御部600などを含む。

#### 【0033】

次に、このような液晶表示装置の表示動作について詳細に説明する。

信号制御部600は、外部のグラフィック制御器（図示せず）から入力映像信号R、G、B及びその表示を制御する入力制御信号を受信する。入力制御信号の例としては、垂直同期信号Vsyncと水平同期信号Hsync、メインクロックMCLK、データイネーブル信号DEなどがある。

#### 【0034】

信号制御部600は、入力映像信号R、G、Bと入力制御信号に基づいて入力映像信号R、G、Bを液晶表示板組立体300の動作条件に合うように適切に処理し、ゲート制御信号CONT1及びデータ制御信号CONT2などを生成した後、ゲート制御信号CONT1をゲート駆動部400に送出し、データ制御信号CONT2と処理した映像信号DATをデータ駆動部500に送出する。

#### 【0035】

ゲート制御信号CONT1は、走査開始を指示する走査開始信号STVと、ゲートオン電圧V<sub>on</sub>の出力周期を制御する少なくとも1つのクロック信号とを含む。ゲート制御信号CONT1は、また、ゲートオン電圧V<sub>on</sub>の持続時間を限定する出力イネーブル信号OEをさらに含む構成とすることができる。

10

20

30

40

50

データ制御信号CONT2は、1つの行の画素PXに対する映像データの伝送開始を知らせる水平同期開始信号STH、データ線D<sub>1</sub>~D<sub>m</sub>にデータ信号の印加を指示するロード信号LOAD及びデータクロック信号CLKを含む。データ制御信号CONT2は、また、共通電圧V<sub>com</sub>に対するデータ信号の電圧極性(以下、“共通電圧に対するデータ信号の電圧極性”を略して、“データ信号の極性”と言う)を反転させる反転信号RVSをさらに含む構成とすることができる。

【0036】

信号制御部600からのデータ制御信号CONT2によって、データ駆動部500は1つの行の画素PXに対するデジタル映像信号DATを受信し、各デジタル映像信号DATに対応する階調電圧を選択することによって、デジタル映像信号DATをアナログデータ信号に変換した上で、これを該当データ線D<sub>1</sub>~D<sub>m</sub>に印加する。

10

ゲート駆動部400は、信号制御部600からのゲート制御信号CONT1によってゲートオン電圧V<sub>on</sub>をゲート線G<sub>1</sub>~G<sub>n</sub>に印加し、このゲート線G<sub>1</sub>~G<sub>n</sub>に接続されたスイッチング素子Qを導通させる。このことにより、データ線D<sub>1</sub>~D<sub>m</sub>に印加されたデータ信号が導通したスイッチング素子Qを通じて該当画素PXに印加される。

【0037】

画素PXに印加されたデータ信号の電圧と共通電圧V<sub>com</sub>との差は、液晶キャパシタC<sub>LC</sub>の充電電圧、つまり、画素電圧として現れる。液晶分子は画素電圧の大きさによってその配列を異にし、そのため液晶層3を通過する光の偏光が変化する。このような偏光の変化は表示板組立体300に付着された偏光子によって光の透過率変化に現れる。

20

1水平周期(“1H”とも言い、水平同期信号Hsync及びデータイネーブル信号DEの一周期と同一である)を単位としてこのような過程を繰り返すことによって、全てのゲート線G<sub>1</sub>~G<sub>n</sub>に対し順にゲートオン電圧V<sub>on</sub>を印加し、全ての画素PXにデータ信号を印加して1フレームの映像を表示する。

【0038】

1フレームが終了すれば、次のフレームが始まり、各画素PXに印加されるデータ信号の極性が直前のフレームでの極性と反対になるように、データ駆動部500に印加される反転信号RVSの状態が制御される(“フレーム反転”)。この時、1フレーム内でも反転信号RVSの特性によって1つのデータ線を通じて流れるデータ信号の極性を反転させることもでき(例:行反転、点反転)、1つの画素行に印加されるデータ信号の極性を互いに反転させることもできる(例:列反転、点反転)。

30

【0039】

次に、本発明の一実施形態による液晶表示装置について、図4~図7を参照して詳細に説明する。

図4は本発明の一実施形態による液晶表示装置の部分駆動の一例であり、図5は本発明の一実施形態によるゲート駆動部のブロック図である。図6は図5に示したゲート駆動部用シフトレジスタのj番目ステージの回路図の一例であり、図7は図5に示したゲート駆動部の信号波形図である。

【0040】

図4を見れば、主表示板部300Mまたは副表示板部300Sに表示できる画面の一例として、日付及び時間などを表している。この時、画面に全部表示するものではなく、一部の領域にだけ部分的に表示を行う。

40

以下、画面全体を駆動する全体駆動だけでなく、部分的に駆動できる部分駆動を行う表示装置の駆動装置について説明する。

【0041】

図5に示したゲート駆動部400は一列に配列されていて、ゲート線G<sub>1</sub>~G<sub>n</sub>にそれぞれ接続されている複数のステージ410を含むシフトレジスタであって、複数の走査開始信号STV1~STV4、複数のクロック信号CLK1、CLK2及びゲートオフ電圧V<sub>off</sub>が入力される。また、シフトレジスタ400は、所定個数のゲート線G<sub>1</sub>~G<sub>n</sub>にそれぞれ接続されている4つのステージ群411~414を含む。

50



## 【 0 0 4 2 】

各ステージ410は、セット端子S、ゲート電圧端子GV、一对のクロック端子CK1、CK2、リセット端子R及びゲート出力端子OUTを有している。

各ステージ、例えば、j番目ステージSTjのセット端子Sには前段ステージST(j-1)のゲート出力、つまり、前段ゲート出力Gout(j-1)が、リセット端子Rには後段ステージST(j+1)のゲート出力、つまり、後段ゲート出力Gout(j+1)が入力され、クロック端子CK1、CK2にはクロック信号CLK1、CLK2が入力され、ゲート電圧端子GVにはゲートオフ電圧Voffが入力される。ゲート出力端子OUTはゲート出力Gout(j)を送出する。

## 【 0 0 4 3 】

但し、各ステージ群411~414において、第1ステージには前段ゲート出力の代わりに走査開始信号STV1~STV4が各々入力される。j番目ステージST(j)のクロック端子CK1にクロック信号CLK1が、クロック端子CK2にクロック信号CLK2が入力される場合、これに隣接した(j-1)番目及び(j+1)番目ステージST(j-1)、ST(j+1)のクロック端子CK1にはクロック信号CLK2が、クロック端子CK2にはクロック信号CLK1が入力される。

## 【 0 0 4 4 】

各クロック信号CLK1、CLK2は画素のスイッチング素子Qを駆動できるように、電圧レベルがハイである場合はゲートオン電圧Vonと同一であり、ローである場合はゲートオフ電圧Voffと同一であることが好ましい。図7に示したように、各クロック信号CLK1、CLK2はデューティ比が50%であり、2つのクロック信号CLK1、CLK2の位相差は180°であり得る。

## 【 0 0 4 5 】

図6に示すように、本発明の一実施形態によるゲート駆動部400の各ステージ、例えば、j番目ステージは複数のNMOSトランジスタT1~T7とキャパシタC1、C2を含む。しかし、NMOSトランジスタの代わりにPMOSトランジスタを使用することもできる。また、キャパシタC1、C2は実際に、工程の際に形成されるゲートとドレーン/ソース間寄生容量(parasitic capacitance)であり得る。

## 【 0 0 4 6 】

トランジスタT1はクロック端子CK1と出力端OUTとの間に接続されており、制御端子は接続点J1に接続されている。

トランジスタT2の入力端子と制御端子はセット端子Sに共通に接続されており、出力端子は接続点J1に接続されている。

トランジスタT3、T4は接続点J1とゲート電圧端子GVとの間に並列に接続されており、トランジスタT3の制御端子はリセット端子Rに接続されており、トランジスタT4の制御端子は接続点J2に接続されている。

## 【 0 0 4 7 】

トランジスタT5、T6は出力端OUTとゲート電圧端子GVとの間に接続されており、トランジスタT5の制御端子は接続点J2に、トランジスタT6の制御端子はクロック端子CK2に接続されている。

トランジスタT7は接続点J2とゲート電圧端子GVとの間に接続されており、制御端子は接続点J1に接続されている。

## 【 0 0 4 8 】

キャパシタC1はクロック端子CK1と接続点J2との間に、キャパシタC2は接続点J1と出力端OUTとの間に接続されている。

以下、このようなステージの動作について、j番目ステージSTjを例に挙げて説明する。

説明の便宜のために、クロック信号CLK1、CLK2のハイレベルに相当する電圧を高電圧と言ひ、クロック信号CLK1、CLK2のローレベルに相当する電圧の大きさはゲートオフ電圧Voffと同一であり、これを低電圧と言う。

10

20

30

40

50

## 【 0 0 4 9 】

まず、クロック信号 C L K 2 及び前段ゲート出力 G o u t ( j - 1 ) がハイになれば、トランジスタ T 2、T 6、T 7 が導通する。そうすると、トランジスタ T 2 は高電圧を接続点 J 1 に伝達し、トランジスタ T 6 は低電圧を出力端 O U T に伝達し、トランジスタ T 7 は低電圧を接続点 J 2 に伝達する。これによって、トランジスタ T 1 が導通してクロック信号 C L K 1 が出力端 O U T に出力されるが、この時のクロック信号 C L K 1 が低電圧であるので、出力電圧 G o u t ( j ) は低電圧になる。これと同時に、キャパシタ C 1 は両端の電圧が同一であるため充電が行われない反面、キャパシタ C 2 は高電圧と低電圧との差に相当する大きさの電圧を充電する。

## 【 0 0 5 0 】

この時、クロック信号 C L K 1 及び後段ゲート出力 G o u t ( j + 1 ) はローであり、接続点 J 2 もローであるので、これに制御端子が接続されているトランジスタ T 3、T 4、T 5 は全てオフの状態である。

次に、クロック信号 C L K 2 及び前段ゲート出力 G o u t ( j - 1 ) がローになれば、トランジスタ T 6 及びトランジスタ T 2 が遮断される。これによって、キャパシタ C 2 が浮遊状態になってトランジスタ T 1 は導通状態を維持する。

## 【 0 0 5 1 】

この時、クロック信号 C L K 1 がハイになるので、出力端 O U T の電圧はハイに変わり、接続点 J 1 の電位はキャパシタ C 2 によって高電圧より電位がさらに上昇する。図 7 にはその直前の電圧と同一であるように示しているが、実際には高電圧よりさらに上昇する。

この時、後段ゲート出力 G o u t ( j + 1 ) 及び接続点 J 2 がローであるので、トランジスタ T 5、T 6 も遮断状態である。従って、出力端 O U T はクロック信号 C L K 1 にだけ接続され、低電圧とは遮断されて高電圧を送出する。

## 【 0 0 5 2 】

一方、キャパシタ C 1 は、両端の電位差に相当する電圧を充電する。

次に、後段ゲート出力 G o u t ( j + 1 ) 及びクロック信号 C L K 2 がハイになり、クロック信号 C L K 1 がローになれば、トランジスタ T 3 が導通して接続点 J 1 に低電圧を伝達する。これによって、接続点 J 1 に制御端子が接続されているトランジスタ T 7 が遮断されてキャパシタ C 1 が浮遊状態になり、接続点 J 2 は直前の電圧である低電圧を維持する。この時、クロック信号 C L K 1 がローであるので、キャパシタ C 1 の両端の電圧は 0 V となる。

## 【 0 0 5 3 】

これと同時に、出力端 O U T は、トランジスタ T 1 が遮断されてクロック信号 C L K 1 との接続が遮断される反面、トランジスタ T 6 が導通して低電圧に接続されるので、低電圧を送出する。

次に、クロック信号 C L K 1 がハイになれば、キャパシタ C 1 の一端の電圧が高電圧に変わりながらキャパシタ C 1 の他端、つまり、接続点 J 2 の電圧も高電圧に変わってキャパシタ C 1 の両端電圧を 0 V に維持する。これによって、トランジスタ T 4 が導通しながら接続点 J 1 に低電圧を伝達するので、トランジスタ T 1 は遮断状態を維持し続け、トランジスタ T 5 が導通して低電圧を出力端 O U T に伝達するので、出力端 O U T は低電圧を送出し続ける。

## 【 0 0 5 4 】

以降には、前段ゲート出力 G o u t ( j - 1 ) がハイになるまで接続点 J 1 の電圧は低電圧を維持し、接続点 J 2 の電圧はキャパシタ C 1 によってクロック信号 C L K 1 と同期して変化する。従って、出力端 O U T はクロック信号 C L K 1 がハイであり、クロック信号 C L K 2 がローである時は、トランジスタ T 5 が低電圧と接続され、その反対の場合にはトランジスタ T 6 を通じて低電圧と接続される。

## 【 0 0 5 5 】

このような方式により、ステージ 4 1 0 は、前段ゲート信号 G o u t ( j - 1 ) 及び後

10

20

30

40

50

段ゲート信号  $G_{out}(j+1)$  に基づき、クロック信号  $CLK1$ 、 $CLK2$  に同期して、ゲート信号  $G_{out}(j)$  を生成する。

一方、前述したように、本発明の一実施形態による表示装置のシフトレジスタ 400 は複数のステージ群 411 ~ 414 を含み、各ステージ 411 ~ 414 は所定数のゲート線  $G_1 \sim G_n$  にそれぞれ接続されている。

【0056】

各ステージ群 411 ~ 414 の第1ステージ  $ST1$ 、 $ST(j-1)$ 、 $ST(k)$ 、 $ST(l)$  は、前段ステージのゲート出力の代わりに第1 ~ 第4 走査開始信号  $STV1 \sim STV4$  を各々受信する。つまり、各ステージ群 411 ~ 414、特にステージ群 412 ~ 414 の第1ステージ  $ST(j-1)$ 、 $ST(k)$ 、 $ST(l)$  は、上側に隣接したステージ群 411 ~ 413 の最後のステージ(図示せず)には接続されていない。

10

【0057】

この時、例えば、第3 走査開始信号  $STV3$  が入力される場合には、ステージ群 413 だけ動作して画面の一部だけ表示し、第4 走査開始信号  $STV4$  が入力される場合には、ステージ群 414 だけ動作して画面の一部だけ表示する。また、第1 及び第3 走査開始信号  $STV1$ 、 $STV3$  を共に入力することもでき、第2 及び第4 走査開始信号  $STV2$ 、 $STV4$  を共に入力することもできる。

【0058】

このような走査開始信号  $STV1 \sim STV4$  の選択は、図8 に示したような逆多重化器 710 を用いて行なうことができる。このような逆多重化器 710 は、図1 に示した統合チップ 700 に内蔵することができる。前述したように、第1 ~ 第4 走査開始信号  $STV1 \sim STV4$  のうちの1 つまたは2 つを選択して画面の一部分のみを表示することができ、順に全てを選択して画面全体を表示することもできる。

20

【0059】

例えば、図9 に示したように、第1ステージ群 411 の最後のステージの出力を ' $G_{out}(j-2)$ '、第2ステージ群 412 の最後のステージの出力を ' $G_{out}(k-1)$ '、そして第3ステージ群 413 の最後の出力を ' $G_{out}(l-1)$ ' とすれば、各ステージ群 411 ~ 413 の最後のステージの出力  $G_{out}(j-2)$ 、 $G_{out}(k-1)$ 、 $G_{out}(l-1)$  が生成される時、第2 ~ 第4 走査開始信号  $STV2 \sim STV4$  を入力すれば、前述した動作と同様に、順にゲート出力を送出して画面全体を表示することができる。つまり、各ステージ群 411 ~ 414 の最後のステージの出力  $G_{out}(j-2)$ 、 $G_{out}(k-1)$ 、 $G_{out}(l-1)$  に合せて、第2 ~ 第4 走査開始信号  $STV2 \sim STV4$  を入力すればよい。

30

【0060】

一方、前述した前段及び後段ゲート出力  $G_{out}(j-1)$ 、 $G_{out}(j+1)$  の代わりに、別途のキャリー信号 ( $carry\ signal$ ) を置いてセット端子  $S$  及びリセット端子  $R$  に各々入力することができる。また、ステージ群 411 ~ 414 を4 個の群に分けたが、これは一例であり、2 つ以上であれば充分である。

このような方式により、必要な部分のみを駆動して消費電力を減らすことができる。これはデュアル表示装置の外部表示板や、いわゆるスライドフォン ( $slide\ phone$ ) のような中小型液晶表示装置の場合に、反射及び透過モードで動作できる半透過型を主に使用するが、特に反射モードで図4 のように時間や日付を示すために常に画面が表示されている状態では、部分駆動で消費電力をさらに減らすことができる。

40

【0061】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されるわけではなく、添付した請求範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0062】

【図1】本発明の一実施形態による液晶表示装置の概略図である。

50

【図2】本発明の一実施形態による液晶表示装置のブロック図である。

【図3】本発明の一実施形態による液晶表示装置の1つの画素に対する等価回路図である。

【図4】本発明の一実施形態による液晶表示装置の部分駆動の一例である。

【図5】本発明の一実施形態によるゲート駆動部のブロック図である。

【図6】図5に示したゲート駆動部用シフトレジスタのj番目ステージの回路図の一例である。

【図7】図5に示したゲート駆動部の信号波形図である。

【図8】本発明の一実施形態による液晶表示装置の走査開始信号生成部の回路図の一例である。

10

【図9】図5に示したシフトレジスタの信号波形図である。

【符号の説明】

【0063】

3 液晶層

100 下部表示板

191 画素電極

200 上部表示板

230 カラーフィルタ

270 共通電極

300 液晶表示板組立体

20

400、400M、400S ゲート駆動部

500 データ駆動部

600 信号制御部

700 統合チップ

800 階調電圧生成部

R、G、B 入力映像データ

DE データイネーブル信号

MCLK メインクロック

Hsync 水平同期信号

Vsync 垂直同期信号

30

CONT1 ゲート制御信号

CONT2 データ制御信号

DAT 出力映像信号

PX 画素

CLC 液晶キャパシタ

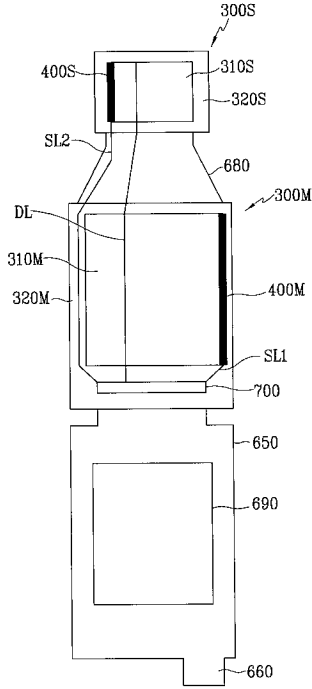
CST ストレージキャパシタ

Q スイッチング素子

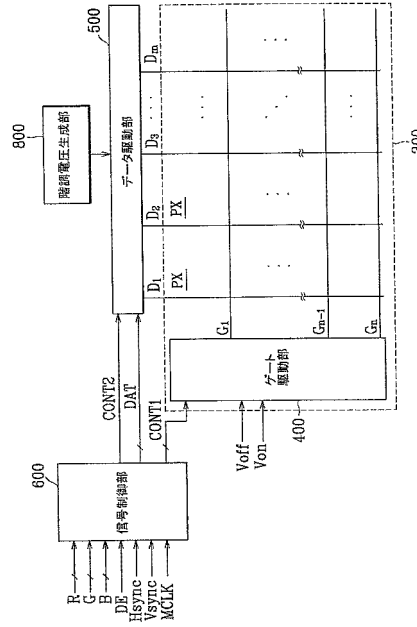
STV 走査開始信号

CLK1、CLK2 第1及び第2クロック信号

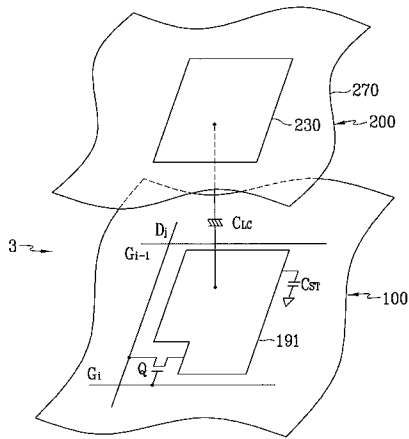
【 図 1 】



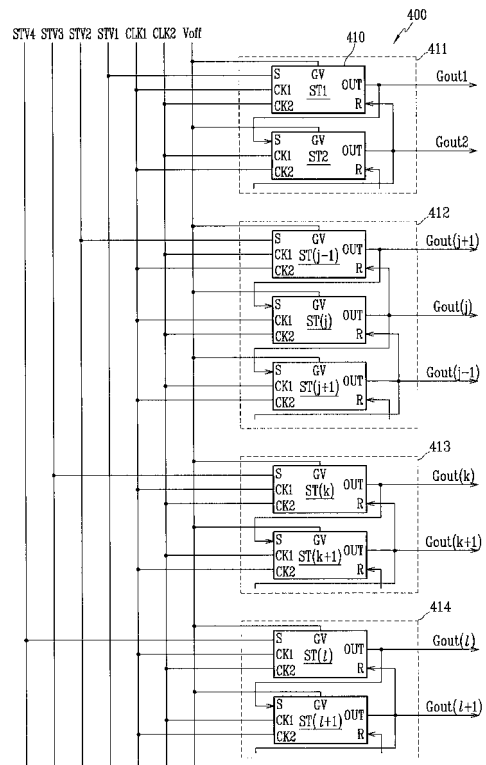
【 図 2 】



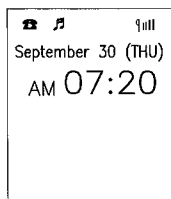
【 図 3 】



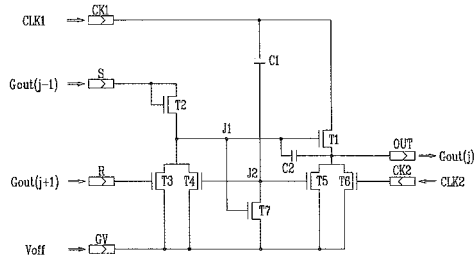
【 図 5 】



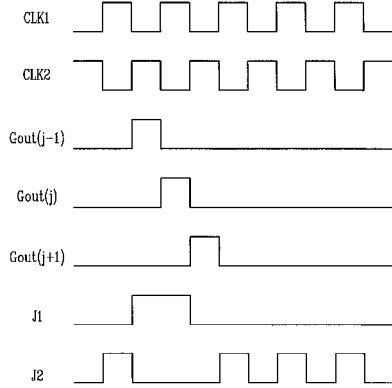
【 図 4 】



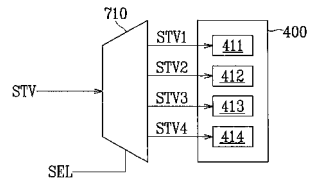
【 図 6 】



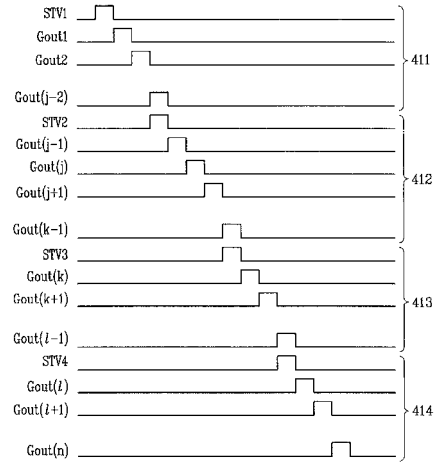
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/36

(72)発明者 朴 龍 珠

大韓民国京畿道華城市台安邑半月里シンヨントンヒョンデ4次アパート408棟1804号

(72)発明者 俞 在 明

大韓民国京畿道水原市靈通区靈通洞973-3番地ビョックチョックゴル8団地斗山アパート804棟1803号

審査官 堀田 和義

(56)参考文献 国際公開第98/21707(WO, A1)

特開平9-55909(JP, A)

特開2003-248468(JP, A)

特開2001-343928(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 1 9 / 0 0