

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月18日(18.06.2020)



(10) 国際公開番号

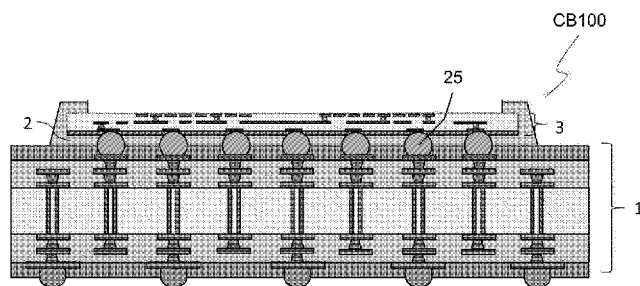
WO 2020/122014 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) *H05K 1/14* (2006.01)
H01L 23/32 (2006.01) *H05K 3/28* (2006.01)
H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2019/048081
- (22) 国際出願日: 2019年12月9日(09.12.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-230710 2018年12月10日(10.12.2018) JP
特願 2018-241098 2018年12月25日(25.12.2018) JP
特願 2019-041812 2019年3月7日(07.03.2019) JP
- (71) 出願人: 凸版印刷株式会社(TOPPAN PRINTING CO.,LTD.) [JP/JP]; 〒1010024 東京都台東区台東一丁目5番1号 Tokyo (JP).
- (72) 発明者: 藤田 貴志(FUJITA, Takashi); 〒1010024 東京都台東区台東一丁目5番1号 凸版印刷株式会社内 Tokyo (JP). 田村 毅志(TAMURA, Takeshi); 〒1010024 東京都台東区台東一丁目5番1号 凸版印刷株式会社内 Tokyo (JP). 澤田 石将士(SAWADAISHI, Masashi); 〒1010024 東京都台東区台東一丁目5番1号 凸版印刷株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人第一国際特許事務所(PATENT CORPORATE BODY DAI-ICHI KOKUSAI TOKKYO JIMUSHO); 〒1010032 東

(54) Title: WIRING BOARD FOR SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING SAME, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置用配線基板とその製造方法、及び半導体装置

図1



(57) Abstract: Provided are: a wiring board which relaxes the deformation and shear stress between an interposer and an FC-BGA wiring board, prevents the disconnection of a junction between the interposer and the FC-BGA wiring board, and improves the reliability of the connection between the interposer and the FC-BGA wiring board; and a method for manufacturing the wiring board. The wiring board includes an FC-BGA wiring board and an interposer, wherein the FC-BGA wiring board and the interposer are electrically connected to each other via protruding electrodes, and a gap between the FC-BGA wiring board and the interposer is filled with underfill which is a sealing resin. Further, the underfill covers the entire side surface of the interposer and a peripheral portion of a surface opposite to the surface where the interposer is joined to the FC-BGA wiring board.

京都千代田区岩本町三丁目5番1
2号 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: インターポーザとFC-BGA配線基板との間の変形とずれ応力を緩和して、インターポーザとFC-BGA配線基板との接合部の断線を防ぎ、インターポーザとFC-BGA配線基板との接続の信頼性が高い配線基板とその製造方法を提供する。配線基板は、FC-BGA配線基板とインターポーザとを備え、FC-BGA配線基板とインターポーザとはそれぞれ突起電極を介して電氣的に接合され、FC-BGA配線基板とインターポーザとの間隙に封止樹脂であるアンダーフィルが充填される。さらにアンダーフィルは、インターポーザの側面全体、及びインターポーザがFC-BGA配線基板と接合する面と反対側の面の縁周部を被覆している。

明 細 書

発明の名称：

半導体装置用配線基板とその製造方法、及び半導体装置

技術分野

[0001] 本発明は、半導体装置用配線基板とその製造方法、及び半導体装置に関する。

背景技術

[0002] 近年、半導体の高速・高集積化が進む中で、半導体チップの接続端子の狭ピッチ化が促進され、それに対応して配線基板側の接続端子の狭ピッチ化や配線の微細化が求められている。一方、FC-BGA (Flip Chip Ball Grid Array) 配線基板とマザーボードとの接続は、従来とほぼ変わらないピッチの接続端子での接続が要求されている。したがって、FCBGA用配線基板と半導体チップとを接続するためには、端子電極の寸法や接続端子のピッチが相互に異なるという課題を克服する必要がある。

[0003] 半導体チップとの接続端子の狭ピッチ化、基板配線の微細化のため、シリコン上に配線を形成してチップ接続用の基板（シリコンインターポーザ）とし、それをFC-BGA配線基板に接続する技術が特許文献1に開示されている。

[0004] シリコンインターポーザは、一般的にはシリコンウェーハに半導体工程用の設備を用いて製作されているが、シリコンウェーハは形状、サイズに制限があり、1枚のウェーハから製作できるインターポーザの数が少なく、製造設備も高価である。それ故、インターポーザが高価となるという問題に加え、シリコンウェーハが半導体であることから伝送特性も劣化するという問題がある。

[0005] また、配線基板の表面をCMP (Chemical Mechanical Polishing、化学機械研磨) 等で平坦にしてから微細配線を形成

する技術が、特許文献2に開示されている。

[0006] 配線基板の平坦化を行いその上に微細配線層を形成するという技術によれば、シリコンインターポーザに生じる伝送特性劣化の問題は回避されるが、配線基板の製造不良と難易度の高い微細配線層形成時の不良の合算により収率が悪くなるという問題に加え、反り、歪による半導体チップの実装困難性に関する問題があった。

[0007] 上記問題点に鑑みて、平坦な支持体上に、微細配線層を具備した第二配線基板（インターポーザ）を形成し、この支持体を備えた第二配線基板（インターポーザ）を第一配線基板にはんだを介して実装してから、支持体を剥離することにより、第一配線基板上に第二配線基板（インターポーザ）を形成する技術が、特許文献3で提案されている。

先行技術文献

特許文献

[0008] 特許文献1：特開2002-280490号公報

特許文献2：特開2014-225671号公報

特許文献3：国際公開第2018/047861号

発明の概要

発明が解決しようとする課題

[0009] 特許文献3の技術によれば、第二配線基板（インターポーザ）を備えた支持体を第一配線基板に接合してから、第二配線基板と第一配線基板間の隙間に接合部の応力緩和のため、及び容易に支持体を剥離できるようアンダーフィルを充填しようとする、各部材の線膨張係数差による応力集中によってはんだクラックや、基板の反り（変形）等が発生し、チップ実装性並びに接合信頼性の確保が困難となるという場合があった。

[0010] 本発明は上記課題に着目してなされたものであり、配線基板間の変形とずれ応力をさらに緩和して、接合部の断線を防ぎ、接続の信頼性を高めることができる半導体装置用配線基板とその製造方法、及び半導体装置を提供する

ことを目的とする。

課題を解決するための手段

[0011] 本発明の一態様によれば、半導体チップを実装するための半導体装置用配線基板は、

第一配線基板と第二配線基板とを備え、

前記第一配線基板と前記第二配線基板とは、突起電極を介して電氣的に接合され、

前記第一配線基板と前記第二配線基板との間隙に、封止樹脂が充填され、さらに前記封止樹脂は、前記第二配線基板の側面全体、及び前記第二配線基板が前記第一配線基板と接合する面と反対側の面の縁周部を被覆している、ことを特徴とする。

[0012] 本発明の一態様によれば、半導体装置用配線基板の製造方法は、

支持体上に剥離層、保護層、シード層、及び第二配線基板を順次形成する工程と、

前記第二配線基板と第一配線基板とを電氣的に接合する工程と、

前記支持体、前記剥離層、前記保護層、及び前記シード層を順次剥離する工程と、

前記第一配線基板と前記第二配線基板との間隙に封止樹脂を充填し、さらに前記封止樹脂により前記第二配線基板の側面全体、及び前記第二配線基板が前記第一配線基板と接合する面と反対側の面の縁周部を被覆する工程と、を含む、ことを特徴とする。

[0013] 本発明の一態様によれば、半導体装置用配線基板は、

第一配線基板と、

前記第一配線基板の一面上に接合された第二配線基板と、を備え、

前記第一配線基板と前記第二配線基板は、突起電極を介して電氣的に接合され、

前記第一配線基板と前記第二配線基板の隙間には、絶縁性の封止樹脂が充填されており、

前記封止樹脂は、前記第一配線基板と前記第二配線基板の前記隙間から連続し、前記第二配線基板の側面部全面を覆い囲むとともに、前記第二配線基板の前記第一配線基板と接合する面と反対側の面を超えて延在し、

前記第二配線基板は、前記第一配線基板側に接合する面と反対側の面にパッドを有することを特徴とする。

[0014] 本発明の一態様によれば、半導体装置用配線基板の製造方法は、

支持体の一面上に剥離層を形成する剥離層形成工程と、

前記剥離層上に、前記剥離層側の面が第一パッドとなり、前記剥離層と逆側面が第二パッドとなる配線層を形成して、支持体付きの第二配線基板を製作する配線層形成工程と、

前記第二パッドの表面に、突起電極を形成する突起電極形成工程と、

第一配線基板の第一配線基板パッドと、前記第二配線基板の前記突起電極とを電氣的に接合する電氣的接合工程と、

前記第一配線基板と前記第二配線基板との隙間から、前記隙間の外側で前記第二配線基板の側面部全面を覆い囲み、更に前記第二配線基板の前記第一配線基板と接合する面と反対側面を超えるまで延在するように、絶縁性の封止樹脂を充填注入する封止樹脂充填注入工程と、

前記支持体と前記剥離層とを、前記第二配線基板から剥離する支持体剥離工程と、

前記第一パッドを接続用のパッドとして露出させる、パッド露出工程と、を有することを特徴とする。

[0015] 本発明の一態様によれば、半導体装置用配線基板は、

第一配線基板と、

前記第一配線基板の一面上に接合された第二配線基板と、

前記第一配線基板と前記第二配線基板が対向する間隙を封止する第一封止樹脂と、

少なくとも前記第二配線基板の側面と前記第一封止樹脂との境界を覆うよう形成された第二封止樹脂と、を備えることを特徴とする。

- [0016] 本発明の一態様によれば、半導体装置用配線基板の製造方法は、
第一配線基板と第二配線基板が対向する間隙を第一封止樹脂で封止する第一封止樹脂封止工程と、
少なくとも前記第二配線基板の側面と前記第一封止樹脂との境界を覆うようにして第二封止樹脂を形成する第二封止樹脂封止工程と、を備えることを特徴とする。

発明の効果

- [0017] 本発明によれば、配線基板間の変形とずれ応力をさらに緩和して、接合部の断線を防ぎ、接続の信頼性を高めることができる半導体装置用配線基板とその製造方法、及び半導体装置を提供することができる。

図面の簡単な説明

- [0018] [図1]図1は、本発明の第1の実施形態に係る、配線基板の模式断面図である。

[図2]図2は、本発明の第1の実施形態に係る、図1の配線基板に半導体チップを実装した半導体装置の模式断面図である。

[図3A]図3Aは、本発明の第1の実施形態に係る、図1の配線基板の製造工程のうち、支持体付きインターポーザの製造までの一部を例示する模式断面図である。

[図3B]図3Bは、本発明の第1の実施形態に係る、図1の配線基板の製造工程のうち、支持体付きインターポーザの製造までの一部を例示する模式断面図である。

[図3C]図3Cは、本発明の第1の実施形態に係る、図1の配線基板の製造工程のうち、支持体付きインターポーザの製造までの一部を例示する模式断面図である。

[図3D]図3Dは、本発明の第1の実施形態に係る、図1の配線基板の製造工程のうち、支持体付きインターポーザの製造までの一部を例示する模式断面図である。

[図3E]図3Eは、本発明の第1の実施形態に係る、図1の配線基板の製造工

程のうち、支持体付きインターポーザの製造までの一部を例示する模式断面図である。

[図4A]図4 Aは、図3 A～3 Eに続き、支持体付きインターポーザの製造までの一部の工程を例示する模式断面図である。

[図4B]図4 Bは、図3 A～3 Eに続き、支持体付きインターポーザの製造までの一部の工程を例示する模式断面図である。

[図4C]図4 Cは、図3 A～3 Eに続き、支持体付きインターポーザの製造までの一部の工程を例示する模式断面図である。

[図4D]図4 Dは、図3 A～3 Eに続き、支持体付きインターポーザの製造までの一部の工程を例示する模式断面図である。

[図4E]図4 Eは、図3 A～3 Eに続き、支持体付きインターポーザの製造までの一部の工程を例示する模式断面図である。

[図5A]図5 Aは、図4 A～4 Eに続き、支持体付きインターポーザの製造までの一部の工程を例示する模式断面図である。

[図5B]図5 Bは、図4 A～4 Eに続き、支持体付きインターポーザの製造までの一部の工程を例示する模式断面図である。

[図5C]図5 Cは、図4 A～4 Eに続き、支持体付きインターポーザの製造までの一部の工程を例示する模式断面図である。

[図5D]図5 Dは、図4 A～4 Eに続き、支持体付きインターポーザの製造までの一部の工程を例示する模式断面図である。

[図6A]図6 Aは、図5 A～5 Dに続き、図1の配線基板の製造工程の一部の工程を例示する模式断面図である。

[図6B]図6 Bは、図5 A～5 Dに続き、図1の配線基板の製造工程の一部の工程を例示する模式断面図である。

[図7A]図7 Aは、図6 A， 6 Bに続き、図1の配線基板の製造工程の一部を例示する模式断面図である。

[図7B]図7 Bは、図6 A， 6 Bに続き、図1の配線基板の製造工程の一部を例示する模式断面図である。

[図8A]図8 Aは、図7 A～7 Cに続き、図1の配線基板、及び図2の半導体装置の製造工程を例示する模式断面図である。

[図8B]図8 Bは、図7 A～7 Cに続き、図1の配線基板、及び図2の半導体装置の製造工程を例示する模式断面図である。

[図8C]図8 Cは、図7 A～7 Cに続き、図1の配線基板、及び図2の半導体装置の製造工程を例示する模式断面図である。

[図9]図9は、参考例である配線基板の模式断面図である。

[図10]図10は、本発明の第2の実施形態に係る配線基板に半導体チップを実装した一例を示す模式的断面図である。

[図11]図11は、本発明の第2の実施形態に係る第二配線基板（インターポーザ）の支持体が付いた状態を示す模式的断面図である。

[図12A]図12 Aは、本発明の第2の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12B]図12 Bは、本発明の第2の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12C]図12 Cは、本発明の第2の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12D]図12 Dは、本発明の第2の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12E]図12 Eは、本発明の第2の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12F]図12 Fは、本発明の第2の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図

である。

[図12G]図 1 2 Gは、本発明の第 2 の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12H]図 1 2 Hは、本発明の第 2 の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12I]図 1 2 Iは、本発明の第 2 の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12J]図 1 2 Jは、本発明の第 2 の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12K]図 1 2 Kは、本発明の第 2 の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12L]図 1 2 Lは、本発明の第 2 の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12M]図 1 2 Mは、本発明の第 2 の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図12N]図 1 2 Nは、本発明の第 2 の実施形態に係る模式的断面図による支持体が付く第二配線基板（インターポーザ）の製造工程の一例の模式的説明図である。

[図13A]図 1 3 Aは、本発明の第 2 の実施形態に係る模式的断面図による配線基板と、半導体装置の製造工程の一例の模式的説明図である。

[図13B]図 1 3 Bは、本発明の第 2 の実施形態に係る模式的断面図による配線

基板と、半導体装置の製造工程の一例の模式的説明図である。

[図13C]図13Cは、本発明の第2の実施形態に係る模式的断面図による配線基板と、半導体装置の製造工程の一例の模式的説明図である。

[図13D]図13Dは、本発明の第2の実施形態に係る模式的断面図による配線基板と、半導体装置の製造工程の一例の模式的説明図である。

[図13E]図13Eは、本発明の第2の実施形態に係る模式的断面図による配線基板と、半導体装置の製造工程の一例の模式的説明図である。

[図13F]図13Fは、本発明の第2の実施形態に係る模式的断面図による配線基板と、半導体装置の製造工程の一例の模式的説明図である。

[図13G]図13Gは、本発明の第2の実施形態に係る模式的断面図による配線基板と、半導体装置の製造工程の一例の模式的説明図である。

[図14]図14は、本発明の第3の実施形態に係る配線基板に半導体チップを実装した半導体パッケージの一例を示す断面図である。

[図15]図15は、本発明の第3の実施形態に係る配線基板の一例を示す断面図である。

[図16]図16は、本発明の第3の実施形態に係る配線基板の一例を示す断面図である。

[図17]図17は、本発明の第3の実施形態に係る配線基板の一例を示す断面図である。

[図18A]図18Aは、本発明の第3の実施形態に係る配線基板の製造工程の一例を示す断面図である。

[図18B]図18Bは、本発明の第3の実施形態に係る配線基板の製造工程の一例を示す断面図である。

[図18C]図18Cは、本発明の第3の実施形態に係る配線基板の製造工程の一例を示す断面図である。

[図18D]図18Dは、本発明の第3の実施形態に係る配線基板の製造工程の一例を示す断面図である。

[図18E]図18Eは、本発明の第3の実施形態に係る配線基板の製造工程の一

例を示す断面図である。

[図19A]図19Aは、本発明の第3の実施形態に係る配線基板の製造工程の一例を示す断面図である。

[図19B]図19Bは、本発明の第3の実施形態に係る配線基板の製造工程の一例を示す断面図である。

[図19C]図19Cは、本発明の第3の実施形態に係る配線基板の製造工程の一例を示す断面図である。

発明を実施するための形態

[0019] 以下に、本発明の実施形態に係る半導体装置用配線基板（以下、単に配線基板という）について図面を参照して説明する。ただし、以下に説明する各図において相互に対応する部分については同一符号を付し、重複部分においては後述での説明を適宜省略する。また、各図面は説明を容易にするために適宜誇張して表現している。

[0020] さらに、本発明の実施形態は、本発明の技術的思想を具体化するための構成を例示するものであって、各部の材質、形状、構造、配置等を下記のものに特定するものでない本発明の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、変更を加えることができる。

[0021] （第1の実施形態）

以下、図面を参照しつつ、本発明の実施形態を説明する。

図1は、本発明の実施形態に係る、配線基板の模式断面図である。配線基板CB100は、FC-BGA配線基板（第一配線基板）1とインターポーザ（第二配線基板）3とを備えている。FC-BGA配線基板1とインターポーザ3とはそれぞれ、突起電極としてのはんだバンプ25を介して電氣的に接合され、FC-BGA配線基板1とインターポーザ3との間隙に封止樹脂としてアンダーフィル2が充填されている。突起電極は、はんだバンプ以外に、銅ポスト（銅ピラー）、金バンプ等であってもよい。

[0022] アンダーフィル2は、FC-BGA配線基板1とインターポーザ3とを固定及び封止するために用いられる接着材料である。アンダーフィル2として

は、例えば、エポキシ樹脂、ウレタン樹脂、シリコン樹脂、ポリエステル樹脂、オキセタン樹脂、及びマレイミド樹脂のうちの１種またはこれらの樹脂の２種類以上が混合された樹脂に、フィラーとしてのシリカ、酸化チタン、酸化アルミニウム、酸化マグネシウム、または酸化亜鉛等が加えられた材料が用いられる。アンダーフィル２は、液状の樹脂を充填し硬化させることで形成される。

[0023] 本実施形態の配線基板ＣＢ１００では、アンダーフィル２は、インターポーザ３とＦＣ－ＢＧＡ配線基板１の間隙以外に、さらにインターポーザ３の側面全体、及びインターポーザ３がＦＣ－ＢＧＡ配線基板１と接合する面と反対側の面（図１では上面）の縁周部を被覆している。

[0024] 仮にアンダーフィル２が、インターポーザ３とＦＣ－ＢＧＡ配線基板１の間隙のみに塗布・形成された場合は、インターポーザ３が有機樹脂をベースとするため熱応力が間隙の平面中心方向に集中し、ＦＣ－ＢＧＡ配線基板１との間に変形とずれ応力が発生する。

[0025] これに対し、本実施形態の配線基板ＣＢ１００では、インターポーザ３の側面全体、及びインターポーザ３がＦＣ－ＢＧＡ配線基板１と接合する面と反対側の面の縁周部にもアンダーフィル２を塗布・硬化させるので、熱応力が多方向へ分散して、応力の集中を緩和する効果を発現する。これにより、インターポーザ３とＦＣ－ＢＧＡ配線基板１とは高い接続信頼性を示すことができる。

[0026] 図２は、本発明の第１の実施形態に係る、図１の配線基板に半導体チップを実装した半導体装置の模式断面図である。本実施形態の半導体装置ＳＤ１００は、図１の配線基板ＣＢ１００におけるインターポーザ３の、ＦＣ－ＢＧＡ配線基板１とは反対側の面において半導体チップ４が銅ピラー３０を介して接合され、半導体チップ４とインターポーザ３との間隙がアンダーフィル３２で充填されている。

[0027] アンダーフィル３２は半導体チップ４とインターポーザ３とを固定及び封止するために用いられる接着剤であり、アンダーフィル２と同様の材料で構

成される。この場合、アンダーフィル 32 の代わりとなる封止樹脂として、異方性導電フィルム（ACF）、またはフィルム状接続材料（NCF）を用いてもよい。

[0028] インターポーザ 3 の、半導体チップ 4 と接合される部分の配線ピッチは、半導体チップ 4 と FC-BGA 配線基板 1 とを直接接合する場合の、FC-BGA 配線基板 1 の半導体チップ 4 と接合される部分の配線ピッチよりも狭くなる。すなわち、インターポーザ 3 の半導体チップ 4 を実装する側の面は、半導体チップ 4 と接合する場合の FC-BGA 配線基板 1 よりも微細な配線となっている。

[0029] 例えば、現在のハイバンドメモリ（HBM）の使用に対応するためには、インターポーザ 3 では配線幅を $2\text{ }\mu\text{m}$ 以上、 $6\text{ }\mu\text{m}$ 以下にする必要がある。特性インピーダンスを $50\text{ }\Omega$ にあわせるためには、配線幅が $2\text{ }\mu\text{m}$ 、配線高さ $2\text{ }\mu\text{m}$ の場合、配線間の絶縁膜厚は $2.5\text{ }\mu\text{m}$ となる。配線も含めたい 1 層の厚さは $4.5\text{ }\mu\text{m}$ となり、この厚さで 5 層のインターポーザ 3 を形成する場合、インターポーザ 3 は、総厚 $25\text{ }\mu\text{m}$ 程度と極薄のインターポーザとなる。

[0030] 前記のように、インターポーザ 3 の厚みが薄く、そのままの状態では FC-BGA 配線基板 1 に実装するのが困難であるため、インターポーザ 3 には剛直性が求められる。また、 $2\text{ }\mu\text{m}$ 程度の幅と高さを有する配線を形成するには、平坦な支持体が必要となる。このため、後述のように、インターポーザ 3 は、剛直で平坦な支持体上に剥離層と保護層とシード層を介して形成される。尚、支持体上には剥離層、保護層、シード層以外の層を設けてもよい。

[0031] 次に図 3 A から図 5 D を用いて、本実施形態に係る、図 1 の配線基板の製造工程のうち、支持体 5 が付いた形態のインターポーザ 3 の製造までを説明する。まず、図 3 A に示すように、支持体 5 の一方の面に、後工程で支持体 5 を剥離するための剥離層 6 を形成する。

[0032] 剥離層 6 は、UV 光、もしくは赤外光によって剥離可能な樹脂でもよく、

熱によって発泡する樹脂でもよい。UV光、もしくは赤外光によって剥離可能な樹脂を用いる場合、剥離層6を設けた側とは反対側の面から支持体5にUV光、もしくは赤外光を照射して、インターポーザ3と、FC-BGA配線基板1との接合体から支持体5を取り去る。それ故、支持体5は、透明性を有する必要がある、例えばガラスを用いることができる。ガラスは平坦性に優れており、インターポーザ3の微細な配線パターン形成に適している、また、ガラスは熱膨張係数が小さく歪みにくいことから、FC-BGA配線基板1と接合した時のパターン配置精度及び平坦性の確保に優れている。

[0033] 支持体5としてガラスを用いる場合、ガラスの厚さは、製造プロセスにおける反りの発生を抑制する観点から厚い方が望ましく、例えば0.7mm以上、1.1mm以下程度の厚みが望ましい。また、ガラスの熱膨張係数は3ppm/°C以上、15ppm/°C以下であり、FC-BGA配線基板、半導体チップの熱膨張係数の観点から9ppm/°C程度が望ましい。本発明の一実施形態では、支持体5としてガラスを用いた。

[0034] 一方、剥離層6に熱によって発泡する樹脂を用いる場合は、インターポーザ3と、FC-BGA配線基板1との接合体を加熱する事で支持体5を取り去ることができる。この場合、支持体5は、歪みの少ないメタルやセラミックスを用いることができる。

[0035] 次いで、図3Bに示すように、剥離層6の上に保護層7を形成する。保護層7は、後工程で支持体5を剥離する際にインターポーザ3を保護するための層であり、エポキシ樹脂、アクリル樹脂、ウレタン樹脂、シリコン樹脂、ポリエステル樹脂、オキセタン樹脂の1種またはこれらの樹脂の2種類以上が混合された樹脂であり、支持体5をインターポーザ3から取り去った後に除去可能な樹脂である。保護層7の形成方法については、スピコート、ラミネート等、樹脂の形状に応じて適宜形成してよい。本発明の一実施形態ではアクリル系樹脂をラミネート法により形成して保護層7とした。

[0036] 次いで、図3Cに示すように、真空中でスパッタリング法等により、保護層7上にシード層11を形成する。シード層の材料と構成についてはチタン

層／銅層（Ti／Cu）、クロム層／銅層（Cr／Cu）、ニッケルクロム層／銅層（NiCr／Cu）等、用途に応じて適宜層構成、厚みを選択することができる。本実施形態では、Ti：50nm厚、Cu：300nm厚としてシード層11を形成した。保護層7上にシード層11を形成することで、この上に電解めっきによる配線パターンを形成することが可能となる。

[0037] 次に図3Dに示すようにシード層上にレジストパターン13を形成し、その開口部13aに、電解めっきにより配線パターンとなる導体層14を形成する。本実施形態では導体層14として銅Cuを形成した。その後、図3Eに示すようにレジストパターン13を除去する。

[0038] 次に、図4Aに示すように、シード層11及び導体層14の上に、感光性絶縁樹脂層15を形成する。感光性絶縁樹脂層15は、導体層14が感光性絶縁樹脂層15の層内に埋め込まれるように形成する。本実施形態では、感光性絶縁樹脂としてエポキシ系樹脂を用いてスピンコート法により形成した。感光性エポキシ樹脂は比較的低温で硬化することができ、この後の導電ビア形成後のキュア（硬化）による収縮が少なく、また、さらにその後の微細パターン形成に優れている。

[0039] 感光性絶縁樹脂層15としては、感光性のエポキシ系樹脂を用いてスピンコート法により形成する他に、絶縁樹脂フィルムを真空ラミネータで圧縮キュアを行って形成することも可能であり、この場合は平坦性の良い絶縁膜を形成することができる。露光工程で多少の段差が許容できるのであれば、ポリイミドを感光性絶縁樹脂として用いても良い。尚、感光性絶縁樹脂層15は、ポジ型でもよく、ネガ型でもよい。

[0040] 次に、図4Bに示すように、フォトリソグラフィにより、感光性絶縁樹脂層15の導体層14上に開口部15aを設ける。開口部15aに対し、現像後に残渣除去を目的として、プラズマ処理を施してもよい。

[0041] 次に、図4Cに示すように、開口部15aの表面上にシード層18を設ける。シード層18の構成については、Ti／Cu、Cr／Cu、NiCr／Cu等、用途に応じて適宜層構成、厚みを選択可能である。本実施形態では

Ti : 50 nm 厚、Cu : 300 nm 厚としてシード層 18 を形成した。

[0042] 次に、図 4 D に示すように、シード層 18 上にレジストパターン 19 を形成し、その開口部 19 a に電解めっきにより配線パターンとなる導体層 20 を形成する。本実施形態では導体層 20 として銅 Cu を形成した。その後、図 4 E に示すようにレジストパターン 19 を除去した後、図示しないが、不要なシード層 18 をエッチング除去する。

[0043] さらに、図 4 A から図 4 E の工程を繰り返し、図 5 A に示す、多層配線パターンが形成された基板を得る。

[0044] 次に、図 5 B に示すように、インターポーザの、FC-BGA 配線基板 1 と接合する側の最表面に絶縁樹脂層 23 を形成する。絶縁樹脂層 23 は、導体層 22 及び感光性絶縁樹脂層 15 を覆うように形成し、また露光、現像により導体層 22 が露出するように絶縁樹脂層 23 に開口部 23 a を形成する。本実施形態では、絶縁樹脂として感光性エポキシ樹脂を使用して絶縁樹脂層 23 を形成した。尚、絶縁樹脂は感光性絶縁樹脂層 15 と同一材料でもよい。

[0045] 次に、図 5 C に示すように、導体層 22 の表面の酸化防止とはんだバンプの濡れ性をよくするため、表面処理層 24 を設ける。本実施形態では、表面処理層 24 として無電解ニッケル・鉛・金 (Ni/Pd/Au) めっきを成膜した。尚、表面処理層 24 には、OSP (Organic Solderability Preservative、水溶性プレフラックスによる表面処理) 膜を形成してもよい。また、無電解スズめっき、無電解ニッケル金 (Ni/Au) めっきなどを適宜用途に応じて選択して用いても良い。

[0046] 次に、図 5 D に示すように、表面処理層 24 に、はんだバンプ 25 を搭載しリフローすることで、支持体 5 付きインターポーザが完成する。尚、最初から溶かしたはんだをつけるフローはんだに対し、リフローはんだは、あらかじめクリームはんだ等を指定の場所に印刷しておき、それをリフロー炉で加熱し溶かすことによって部品と接合することができるものである。

[0047] 以下、図 6 A から図 8 C を参照して、図 5 D に続く、図 1 の配線基板 CB

100、及び半導体装置SD100の製造工程を例示する。まず、図6Aに示すように、支持体5付きインターポーザ3の端子であるはんだバンプ25の位置に合うように設計、製造したFC-BGA配線基板1に、フリップチップにより支持体5付きインターポーザ3を配置する。次いで、図6Bに示すように、はんだバンプ25を介して支持体5付きインターポーザ3とFC-BGA配線基板1とを接合した接合体を得る。

[0048] 次に図7Aに示すように、支持体5の背面、すなわち、支持体5のFC-BGA配線基板1側とは反対側の面からレーザ光26を、支持体5を透過してその界面に形成された剥離層6に照射し、図7Bに示すように支持体5を剥離して取り外す。この際、インターポーザ3とFC-BGA配線基板1とは、はんだバンプ25で接合されているので、支持体5を取り外す際に分離することはない。

[0049] 次に、剥離層6と保護層7とシード層11を除去し、図8Aに示すような基板を得る。本実施形態では、剥離層6は機械的に保護層7から引き剥がす。また、保護層7は、アクリル系樹脂を用いている場合、アルカリ系溶剤（1%NaOH、2.3%TMAH）によって除去する。更に、シード層11は、保護層7側からチタンと銅を用いている場合、それぞれアルカリ系のエッチング剤と、酸系のエッチング剤にて溶解除去する。

[0050] 更に、図8Bに示すようにインターポーザ3とFC-BGA配線基板1の間隙にアンダーフィル2を塗布し、さらにインターポーザ3の側面全体、及びインターポーザ3の、FC-BGA配線基板1と接合する面と反対側の面の縁周部にもアンダーフィル2を塗布して、熱硬化させる。

この際、アンダーフィル2を、まずインターポーザ3とFC-BGA配線基板1の間隙にはキャピラリー（不図示）を用いて充填させる。続いて、インターポーザ3の側面及び縁周部はジェットディスペンサーの塗布ヘッド（不図示）を走査させ直接形成する。このようにして、配線基板CB100が得られる。なお、インターポーザ3の上面外周近傍にも回り込むように、アンダーフィル2を一度に大量に塗布したり、或いは複数回塗布することが好

ましい。

[0051] 配線基板C B 1 0 0において、表面に露出した導体層1 4上に、図5 Cの工程と同様に、無電解N i / P d / A uめっき、O S P、無電解スズめっき、無電解N i / A uめっきなどの表面処理層（図示せず）を形成してもよい。

[0052] 最後に、公知の手法により、配線基板C B 1 0 0に半導体チップ4を接合し、図8 Cに示すように、配線基板C B 1 0 0と半導体チップ4の間隙にアンダーフィル3 2を充填することで、半導体装置S D 1 0 0を作製することができる。

[0053] 図9は、参考例である配線基板C B 2 0 0の模式断面図である。

図9の参考例において、本実施形態と同様に平坦な支持体上に、樹脂と配線とが積層されてなる微細配線層を具備したインターポーザ3を作製し、この支持体を備えたインターポーザ3をF C - B G A配線基板1にはんだを介して接合してから、インターポーザ3とF C - B G A配線基板1の間隙に封止樹脂としてアンダーフィル4 2を充填する。その後、支持体を取り去ることにより、F C - B G A配線基板1上にインターポーザ3を接合した配線基板C B 2 0 0が製作される。

[0054] ところで、アンダーフィル4 2は、インターポーザ3とF C - B G A配線基板1の間隙に充填されるため、はんだを損傷させにくい素材を選ぶことが必要になり、素材選定の自由度が制限される。一方、アンダーフィル4 2の充填時に、表面張力によりアンダーフィル4 2はインターポーザ3の側面を伝い上がり（濡れ上がり）、インターポーザ3の厚み方向中間まで到達することがある。かかる場合、アンダーフィル4 2は上方に向かうにしたがって膜厚が薄くなり、境界点B Dで途切れることとなる。このとき、アンダーフィル4 2の素材の線膨張係数や弾性率が、インターポーザ3の素材の線膨張係数や弾性率と異なっていると、樹脂硬化時に、境界点B D付近でインターポーザ3の応力集中が生じ、クラックや剥離を生じさせるおそれがある。

[0055] これに対し、本実施形態に係る製造方法により製造した配線基板は、支持

体上に形成したインターポーザとFC-BGA配線基板との接合体において、インターポーザとFC-BGA配線基板を接合した後にインターポーザから支持体を剥離し、その後にアンダーフィルを、FC-BGA配線基板とインターポーザとの間隙、インターポーザの側面全体、及びインターポーザがFC-BGA配線基板と接合する面と反対側の面の縁周部に充填、被覆することにより形成されるので、アンダーフィルの硬化による応力の集中が緩和され、インターポーザとFC-BGA配線基板の接合部の断線を防ぎ、よって接合部の接続信頼性を向上させることができる。

[0056] (第2の実施形態)

以下に、第2の実施形態に係る配線基板について図面を参照して説明する。ただし、以下に説明する各図において相互に対応する部分については同一符号を付し、重複部分においては後述での説明を適宜省略する。

さらに、本発明の一実施形態は、本発明の技術的思想を具体化するための構成を例示するものであって、各部の材質、形状、構造、配置等を下記のものに特定するものでない本発明の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、変更を加えることができる。

[0057] 図10は、第2の実施形態に係る配線基板に半導体チップを実装した半導体装置の模式的断面図である。

[0058] 本実施形態に係る配線基板は、第一配線基板としてFC-BGA配線基板101と、第二配線基板として樹脂と配線とが積層されてなるビルドアップ配線層のみで形成された微細配線層を備えた薄いインターポーザ103を用いている。より具体的に配線基板は、第一配線基板（FC-BGA配線基板）101の主面上に接合された第二配線基板（インターポーザ）103とを備えている。第一配線基板（FC-BGA配線基板）101と第二配線基板（インターポーザ）103は、突起電極125を介して電氣的に接合され、第一配線基板（FC-BGA配線基板）101と第二配線基板（インターポーザ）103の隙間は、絶縁性の封止樹脂102で充填されている。

[0059] 封止樹脂102は、第一配線基板（FC-BGA配線基板）101と、第

二配線基板（インターポーザ）１０３の隙間の外側に連続し、第二配線基板（インターポーザ）１０３の側面部全面を覆い囲んだ、第二配線基板の上面を超えた高さの上面である土手（周壁）を形成している。第二配線基板（インターポーザ）１０３は、第一配線基板（ＦＣ－ＢＧＡ配線基板）１０１側とは逆側の面にパッド１４０（図１３Ｆ）を有する。

[0060] 突起電極１２５（図１３Ａ参照）は、はんだバンプまたは銅ポスト（銅ピラー）または金バンプで構成されている。

さらに第二配線基板（インターポーザ）１０３の、第一配線基板（ＦＣ－ＢＧＡ配線基板）１０１とは逆側の面に半導体チップ１０４が銅ピラー１３１で接合され、半導体チップ１０４と第二配線基板（インターポーザ）１０３との隙間が封止樹脂１３２で埋め込まれており、封止樹脂１３２の高さは第二配線基板（インターポーザ）１０３より高く形成されている。

[0061] 封止樹脂１０２は、第一配線基板（ＦＣ－ＢＧＡ配線基板）１０１と第二配線基板（インターポーザ）１０３とを固定及び封止するために用いられる接着材料である。封止樹脂１０２としては、例えば、エポキシ樹脂、ウレタン樹脂、シリコン樹脂、ポリエステル樹脂、オキセタン樹脂、及びマレイミド樹脂の１種又はこれらの樹脂の２種類以上が混合された樹脂に、フィラーとしてのシリカ、酸化チタン、酸化アルミニウム、酸化マグネシウム、又は酸化亜鉛等が加えられた材料が用いられる。封止樹脂１０２は、液状の樹脂を充填させることで形成される。

[0062] 封止樹脂１３２は、半導体チップ１０４とインターポーザ１０３とを固定及び封止するために用いられる接着剤であり、封止樹脂１０２と同様の材料で構成される。この場合、封止樹脂１３２として、異方性導電フィルム（ＡＣＦ：anisotropic conductive film）または、フィルム状接続材料（ＮＣＦ：non conductive film）を用いてもよい。

[0063] 第二配線基板（インターポーザ）１０３の、半導体チップ１０４と接合される部分の配線ピッチは、半導体チップ１０４と接合される部分の配線ピッチ

チは、半導体チップ104とFC-BGA配線基板101とを直接接合する場合の、第一配線基板（FC-BGA配線基板）101の半導体チップ104と接合される部分の配線ピッチよりも狭くなっている。すなわち、第二配線基板（インターポーザ）103の半導体チップ104を実装する側の面は、半導体チップ104と接合する場合のFC-BGA配線基板101よりも微細な配線となっている。

[0064] 例えば、現在のハイバンドメモリ（HBM）の使用に対応するためには、第二配線基板（インターポーザ）103では配線幅を $2\mu\text{m}$ 以上、 $6\mu\text{m}$ 以下にする必要がある。特性インピーダンスを 50Ω にあわせるためには、配線幅が $2\mu\text{m}$ 、配線高さ $2\mu\text{m}$ の場合、配線間の絶縁膜厚は $2.5\mu\text{m}$ となる。配線も含めたい1層の厚さは $4.5\mu\text{m}$ となり、この厚さで5層の第二配線基板（インターポーザ）103を形成する場合、第二配線基板（インターポーザ）103は、総厚 $25\mu\text{m}$ 程度と極薄のインターポーザとなる。

[0065] 前記の通り、第二配線基板（インターポーザ）103の厚みは薄く、そのままの状態ではFC-BGA配線基板101に実装するのが困難であるため、第二配線基板（インターポーザ）103には剛直性が求められる。また、 $2\mu\text{m}$ 程度の幅と高さを有する配線を形成するには、平坦な支持体が必要となる。上記理由により、図11に示すように、第二配線基板（インターポーザ）103は、剛直で平坦な支持体105上に剥離層106と保護層107とシード層108を介して形成される。なお、支持体上には剥離層、保護層、シード層以外の層を設けてもよい。

[0066] 次に図12Aから12Nまで順を追って、本実施形態に係る支持体105付き第二配線基板（インターポーザ）103の製造工程の一例を説明する。

[0067] まず、支持体105上に、第二配線基板（インターポーザ）103となる配線基板を作製する。図12Aに示すように、支持体105の一方の面に、後工程で、支持体105を剥離するための剥離層106を形成する（剥離層形成工程）。

[0068] 次いで、図12Bに示すように、剥離層106の上に保護層107を形成

する。保護層 107 は、後工程で支持体 105 を剥離する際に第二配線基板（インターポーザ）103 を保護するための層であり、エポキシ樹脂、アクリル樹脂、ウレタン樹脂、シリコン樹脂、ポリエステル樹脂、オキセタン樹脂の 1 種又はこれらの樹脂の 2 種類以上が混合された樹脂であり、第二配線基板（インターポーザ）103 を支持体 105 から剥離後に除去可能な樹脂である。保護層 107 については、スピコート、ラミネート等、樹脂の形状に応じて適宜形成してよい。例えばアクリル系樹脂をラミネート法により形成する。

[0069] 剥離層 106 は、UV 光、もしくは赤外光によって剥離可能な樹脂でもよく、熱によって発泡する樹脂でもよい。UV 光、もしくは赤外光によって剥離可能な樹脂を用いる場合、剥離層 106 を設けた側とは反対側の面から支持体 105 に UV 光、もしくは赤外光を照射して、第二配線基板（インターポーザ）103 と、第一配線基板（FC-BGA 配線基板）101 との接合体から支持体 105 を剥離して取り去る。この場合、前記支持体 105 は、透明性を有する必要がある、例えばガラスを用いることができる。

[0070] ガラスは平坦性に優れており、第二配線基板（インターポーザ）103 の微細なパターン形成に向いている。また、ガラスは CTE が小さく歪みにくいことから、第一配線基板（FC-BGA 配線基板）101 と接合した時のパターン配置精度及び平坦性の確保に優れている。支持体 105 としてガラスを用いる場合、ガラスの厚さは、製造プロセスにおける反りの発生を抑制する観点から厚い方が望ましく、例えば 0.7 mm 以上、1.1 mm 以下程度の厚みが望ましい。また、ガラスの線膨張係数（CTE: Coefficient of Thermal Expansion）は 3 ppm/°C 以上、15 ppm/°C 以下であり、FC-BGA 配線基板、半導体チップの線膨張係数（CTE: Coefficient of Thermal Expansion）の観点から 9 ppm/°C 程度が望ましい。ここでは、支持体 105 として、例えばガラスを用いる。

[0071] 一方、剥離層 106 に熱によって発泡する樹脂を用いた場合は、第二配線

基板（インターポーザ）１０３と、第一配線基板（ＦＣ－ＢＧＡ配線基板）１０１との接合体を加熱する事で支持体１０５を取り去る。この場合、支持体１０５は、歪みの少ないメタルやセラミックスを用いることができる。

[0072] 次いで、図１２Ｃに示すように、真空中で、保護層１０７上にシード層１１１を形成する。シード層の構成についてはチタン（Ｔｉ）／銅（Ｃｕ）、クロム（Ｃｒ）／銅（Ｃｕ）、クロムニッケル（ＮｉＣｒ）／銅（Ｃｕ）等、用途に応じて適宜構成、厚みが変更可能である。例えばチタン（Ｔｉ）：５０ｎｍ、銅（Ｃｕ）：３００ｎｍによりシード層１１１を形成することができる。保護層１０７上にシード層１１１を形成することで、この上に微細パターンを形成することが可能となる。

[0073] 次に図１２Ｄに示すようにシード層１１１上にレジストパターン１１３を形成し、その開口部１１３ａに電解めっきにより導体層１１４を形成する。例えば導体層１１４としてＣｕを形成する。その後、図１２Ｅに示すようにレジストパターン１１３を除去する。

[0074] 次に、図１２Ｆに示すように、導体層１１４及びシード層１１１上に感光性絶縁樹脂層１１５を形成する。感光性絶縁樹脂層１１５は、導体層１１４が感光性絶縁樹脂層１１５の層内に埋め込まれるように形成する。例えば、感光性絶縁樹脂としてエポキシ系樹脂を用いてスピンコート法により形成することができる。感光性エポキシ樹脂は比較的低温で硬化することができ、この後の導電ビア形成後のキュア（硬化）による収縮が少なく、また、さらにその後の微細パターン形成に優れている。感光性絶縁樹脂層１１５としては、感光性のエポキシ系樹脂を用いてスピンコート法により形成する他、絶縁樹脂フィルムを真空ラミネータで圧縮キュアを行って形成することも可能であり、この場合は平坦性の良い絶縁膜を形成することができる。露光工程で多少の段差が許容できるのであれば、ポリイミドを絶縁樹脂として用いても良い。

[0075] 次に、図１２Ｇに示すように、フォトリソグラフィーにより、導体層１１４上に開口部１１５ａを設ける。前記開口部１１５ａに対し、現像時の残渣

除去を目的として、プラズマ処理を施してもよい。

[0076] 次に、図12Hに示すように、前記開口部115aの表面上にシード層118を設ける。シード層の構成についてはチタン(Ti)/銅(Cu)、クロム(Cr)/銅(Cu)、クロムニッケル(NiCr)/銅(Cu)等、用途に応じて適宜構成、厚みを変更可能である。例えばチタン(Ti):50nm、銅(Cu):300nmによりシード層118を形成することができる。

[0077] 次に、図12Iに示すように、シード層118上にレジストパターン119を形成し、その開口部119aに電解めっきにより導体層120を形成する。例えば導体層120として銅(Cu)を形成する。その後、図12Jに示すようにレジストパターン119を除去し、不要なシード層118をエッチング除去する。

[0078] 次に、図12Fから図12Jの工程を繰り返し、図12Kに示す多層配線パターンが形成された基板を得る。以上により、剥離層106側の面が第一パッドとなり、剥離層106と逆側面が第二パッドとなる配線層を形成することができる(配線層形成工程)。

[0079] 感光性絶縁樹脂層115は、ポジ型でもよく、ネガ型でもよい。

[0080] 次に、図12Lに示すように、第二配線基板(インターポーザ)103の第一配線基板(FC-BGA配線基板)101側の最表面に絶縁樹脂層123を形成する。絶縁樹脂層123は、導体層122及び感光性絶縁樹脂層115を覆うように形成し、また露光、現像により、導体層122が露出するように絶縁樹脂層123に開口部123aを形成する。例えば、絶縁樹脂として感光性エポキシ樹脂を使用して絶縁樹脂層123を形成する。なお、絶縁樹脂は前記感光性絶縁樹脂層115と同一材料でもよい。

[0081] 次に、図12Mに示すように導体層122の表面の酸化防止とはんだバンプの濡れ性をよくするため、表面処理層124を設ける。本実施形態では、表面処理層124として無電解ニッケル(Ni)/パラジウム(Pd)/金(Au)めっきを成膜する。なお、表面処理層124には、OSP(Organic Surface Preparation)

anic Solderability Preservative、水溶性プレフラックスによる表面処理）膜を形成してもよい。また、無電解スズめっき、無電解ニッケル（Ni）／金（Au）めっきなどを適宜用途に応じて選択して用いても良い。

[0082] 次に、図12Nに示すように、表面処理層124に、突起電極125としてはんだバンプを搭載しリフローすることで、第二パッドの表面に突起電極を形成し（突起電極形成工程）、支持体105付き第二配線基板（インターポーザ）が完成する。

[0083] 次に図13Aから図13Gまで順を追って、本実施形態に係る支持体105付き第二配線基板（インターポーザ）103と、第一配線基板（FC-BGA配線基板）101の接合工程と、封止樹脂102の充填注入と、支持体105の剥離工程と、配線基板のパッド露出工程と、半導体チップ搭載工程までの一連の製造工程の一例を説明する。

[0084] 図13Aに示すように、支持体105付き第二配線基板（インターポーザ）103の端子、つまり、突起電極（はんだバンプ）125の位置に合わせて設計、製造した第一配線基板（FC-BGA配線基板）101にフリップチップにより支持体105付き第二配線基板（インターポーザ）103を配置する。次いで、図13Bに示すように、支持体105付き第二配線基板（インターポーザ）103の突起電極125と、第一配線基板（FC-BGA配線基板）101の第一配線基板パッドとを電氣的に接合する（電氣的接合工程）。

[0085] 次に図13Cに示すように、第一配線基板（FC-BGA配線基板）101と第二配線基板（インターポーザ）103との隙間に封止樹脂102を注入し、はんだ接合部の保護を行う（封止樹脂充填注入工程）。封止樹脂102には第一配線基板（FC-BGA配線基板）101と第二配線基板（インターポーザ）103との隙間の体積より適宜注入量を設定して構わない。但し、望ましくは第一配線基板（FC-BGA配線基板）101と第二配線基板（インターポーザ）103との隙間の体積の1.2倍以上とすることで、

封止樹脂 102 の高さを第二配線基板（インターポーザ） 103 より高く形成することができる。

[0086] このとき、封止樹脂 102 は、濡れ上がりにより第二配線基板（インターポーザ） 103 の側面、シード層 111、保護層 107、剥離層 106 の側面を介して、支持体 105 の側面まで伝い上がる。なお、図では封止樹脂 102 の上端が尖っているように記載しているが、実際はある程度丸みを帯びていてもよい。

[0087] また、支持体 105 の剥離性を向上させるために、支持体 105 には撥アンダーフィル処理を施しても構わない。撥アンダーフィル処理についてはフッ素コート、シリコンコート処理などがあげられるが、用途に応じて適宜設定して構わない。

[0088] 次に、図 13D に示すように支持体 105 の背面より、すなわち、支持体 105 の第一配線基板（FC-BGA 配線基板） 101 とは逆側の面からレーザ光 126 を、支持体 105 を透過させてその界面に形成された剥離層 106 に照射し、図 13E に示すように剥離層 106 と共に支持体 105 を剥離して取り外す（支持体剥離工程）。

なお、支持体剥離工程前に、封止樹脂充填注入工程を行わず、支持体剥離工程後に、封止樹脂充填注入工程を行ってもよい。

[0089] 次に、剥離層 106 と保護層 107 とシード層 111 を除去し、すなわち配線基板のパッド 140 を露出させ（パッド露出工程）、図 13F に示すような配線基板を得る。例えば、剥離層 106 は機械的に、保護層 107 から引き剥がすことができる。また、保護層 107 として、アクリル系樹脂を用いた場合、アルカリ系溶剤（1%水酸化ナトリウム（NaOH）、2.3%水酸化テトラメチルアンモニウム（TMAH）によって除去する。更に、シード層 111 は、保護層 107 側からチタン（Ti）と銅（Cu）を用いており、それぞれアルカリ系のエッチング剤と、酸系のエッチング剤にて溶解除去することで配線基板 CB100 を得る。

[0090] 配線基板 CB100 において、表面に露出した導体層上に前記の通り、無

電解ニッケル（Ni）／パラジウム（Pd）／金（Au）めっき、OSP（Organic Solderability Preservative、水溶性プレフラックスによる表面処理）、無電解スズ（Sn）めっき、無電解ニッケル（Ni）／金（Au）めっきなどの表面処理を施してもよい。

[0091] 最後に、図13Gに示すように、配線基板CB100に半導体チップ104を接続し、配線基板CB100と半導体チップ104の隙間に封止樹脂132を充填することで、半導体装置SD100を作製することができる。

このとき、封止樹脂102は、第二配線基板103の第一配線基板101と接合する面と反対側の面に接しない。

[0092] 第一配線基板（FC-BGA配線基板）と第二配線基板（インターポーザ）の接合部の側面全面を封止樹脂で保護し、かつ封止樹脂の高さを第二配線基板より高くすることで、各部材の線膨張係数差による応力集中を緩和させ、それにより実装性、接合信頼性の向上した配線基板の提供が可能となる。

[0093] （第3の実施形態）

以下に、本発明の一実施形態に関わる配線基板について図面を参照して説明する。ただし、以下に説明する各図において相互に対応する部分には同一符号を付し、重複部分においては後述での説明を適宜省略する。また、各図面は説明を容易にするために適宜誇張して表現している。

[0094] さらに、本発明の実施形態は、本発明の技術的思想を具現化するための構成を例示するものであって、各部の材質、形状、構造、配置、寸法等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えることができる。

[0095] 図14は、本実施形態にかかる配線基板に半導体チップを実装した半導体パッケージの一例を示す断面図である。図15は、半導体チップを実装する前の配線基板を示す断面図である。

[0096] 本実施形態に係る半導体パッケージは、FC-BGA配線基板201の一方の面に、樹脂と配線とが積層されているビルドアップ配線層のみで形成さ

れた微細配線層を備えた薄いインターポーザ203が、はんだバンプまたは銅(Cu)ポスト(Cuピラー)または金バンプで構成される電極211で電氣的に接続されている。また、FC-BGA配線基板201とインターポーザ203との隙間が絶縁性の接着部材として封止樹脂(第一封止樹脂)202で埋め固められ、さらに封止樹脂202を覆うように封止樹脂(第二封止樹脂)242で埋め固められている。封止樹脂242は、少なくともインターポーザ203と封止樹脂202の境界を覆っていると好ましい。

さらにインターポーザ203の、FC-BGA配線基板201とは逆側の面に半導体チップ204が、はんだバンプまたはCuピラーまたは金バンプからなる電極231で接合され、半導体チップ204とインターポーザ203との隙間が封止樹脂232で埋め固められている。

[0097] 封止樹脂202、242は、FC-BGA配線基板201とインターポーザ203とを固定及び封止するために用いられる接着剤である。封止樹脂202、242としては、例えば、エポキシ樹脂、ポリウレタン樹脂、シリコン樹脂、ポリエステル樹脂、オキセタン樹脂、及びマレイミド樹脂の内1種またはこれら樹脂の2種類以上が混合された樹脂に、フィラーとしてシリカ、酸化チタン、酸化アルミニウム、酸化マグネシウム、または酸化亜鉛等を加えた材料が用いられる。

[0098] 封止樹脂202、242は液状の樹脂を充填させることで形成しても良い。また、絶縁性の接着部材として異方性導電フィルム(ACF: Anisotropic Conductive Film)、または接着及び絶縁の機能を同時に持つフィルム状接続材料である非導電性フィルム(NCF: Non Conductive Film)を封止樹脂202として用いることにより、FC-BGA配線基板201とインターポーザ203とを固定し、これらの間を封止しても良い。

[0099] 封止樹脂232は、半導体チップ204とインターポーザ203を固定及び封止するために用いられる接着剤であり、封止樹脂202、242と同様の材料で構成される。なお、この場合も、封止樹脂232の代わりに、異方

性導電フィルム（ACF）、またはフィルム状接続材料である非導電性フィルム（NCF）を用いても良い。

[0100] インターポーザ203の半導体チップ204と接合される部分の配線ピッチ（配線幅及び配線間距離）は、半導体チップ204とFC-BGA配線基板201とを直接接続する場合の、FC-BGA配線基板201の半導体チップ204と接続される部分の配線ピッチ（配線幅及び配線間距離）よりも狭くなっている。すなわち、インターポーザ203の半導体チップ204を実装する側の面は、半導体チップ204と接合する場合のFC-BGA配線基板201よりも微細な配線となっている。

[0101] 例えば、現在の高帯域幅メモリ（HBM: High Bandwidth Memory）に使用に対応するためには、インターポーザ203で配線幅を $2\mu\text{m}$ 以上、 $6\mu\text{m}$ 以下にする必要がある。特にインピーダンスを 50Ω に合わせるためには、配線幅が $2\mu\text{m}$ 、配線高さが $2\mu\text{m}$ の場合、配線間の絶縁膜厚は $2.5\mu\text{m}$ となる。配線も含めた1層の厚さは $4.5\mu\text{m}$ となり、この厚さで5層のインターポーザを作成する場合、インターポーザ203は総厚 $25\mu\text{m}$ 程度と極薄のインターポーザとなる。

[0102] 一般にFC-BGA配線基板201は剛直であり、インターポーザ203とのCTE（Coefficient of Thermal Expansion、熱膨張係数）差があると接合が破断し易い。そこで接合部を保護するためにFC-BGA配線基板201とインターポーザ203との隙間を封止樹脂202で埋め固められる。加えてインターポーザ203の側面部には、封止樹脂202が濡れ上がりフィレットと呼ばれる部分を形成する。封止樹脂を用いたことで、インターポーザ203と封止樹脂202のCTE（熱膨張係数）差で、フィレット端部に応力が集中し、インターポーザ203の側面に剥離やクラックを生じるため信頼性が低下する。

[0103] そこで封止樹脂202を覆うように封止樹脂242を形成することで、フィレット端部に集中する応力を緩和し、高い信頼性を得ることができる。封止樹脂242は、弾性率、CTE（熱膨張係数）のいずれか、もしくは両方

の値が、封止樹脂202とインターポーザ203の間となるものを用いる。

[0104] 次に図18A～図19Cを用いて、本実施形態に係るインターポーザ203を備えた配線基板CB100の製造工程の一例を説明する。

[0105] インターポーザ203、及びFC-BGA配線基板201の接続電極には、はんだを予め形成する。はんだ材料としては、96.5wt%のSnと3.0wt%のAgと0.5wt%のCuとからなる合金を用いる。但し、はんだの材料はこれに限定されるものではなく、例えば、銀、銅、インジウム、アンチモンなどを含む2元系、または3元系以上のはんだ合金を用いることもできる。また、導電性であれば、はんだ粒子に限られず、別の金属粒子を用いてもよい。また、粒子形状も球形状に限定されず、粒状、片状、角状など他の形状の物を用いてもよい。

[0106] FC-BGA配線基板201上のインターポーザ203に接続する電極端子224が配置されたエリアに、フラックス（不図示）を塗布する。フラックス剤としては、例えば、（メタ）アクリル酸、マレイン酸、蔞酸、マロン酸、クエン酸、トリメリット酸、及びテトラメリット酸からなる集合から選ばれる少なくとも一種の酸と、キレート剤とを有するものなどを用いる事ができる。

[0107] 図18Aに示すように、インターポーザ203をヘッド（不図示）で支持し、インターポーザ203のFC-BGA配線基板201の面と対応する面に配置された電極端子234と電極端子224が対応するように位置合わせをする。そして、インターポーザ203をFC-BGA配線基板201へ突き当たるまで下降させる。これによりインターポーザ203の載置が完了する。さらに、はんだの融点を超える温度以上の加熱を行い、はんだを溶融接合することで電極211を形成し、FC-BGA配線基板201とインターポーザ203の電氣的接続が完了し、図18Bに示す形態になる。ここで、符号212は配線を示し、符号213は絶縁層を示す。

[0108] FC-BGA配線基板201とインターポーザ203の間のフラックスを、洗浄にて除去する。フラックスは低残渣のタイプもあるため、必ずしも除

去を要する訳ではないが、後述の封止樹脂中のボイドの要因となり信頼性が低下するため、除去することが望ましい。

[0109] FC-BGA配線基板201とインターポーザ203との間には、電極211の高さに基づいて隙間が生じる。このようなFC-BGA配線基板201とインターポーザ203との間の隙間に、封止樹脂202となる未硬化の熱硬化性樹脂組成物（液状樹脂）を注入し、これをキュア処理して硬化させることによって、熱硬化された熱硬化性樹脂からなる封止樹脂202を形成する（第一封止樹脂封止工程、図18C参照）。このようにして、封止樹脂202で電極211を保護しつつ、とインターポーザ203をFC-BGA配線基板201に固定する。

第一封止樹脂封止工程は、封止樹脂202をFC-BGA配線基板201の主面上に滴下する工程と、インターポーザ203をFC-BGA配線基板201に搭載すると同時にFC-BGA基板201とインターポーザ203の間の隙間に充填する工程と、を含むと好ましい。あるいは、第一封止樹脂封止工程が、絶縁性のフィルム状の樹脂をFC-BGA配線基板201の主面上に設置する工程と、インターポーザ203をFC-BGA配線基板201に搭載とすると同時にFC-BGA配線基板201とインターポーザ203の間の隙間に充填する工程と、を含むようにしてもよい。

さらにインターポーザ203の側面部に配置される封止樹脂202に沿って、封止樹脂242となる未硬化の熱硬化性樹脂組成物（液状樹脂）を塗布し、キュア処理して硬化させることによって、熱硬化された熱硬化性樹脂からなる封止樹脂242を形成する（第二封止樹脂封止工程）。

上記工程にて図18D（図15）に示すような配線基板CB100が形成される。

[0110] この配線基板CB100のインターポーザ203側に電極端子（不図示）と、半導体チップ204の配線基板CB100に面する側に形成された電極端子（不図示）を介して、半導体チップ204を載置し、はんだの熔融温度以上の加熱を加え熔融接合することで電極231を形成し、配線基板CB1

00と半導体チップ204の電氣的接続が完了する。

[0111] 半導体チップ204とインターポーザ203との間には、電極231の高さに基づいて隙間が生じる。このような半導体チップ204とインターポーザ203との間の隙間に、封止樹脂232となる未硬化の熱硬化性樹脂組成物（液状樹脂）を注入し、これをキュア処理して硬化させることによって、熱硬化された熱硬化性樹脂からなる封止樹脂232を形成する（図18E参照）。

また、配線基板CB100の半導体チップ204載置面の反対面のパッドに電極端子233を形成することで、図14に示すような半導体パッケージを作ることができる。

[0112] 本実施形態の一例では、はんだペーストで電極端子233を形成したがこれに限定されるものではなく、電極端子233として例えば、はんだボールを溶融形成方法により形成したり、Cu、Al、金の単一金属で形成したり、もしくは複合材料で構成される金属ピンなどを用いることができる。

[0113] このように、本発明の一様態によれば、図14に示すように、封止樹脂202がFC-BGA配線基板201とインターポーザ203の間の隙間と、インターポーザ203の側面部の一部に形成される。さらに封止樹脂202を覆うように、封止樹脂242をインターポーザ203の側面部にわたって形成することで、インターポーザ203の側面部に形成された封止樹脂202の端部に掛かる応力を緩和し、封止樹脂202の端部を基点としたクラックや剥離を抑えることができる。

[0114] 本発明の一様態によれば、インターポーザ203側面と封止樹脂242との接触部の、封止樹脂242端部の位置を変える事で、インターポーザ203側面が封止樹脂242端部より受ける応力の位置をコントロールできる。例えば図16に示すようにインターポーザ203の積層界面が外部応力に弱い場合、インターポーザ203側面全面を封止樹脂242で覆うことで、インターポーザ203側面からの剥離、クラックを抑えることができる。

[0115] また、封止樹脂242の線膨張係数A2が、インターポーザ203の線膨

張係数 A_3 と封止樹脂 202 の線膨張係数 A_1 の間となるよう、封止樹脂 242 の素材を選択することで、インターポーザ 203 の側面部にかかる封止樹脂 202 端部からの応力緩和効果を効果的に得ることができる。

ここで、封止樹脂 202 の線膨張係数 A_1 は、ガラス転移点 T_g 未満では、 $18 \sim 35 \text{ ppm}/^\circ\text{C}$ （好ましくは $29 \text{ ppm}/^\circ\text{C}$ ）であり、ガラス転移点 T_g 以上では、 $65 \sim 125 \text{ ppm}/^\circ\text{C}$ （好ましくは $110 \text{ ppm}/^\circ\text{C}$ ）である。一方、インターポーザ 203 の線膨張係数 A_3 は、用いる有機樹脂の一般的な値である。したがって、封止樹脂 242 の線膨張係数 A_2 は、線膨張係数 A_1 ， A_3 の間になるよう、適宜選択できる。

[0116] また、封止樹脂 242 の弾性率 B_2 が、インターポーザ 203 の弾性率 B_3 と、封止樹脂 202 の弾性率 B_1 の間となるよう、封止樹脂 242 の素材を選択することで、インターポーザ 203 の側面部にかかる封止樹脂 2 端部からの応力緩和効果を効果的に得ることができる。

ここで、封止樹脂 202 の弾性率 B_1 は、ガラス転移点 T_g 未満では、 $6.5 \sim 13.5 \text{ GPa}$ （好ましくは 9.5 GPa ）であり、ガラス転移点 T_g 以上では、 $0.03 \sim 0.33 \text{ GPa}$ （好ましくは 0.12 GPa ）である。一方、インターポーザ 203 の弾性率 B_3 は、用いる有機樹脂の一般的な値である。したがって、封止樹脂 242 の弾性率 B_2 は、弾性率 B_1 ， B_3 の間になるよう、適宜選択できる。

[0117] （第 4 の実施形態）

以下に、第 4 の実施形態について説明する。図 17 は本実施形態に係る配線基板の一例を示す断面図である。本実施形態は第 3 の実施形態に対し、封止樹脂 242 のフィレット形状が異なる。封止樹脂 242 のフィレット形状以外の点については、第 3 の実施形態と同様とすることができるため、説明を省略する。

[0118] 第 3 の実施形態の封止樹脂 202 を形成した後、図 19A に示すように、封止樹脂 202 のフィレットより外周に除去可能な枠 220 を形成する。このときの枠 220 の厚みは実装したインターポーザ 203 より高くすると好

ましい。枠 220 はパターニング、及び除去の簡易さから、例えば感光性のドライフィルムレジストを使用することができる。

[0119] 続いて図 19B に示すように、枠 220 とインターポーザ 203 との間の隙間に、封止樹脂 242 となる未硬化の熱硬化性樹脂組成物（液状樹脂）を注入し、これをキュア処理して硬化させる。さらに枠 220 を除去することによって、図 19C に示すような、熱硬化された熱硬化性樹脂からなる封止樹脂 242 をインターポーザ 203 の側面に接して形成する。

[0120] 本実施形態によれば、枠 220 を用いることにより、インターポーザ 203 の側面からインターポーザ 203 の平面方向に位置する封止樹脂 242 の平面方向の寸法（肉厚）を全周にわたって均一にすることができる。それにより、インターポーザ 203 と封止樹脂 242 の温度変化によって発生する平面方向の応力が、インターポーザ 203 の厚み方向に渡って均一となる。このため、温度変化によるインターポーザ 203 の側面が封止樹脂 242 から受ける応力の勾配が低減でき、信頼性の向上が得られる。また、封止樹脂 242 の高さを全周にわたって均一にすると好ましい。

[0121] また、本実施形態によれば、インターポーザ 203 の材質は規定されず、有機材料を含む樹脂絶縁層を用いても良く、シリコン Si を含む絶縁層を用いても良く、セラミックを含む絶縁層を用いても本発明の効果を得ることができる。

[0122] また、本実施形態によれば、実装する組み合わせは FC-BGA 配線基板 201 とインターポーザ 203 に限らず、FC-BGA 配線基板 201 と半導体チップ 204、インターポーザ 203 と半導体チップ 204 でも良く、半導体チップ 204 を実装した配線基板、半導体装置でも本発明の効果を得ることができる。

[0123] 以上、本発明の実施形態を例示したが、本発明は上記実施形態に限定されたものではなく、本発明の実施形態の技術的思想が逸脱しない限り、配線基板としての用途を考慮し、要求される他の物性である剛性、強度、耐衝撃性などを向上する目的で、他の層や構造を任意に形成できることはいうまでも

ない。

産業上の利用可能性

[0124] 本発明は、主基板と半導体チップとの間に、インターポーザを介在させる配線基板を備える半導体装置に利用可能である。

符号の説明

[0125] 1・・・FC-BGA配線基板、2、42、52・・・アンダーフィル、3・・・インターポーザ、4・・・半導体チップ、5・・・支持体、6・・・剥離層、7・・・保護層、11・・・シード層、13・・・レジストパターン、13a・・・レジストパターン開口部、14・・・導体層、15・・・感光性絶縁樹脂層、15a・・・開口部、18・・・シード層、19・・・レジストパターン、20・・・導体層、21・・・導体層、22・・・導体層、23・・・絶縁樹脂層、23a・・・開口部、24・・・表面処理層、25・・・はんだバンプ、26・・・YAGレーザ光、30・・・銅ピラー、32・・・アンダーフィル、CB100 配線基板、SD100 半導体装置、101・・・第一配線基板（FC-BGA配線基板）、102・・・封止樹脂、103・・・第二配線基板（インターポーザ）、104・・・半導体チップ、105・・・支持体、106・・・剥離層、107・・・保護層、111・・・シード層、113・・・レジストパターン、113a・・・レジストパターン開口部、114・・・導体層、115・・・感光性絶縁樹脂層、115a・・・開口部、118・・・シード層、119・・・レジストパターン、119a・・・開口部、120・・・導体層、121・・・導体層、122・・・導体層、123・・・絶縁樹脂層、123a・・・開口部、124・・・表面処理層、125・・・突起電極、126・・・YAGレーザ光、131・・・銅ピラー、132・・・封止樹脂、201・・・FCBGA用配線基板、202・・・封止樹脂、203・・・インターポーザ、204・・・半導体チップ、211・・・電極、212・・・配線、213・・・絶縁層、220・・・枠、224・・・電極端子、231・・・電極、232・・・封止樹脂、233・・・電極端子、234・・・電極端

子、242・・・封止樹脂、251・・・電極端子、252・・・電極端子
、

請求の範囲

- [請求項1] 半導体チップを実装するための半導体装置用配線基板であって、
第一配線基板と第二配線基板とを備え、
前記第一配線基板と前記第二配線基板とは、突起電極を介して電氣的に接合され、
前記第一配線基板と前記第二配線基板との間隙に、封止樹脂が充填され、さらに前記封止樹脂は、前記第二配線基板の側面全体、及び前記第二配線基板が前記第一配線基板と接合する面と反対側の面の縁周部を被覆している、ことを特徴とする半導体装置用配線基板。
- [請求項2] 支持体上に剥離層、保護層、シード層、及び第二配線基板を順次形成する工程と、
前記第二配線基板と第一配線基板とを電氣的に接合する工程と、
前記支持体、前記剥離層、前記保護層、及び前記シード層を順次剥離する工程と、
前記第一配線基板と前記第二配線基板との間隙に封止樹脂を充填し、さらに前記封止樹脂により前記第二配線基板の側面全体、及び前記第二配線基板が前記第一配線基板と接合する面と反対側の面の縁周部を被覆する工程と、を含む、ことを特徴とする半導体装置用配線基板の製造方法。
- [請求項3] 請求項1に記載の半導体装置用配線基板と、
前記第二配線基板が前記第一配線基板と接合する面と反対側の面に搭載された半導体チップと、を有することを特徴とする半導体装置。
- [請求項4] 第一配線基板と、
前記第一配線基板の一面上に接合された第二配線基板と、を備え、
前記第一配線基板と前記第二配線基板は、突起電極を介して電氣的に接合され、
前記第一配線基板と前記第二配線基板の間隙には、絶縁性の封止樹脂が充填されており、

前記封止樹脂は、前記第一配線基板と前記第二配線基板の前記隙間から連続し、前記第二配線基板の側面部全面を覆い囲むとともに、前記第二配線基板の前記第一配線基板と接合する面と反対側の面を超えて延在し、

前記第二配線基板は、前記第一配線基板側に接合する面と反対側の面にパッドを有することを特徴とする半導体装置用配線基板。

[請求項5] 前記封止樹脂が、前記第二配線基板の前記第一配線基板と接合する面と反対側の面に接しないことを特徴とする請求項4に記載の半導体装置用配線基板。

[請求項6] 前記第二配線基板が備える配線の配線間距離が、前記第一配線基板が備える配線の配線間距離より小さいことを特徴とする請求項4又は5に記載の半導体装置用配線基板。

[請求項7] 前記第二配線基板が有機材料を含む部材で構成されていることを特徴とする請求項4～6のいずれか一項に記載の半導体装置用配線基板。

[請求項8] 前記第二配線基板がSiを含む部材で構成されていることを特徴とする請求項4～7のいずれか一項に記載の半導体装置用配線基板。

[請求項9] 請求項4～8のいずれか一項に記載の半導体装置用配線基板と、前記第二配線基板の前記第一配線基板と接合する面と反対側の面に搭載された半導体チップと、を有することを特徴とする半導体装置。

[請求項10] 支持体の一面上に剥離層を形成する剥離層形成工程と、前記剥離層上に、前記剥離層側の面が第一パッドとなり、前記剥離層と逆側面が第二パッドとなる配線層を形成して、支持体付きの第二配線基板を製作する配線層形成工程と、

前記第二パッドの表面に、突起電極を形成する突起電極形成工程と、

第一配線基板の第一配線基板パッドと、前記第二配線基板の前記突起電極とを電氣的に接合する電氣的接合工程と、

前記第一配線基板と前記第二配線基板との隙間から、前記隙間の外側で前記第二配線基板の側面部全面を覆い囲み、更に前記第二配線基板の前記第一配線基板と接合する面と反対側面を超えるまで延在するように、絶縁性の封止樹脂を充填注入する封止樹脂充填注入工程と、
前記支持体と前記剥離層とを、前記第二配線基板から剥離する支持体剥離工程と、

前記第一パッドを接続用のパッドとして露出させる、パッド露出工程と、を有することを特徴とする半導体装置用配線基板の製造方法。

[請求項11] 前記封止樹脂充填注入工程の後に、前記支持体剥離工程を実行することを特徴とする請求項10に記載の半導体装置用配線基板の製造方法。

[請求項12] 前記支持体剥離工程の後に、前記封止樹脂充填注入工程を有することを特徴とする請求項10に記載の半導体装置用配線基板の製造方法。

[請求項13] 前記支持体は、ガラス基板であることを特徴とする、請求項10～12のいずれか一項に記載の半導体装置用配線基板の製造方法。

[請求項14] 第一配線基板と、
前記第一配線基板の一面上に接合された第二配線基板と、
前記第一配線基板と前記第二配線基板が対向する間隙を封止する第一封止樹脂と、
少なくとも前記第二配線基板の側面と前記第一封止樹脂との境界を覆うよう形成された第二封止樹脂と、を備えることを特徴とする半導体装置用配線基板。

[請求項15] 前記第二配線基板の配線幅及び配線間距離の寸法が、前記第一配線基板の配線幅及び配線間距離の寸法に比べ小さいことを特徴とする請求項14に記載の半導体装置用配線基板。

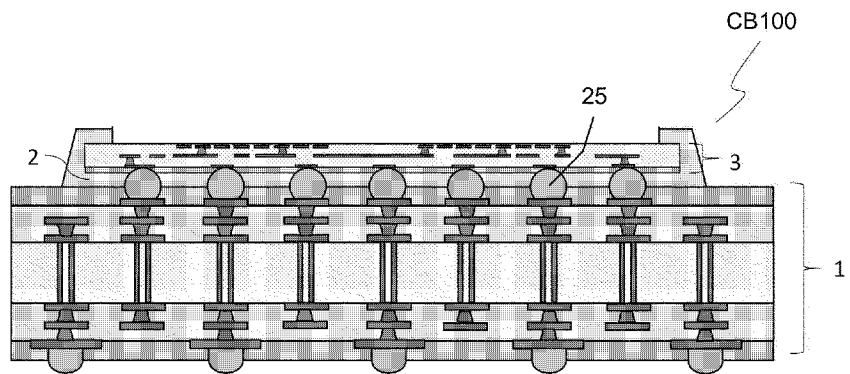
[請求項16] 前記第二封止樹脂の線膨張係数 A_2 が、前記第一封止樹脂の線膨張係数 A_1 と、前記第二配線基板の線膨張係数 A_3 との間になることを特徴とする、請求項14又は15に記載の半導体装置用配線基板。

- [請求項17] 前記第二封止樹脂の弾性率B 2が、前記第一封止樹脂の弾性率B 1と、前記第二配線基板の弾性率B 3との間になることを特徴とする、請求項1 4～1 6のいずれか一項に記載の半導体装置用配線基板。
- [請求項18] 前記第二封止樹脂が前記第二配線基板側面全面を覆っていることを特徴とする請求項1 4～1 7のいずれかに一項に記載の半導体装置用配線基板。
- [請求項19] 前記第二封止樹脂の前記第二配線基板側面に形成された部分の肉厚及び高さの少なくとも一方が均一であることを特徴とする請求項1 4～1 8のいずれか一項に記載の半導体装置用配線基板。
- [請求項20] 前記第二配線基板が有機材料を含む部材で構成されていることを特徴とする請求項1 4～1 9のいずれか一項に記載の半導体装置用配線基板。
- [請求項21] 前記第二配線基板がセラミックを含む部材で構成されていることを特徴とする請求項1 4～2 0のいずれかに一項記載の半導体装置用配線基板。
- [請求項22] 前記第二配線基板がSiを含む部材で構成されていることを特徴とする請求項1 4～2 1のいずれか一項に記載の半導体装置用配線基板。
- [請求項23] 第一配線基板と第二配線基板が対向する間隙を第一封止樹脂で封止する第一封止樹脂封止工程と、
少なくとも前記第二配線基板の側面と前記第一封止樹脂との境界を覆うようにして第二封止樹脂を形成する第二封止樹脂封止工程と、を備えることを特徴とする半導体装置用配線基板の製造方法。
- [請求項24] 前記第一封止樹脂封止工程は、前記第一封止樹脂を前記第一配線基板の主面上に滴下する工程と、前記第二配線基板を前記第一配線基板に搭載と同時に前記第一配線基板と前記第二配線基板の間の隙間に充填する工程と、を含むことを特徴とする請求項2 3に記載の半導体装置用配線基板の製造方法。

[請求項25] 前記第一封止樹脂封止工程は、絶縁性のフィルム状の前記第一封止樹脂を前記第一配線基板の主面上に設置する工程と、前記第二配線基板を前記第一配線基板に搭載と同時に前記第一配線基板と前記第二配線基板の間の隙間に充填する工程と、を含むことを特徴とする請求項23に記載の半導体装置用配線基板の製造方法。

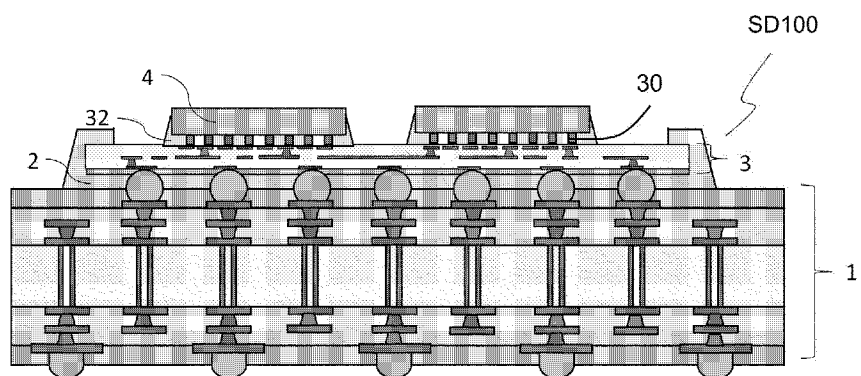
[図1]

図1



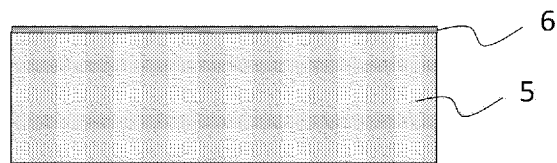
[図2]

図2



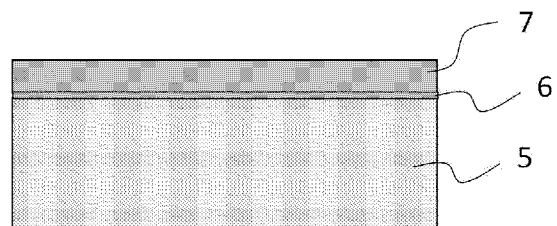
[図3A]

図3A



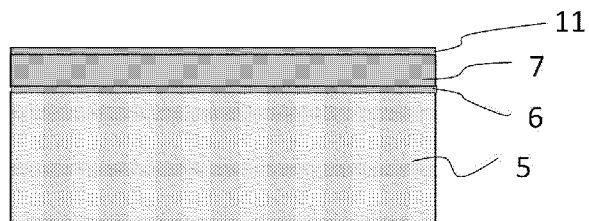
[図3B]

図3B



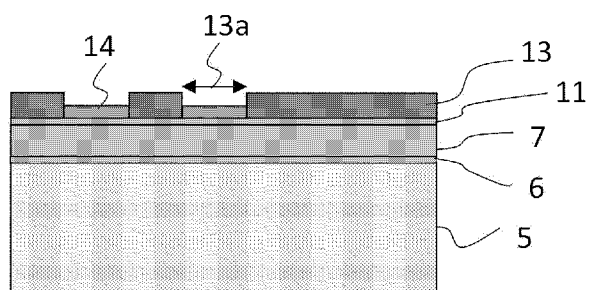
[図3C]

図3C



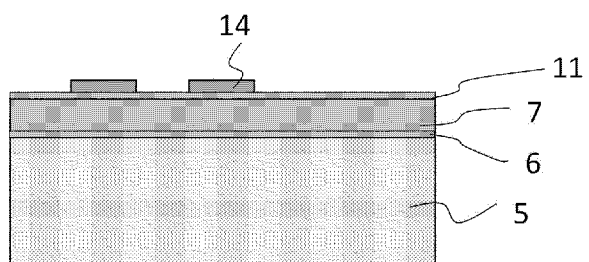
[図3D]

図3D



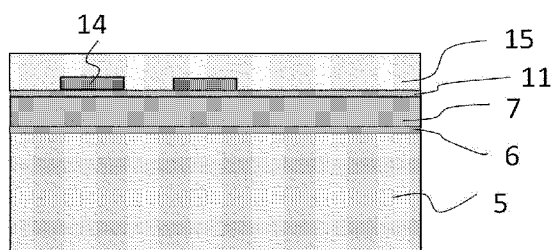
[図3E]

図3E



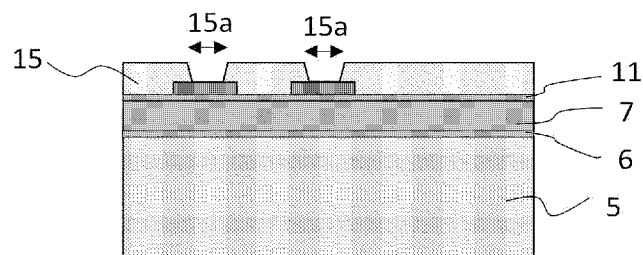
[図4A]

図4A



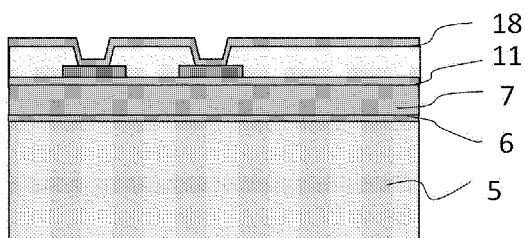
[図4B]

図4B



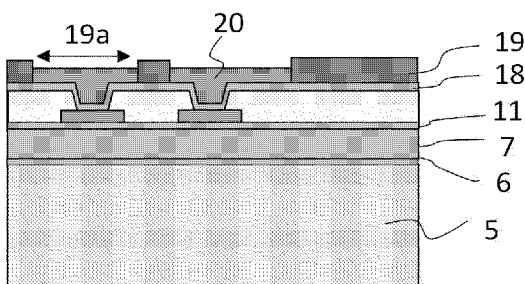
[図4C]

図4C



[図4D]

図4D



[図4E]

図4E

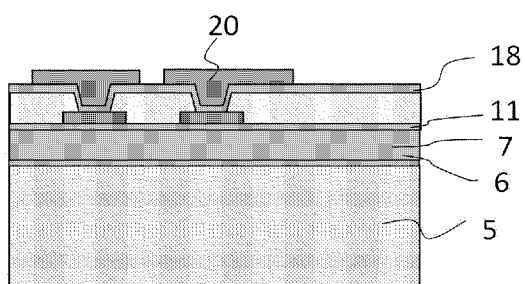
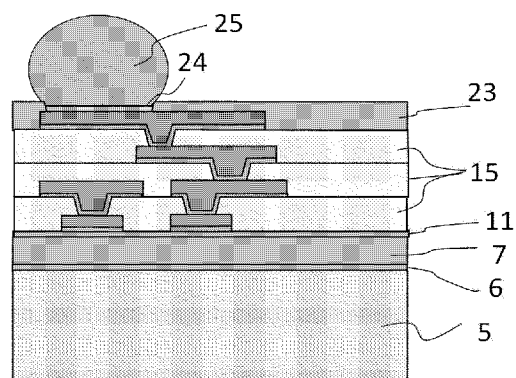
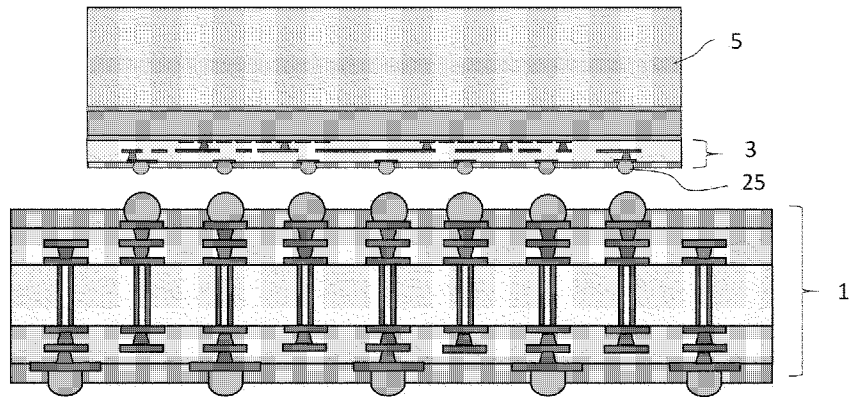


図5A



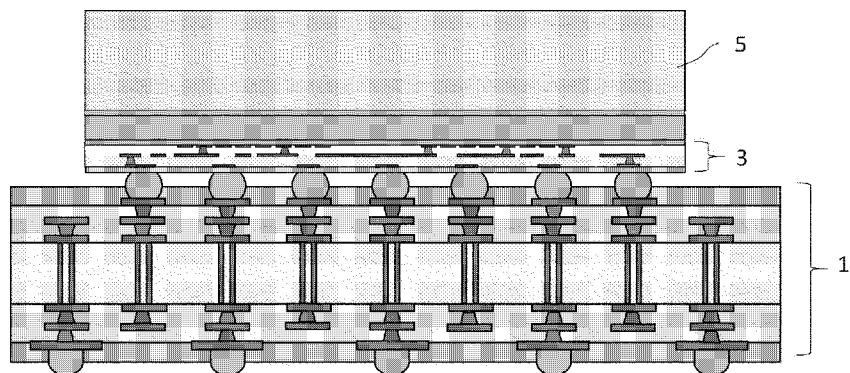
[図6A]

図6A



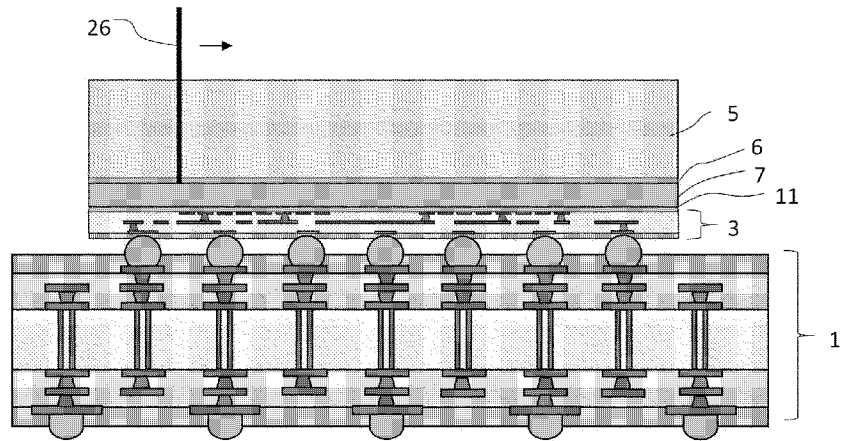
[図6B]

図6B



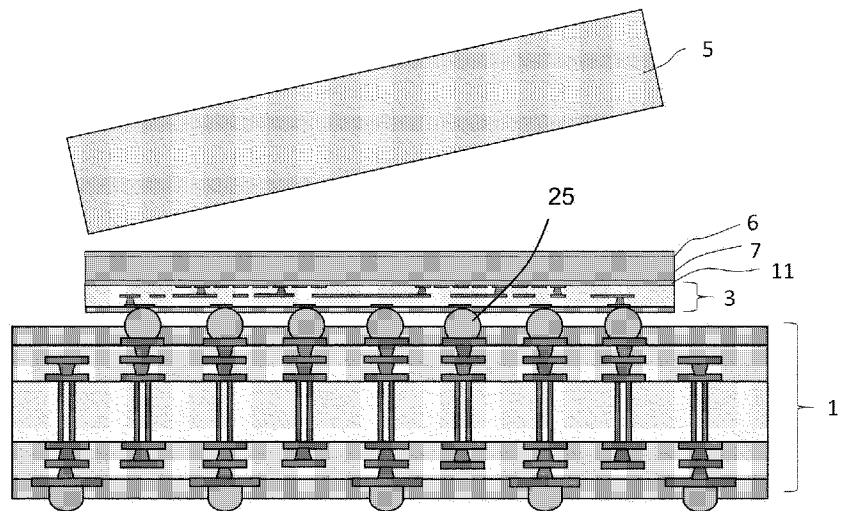
[図7A]

図7A



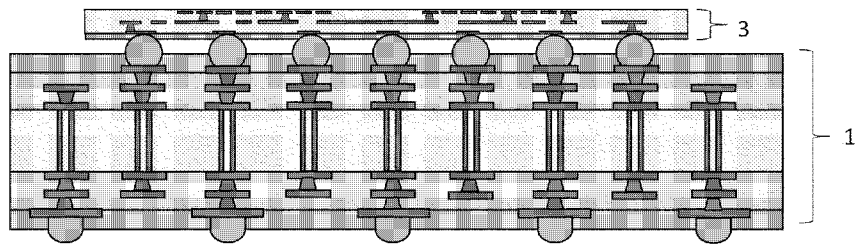
[図7B]

図7B



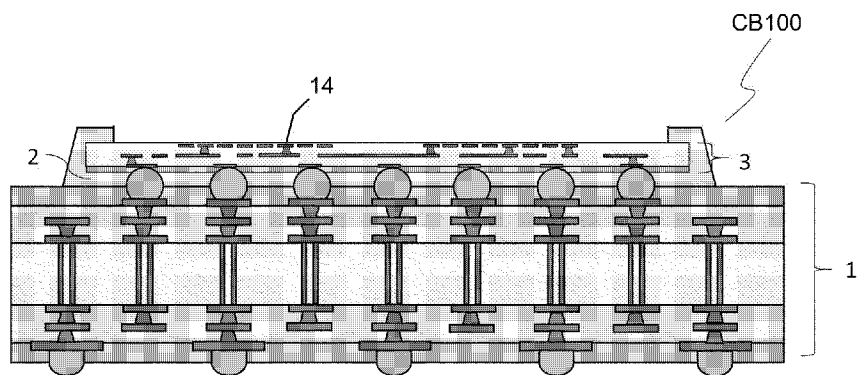
[図8A]

図8A



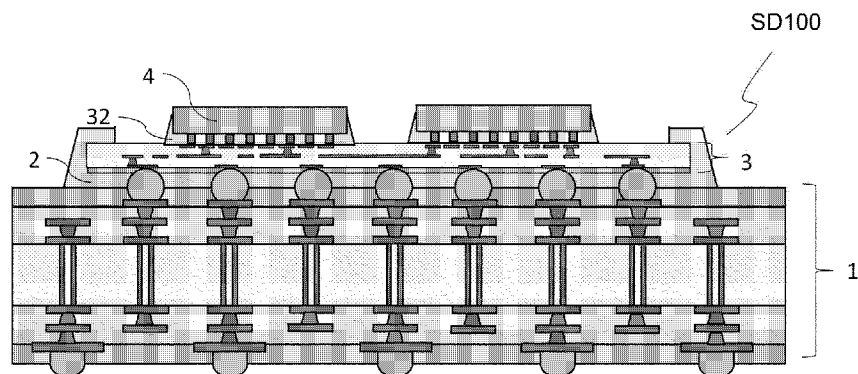
[図8B]

図8B



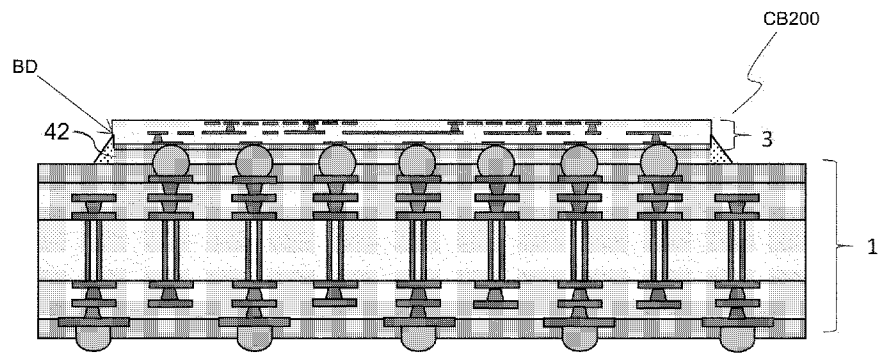
[図8C]

図8C



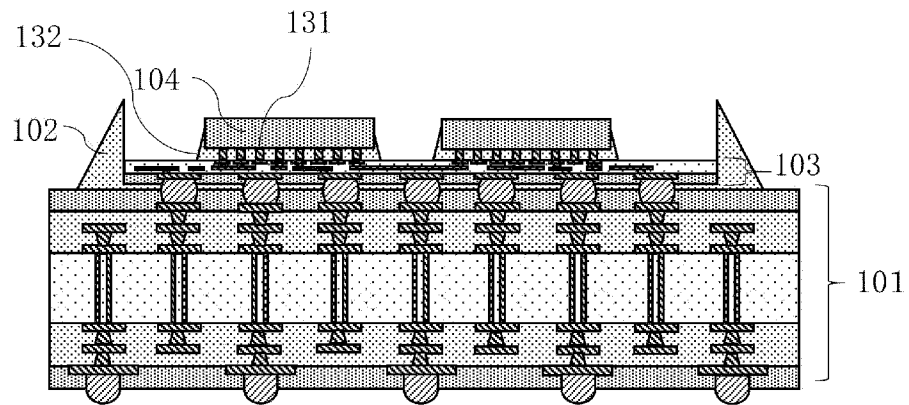
[図9]

図9



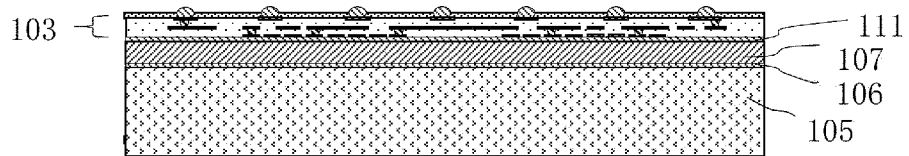
[図10]

図10



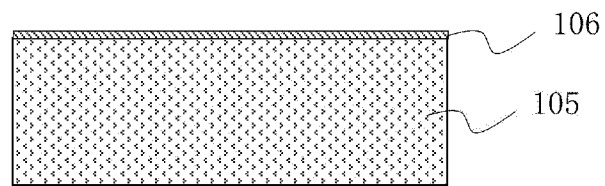
[図11]

図11



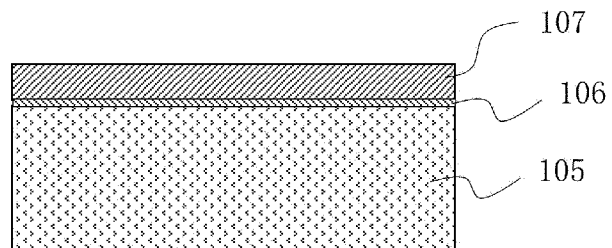
[図12A]

図12A



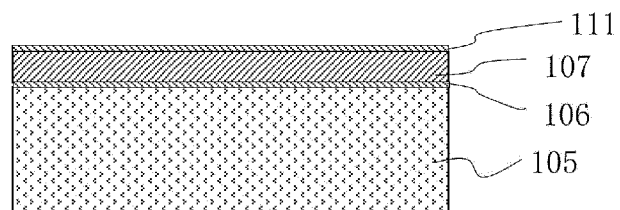
[図12B]

図12B



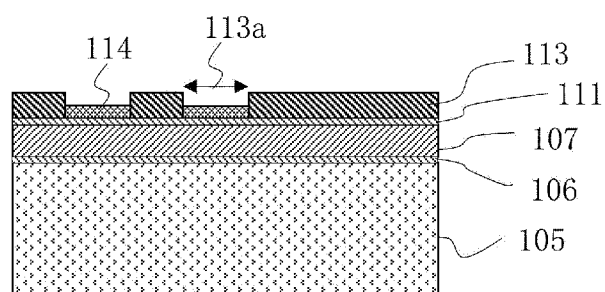
[図12C]

図12C



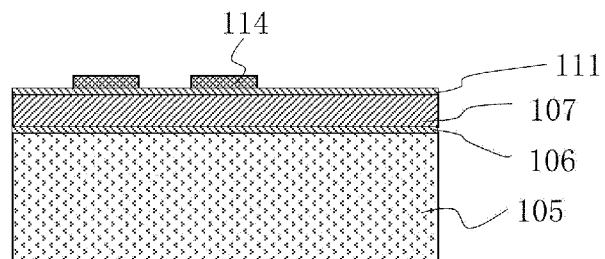
[図12D]

図12D



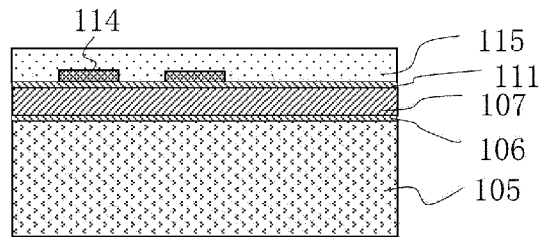
[図12E]

図12E



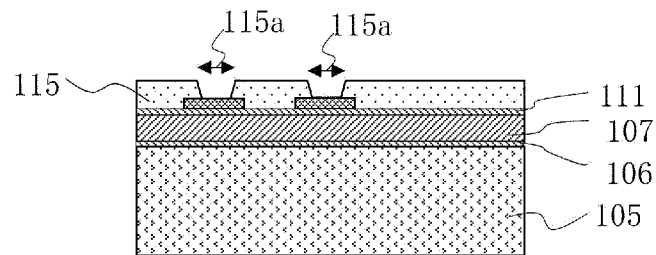
[図12F]

図12F



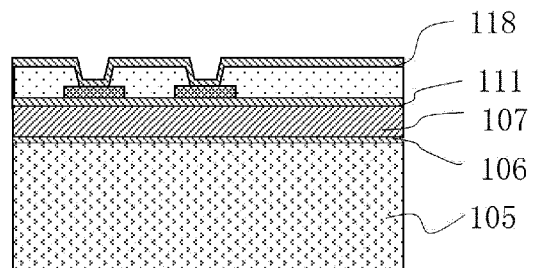
[図12G]

図12G



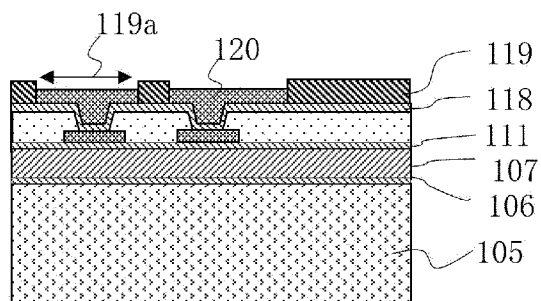
[図12H]

図12H



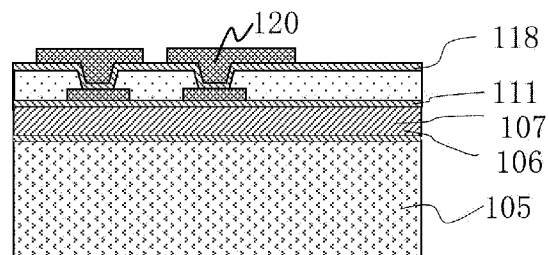
[図12I]

図12I



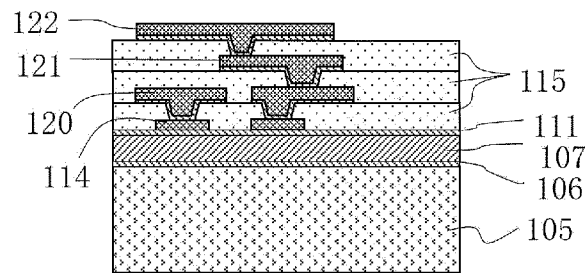
[図12J]

図12J



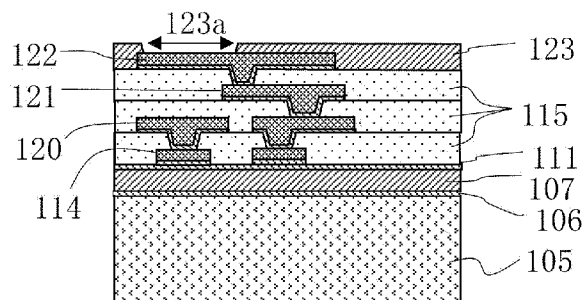
[図12K]

図12K



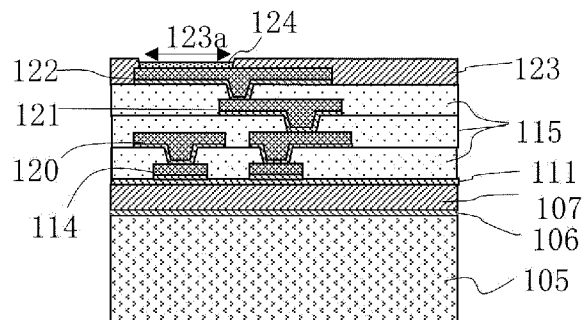
[図12L]

図12L



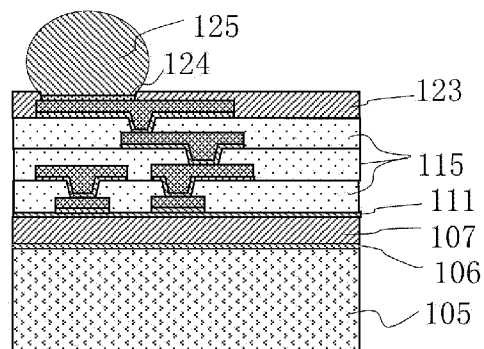
[図12M]

図12M



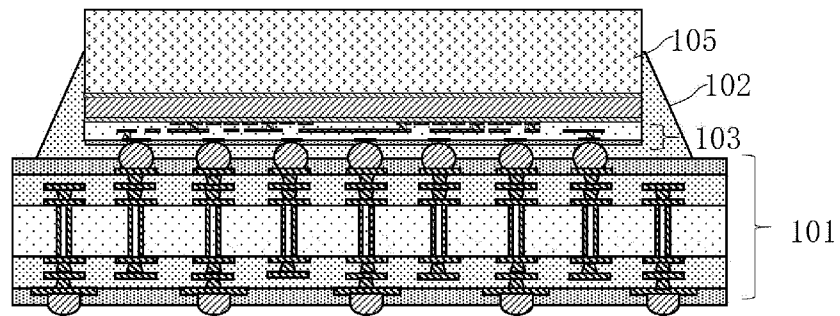
[図12N]

図12N



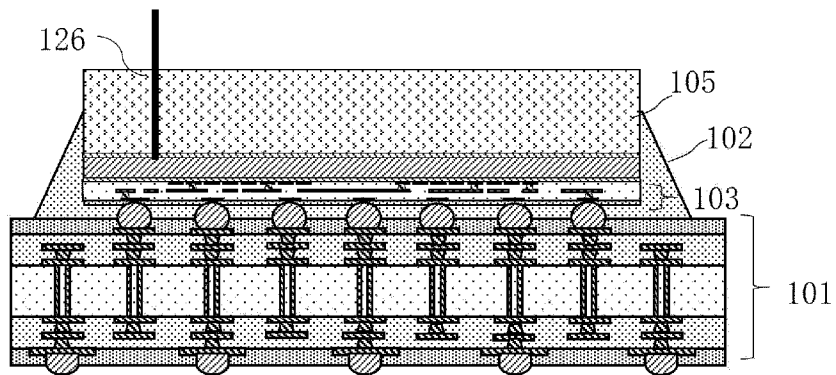
[図13C]

図13C



[図13D]

図13D



[図13E]

図13E

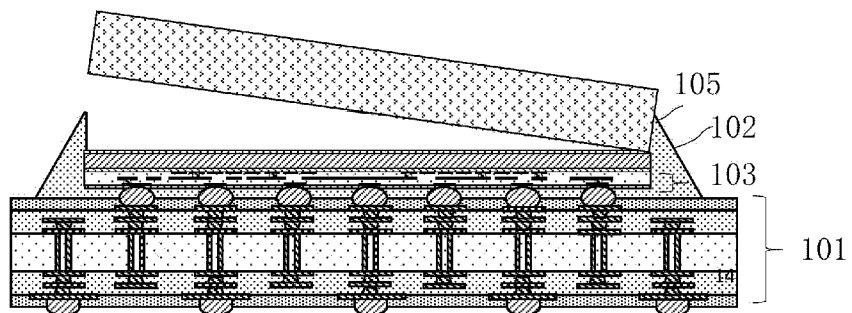


図 13F

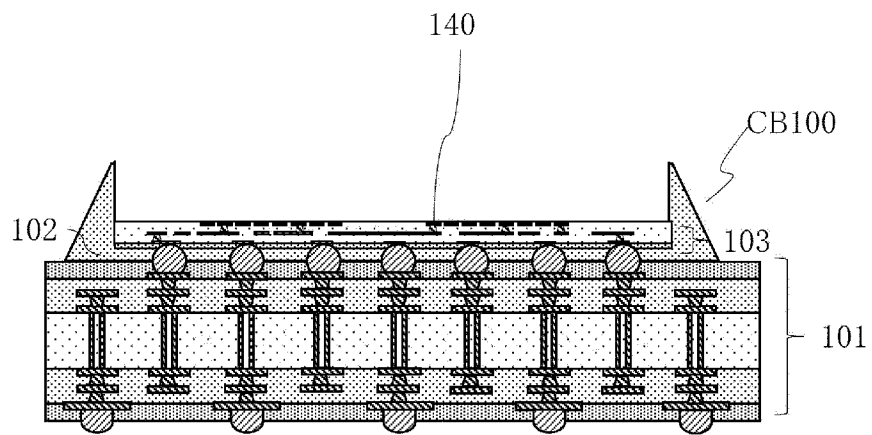
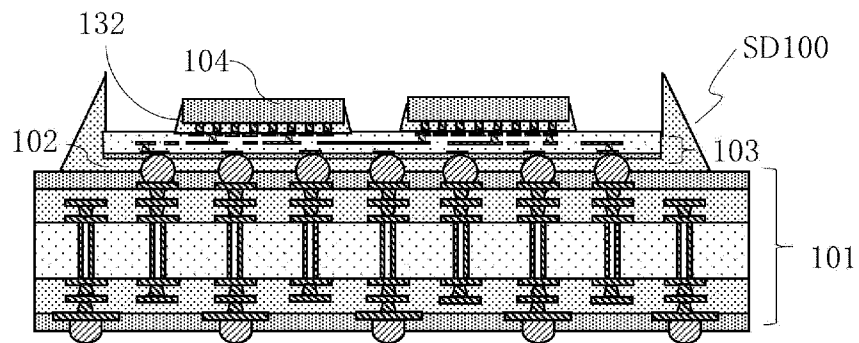
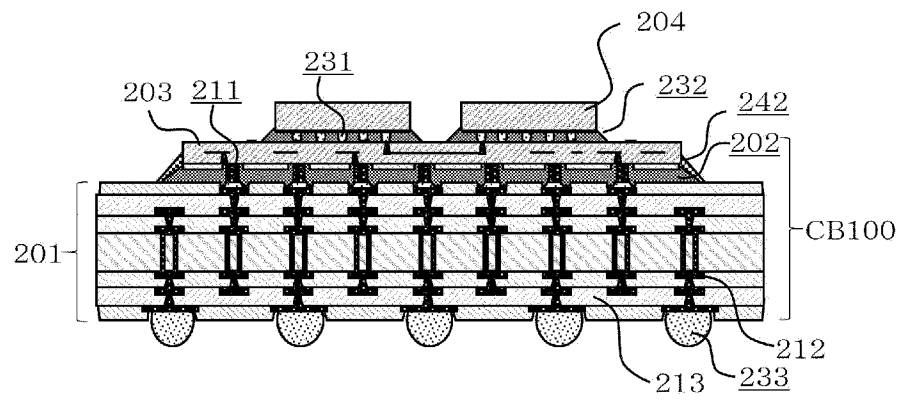


图 13G



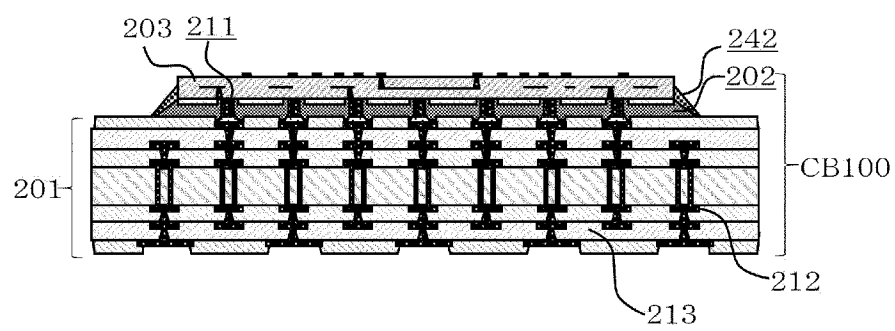
[図14]

図14



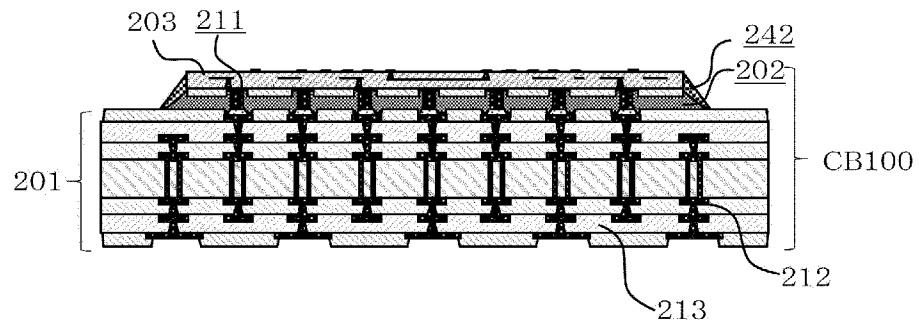
[図15]

図15



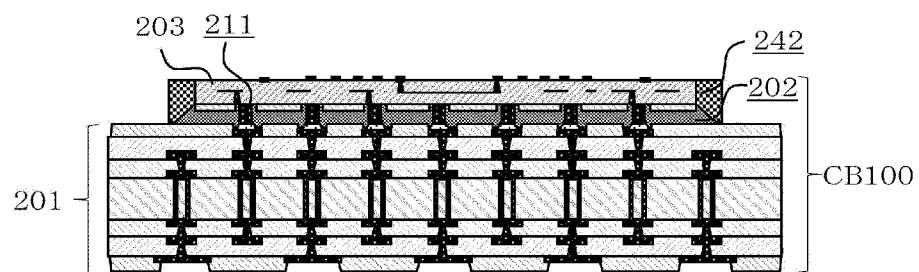
[図16]

図16



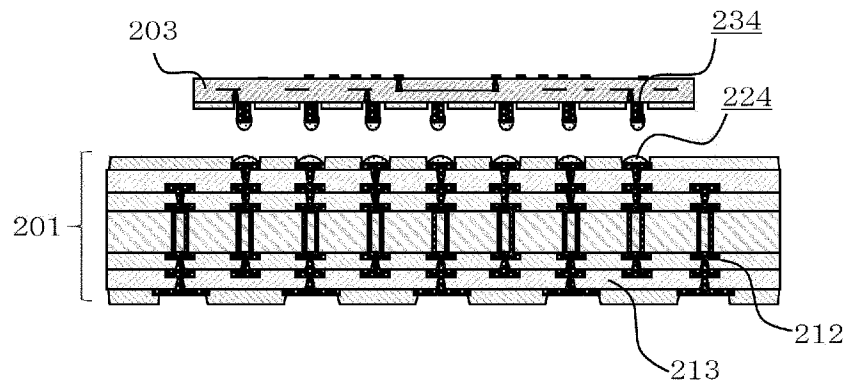
[図17]

図17



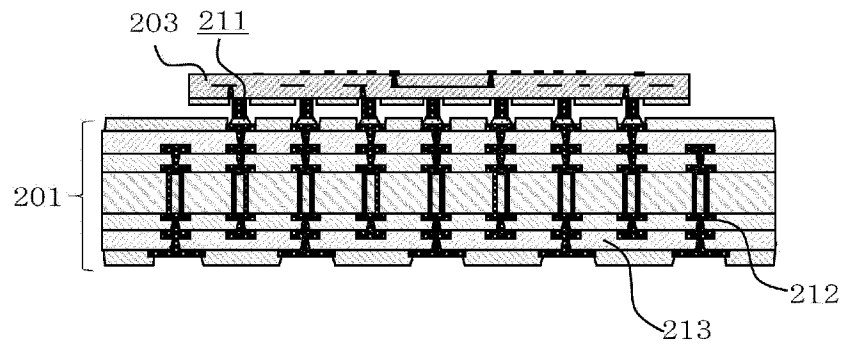
[図18A]

図18A



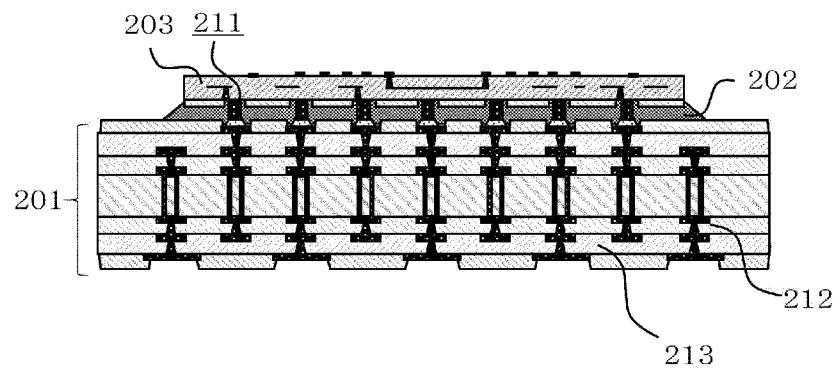
[図18B]

図18B



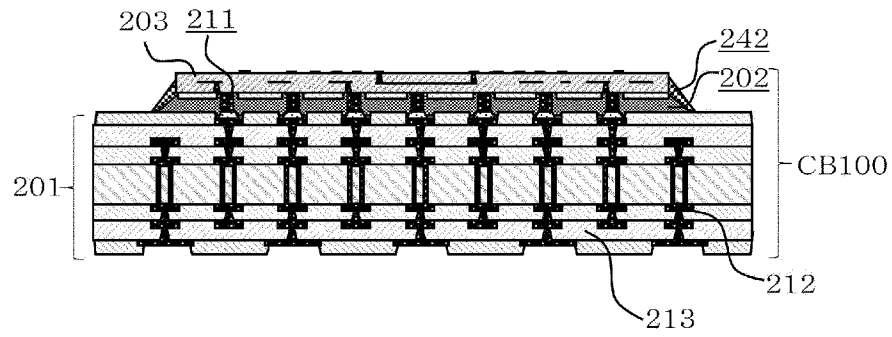
[図18C]

図18C



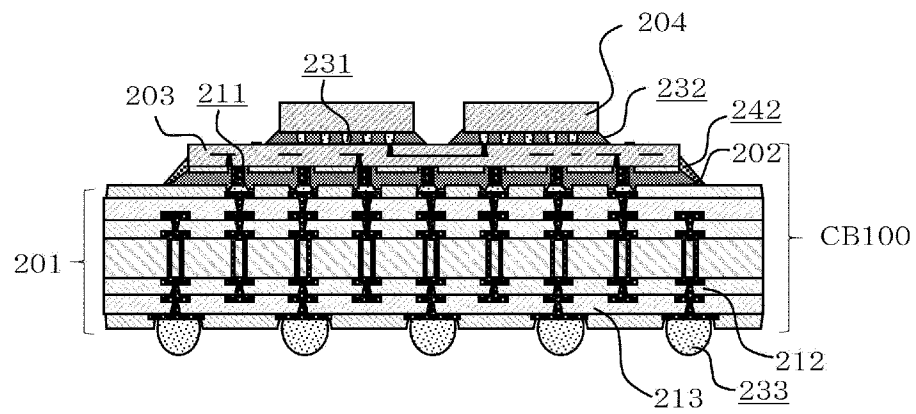
[図18D]

図18D



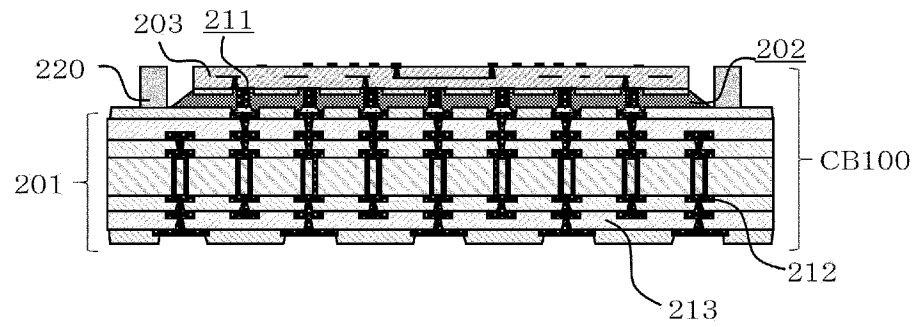
[図18E]

図18E



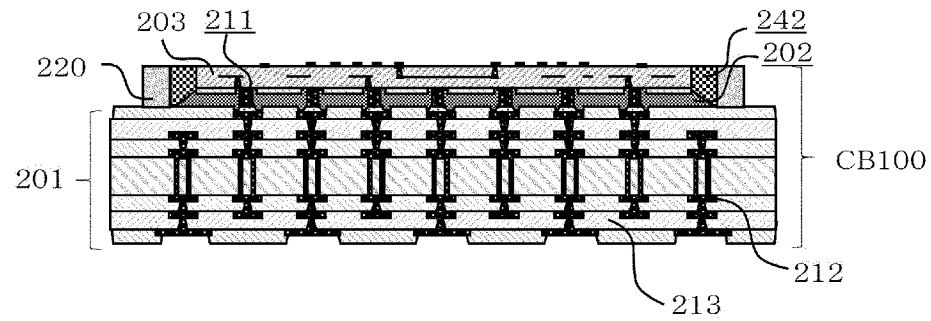
[図19A]

図19A



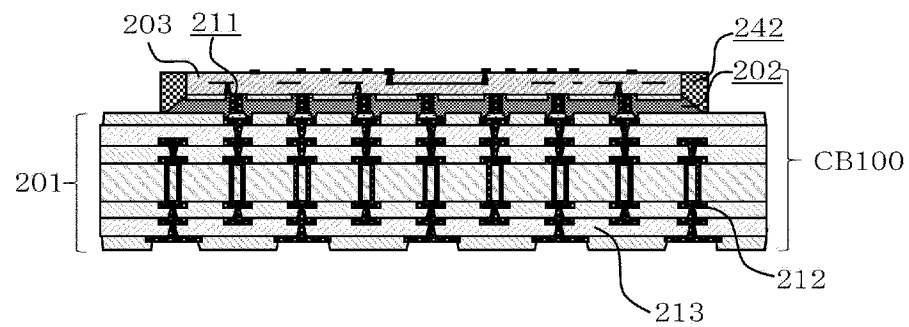
[図19B]

図19B



[図19C]

図19C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/048081

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L23/12 (2006.01) i, H01L23/32 (2006.01) i, H01L21/60 (2006.01) i, H05K1/14 (2006.01) i, H05K3/28 (2006.01) i
FI: H05K1/14 G, H01L23/12 501B, H01L21/60 311S, H01L23/32 D, H05K3/28 B
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L23/12, H01L23/32, H01L21/60, H05K1/14, H05K3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-272562 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 02 December 2010, paragraphs [0017]-[0034], [0039], [0040], fig. 1	1, 3, 4, 7, 9 2, 10, 12, 13 11, 19
Y A	WO 2018/047861 A1 (TOPPAN PRINTING CO., LTD.) 15 March 2018, paragraphs [0017]-[0027], fig. 4-12	2, 10, 12, 13 11, 19
Y A	JP 2015-198114 A (FUJITSU LTD.) 09 November 2015, paragraphs [0019]-[0055], fig. 3A-4B	2, 10, 12, 13 11, 19
X A	JP 2013-516060 A (IMEC) 09 May 2013, paragraphs [0002], [0003], fig. 1	4-6, 8, 9 11, 19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05.02.2020

Date of mailing of the international search report
18.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/048081

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-71953 A (NEC ELECTRONICS CORP.) 27 March	14-18, 20-23
Y	2008, paragraphs [0068]-[0076], fig. 12	24, 25
A		11, 19
Y	WO 2016/067969 A1 (MURATA MFG. CO., LTD.) 06 May	24
A	2016, paragraph [0056], fig. 6	11, 19
Y	JP 2017-135290 A (SHINKO ELECTRIC INDUSTRIES CO.,	25
A	LTD.) 03 August 2017, paragraph [0062]	11, 19
A	JP 2004-327556 A (MATSUSHITA ELECTRIC WORKS, LTD.)	1-25
	18 November 2004	
A	JP 2015-133367 A (FUJITSU LTD.) 23 July 2015	1-25
A	WO 2016/203967 A1 (SONY CORP.) 22 December 2016	1-25

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/048081

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2010-272562 A	02.12.2010	US 2010/0294552 A1 paragraphs [0026]- [0043], [0048], [0049], fig. 1	
WO 2018/047861 A1	15.03.2018	TW 201826463 A	
JP 2015-198114 A	09.11.2015	(Family: none)	
JP 2013-516060 A	09.05.2013	US 2012/0280381 A1 paragraph [0002], fig. 1	
		WO 2011/076934 A1	
		EP 2339627 A1	
		KR 10-2012-0109514 A	
JP 2008-71953 A	27.03.2008	US 2008/0251913 A1 paragraphs [0106]- [0115], fig. 12	
		CN 101145545 A	
WO 2016/067969 A1	06.05.2016	US 2017/0229769 A1 paragraph [0064], fig. 6	
		CN 107078406 A	
		TW 201622509 A	
JP 2017-135290 A	03.08.2017	US 2017/0221829 A1 paragraph [0070]	
JP 2004-327556 A	18.11.2004	US 2004/0212056 A1	
		TW 200423337 A	
JP 2015-133367 A	23.07.2015	(Family: none)	
WO 2016/203967 A1	22.12.2016	US 2018/0166491 A1	
		US 2019/0341417 A1	
		CN 107534027 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 23/32(2006.01)i; H01L 21/60(2006.01)i; H05K 1/14(2006.01)i; H05K 3/28(2006.01)i FI: H05K1/14 G; H01L23/12 501B; H01L21/60 311S; H01L23/32 D; H05K3/28 B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L23/32; H01L21/60; H05K1/14; H05K3/28		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2010-272562 A（新光電気工業株式会社）02.12.2010（2010-12-02） 段落[0017]-[0034], [0039]-[0040], 図1	1, 3, 4, 7, 9 2, 10, 12, 13 11, 19
Y A	WO 2018/047861 A1（凸版印刷株式会社）15.03.2018（2018-03-15） 段落[0017]-[0027], 図4-12	2, 10, 12, 13 11, 19
Y A	JP 2015-198114 A（富士通株式会社）09.11.2015（2015-11-09） 段落[0019]-[0055], 図3A-4B	2, 10, 12, 13 11, 19
X A	JP 2013-516060 A（アイメック）09.05.2013（2013-05-09） 段落[0002]-[0003], 図1	4-6, 8, 9 11, 19
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 05.02.2020		国際調査報告の発送日 18.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 黒田 久美子 5D 8393 電話番号 03-3581-1101 内線 3551

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-71953 A (NECエレクトロニクス株式会社) 27.03.2008 (2008 - 03 - 27) 段落[0068]-[0076], 図12	14-18, 20-23
Y		24, 25
A		11, 19
Y	WO 2016/067969 A1 (株式会社村田製作所) 06.05.2016 (2016 - 05 - 06) 段落[0056], 図6	24
A		11, 19
Y	JP 2017-135290 A (新光電気工業株式会社) 03.08.2017 (2017 - 08 - 03) 段落[0062]	25
A		11, 19
A	JP 2004-327556 A (松下電工株式会社) 18.11.2004 (2004 - 11 - 18)	1-25
A	JP 2015-133367 A (富士通株式会社) 23.07.2015 (2015 - 07 - 23)	1-25
A	WO 2016/203967 A1 (ソニー株式会社) 22.12.2016 (2016 - 12 - 22)	1-25

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/048081

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-272562	A	02.12.2010	US 2010/0294552 A1 段落[0026]-[0043], [0048]- [0049], 図1	
WO	2018/047861	A1	15.03.2018	TW 201826463 A	
JP	2015-198114	A	09.11.2015	(ファミリーなし)	
JP	2013-516060	A	09.05.2013	US 2012/0280381 A1 段落[0002], 図1 WO 2011/076934 A1 EP 2339627 A1 KR 10-2012-0109514 A	
JP	2008-71953	A	27.03.2008	US 2008/0251913 A1 段落[0106]-[0115], 図12 CN 101145545 A	
WO	2016/067969	A1	06.05.2016	US 2017/0229769 A1 段落[0064], 図6 CN 107078406 A TW 201622509 A	
JP	2017-135290	A	03.08.2017	US 2017/0221829 A1 段落[0070]	
JP	2004-327556	A	18.11.2004	US 2004/0212056 A1 TW 200423337 A	
JP	2015-133367	A	23.07.2015	(ファミリーなし)	
WO	2016/203967	A1	22.12.2016	US 2018/0166491 A1 US 2019/0341417 A1 CN 107534027 A	