

發明專利說明書 200531193

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93123077

※申請日期：93.8.2

※IPC 分類：

一、發明名稱：(中文/英文)

接合結構及其製造方法

BONDING STRUCTURE AND FABRICATION THEREOF

二、申請人：(共1人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

Taiwan Semiconductor Manufacturing Co., Ltd.

代表人：(中文/英文) 張忠謀/Chung-Mou Chang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, Li-Hsin Rd.6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共2人)

姓 名：(中文/英文)

1. 余振華/Chen-Hua Yu

2. 曾鴻輝/Horng-Huei Tseng

國 籍：(中文/英文)

1. 中華民國/TW

2. 中華民國/TW

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2004/03/08、10/795,736

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明有關於一種半導體結構，且特別是有關於一種具有表面保護層之銅基型接合結構(copper-based bonding structure)。

【先前技術】

傳統半導體裝置通常包括如經摻雜單晶矽材質之半導體基底，以及由數個依序形成之層間介電層與內連金屬層所構成之導電圖案。積體電路則包括有為內連空間所分隔之如輔助導線、位元線字元線以及邏輯內連導線等內連導線所構成之數個導電圖案。一般而言，當填入於接觸開口內之導電插栓與於半導體基底內如源極/汲極區之主動區形成電性接觸時，於不同金屬層內之導電圖案係藉由填入於介層開口內之導電插栓而形成電性連結。導電線路通常形成於大體沿水平於半導體基底方向延伸之溝槽內。當半導體元件結構縮減至次微米等級時，半導體晶片則普遍包含五層或五層以上之金屬化結構。

如此，於目前超大型內連金屬結構中，銅金屬與銅合金便受到極大矚目以作為鋁之替代材料。相較於鋁，銅相對地便宜且具有容易加工及較低電阻值之性質，其亦表現出優於鎢之電性，而使得銅成為用於製作導電插栓或導線之極佳材料。

於利用鑲嵌製程製作銅內連結構過程中，將露出接合墊區域內之銅層。接合墊區域通常設置於形成半導體基底上之積體電路結構之頂面，並利用此接合墊區域作為焊線與銅內連線間之電性連結區域。此時，將露出接合墊區域內設計用來作為內連線與接合墊用途之銅內連線結構。

然而，傳統方法打線接合之方法並不適用於採用銅金屬之接合墊。其原因在於，如楔型接合(wedge bonding)以及超音波接合(ultrasonic bonding)等當今接合技術皆須將鐸線對著接合墊磨擦以熱擾動之而形成接合。上述

技術僅適用於如金線或鋁線與鋁接合墊間之接合。然而，由於銅較容易氧化形成如銅氧化物之絕緣物，故上述技術無法適用於如金線或鋁線與銅接合墊間之接合。

Cheung 等人於美國第 5785236 號專利中揭露了一種藉由於銅內連導線上形成居中之鋁接合墊以電性連結鋁線與銅內連線之方法。而 Besser 等人於美國第 623949 號專利中則揭露了一種藉由於銅內連線上形成鋁接合墊以及居中之擴散阻障層以電性連接鋁線與銅內連線之方法。然而，於上述專利中，由於皆使用鋁接合墊，故整體內連線結構之電阻值將為之增加。

因此，極需要可為傳統打線接合技術所應用之可靠之銅接合墊，以提升整體內連線結構之電阻值。

【發明內容】

有鑑於此，本發明的主要目的在於提供一種採用銅接墊之可靠接合結構，其於銅接墊之表面形成有一保護層以避免其氧化情形，適合於打線接合技術或覆晶接合技術之應用。

為達上述目的，本發明提供了一種接合結構，包括：一銅基型接墊(copper-based pad)形成於一絕緣層內；以及一保護層，大體覆蓋於該銅基型接墊之頂面。本發明亦揭露了上述接合結構之製造方法。

於本發明之一實施例中，於上述保護層表面上更形成有一導電接合物以連結上述銅基型接墊。

再者，本發明的另一目的在於提供一種適用於打線接合技術以及覆晶接合技術之銅接合結構之製造方法。

為達上述目的，本發明提供了一種接合結構之製造方法，包括下列步驟：形成一絕緣層於一基底上；形成一銅基型接墊(copper-based pad)於該絕緣層內；形成一保護層大體覆蓋該銅基型接墊之頂面；形成一鈍化層(passivation layer)於該銅基型接墊與該絕緣層之上；以及圖案化該鈍化層以

露出該保護層之一部分。

於本發明之一實施例中，於該露出之保護層上更形成有一導電接合物以連結該銅基型接墊。

於本發明之另一實施例中，上述保護層之材質擇自由金屬氮化物、銅金屬、銅化合物及其組合所組成族群中之一導電材料。

於本發明之另一實施例中，上述保護層之材質為耐火金屬。

於本發明之另一實施例中，上述導電接合物為一導電凸塊或一導電焊線。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

第 1-4 圖為一系列剖面圖，用以說明依據本發明之接合結構製造方法之製造流程。

如第 1 圖所示，首先提供具有銅結構之一積體電路結構，其包括設置一半導體基底上之積體電路元件以及多層內連線結構。在此，形成於半導體基底上之積體電路元件可為主動或被動元件，而上述多層內連線結構則例如為層間介電層所支撐與分隔之多重金屬結構。然而，為簡化圖示，於第 1 圖中之上述積體電路元件以及多重金屬化結構僅以一平坦化之半導體基底 100 顯示。

上述具有銅結構之積體電路結構可藉由下述步驟製作。首先，於半導體基底 100 上依序形成第一絕緣層 102 以及第二絕緣層 104，其材質分別例如氧化物、氮化物、聚合物、旋塗玻璃(spin-on glass)、低介電常數(low-k)材料或上述材料之組合。低介電常數材料例如為 Dow Chemical 公司產製之 BCB(benzocyclobutene)樹脂以及 SiLK，以及 FLARE (Allied Signal 公司產製) 等有機低介電常數材料，或為摻氟矽玻璃(FSG)、HSQ (hydrogen

silsesquioxane)、MSQ (methyl silsesquioxane)以及 Nanoglass 等無機低介電常數材料。上述第一絕緣層 102 與第二絕緣層 104 之介電常數較佳地少於 3.6，其形成方法則例如為藉由化學氣相沉積法、旋轉塗佈法或其他沉積方式所形成。

接著，藉由傳統之雙鑲嵌製程於第一絕緣層 102 以及第二絕緣層 104 內形成兩分隔之開口 106a 以及 106b，上述開口包括位於下方以用於製備內連結構之較窄介層開口(via opening)以及位於上方以用於製備導線或接合墊之較寬裝置開口(device opening)。接著於開口 106a 以及 106b 內形成銅層 108。銅層 108 可藉由毯覆地沉積銅基(copper-based)材料於第二絕緣層 104 上並填入於開口 106a 以及 106b 內。接著藉由如回蝕刻或化學研磨製程等平坦化程序以移除超過第二絕緣層 104 頂面之銅基型材料。如此，於開口 106a、106b 內便留下銅層 108 且露出其頂面。在此，銅層 108 內之銅基材料可為高純度之元素銅或為含有少量鋅、錳、鈦、鋁及鍺之銅基合金。

於第 2 圖中，接著於各銅層 108 之頂面形成用以防止銅層 108 氧化之保護層 120，其厚度約為 100-1000 埃。在此，於本發明中之保護層 120 較佳地藉為自對準程序 122 所形成。當形成材質金屬鎢之額外保護材料時，可採用選擇性化學氣相沉積法(selective CVD)。此外，亦可使用傳統之矽化程序或氮化程序(未顯示)以形成如銅金屬矽化物或銅之氮化物等銅化合物於銅層 108 之表面。上述之銅化合物可藉由首先沉積一金屬層於銅層 108 露出之表面上，隨後施行一熱處理程序。最後，藉由適當蝕刻程序以選擇性地移除未反應金屬而留下於露出之銅結構上形成銅化合物。再者，上述銅化合物亦可藉由將露出之銅表面於矽甲烷電漿環境下而選擇性地形成如銅金屬矽化物之銅化合物。再者，亦可採用電化學電鍍法(electrochemical plating, ECP)以形成含有少量鋅、錳、鈦、鋁或鍺之銅合金於各銅層 108 之頂面。如此，本實施例中之保護層 120 可採用如鈹、氧化鈹、鎢、氮化鎢、金屬氮化物、銅合金、銅化合物及其組合之材質。

此外，可更凹蝕銅層 108 內之銅基材料使之低於鄰近第二絕緣層 104 表面一深度 d 處，此深度 d 約為 100-1000 埃，其可於平坦化銅層 108 時藉由回蝕刻過程中之一額外過度蝕刻步驟或於化學研磨程序中之一過度研磨步驟所形成。隨後，保護層 120 可藉由前述之自對準程序 122 所形成而留下於各銅層 108 上之凹陷內，最後形成如第 3 圖所示之大體平坦之表面。

如第 4 圖，接著於第二絕緣層 104 上形成一鈍化層 124 並覆蓋於保護層 120 之上以避免環境水氣以及機械刮傷等影響。鈍化層 124 之材質例如為二氧化矽、氮化矽、氮氧化矽、旋塗玻璃或其組合之材料。接著，圖案化保護層 124 以於其內形成一開口並露出一部份之保護層 120 以做為應用於後續打線接合或覆晶接合之接合墊區域 126 之用。於接合墊區域 126 內，由於露出保護層 120 提供了接合墊區域 126 內銅層 108 之抗氧化作用，因此如鉛錫凸塊或金凸塊之導電接合物(conductive bonding)128 可隨後形成於接合墊區域 126 之內而不至於氧化其內之銅層 108，進而確保此銅基型接墊(copper-based pad)之可靠度。此外，於上述情形中亦可接合傳統打線接合技術中如金線或鋁線之焊線於接合墊區域 126 內。

於第 4 圖中顯示了依據本發明之一種接合結構，其包括：

形成於一絕緣層(第二絕緣層 104)內之銅基型接墊(銅層 108)；以及一保護層 120，大體覆蓋於該銅基型接墊之頂面。

於本發明中，保護層 120 可自對準地形成於下層銅接墊上，無須額外微影程序之使用，具有較簡單之製造步驟。此外，銅接墊中所採用之銅基型材料較傳統鋁接墊成本便宜，並由於其較佳之導電性使得其厚度可為減少。再者，由於保護層所提供之抗氧化能力，如覆晶接合技術中之導電凸塊或打線接合技術之焊線等導電接合物皆可應用於發明中之銅基型接墊上而不致於形成氧化情形於其上而可確保其可靠度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與

潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1~4 圖為一系列剖面圖，用以說明本發明之接合結構的製造方法。

【主要元件符號說明】

100~基底；	102~第一絕緣層；
104~第二絕緣層；	106a、106b~開口；
108~銅層；	120~保護層；
122~自對準程序；	124~鈍化層；
126~接合墊區域；	128~導電接合物；
d~銅層之凹陷深度。	

五、中文發明摘要：

本發明係關於一種接合結構，其包括：一銅基型接墊(copper-based pad)形成於一絕緣層內；以及一保護層，大體覆蓋於該銅基型接墊之頂面。本發明亦揭露了上述接合結構之製造方法。

六、英文發明摘要：

A bonding structure and the method of fabricating the same are disclosed. The bonding structure of the invention includes a copper-based pad formed in an insulator layer and a protection layer substantially covering top surface of the copper-based pad. The protection layer is self-aligned formed and the material thereof is selected from a group consisting of metal nitride, copper alloy, copper compounds, and a combination thereof.

十、申請專利範圍：

1.一種接合結構，包括：

一銅基型接墊(copper-based pad)形成於一絕緣層內；以及

一保護層，大體覆蓋於該銅基型接墊之頂面。

2.如申請專利範圍第1項所述之接合結構，更包括一導電接合物，連接該保護層。

3.如申請專利範圍第1項所述之接合結構，其中該保護層為一自對準保護層。

4.如申請專利範圍第1項所述之接合結構，其中該絕緣層之材質為有機低介電常數材料或無機低介電常數材料。

5.如申請專利範圍第1項所述之接合結構，其中該保護層之材質為選擇性化學氣相沉積而成之鎢金屬。

6.如申請專利範圍第1項所述之接合結構，其中該保護層係由電化學電鍍法所形成。

7.如申請專利範圍第1項所述之接合結構，其中該保護層之厚度介於100-1000 埃。

8.如申請專利範圍第1項所述之接合結構，其中該保護層之材質擇自由金屬氮化物、銅合金、銅化合物及其組合所組成族群中之一導電材料。

9.如申請專利範圍第1項所述之接合結構，其中該保護層之材質為耐火金屬。

10.如申請專利範圍第1項所述之接合結構，其中該絕緣層之介電常數少於3.6。

11.一種接合結構之製造方法，包括下列步驟：

形成一絕緣層於一基底上；

形成一銅基型接墊(copper-based pad)於該絕緣層內；

形成一保護層大體覆蓋該銅基型接墊之頂面；

形成一鈍化層(passivation layer)於該銅基型接墊與該絕緣層之上；以及圖案化該鈍化層以露出該保護層之一部分。

12.如申請專利範圍第 11 項所述之接合結構之製造方法，更包括形成一導電接合物於該露出之保護層上之步驟。

13.如申請專利範圍第 11 項所述之接合結構之製造方法，其中該絕緣層之材質為由旋轉塗佈法所形成之有機低介電常數材料。

14.如申請專利範圍第 11 項所述之接合結構之製造方法，其中該絕緣層之材質為由化學氣相沉積法所形成之無機低介電常數材料。

15.如申請專利範圍第 11 項所述之接合結構之製造方法，其中該保護層之材質為由選擇性化學氣相沉積法所形成之鎢金屬。

16.如申請專利範圍第 11 項所述之接合結構之製造方法，其中該保護層係由電化學電鍍法所形成。

17.如申請專利範圍第 11 項所述之接合結構之製造方法，其中該保護層之厚度介於 100-1000 埃。

18.如申請專利範圍第 11 項所述之接合結構之製造方法，其中該保護層之材質為擇自於由金屬氮化物、銅金屬、銅化合物及其組合所組成族群中之一導電材料。

19.如申請專利範圍第 11 項所述之接合結構之製造方法，其中該保護層之材質為耐火金屬。

20.如申請專利範圍第 11 項所述之接合結構之製造方法，其中該鈍化層之材質為擇自於由金屬氮化物、銅金屬、銅化合物及其組合所組成族群中之一導電材料。

21.如申請專利範圍第 11 項所述之接合結構之製造方法，於該保護層形成之前，更包括蝕刻該銅基型接墊使之凹陷於該絕緣層內之步驟。

22.如申請專利範圍第 11 項所述之接合結構之製造方法，其中該保護層係自對準地形成。

23.一種接合結構，包括：

一銅基型接墊，位於形成於一絕緣層內之一內連結構之上；以及
一保護層，大體覆蓋於該銅基型接墊之一頂面。

24.如申請專利範圍第 23 項所述之接合結構，更包括一導電接合物，連接該保護層。

25.如申請專利範圍第 23 項所述之接合結構，其中該保護層為一自對準保護層。

26.如申請專利範圍第 23 項所述之接合結構，其中該絕緣層之材質為藉由旋轉塗佈法所形成之有機低介電常數材料。

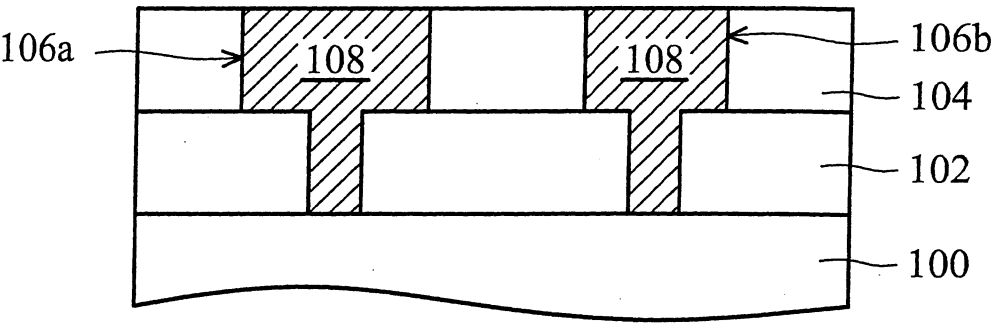
27.如申請專利範圍第 23 項所述之接合結構，其中該絕緣層之材質為藉由化學氣相沉積法所形成之無機低介電常數材料。

28.如申請專利範圍第 23 項所述之接合結構，其中該保護層之厚度介於 100-1000 埃。

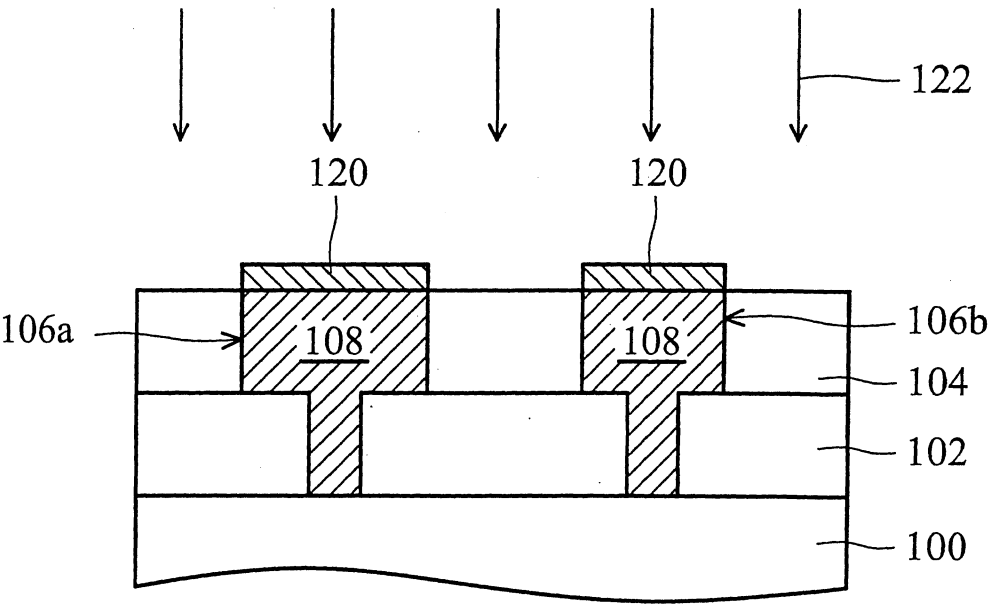
29.如申請專利範圍第 23 項所述之接合結構，其中該保護層之材質擇自由金屬氮化物、銅金屬、銅化合物及其組合所組成族群中之一導電材料。

30.如申請專利範圍第 23 項所述之接合結構，其中該保護層之材質為耐火金屬。

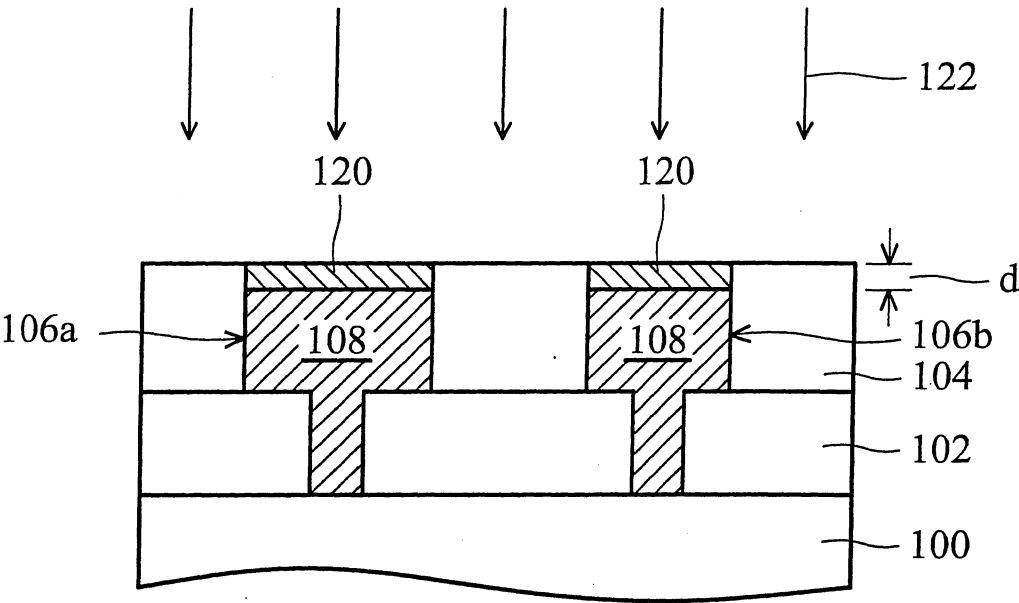
31.如申請專利範圍第 23 項所述之接合結構，其中該絕緣層之介電常數少於 3.6。



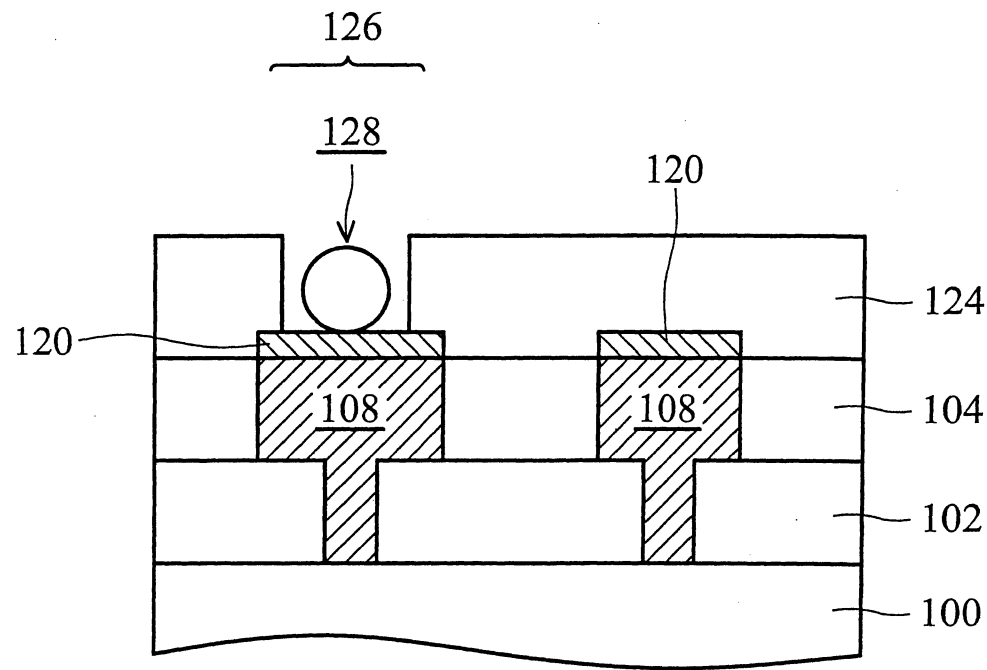
第 1 圖



第 2 圖



第 3 圖



第 4 圖

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

100~基底；

102~第一絕緣層；

104~第二絕緣層；

108~銅層；

120~保護層；

124~鈍化層；

126~接合墊區域；

128~導電接合物。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：