

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/336

(11) 공개번호 특1997-0077373
(43) 공개일자 1997년 12월 12일

(21) 출원번호	특1997-0021422
(22) 출원일자	1997년 05월 28일
(30) 우선권주장	8/654,393 1996년 05월 28일 미국(US)
(71) 출원인	해리스 코포레이션 스코트 티. 마이쿠엔
(72) 발명자	미합중국 플로리다 32919 멜보른 웨스트 나사 블러바드 1025 로버트 티. 풀러
(74) 대리인	미합중국 플로리다 32951 멜보른비치 엘름 204 손은진

심사청구 : 없음

(54) 높여진 셀프얼라인 소스/드레인 MOS 디바이스를 형성하기 위한 공정

요약

소스와 드레인 그리고 소스 및 드레인으로부터 전기적으로 고립하기 위하여 절연 스페이서가 양쪽에 설치된 게이트를 덮고 있는 플레이너 처리된 금속 층 바람직하게는 텅스텐을 포함하는 높여진 셀프얼라인 소스/드레인 MOS 디바이스를 형성하기 위한 공정. 플레이너 처리된 텅스텐 층은 하부 표면이 게이트의 폴리실리콘층과 접촉하고 있는 제1의 부분을 포함한다. 텅스텐 층의 제2 그리고 제3의 부분의 각 하부 표면은 소스와 드레인과 각각 접촉된다. 제2 그리고 제3의 부분들은 절연 스페이서에 의해 제1의 부분으로부터 절연되고, 부분들의 모든 상부 표면은 코플레이너 표면을 포함한다. 그러므로 침적된 금속층의 플레이너 처리는 소스, 드레인 그리고 게이트에 옴 접점을 실질적으로 동일한 레벨에서 제공하게 된다.

대표도

도3

명세서

[발명의 명칭]

높여진 셀프얼라인 소스/드레인 MOS 디바이스를 형성하기 위한 공정

[도면의 간단한 설명]

제3도는 본 발명의 높여진 소스/드레인 MOS디바이스의 단면.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 회로기판 상부에서 공간을 두고 떨어진 필드 산화물 영역과 반대 필드 산화물 영역 사이에 정의된 회로기판위의 게이트 유전체 그리고 게이트 유전체위에 게이트 전극을 구비한 게이트를 형성하는 단계; 게이트의 한쪽과 한 산화물 영역사이에서 회로기판 내에 소스를 형성하고 게이트의 맞은편과 필드 산화물 영역의 맞은편 사이에 드레인을 형성하는 단계; 게이트의 양쪽에 유전체 측벽을 형성하는 단계; 소스와 드레인과 게이트 전극을 접촉하기 위하여 회로기판 상부에 금속의 균일한 층을 침적시키는 단계; 그리고 유전체 측벽을 노출시키고, 게이트와 접촉하는 금속을 소스 및 드레인과 접촉하는 금속으로부터 고립 시키며, 소스 게이트 그리고 드레인에 실질적으로 동일한 높이에 이루어진 옴(ohm)접촉을 제공하기 위해 금속층을 플레이너(planar)처리하는 단계를 포함하는 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS디바이스를 형성하기 위한 공정.

청구항 2

제1항에 있어서, 상기 금속은 텅스텐이고, 소스 및 드레인 옴 접점필드가 산화물 영역의 상부에 수평으로 뻗어있으며, 상기 옴 접점 상부에 유전체 층을 침적시키는 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS디바이스를 형성하기 위한 공정.

청구항 3

제2항에 있어서, 상기 게이트 유전체, 상기 유전체 측벽, 그리고 실리콘 이산화물을 함유하는 상기 유전체 층과 함께 상기 유전체 층을 관통하여 소스 및 드레인 옴 접점으로 외부 금속 연결을 형성하는 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS디바이스를 형성하기 위한 공정.

청구항 4

제3항에 있어서, 상기 금속층은 약 2500 내지 3500 Å의 두께를 가지며, 금속층의 상기 플레이너 처리는 화학기계적 공정에 의해 수행되고, 플레이너 처리 후에 상기 금속층은 바람직하게 약 1000 내지 2000 Å의 두께를 갖는 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS 디바이스를 형성하기 위한 공정.

청구항 5

제1항 내지 제4항에 있어서, 상기 게이트 전극은 폴리실리콘, 그리고 바람직하게는 폴리실리콘 게이트 전극이 800 내지 1200 Å의 두께를 갖는 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS디바이스를 형성하기 위한 공정.

청구항 6

공간을 두고 떨어진 필드 산화물 영역들 사이에 위치하며, 회로기판위의 게이트 유전체 표면과 또 양쪽에 소스 및 드레인 영역으로 구성되는 게이트 채널 영역을 가지는 능동 영역을 포함하는 반도체 회로기판; 상기 게이트 유전체 표면 상부에 폴리실리콘의 형성; 폴리실리콘 층 내로 그리고 상기 폴리실리콘 층을 관통하여 상기 회로기판 내로 제1의 불순물을 이식시켜 상기 소스와 드레인 영역 사이에 위치한 얇은 매입 채널의 형성; 상기 폴리실리콘 층위로 실리콘 질화물 층의 침적; 소스와 드레인 영역을 덮고 있는 실리콘 질화물과 폴리실리콘 층의 일부를 선택적으로 제거하여, 게이트 채널 영역 상부에 실리콘 질화물과 폴리실리콘 층의 게이트 스택(stack)구조의 확정; 상기 소스와 드레인 영역 내로 제2의 불순물의 이식; 상기 소스와 드레인 그리고 상기 게이트 채널 영역을 덮는 제1의 절연 층의 침적; 상기 폴리실리콘의 양쪽에 절연 측벽 스페이서를 남겨놓으면서 소스와 드레인 그리고 게이트 영역 실리콘 질화물 층을 덮고 있는 상기 제1의 절연층의 일부를 선택적으로 제거하여 측벽이 실(seal)된 게이트의 형성; 게이트 폴리실리콘 층을 덮고 있는 실리콘 질화물 층의 제거; 소스, 드레인 게이트 폴리실리콘 층, 그리고 절연 측벽 스페이서를 덮는 텅스텐의 침적; 텅스텐 층을 플레이너 처리 하여 측면 절연 스페이서를 노출시키고 실질적으로 플레이너 처리된 상부 표면을 가지는, 그리고 상기 게이트 폴리 실리콘 층과 접촉하고 있는 하부 표면을 가지며 상기 노출된 절연 측벽 스페이서에 의해 상기 플레이너 처리된 텅스텐 층의 인접 지역으로부터 전기적으로 고립된 플레이너 처리된 텅스텐 층의 제1의 부분을 포함하는 플레이너 처리된 텅스텐 층의 형성; 상기 필드 산화물 영역을 덮고 있는 플레이너 처리된 텅스텐 층의 일부를 선택적으로 제거하여 상기 제1의 부분으로부터 전기적으로 고립된, 그리고 각 상기 소스 및 상기 드레인과 접촉하고 있는 하부 표면을 각각 가지는 상기 플레이너 처리된 텅스텐 층의 제2부분 그리고 제3부분의 형성을 포함하며, 여기서 상기 플레이너 텅스텐 층의 상기 제1, 제2, 제3의 부분의 상부표면은 실질적으로 코플레인(coplanar) 표면인 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS디바이스를 형성하기 위한 공정.

청구항 7

제6항에 있어서, 플레이너 처리된 텅스텐 층의 제2의 그리고 제3의 부분은 필드 산화물 영역의 일부분 상부에서 수평으로 뻗어 있으며, 플레이너 처리된 텅스텐의 제1, 제2 그리고 제3의 부분을 덮는 제2의 절연층을 침적하여, 절연층을 소스, 드레인 그리고 게이트 영역을 덮고 있는 실리콘 질화물 층으로부터 선택적으로 제거하여, 제3의 불순물을 상기 소스 및 드레인 내로 이식시키는 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS디바이스를 형성하기 위한 공정.

청구항 8

제7항에 있어서, 제2의 절연층을 관통하여 상기 플레이너 처리된 텅스텐층의 제2 그리고 제3의 상부로 외부 금속 연결을 형성하며, 여기서 포토레지스트 게이트 패턴에 의해 노출된 상기 실리콘 질화물 층 일부분의 제거는 활성 이온에칭에 의해 이루어지는 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS디바이스를 형성하기 위한 공정.

청구항 9

제1항 내지 제8항에 있어서, 상기 게이트 폴리실리콘 층을 덮고 있는 실리콘 질화물 층의 제거는 실리콘 질화물을 인산으로 반응시킴으로써 이루어지며, 상기 텅스텐 층의 침적은 화학 증기 침적에 의해 이루어지고, 바람직하게는 침적된 텅스텐 층이 2500 내지 3500 Å의 두께를 갖는 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS디바이스를 형성하기 위한 공정.

청구항 10

제1항 내지 제9항에 있어서, 플레이너 처리된 텅스텐 층의 제2 그리고 제3의 부분의 상부 및 하부 표면은 각각 너비 차수를 가지며, 상기 제2 그리고 제3의 부분의 상부 표면의 너비 대 하부 표면의 너비의 비율은 약 2:1 내지 4:1이고, 각 상기 제2 그리고 제3의 부분의 상부 표면 너비는 약 400 내지 2000 Å이고, 각 상기 부분의 하부 표면 너비는 약 200 내지 600 Å이며, 여기서 상기 제1의 절연층은 약 1500 내지 3500 Å의 두께를 가지며, 상기 제2의 절연층은 1500 내지 3500 Å의 두께를 갖는 것을 특징으로 하는 높여진 셀프얼라인드 소스/드레인 MOS디바이스를 형성하기 위한 공정.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면3

