



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0070605
(43) 공개일자 2016년06월20일

(51) 국제특허분류(Int. Cl.)
H01L 29/16 (2006.01) H01L 21/336 (2006.01)
H01L 29/78 (2006.01)
(21) 출원번호 10-2014-0177787
(22) 출원일자 2014년12월10일
심사청구일자 2014년12월10일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김광수
경기도 고양시 일산서구 일중로15번길 128 (일산동) 유진스웰아파트 203동 1301호
구윤모
경기도 김포시 중봉로 1-1, 302동 701호 (감정동, 중봉마을신안실크밸리아파트)
조두형
경기도 파주시 가람로 90, 604동 1304호 (와동동, 가람마을6단지)
(74) 대리인
특허법인충현

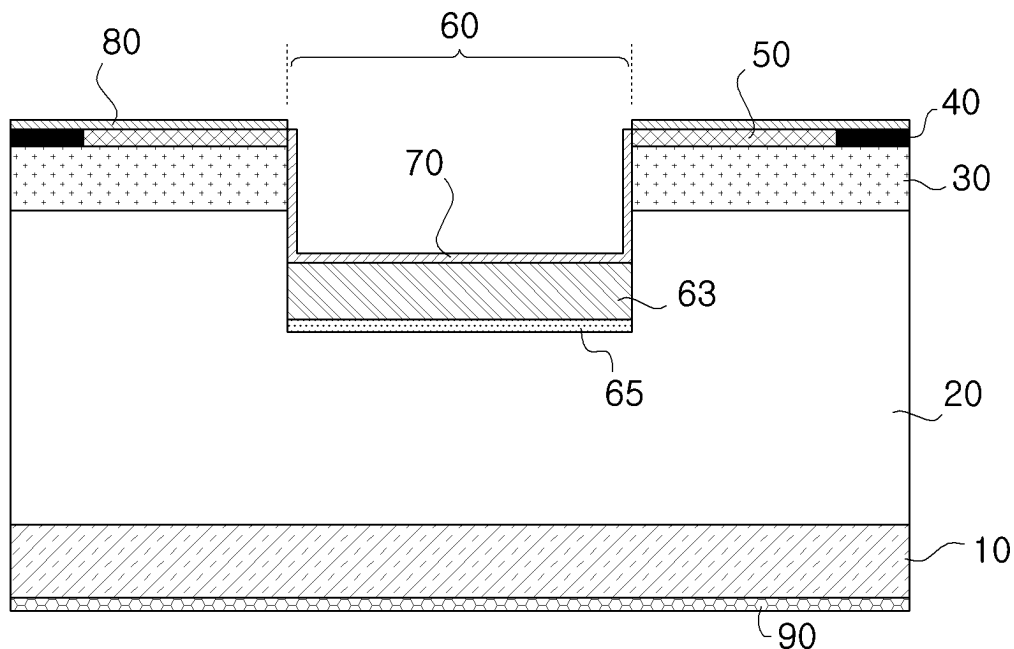
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 바닥 산화막의 전계를 감소시키는 실리콘 카바이드 모스펫 소자 및 그의 제조 방법

(57) 요약

본 발명은 바닥 산화막의 전계를 감소시키는 실리콘 카바이드 모스펫 소자 및 그의 제조 방법에 관한 것으로, 실리콘 카바이드 모스펫 소자는, 제 1 도전형 SiC 기판, 제 1 도전형 SiC 기판 위에 성장시킨 제 1 도전형 에피(epi)층, 제 1 도전형 에피층 위에 증착된 제 2 도전형 바디(body)층, 제 2 도전형 바디층을 관통하여 제 1 도전

(뒷면에 계속)
대표도 - 도2



형 에피층까지 부분 식각을 통해 형성된 1차 트렌치(trench) 구조, 1차 트렌치 구조의 바닥면에 형성된 트렌치 바닥층, 트렌치 바닥층을 포함하여 1차 트렌치 구조의 내측을 감싸도록 증착되는 게이트 전극(gate electrode), 1차 트렌치 구조를 제외한 제 2 도전형 바디의 상단에 증착되는 소스 전극(source electrode) 및 제 1 도전형 SiC 기판의 하단에 증착되는 드레인 전극(drain electrode)을 포함하되, 트렌치 바닥층은 하이(high) K 물질로 구성되거나 트렌치 바닥층에 2차 트렌치 구조를 형성함으로써 게이트 산화막(gate oxide)의 전기장(electric field)을 감소시킨다.

이 발명을 지원한 국가연구개발사업

과제고유번호 1711014140

부처명 미래창조과학부

연구관리전문기관 정보통신산업진흥원

연구사업명 정보통신기술인력양성

연구과제명 정보통신용 아날로그IP 기술 개발 (Development of Analog IP Techniques for ICT)

기 여 율 1/1

주관기관 서강대학교 산학협력단

연구기간 2014.01.01 ~ 2014.12.31

명세서

청구범위

청구항 1

제 1 도전형 SiC 기판;

상기 제 1 도전형 SiC 기판 위에 성장시킨 제 1 도전형 에피(epi)층;

상기 제 1 도전형 에피층 위에 증착된 제 2 도전형 바디(body)층;

상기 제 2 도전형 바디층을 관통하여 상기 제 1 도전형 에피층까지 부분 식각을 통해 형성된 1차 트렌치(trench) 구조;

상기 1차 트렌치 구조의 바닥면에 소정 두께 이상으로 형성된 트렌치 바닥층;

상기 트렌치 바닥층을 포함하여 상기 1차 트렌치 구조의 내측을 감싸도록 증착되는 게이트 전극(gate electrode);

상기 1차 트렌치 구조를 제외한 상기 제 2 도전형 바디의 상단에 증착되는 소스 전극(source electrode); 및

상기 제 1 도전형 SiC 기판의 하단에 증착되는 드레인 전극(drain electrode);를 포함하되,

상기 트렌치 바닥층은,

하이(high) K 물질로 구성되거나, 상기 트렌치 바닥층에 2차 트렌치 구조를 형성함으로써, 게이트 산화막(gate oxide)의 전계(electric field)를 감소시키는 것을 특징으로 하는 실리콘 카바이드 MOSFET 소자.

청구항 2

제 1 항에 있어서,

상기 트렌치 바닥층은, 하이 K 물질인 하프늄 다이옥사이드(hafnium dioxide, HfO_2)로서 형성되는 것을 특징으로 하는 실리콘 카바이드 MOSFET 소자.

청구항 3

제 2 항에 있어서,

상기 트렌치 바닥층을 형성하기에 앞서 상기 1차 트렌치 구조의 바닥면에 실리콘 다이옥사이드(silicon dioxide, SiO_2)층을 상기 트렌치 바닥층보다 상대적으로 두께가 얇게 형성하는 것을 특징으로 하는 실리콘 카바이드 MOSFET 소자.

청구항 4

제 3 항에 있어서,

상기 실리콘 다이옥사이드층은 게이트 산화막의 결함(defect)으로 인한 채널 이동도(channel mobility)의 저하 및 누설 전류(leakage current)를 방지하는 것을 특징으로 하는 실리콘 카바이드 MOSFET 소자.

청구항 5

제 1 항에 있어서,

상기 트렌치 바닥층은, 실리콘 다이옥사이드(silicon dioxide, SiO_2)로서 형성되며, 상기 트렌치 바닥층의 상단으로부터 부분 식각을 통해 2차 트렌치 구조를 형성하는 것을 특징으로 하는 실리콘 카바이드 MOSFET 소자.

청구항 6

제 5 항에 있어서,

상기 2차 트렌치 구조는,

부분 식각에 의해 게이트 산화막에 모서리(corner)의 수를 증가시킴으로써, 전계의 집중을 분산시키는 것을 특징으로 하는 실리콘 카바이드 모스펫 소자.

청구항 7

제 1 항에 있어서,

상기 제 2 도전형 바디층 위에 부분적인 이온 주입(ion implantation)에 의해 형성된 제 2 도전형 도핑층; 및

상기 제 2 도전형 바디층 위에 상기 제 2 도전형 도핑층이 형성되지 않은 나머지 영역에 형성되어 상기 1차 트렌치 구조의 형성에 의해 관통되는 제 1 도전형 영역;을 더 포함하는 실리콘 카바이드 모스펫 소자.

청구항 8

제 1 도전형 SiC 기판 위에 제 1 도전형 에피(epi)층을 성장시키는 단계;

상기 제 1 도전형 에피층 위에 제 2 도전형 바디(body)층을 증착하는 단계;

상기 제 2 도전형 바디층을 관통하여 상기 제 1 도전형 에피층까지 부분 식각을 통해 1차 트렌치(trench) 구조를 형성하는 단계;

상기 1차 트렌치 구조의 바닥면에 실리콘 다이옥사이드(silicon dioxide, SiO₂)층을 형성하는 단계;

상기 실리콘 다이옥사이드층 위에 하이(high) K 물질로 구성된 트렌치 바닥층을 소정 두께 이상으로 형성하는 단계;

상기 트렌치 바닥층을 포함하여 상기 1차 트렌치 구조의 내측을 감싸도록 게이트 전극(gate electrode)을 증착하는 단계; 및

상기 1차 트렌치 구조를 제외한 상기 제 2 도전형 바디의 상단에 소스 전극(source electrode)을 증착하고, 상기 제 1 도전형 SiC 기판의 하단에 드레인 전극(drain electrode)을 증착하는 단계;를 포함하는 실리콘 카바이드 모스펫(SiC MOSFET) 소자의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 트렌치 바닥층은, 하이 K 물질인 하프늄 다이옥사이드(hafnium dioxide, HfO₂)로서 형성됨으로써, 게이트 산화막(gate oxide)의 전계(electric field)를 감소시키는 것을 특징으로 하는 실리콘 카바이드 모스펫 소자의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 실리콘 다이옥사이드층은,

상기 트렌치 바닥층보다 상대적으로 두께가 얇게 형성되고, 게이트 산화막의 결함(defect)으로 인한 채널 이동도(channel mobility)의 저하 및 누설 전류(leakage current)를 방지하는 것을 특징으로 하는 실리콘 카바이드 모스펫 소자의 제조 방법.

청구항 11

제 8 항에 있어서,

상기 제 2 도전형 바디층 위에 부분적인 이온 주입(ion implantation)에 의해 제 2 도전형 도핑층을 형성하는 단계; 및

상기 제 2 도전형 바디층 위에 상기 제 2 도전형 도핑층이 형성되지 않은 나머지 영역에 제 1 도전형 영역을 형성하는 단계;를 더 포함하며,

상기 1차 트렌치 구조를 형성하는 단계는, 상기 제 1 도전형 영역을 관통하여 부분 식각을 수행하는 것을 특징으로 하는 실리콘 카바이드 MOS펫 소자의 제조 방법.

청구항 12

제 1 도전형 SiC 기판 위에 제 1 도전형 에피(epi)층을 성장시키는 단계;

상기 제 1 도전형 에피층 위에 제 2 도전형 바디(body)층을 증착하는 단계;

상기 제 2 도전형 바디층을 관통하여 상기 제 1 도전형 에피층까지 부분 식각을 통해 1차 트렌치(trench) 구조를 형성하는 단계;

상기 1차 트렌치 구조의 바닥면에 트렌치 바닥층을 소정 두께 이상으로 형성하는 단계;

상기 트렌치 바닥층을 부분 식각하여 2차 트렌치 구조를 형성하는 단계;

상기 2차 트렌치 구조가 형성된 트렌치 바닥층을 포함하여 상기 1차 트렌치 구조의 내측을 감싸도록 게이트 전극(gate electrode)을 증착하는 단계; 및

상기 1차 트렌치 구조를 제외한 상기 제 2 도전형 바디의 상단에 소스 전극(source electrode)을 증착하고, 상기 제 1 도전형 SiC 기판의 하단에 드레인 전극(drain electrode)을 증착하는 단계;를 포함하는 실리콘 카바이드 MOS펫(SiC MOSFET) 소자의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 트렌치 바닥층은, 실리콘 다이옥사이드(silicon dioxide, SiO₂)로서 형성되며, 상기 트렌치 바닥층의 상단으로부터 부분 식각을 통해 2차 트렌치 구조를 형성함으로써 게이트 산화막(gate oxide)의 전기장(electric field)을 감소시키는 것을 특징으로 하는 실리콘 카바이드 MOS펫 소자의 제조 방법.

청구항 14

제 12 항에 있어서,

상기 2차 트렌치 구조는,

부분 식각에 의해 게이트 산화막에 모서리(corner)의 수를 증가시킴으로써, 전기장의 집중을 분산시키는 것을 특징으로 하는 실리콘 카바이드 MOS펫 소자의 제조 방법.

청구항 15

제 12 항에 있어서,

상기 제 2 도전형 바디층 위에 부분적인 이온 주입(ion implantation)에 의해 제 2 도전형 도핑층을 형성하는 단계; 및

상기 제 2 도전형 바디층 위에 상기 제 2 도전형 도핑층이 형성되지 않은 나머지 영역에 제 1 도전형 영역을 형성하는 단계;를 더 포함하며,

상기 1차 트렌치 구조를 형성하는 단계는, 상기 제 1 도전형 영역을 관통하여 부분 식각을 수행하는 것을 특징으로 하는 실리콘 카바이드 MOS펫 소자의 제조 방법.

발명의 설명

기술 분야

본 발명은 반도체 소자 및 그의 제조 방법에 관한 것으로서, 특히 트렌치 구조의 게이트를 갖는 U형(U-shaped) 실리콘 카바이드(SiC) MOS펫(MOSFET, metal oxide semiconductor field effect transistor) 소자 및 그의 제조 방법에 관한 것이다.

배경 기술

[0001]

[0002] 급속한 산업발전과 더불어 미래산업에 대한 전망은 기존의 반도체 재료의 물리적인 한계를 뛰어넘는 새로운 반도체 재료의 개발을 요구하고 있다. 이러한 관점에서 Si보다 단단하고, 밴드갭이 크며, 환경친화 및 우수한 전기적, 열적, 화학적 특성을 갖고 있는 ZnO, GaN, SiC는 차세대 반도체 재료로 많은 관심을 불러일으키고 있다. 특히, SiC는 높은 항복전압, 높은 전자포화속도, 우수한 열전도도 특성을 갖고 있기 때문에 차세대 고전력, 고주파 전자소자로서 폭 넓은 응용이 기대되고 있다.

[0003] 일반적으로 전력소자는 전력의 변환이나 제어를 하는 반도체 소자로서, 정류 다이오드, 전력 트랜지스터, 트라이악 등이 산업, 정보, 통신, 교통, 전력, 가정 등 각 분야에 다양하게 사용되고 있으며, 상기 전력소자는 고내압, 대전류화, 고속 고주파화가 진행되어 왔는데, 최근에는 MOSFET(metal oxide semiconductor field effect transistor), IGBT(insulated gate bipolar transistor), 전력 집적회로(IC)가 전력소자의 중심이 되었으며, 특히 트랜치 타입 게이트를 갖는 U형(U-shaped) MOSFET(metal oxide semiconductor field effect transistor)를 특히 'UMOSFET'라 칭한다.

[0004] 이 중에서 특히 고속 스위칭이 가능하고, 구동회로의 손실이 적은 MOS 소자가 주목받고 있으며, 상기 MOS 소자 중에 서도 트랜치 기술을 이용한 상기 UMOSFET는 여러 개를 병렬 연결하여 대전력을 쉽게 제어할 수 있는 장점이 있으므로, 소자의 동작 속도를 빠르게 하면서도 대전력을 흐르게 하기 위해 주로 단위 전력 UMOSFET를 병렬로 연결하여 사용하고 있다.

[0005] 이하에서 제시되는 선행기술문헌에는 트랜치(trench) 구조를 갖는 U형 전력 트랜지스터 및 그 제조 방법에 대해 설명하고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국 공개특허공보 10-2001-0062967, 2001.07.09 공개

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는, 종래의 U형 실리콘 카바이드 모스펫 소자에서 소자의 드리프트 영역이 아닌 게이트 산화막에서 먼저 항복(breakdown)이 발생하는 문제점을 해결하고, 소재의 물리적 특성으로 인해 게이트 산화막과 드리프트 영역의 전계(electric field)를 낮추기 어려운 한계를 극복하고자 한다.

과제의 해결 수단

[0008] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 실리콘 카바이드 모스펫(SiC MOSFET) 소자는, 제 1 도전형 SiC 기판; 상기 제 1 도전형 SiC 기판 위에 성장시킨 제 1 도전형 에피(epi)층; 상기 제 1 도전형 에피층 위에 증착된 제 2 도전형 바디(body)층; 상기 제 2 도전형 바디층을 관통하여 상기 제 1 도전형 에피층까지 부분 식각을 통해 형성된 1차 트랜치(trench) 구조; 상기 1차 트랜치 구조의 바닥면에 소정 두께 이상으로 형성된 트랜치 바닥층; 상기 트랜치 바닥층을 포함하여 상기 1차 트랜치 구조의 내측을 감싸도록 증착되는 게이트 전극(gate electrode); 상기 1차 트랜치 구조를 제외한 상기 제 2 도전형 바디의 상단에 증착되는 소스 전극(source electrode); 및 상기 제 1 도전형 SiC 기판의 하단에 증착되는 드레인 전극(drain electrode);를 포함하되, 상기 트랜치 바닥층은, 하이(high) K 물질로 구성되거나, 상기 트랜치 바닥층에 2차 트랜치 구조를 형성함으로써, 게이트 산화막(gate oxide)의 전계(electric field)를 감소시킨다.

[0009] 상기 실리콘 카바이드 모스펫 소자에서, 일 실시예에 따른 상기 트랜치 바닥층은, 하이 K 물질인 하프늄 다이옥사이드(hafnium dioxide, HfO_2)로서 형성될 수 있다. 또한, 상기 트랜치 바닥층을 형성하기에 앞서 상기 1차 트랜치 구조의 바닥면에 실리콘 다이옥사이드(silicon dioxide, SiO_2)층을 상기 트랜치 바닥층보다 상대적으로 두께가 얇게 형성함으로써, 게이트 산화막의 결함(defect)으로 인한 채널 이동도(channel mobility)의 저하 및 누설 전류(leakage current)를 방지할 수 있다.

[0010] 상기 실리콘 카바이드 모스펫 소자에서, 다른 실시예에 따른 상기 트랜치 바닥층은, 실리콘 다이옥사이드

(silicon dioxide, SiO_2)로서 형성되며, 상기 트렌치 바닥층의 상단으로부터 부분 식각을 통해 2차 트렌치 구조를 형성할 수 있다. 또한, 상기 2차 트렌치 구조는, 부분 식각에 의해 게이트 산화막에 모서리(corner)의 수를 증가시킴으로써, 전계의 집중을 분산시킬 수 있다.

[0011] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 실리콘 카바이드 MOSFET 소자의 제조 방법은, 제 1 도전형 SiC 기판 위에 제 1 도전형 에피(epi)층을 성장시키는 단계; 상기 제 1 도전형 에피층 위에 제 2 도전형 바디(body)층을 증착하는 단계; 상기 제 2 도전형 바디층을 관통하여 상기 제 1 도전형 에피층까지 부분 식각을 통해 1차 트렌치(trench) 구조를 형성하는 단계; 상기 1차 트렌치 구조의 바닥면에 실리콘 다이옥사이드(silicon dioxide, SiO_2)층을 형성하는 단계; 상기 실리콘 다이옥사이드층 위에 하이(high) K 물질로 구성된 트렌치 바닥층을 소정 두께 이상으로 형성하는 단계; 상기 트렌치 바닥층을 포함하여 상기 1차 트렌치 구조의 내측을 감싸도록 게이트 전극(gate electrode)을 증착하는 단계; 및 상기 1차 트렌치 구조를 제외한 상기 제 2 도전형 바디의 상단에 소스 전극(source electrode)을 증착하고, 상기 제 1 도전형 SiC 기판의 하단에 드레인 전극(drain electrode)을 증착하는 단계;를 포함한다.

[0012] 일 실시예에 따른 상기 실리콘 카바이드 MOSFET 소자의 제조 방법에서, 상기 트렌치 바닥층은, 하이 K 물질인 하프늄 다이옥사이드(hafnium dioxide, HfO_2)로서 형성됨으로써, 게이트 산화막(gate oxide)의 전계(electric field)를 감소시킬 수 있다.

[0013] 또한, 일 실시예에 따른 상기 실리콘 카바이드 MOSFET 소자의 제조 방법에서, 상기 실리콘 다이옥사이드층은, 상기 트렌치 바닥층보다 상대적으로 두께가 얇게 형성되고, 게이트 산화막의 결함(defect)으로 인한 채널 이동도(channel mobility)의 저하 및 누설 전류(leakage current)를 방지할 수 있다.

[0014] 나아가, 일 실시예에 따른 상기 실리콘 카바이드 MOSFET 소자의 제조 방법에서, 상기 제 2 도전형 바디층 위에 부분적인 이온 주입(ion implantation)에 의해 제 2 도전형 도핑층을 형성하는 단계; 및 상기 제 2 도전형 바디층 위에 상기 제 2 도전형 도핑층이 형성되지 않은 나머지 영역에 제 1 도전형 영역을 형성하는 단계;를 더 포함하며, 상기 1차 트렌치 구조를 형성하는 단계는, 상기 제 1 도전형 영역을 관통하여 부분 식각을 수행할 수 있다.

[0015] 상기 기술적 과제를 해결하기 위하여, 본 발명의 다른 실시예에 따른 실리콘 카바이드 MOSFET 소자의 제조 방법은, 제 1 도전형 SiC 기판 위에 제 1 도전형 에피(epi)층을 성장시키는 단계; 상기 제 1 도전형 에피층 위에 제 2 도전형 바디(body)층을 증착하는 단계; 상기 제 2 도전형 바디층을 관통하여 상기 제 1 도전형 에피층까지 부분 식각을 통해 1차 트렌치(trench) 구조를 형성하는 단계; 상기 1차 트렌치 구조의 바닥면에 트렌치 바닥층을 소정 두께 이상으로 형성하는 단계; 상기 트렌치 바닥층을 부분 식각하여 2차 트렌치 구조를 형성하는 단계; 상기 2차 트렌치 구조가 형성된 트렌치 바닥층을 포함하여 상기 1차 트렌치 구조의 내측을 감싸도록 게이트 전극(gate electrode)을 증착하는 단계; 및 상기 1차 트렌치 구조를 제외한 상기 제 2 도전형 바디의 상단에 소스 전극(source electrode)을 증착하고, 상기 제 1 도전형 SiC 기판의 하단에 드레인 전극(drain electrode)을 증착하는 단계;를 포함한다.

[0016] 다른 실시예에 따른 상기 실리콘 카바이드 MOSFET 소자의 제조 방법에서, 상기 트렌치 바닥층은, 실리콘 다이옥사이드(silicon dioxide, SiO_2)로서 형성되며, 상기 트렌치 바닥층의 상단으로부터 부분 식각을 통해 2차 트렌치 구조를 형성함으로써 게이트 산화막(gate oxide)의 전계(electric field)를 감소시킬 수 있다.

[0017] 또한, 다른 실시예에 따른 상기 실리콘 카바이드 MOSFET 소자의 제조 방법에서, 상기 2차 트렌치 구조는, 부분 식각에 의해 게이트 산화막에 모서리(corner)의 수를 증가시킴으로써, 전계의 집중을 분산시킬 수 있다.

[0018] 나아가, 다른 실시예에 따른 상기 실리콘 카바이드 MOSFET 소자의 제조 방법에서, 상기 제 2 도전형 바디층 위에 부분적인 이온 주입(ion implantation)에 의해 제 2 도전형 도핑층을 형성하는 단계; 및 상기 제 2 도전형 바디층 위에 상기 제 2 도전형 도핑층이 형성되지 않은 나머지 영역에 제 1 도전형 영역을 형성하는 단계;를 더 포함하며, 상기 1차 트렌치 구조를 형성하는 단계는, 상기 제 1 도전형 영역을 관통하여 부분 식각을 수행할 수 있다.

발명의 효과

[0019] 본 발명의 실시예들은, SiC U형 MOSFET의 1차 트렌치 구조 내의 바닥 산화막을 하이(high) K 물질로 구성하거나, 게이트 산화막에 2차 트렌치 구조를 형성함으로써, 게이트 산화막의 전계를 감소시킬 수 있으며,

드리프트 영역의 전계 또한 감소시킴으로써 보다 큰 항복 전압을 얻을 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시예들이 채택하고 있는 U형(U-shaped) 실리콘 카바이드(SiC) 모스펫 소자에서 게이트 산화막(gate oxide)에 걸리는 전계(electric field)를 낮추는 방법을 설명하기 위한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 하이(high) K 물질을 사용하여 바닥 산화막의 전계를 감소시키는 실리콘 카바이드 모스펫 소자를 도시한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 도 2의 실리콘 카바이드 모스펫 소자의 제조 방법을 도시한 흐름도이다.
- 도 4는 본 발명의 다른 실시예에 따른 2차 트렌치 구조를 사용하여 바닥 산화막의 전계를 감소시키는 실리콘 카바이드 모스펫 소자를 도시한 도면이다.
- 도 5는 본 발명의 다른 실시예에 따른 도 4의 실리콘 카바이드 모스펫 소자의 제조 방법을 도시한 흐름도이다.
- 도 6 및 도 7은 본 발명의 실시예들에 따른 실리콘 카바이드 모스펫 소자의 성능을 비교 평가하기 위한 시뮬레이션 결과를 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명의 실시예들을 설명하기에 앞서, 실리콘 카바이드 모스펫 소자의 특징과 그 약점을 간략히 소개한 후, 이러한 문제점을 해결하기 위해 본 발명의 실시예들이 채택하고 있는 기술적 수단을 순차적으로 제시하도록 한다.
- [0022] 현재 반도체 산업에서 주로 사용되는 물질은 실리콘(silicon)이다. 실리콘 카바이드(Silicon Carbide, SiC)는 실리콘보다 큰 밴드갭 에너지(band-gap energy)와 좋은 열 전도율(thermal conductivity)을 갖고 있는 물질로써, 특히 SiC UMOSFET은 실리콘 UMOSFET보다 고온, 고전압의 환경 내에서보다 안정적인 동작을 보여주는 전력 반도체이다.
- [0023] 실리콘 카바이드는 큰 밴드갭 에너지를 갖고 있기 때문에 그만큼 정공 쌍(electron-hole pair)을 생성하는데 많은 에너지를 필요로 하고, 따라서 임팩트 이온화(impact ionization)의 발생이 그만큼 힘들어져 실리콘에 비해 약 10배 정도의 큰 임계전계(critical electric field)의 값을 갖는다.
- [0024] 그러나, SiC UMOSFET에서 문제가 되는 것 중 하나가 바로 게이트 산화막(gate oxide)에 걸리는 전계(electric field)에 대한 문제이다. 실리콘 카바이드의 유전율은 9.8로서, 실리콘 다이옥사이드(silicon dioxide, SiO₂)의 유전율인 3.9보다 약 2.5배의 값을 가진다. 즉, 게이트 산화막에는 다음의 수학적 식 1의 가우스 법칙(Gauss's law)에 의해 SiC 드리프트 영역보다 약 2.5배 큰 값의 전계를 갖게 된다.

수학적 식 1

$$\epsilon_{SiC} E_{SiC} = \epsilon_{SiO_2} E_{SiO_2}$$

- [0025]
- [0026] 수학적 식 1에 따르면, 계면(interface)에서 유전율(ϵ)과 전계값(E)의 곱은 물질 변화에 상관없이 같다는 것을 의미한다. 앞서 설명한 바와 같이, SiC의 유전율이 9.8로 SiO₂의 유전율인 3.9보다 약 2.5배의 값을 가지므로, SiO₂ 쪽의 전계가 SiC쪽의 유전율보다 약 2.5배 큰 값을 갖게 된다.
- [0027] 한편, 실리콘의 유전율은 11.8로 SiO₂보다 약 4배 정도 크지만, 실리콘의 임계전계는 SiO₂에 비해 약 1/20 정도로 작기 때문에 산화막에서 먼저 항복(breakdown)이 발생하는 일은 거의 없다. 이에 비해, 실리콘 카바이드의 임계전계 값은 1×10^7 V/cm로서, 실리콘의 약 10~15배 정도이며 실리콘 카바이드의 임계전계와는 얼마 차이가 나지 않는다. 이로 인해, SiC UMOSFET 소자에 큰 값의 역방향 바이어스(reverse bias)를 인가할 경우, 실리콘 카바이드 쪽에서 애벌란시 항복(avalanche breakdown)이 발생하지 않았음에도 불구하고 소자의 드리프트 영역이 아닌 게이트 산화막에서 먼저 항복(breakdown)이 발생하는 경우가 생기게 된다.

- [0028] 본 발명의 실시예들은 이러한 문제점을 해결하기 위해 기본적으로 일정 두께 이상의 바닥 산화막(thick bottom oxide) 구조를 채택하였으며, 특히 게이트 산화막의 신뢰성을 확보하기 위한 두 가지 실시예를 제안하고 있다.
- [0029] 이하에서는 도면을 참조하여 본 발명의 실시예들을 구체적으로 설명하도록 한다. 다만, 하기의 설명 및 첨부된 도면에서 본 발명의 요지를 흐릴 수 있는 공지 기능 또는 구성에 대한 상세한 설명은 생략한다. 또한, 도면 전체에 걸쳐 동일한 구성 요소들은 가능한 한 동일한 도면 부호로 나타내고 있음에 유의하여야 한다.
- [0030] 먼저, 두꺼운 바닥 산화막(thick bottom oxide) 구조에 대해서 설명한다.
- [0031] 두꺼운 바닥 산화막(Thick Bottom Oxide, TBO)은, SiC UMOSFET에서 게이트 산화막(gate oxide)에 걸리는 전계값을 낮추기 위한 방법으로, 바닥 산화막(bottom oxide)의 두께를 두껍게 만들어 산화막의 신뢰성을 증가시키는 결과를 보인다. 동작 원리에 있어서 전계의 크기는 거리에 반비례하므로, 이 방법은 거리를 증가시킬 경우 역으로 전계의 크기를 감소시킬 수 있다는 아이디어에 기초한다. 즉, 필요로 하는 만큼의 전계를 감소시키기 위해서 바닥 산화막의 두께를 요구 수준까지 증가시키면 된다. 이 방법은 추가적인 공정도 필요 없고 특히 전기용량(Capacitance)을 줄여준다는 그 특징으로 인해 실리콘 UMOSFET을 제작할 때 유용하다.
- [0032] 도 1은 본 발명의 실시예들이 채택하고 있는 U형(U-shaped) 실리콘 카바이드(SiC) MOS펫 소자에서 게이트 산화막(gate oxide)에 걸리는 전계(electric field)를 낮추는 방법을 설명하기 위한 도면으로서, SiC UMOSFET에 두꺼운 바닥 산화막 기법을 적용한 구조를 예시하였다.
- [0033] 도 1에서, 소자는 N형 기판(10), N형 에피층(드리프트 영역)(20), P형 바디(body)층(30), P형 도핑층(40), N+영역(50)을 포함하며, 특히 중앙에 트렌치 구조(60)가 형성되어 있다. 특히, 트렌치 구조(60)의 바닥에는 실리콘 다이옥사이드(silicon dioxide, SiO₂) 소재의 두꺼운 트렌치 바닥층(게이트 절연막)(65)이 형성되어 있음을 확인할 수 있다.
- [0034] 한편, 소자는 트렌치 바닥층(65)을 포함하여 트렌치 구조(60)의 내측 나머지 영역을 감싸도록 게이트 전극(gate electrode)(70)이 증착되고, 식각되지 않은 나머지 상단 영역의 위에는 소스 전극(source electrode)(80)이 증착되며, N형 기판(10)의 하단에는 드레인 전극(drain electrode)(90)이 증착된다.
- [0035] 이제, 도 1과 같은 소자 구조를 통해 SiC UMOSFET 소자의 게이트 산화막에 걸리는 전계값을 효과적으로 낮출 수 있었다. 특히, 트렌치 바닥층(65)의 두께가 두꺼울수록 전반적인 바닥 산화막의 전계값을 감소시킬 수 있음을 확인할 수 있었다.
- [0036] 그러나, 도 1의 소자의 경우, SiO₂는 SiC와의 유전율의 차이로 인해 낮출 수 있는 전계의 값이 제한될 수밖에 없다는 약점이 발견되었다. 뿐만 아니라, 바닥 산화막의 두께를 늘리면 바닥 부분의 게이트 산화막의 두께가 너무 두꺼워져 드리프트 영역(Drift region)이 짧아지게 되므로 결과적으로 소자의 항복 전압이 낮아지게 되거나, 또는 소자 자체의 길이가 길어져야 한다는 단점이 발견되었다. 나아가, SiC의 경우, 산화막의 두께를 요구 수준 만큼 두껍게 제조하기가 어렵다는 물리적인 약점 또한 지적되었다. 따라서, 두꺼운 바닥 산화막 구조를 채택하면서, 이상에서 지적된 약점을 해결할 수 있는 구조의 개선이 필요하다.
- [0037] **(1) 제 1 실시예**
- [0038] 본 발명의 제 1 실시예에서는 SiC UMOSFET의 게이트 산화막의 신뢰성을 확보하기 위해 두꺼운 바닥 산화막 구조를 채택하고, SiO₂가 아닌 하이(high) K 물질인 하프늄 다이옥사이드(hafnium dioxide, HfO₂)를 사용하여 게이트 산화막의 전반적인 전계를 낮추는 방법을 제안한다. HfO₂의 경우 유전율이 25로서, SiO₂보다 오히려 더 크기 때문에 SiO₂ 대신 HfO₂를 사용할 경우 내부에서의 전계 값이 현저하게 감소하는 결과를 얻을 수 있었다.
- [0039] 도 2는 본 발명의 일 실시예에 따른 하이(high) K 물질을 사용하여 바닥 산화막의 전계를 감소시키는 실리콘 카바이드 MOS펫 소자를 도시한 도면으로서, 두꺼운 바닥 산화막으로서, 하이 K 물질인 HfO₂를 이용해서 만든 구조를 제안하고 있다. 구현의 일례로서, N형과 P형을 각각 제 1 도전형과 제 2 도전형으로 명명하였으나, 필요에 따라 구성을 달리할 수 있음은 당연하다. 소자는 다음의 구성을 포함한다.
- [0040] 제 1 도전형 에피(epi)층(20)은 제 1 도전형 SiC 기판(10) 위에 성장시켜 얻을 수 있다. 제 2 도전형 바디(body)층(30)은 상기 제 1 도전형 에피층(20) 위에 증착되었으며, 상기 제 2 도전형 바디층(30)을 관통하여 상기 제 1 도전형 에피층(20)까지 부분 식각을 통해 1차 트렌치(trench) 구조(60)가 형성되었다. 상기 1차 트렌치

구조(60)의 바닥면에는 일정 두께 이상으로 두껍게 형성된 트렌치 바닥층(63)이 마련된다. 이러한 트렌치 바닥층(63)은, 하이(high) K 물질인 HfO_2 로 구성된다.

- [0041] 이제, 상기 트렌치 바닥층(63)을 포함하여 상기 1차 트렌치 구조(60)의 내측을 'ㄷ'자 모양으로 감싸도록 게이트 전극(gate electrode)(70)이 증착되고, 상기 1차 트렌치 구조(60)를 제외한 상기 제 2 도전형 바디(30)의 상단에 소스 전극(source electrode)(80)이 증착되며, 상기 제 1 도전형 SiC 기판(10)의 하단에 드레인 전극(drain electrode)(90)이 증착되어 소자를 완성한다.
- [0042] 나아가, 상기 제 2 도전형 바디층(30) 위에 부분적인 이온 주입(ion implantation)에 의해 형성된 제 2 도전형 도핑층(40)과 상기 제 2 도전형 바디층(30) 위에 상기 제 2 도전형 도핑층(40)이 형성되지 않은 나머지 영역에 형성되어 상기 1차 트렌치 구조의 형성에 의해 관통되는 제 1 도전형 영역(50)이 더 포함될 수 있음은 당연하다.
- [0043] 한편, 순수하게 HfO_2 만을 이용할 경우, 심한 계면 결함(interface defect)으로 인해 채널 이동도(channel mobility)가 급격히 떨어지고, 작은 밴드갭 에너지로 인해 큰 누설 전류(leakage current)가 흐르게 되므로, 이를 방지하기 위해 HfO_2 와 드리프트 영역 사이에 얇은 SiO_2 막을 삽입하는 방법을 사용한다.
- [0044] 이를 위해, 상기 트렌치 바닥층(63)을 형성하기에 앞서 상기 1차 트렌치 구조(60)의 바닥면에 SiO_2 층(65)을 형성하게 된다. 특히, 상기 SiO_2 층(65)은 상기 트렌치 바닥층(63)보다 상대적으로 두께가 얇게 형성되며, 게이트 산화막의 결함(defect)으로 인한 채널 이동도(channel mobility)의 저하 및 누설 전류(leakage current)를 방지하는 역할을 수행한다.
- [0045] 이러한 구조를 통해 SiO_2 만을 이용하여 게이트 산화막을 구성한 SiC UMOSFET보다 상대적으로 더 낮은 게이트 산화막 전계값을 가지며, 또한 SiC 드리프트 영역의 전계값을 낮춰 결과적으로 안정적인 게이트 유전체(gate dielectric)의 특성과 더 큰 항복 전압을 갖게 된다.
- [0046] 도 3은 본 발명의 일 실시예에 따른 도 2의 실리콘 카바이드 MOS펫 소자의 제조 방법을 도시한 흐름도로서, 다음의 과정을 포함한다.
- [0047] S310 단계에서는, 제 1 도전형(N형) SiC 기판 위에 제 1 도전형(N형) 에피(epi)층을 성장시킨다.
- [0048] S320 단계에서는, 상기 제 1 도전형(N형) 에피층 위에 제 2 도전형(P형) 바디(body)층을 증착한다.
- [0049] S330 단계에서는, 상기 제 2 도전형(P형) 바디층을 관통하여 상기 제 1 도전형(N형) 에피층까지 부분 식각을 통해 1차 트렌치(trench) 구조를 형성한다.
- [0050] S340 단계에서는, 상기 1차 트렌치 구조의 바닥면에 실리콘 다이옥사이드(silicon dioxide, SiO_2)층을 형성한다. 여기서, 실리콘 다이옥사이드층은, 이후 S350 단계를 통해 기술될 트렌치 바닥층보다 상대적으로 두께가 얇게 형성되고, 게이트 산화막의 결함으로 인한 채널 이동도(channel mobility)의 저하 및 누설 전류(leakage current)를 방지하는 역할을 수행한다.
- [0051] S350 단계에서는, 상기 실리콘 다이옥사이드층 위에 하이(high) K 물질로 구성된 트렌치 바닥층을 일정 두께 이상으로 형성한다. 여기서 트렌치 바닥층은, 하이 K 물질인 하프늄 다이옥사이드(hafnium dioxide, HfO_2)로서 형성됨으로써, 게이트 산화막(gate oxide)의 전계(electric field)를 감소시키게 된다.
- [0052] S360 단계에서는, 상기 트렌치 바닥층을 포함하여 상기 1차 트렌치 구조의 내측을 감싸도록 게이트 전극(gate electrode)을 증착하고, 상기 1차 트렌치 구조를 제외한 상기 제 2 도전형(P형) 바디의 상단에 소스 전극(source electrode)을 증착하며, 상기 제 1 도전형(N형) SiC 기판의 하단에 드레인 전극(drain electrode)을 증착한다.
- [0053] 한편, 이상의 실리콘 카바이드 MOS펫 소자의 제조 방법은, S330 단계 이전에, 제 2 도전형(P형) 바디층 위에 부분적인 이온 주입(ion implantation)에 의해 제 2 도전형(P형) 도핑층을 형성하는 과정(미도시)과 제 2 도전형(P형) 바디층 위에 제 2 도전형(P형) 도핑층이 형성되지 않은 나머지 영역에 제 1 도전형(N+) 영역을 형성하는 과정(미도시)을 더 포함할 수 있다. 따라서, 상기 1차 트렌치 구조를 형성하는 S330 단계는, 상기 제 1 도전형(N+) 영역을 관통하여 부분 식각을 수행하게 된다.

[0054] **(2) 제 2 실시예**

[0055] 본 발명의 제 2 실시예에서는 게이트 산화막에 또 다른 트렌치 구조(2차 트렌치 구조)를 형성하는 방법을 제안한다.

[0056] 통상적으로 전계값이 가장 큰 곳은 모서리(corner) 쪽이 되는데, 일반적인 UMOSFET의 경우, 게이트 산화막의 모서리 부분에서 포텐셜(potential)의 변화가 심하기 때문에 그로 인해 전계값이 급격히 커지는 현상이 발생한다. 본 발명의 제 2 실시예에서는 트렌치 구조에 따른 두꺼운 바닥 산화막에 트렌치 식각을 추가적으로 실시하여 게이트 전극을 형성할 경우, 기존의 트렌치 구조에서 2개였던 모서리 부분이 4개로 증가하게 된다. 결과적으로 게이트 산화막 내부에서 전계가 몰리는 곳(electric field crowding)의 수를 2에서 4로 증가시킴으로써 전계의 집중을 분산시키기 때문에 바닥 산화막의 전체적인 전계값을 더 낮추는 효과가 나타나게 된다.

[0057] 도 4는 본 발명의 다른 실시예에 따른 2차 트렌치 구조를 사용하여 바닥 산화막의 전계를 감소시키는 실리콘 카바이드 MOSFET 소자를 도시한 도면으로서, 두꺼운 바닥 산화막을 채택하면서도 전계가 집중되는 바닥 산화막의 모서리 부분의 전계를 분산시킬 수 있는 아이디어를 구현하고 있다. 구현의 일례로서, N형과 P형을 각각 제 1 도전형과 제 2 도전형으로 명명하였으나, 필요에 따라 구성을 달리할 수 있음은 당연하다. 소자는 다음의 구성을 포함한다.

[0058] 제 1 도전형 에피(epi)층(20)은 제 1 도전형 SiC 기판(10) 위에 성장시켜 얻을 수 있다. 제 2 도전형 바디(body)층(30)은 상기 제 1 도전형 에피층(20) 위에 증착되었으며, 상기 제 2 도전형 바디층(30)을 관통하여 상기 제 1 도전형 에피층(20)까지 부분 식각을 통해 1차 트렌치(trench) 구조가 형성되었다.

[0059] 한편, 상기 1차 트렌치 구조의 바닥면에는 일정 두께 이상으로 두껍게 형성된 트렌치 바닥층(65)이 마련되는데, 이러한 트렌치 바닥층(65)은, 실리콘 다이옥사이드(silicon dioxide, SiO_2)로서 형성되며, 상기 트렌치 바닥층의 상단으로부터 가운데 영역에 제2차 트렌치 구조(67)를 형성함으로써, 게이트 산화막(gate oxide)의 전계(electric field)를 감소시키게 된다. 특히, 상기 2차 트렌치 구조(67)는, 부분 식각에 의해 게이트 산화막에 모서리(corner)의 수를 증가시킴으로써, 전계의 집중을 분산시키는 효과를 나타내며, 결과적으로 1차 트렌치 구조만을 채택한 두꺼운 바닥 산화막의 경우에 비해 상대적으로 더 높은 항복 전압을 가진다.

[0060] 이제, 상기 2차 트렌치 구조(67)가 형성된 트렌치 바닥층(65)을 포함하여 상기 1차 트렌치 구조의 내측을 감싸도록 게이트 전극(gate electrode)(70)이 증착되고, 상기 1차 트렌치 구조를 제외한 상기 제 2 도전형 바디(30)의 상단에 소스 전극(source electrode)(80)이 증착되며, 상기 제 1 도전형 SiC 기판(10)의 하단에 드레인 전극(drain electrode)(90)이 증착되어 소자를 완성한다.

[0061] 나아가, 상기 제 2 도전형 바디층(30) 위에 부분적인 이온 주입(ion implantation)에 의해 형성된 제 2 도전형 도핑층(40)과 상기 제 2 도전형 바디층(30) 위에 상기 제 2 도전형 도핑층(40)이 형성되지 않은 나머지 영역에 형성되어 상기 1차 트렌치 구조의 형성에 의해 관통되는 제 1 도전형 영역(50)이 더 포함될 수 있음은 당연하다.

[0062] 도 5는 본 발명의 다른 실시예에 따른 도 4의 실리콘 카바이드 MOSFET 소자의 제조 방법을 도시한 흐름도로서, 다음의 과정을 포함한다.

[0063] S510 단계에서는, 제 1 도전형(N형) SiC 기판 위에 제 1 도전형(N형) 에피(epi)층을 성장시킨다.

[0064] S520 단계에서는, 상기 제 1 도전형(N형) 에피층 위에 제 2 도전형(P형) 바디(body)층을 증착한다.

[0065] S530 단계에서는, 상기 제 2 도전형(P형) 바디층을 관통하여 상기 제 1 도전형(N형) 에피층까지 부분 식각을 통해 1차 트렌치(trench) 구조를 형성한다.

[0066] S540 단계에서는, 상기 1차 트렌치 구조의 바닥면에 트렌치 바닥층을 일정 두께 이상으로 형성한다. 여기서, 트렌치 바닥층은, 실리콘 다이옥사이드(silicon dioxide, SiO_2)로서 형성되는 것이 바람직하며, 이후 S550 단계를 통해 기술하는 상기 트렌치 바닥층의 상단으로부터 수행되는 부분 식각을 통해 2차 트렌치 구조를 형성함으로써 게이트 산화막(gate oxide)의 전계(electric field)를 감소시키게 된다.

[0067] S550 단계에서는, 상기 트렌치 바닥층을 부분 식각하여 2차 트렌치 구조를 형성한다. 여기서, 2차 트렌치 구조

는, 부분 식각에 의해 게이트 산화막에 모서리(corner)의 수를 증가시킴으로써, 전계의 집중을 분산시키게 된다.

[0068] S560 단계에서는, 상기 2차 트렌치 구조가 형성된 트렌치 바닥층을 포함하여 상기 1차 트렌치 구조의 내측을 감싸도록 게이트 전극(gate electrode)을 증착하고, 상기 1차 트렌치 구조를 제외한 상기 제 2 도전형(P형) 바디의 상단에 소스 전극(source electrode)을 증착하며, 상기 제 1 도전형(N형) SiC 기판의 하단에 드레인 전극(drain electrode)을 증착한다.

[0069] 한편, 이상의 실리콘 카바이드 MOS펫 소자의 제조 방법은, S530 단계 이전에, 제 2 도전형(P형) 바디층 위에 부분적인 이온 주입(ion implantation)에 의해 제 2 도전형(P형) 도핑층을 형성하는 과정(미도시)과 제 2 도전형(P형) 바디층 위에 제 2 도전형(P형) 도핑층이 형성되지 않은 나머지 영역에 제 1 도전형(N+) 영역을 형성하는 과정(미도시)을 더 포함할 수 있다. 따라서, 상기 1차 트렌치 구조를 형성하는 S530 단계는, 상기 제 1 도전형(N+) 영역을 관통하여 부분 식각을 수행하게 된다.

[0070] 도 6 및 도 7은 본 발명의 실시예들에 따른 실리콘 카바이드 MOS펫 소자의 성능을 비교 평가하기 위한 시뮬레이션 결과를 예시한 도면으로서, 각각 항복 전압 그래프와 전계 그래프를 도시하였다. 도 6 및 도 7에서, 'Thick Bottom Oxide'로 표기된 그래프는 도 1을 통해 소개된 단순히 두꺼운 바닥 산화막(SiO₂)의 경우를 나타내고, 'High K'로 표기된 그래프는 도 2 및 도 3을 통해 소개된 HfO₂를 이용한 소자의 경우를 나타내며, 'Bottom Oxide Trench'로 표기된 그래프는 도 4 및 도 5를 통해 소개된 2차 트렌치 구조를 이용한 소자의 경우를 나타낸다.

[0071] 도 6을 참조하면, 'Thick Bottom Oxide' → 'High K' → 'Bottom Oxide Trench'의 순서로 항복 전압이 점점 더 증가하는 것을 볼 수 있다.

[0072] 도 7을 참조하면, 도시된 그래프들은 2000V의 역방향 바이어스(reverse bias)를 인가한 경우의 산화막 전계를 측정된 결과를 나타내었다. 'High K'의 경우, 얇은 산화막 층에서는 큰 값을 가지는 전계 구간이 살짝 존재하지만, 전반적인 전계값이 현저하게 낮아지는 것을 볼 수 있다. 다음으로 'Bottom Oxide Trench'의 경우, 산화막과 드리프트 영역의 경계면(약 3um 부근에 해당한다.)에서의 전계값은 같지만, 위로 올라갈수록 'Thick Bottom Oxide'의 경우에는 점점 그 값이 커지는데 반해, 2차 트렌치 구조를 갖는 'Bottom Oxide Trench'의 경우는 그 값이 점점 더 낮아지는 것을 볼 수 있다. 즉, 산화막 내부의 전반적인 전계값이 낮아지는 결과를 나타낸다.

[0073] 상기된 본 발명의 실시예들에 따르면, SiC U형 MOSFET의 1차 트렌치 구조 내의 바닥 산화막을 하이(high) K 물질로 구성하거나, 게이트 산화막에 2차 트렌치 구조를 형성함으로써, 게이트 산화막의 전계를 감소시킬 수 있으며, 드리프트 영역의 전계 또한 감소시킴으로써 보다 큰 항복 전압을 얻을 수 있다.

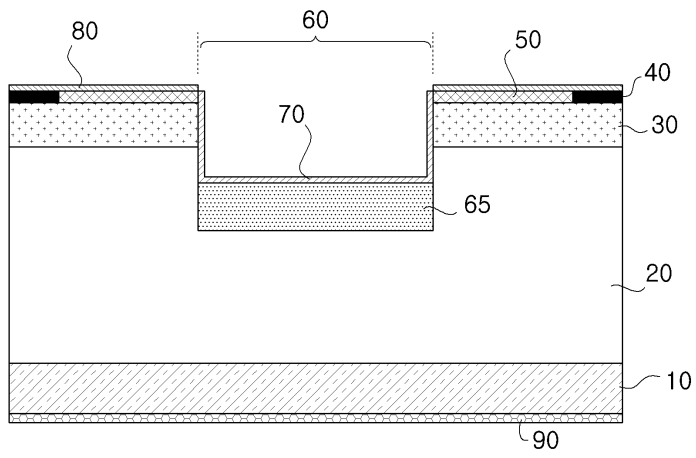
[0074] 이상에서 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

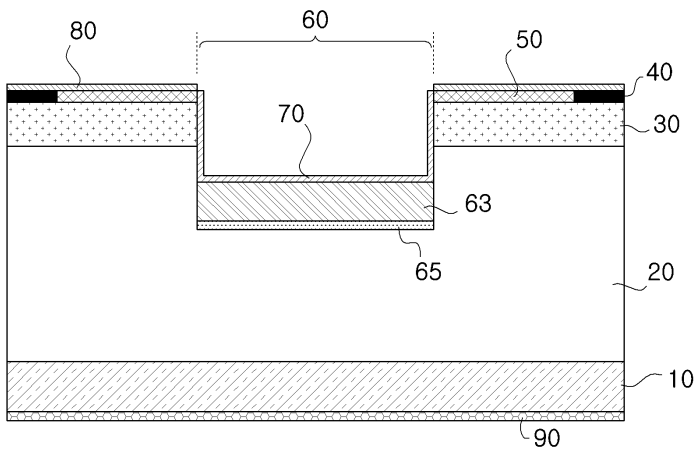
[0075] 10 : 제 1 도전형 SiC 기판
 20 : 제 1 도전형 에피층 30 : 제 2 도전형 바디층
 40 : 제 2 도전형 도핑층 50 : 제 1 도전형 영역
 60 : 1차 트렌치 구조
 63 : 트렌치 바닥층 65 : SiO₂층
 67 : 2차 트렌치 구조
 70 : 게이트 전극 80 : 소스 전극
 90 : 드레인 전극

도면

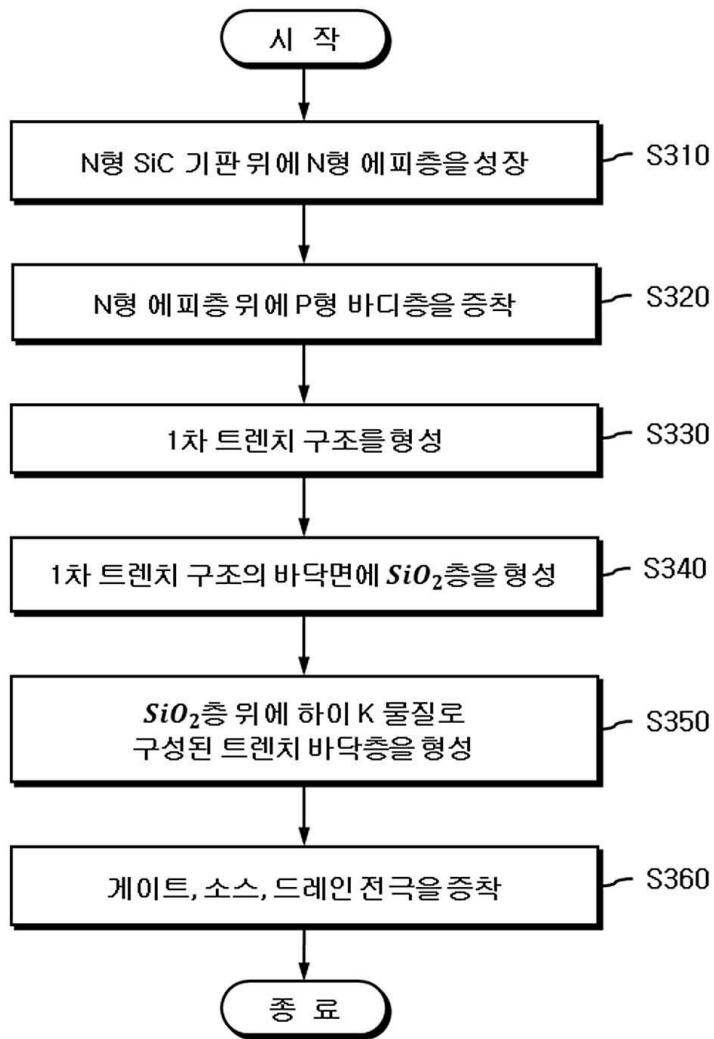
도면1



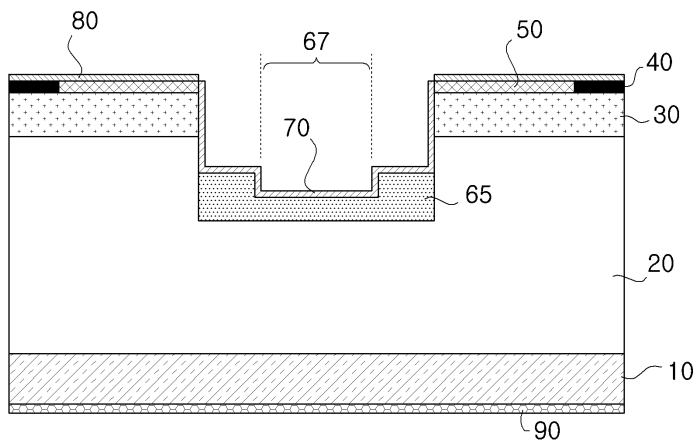
도면2



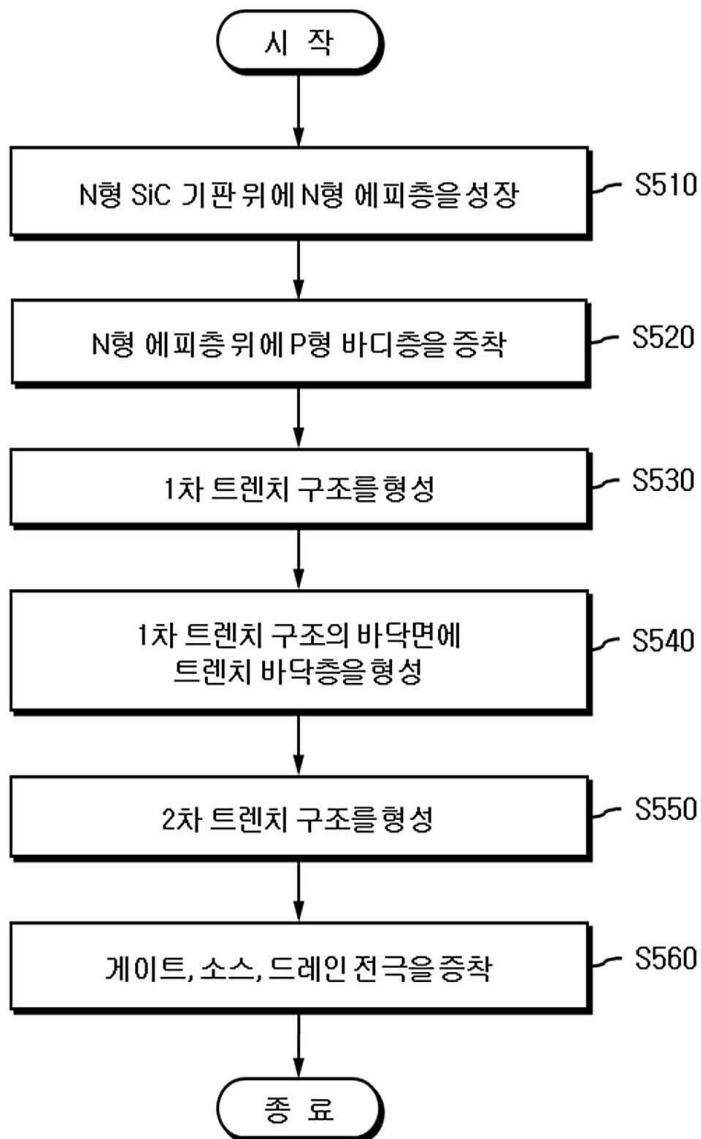
도면3



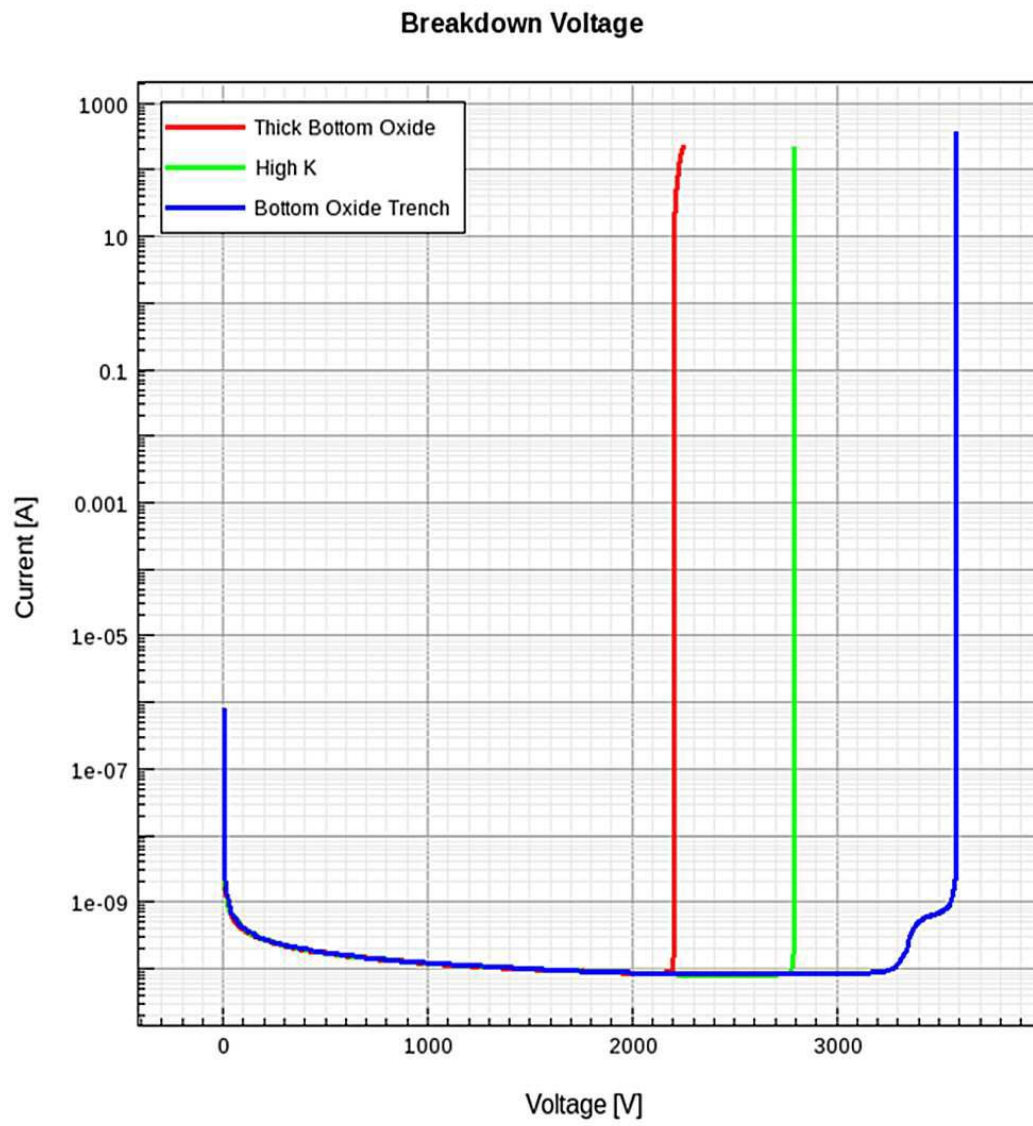
도면4



도면5



도면6



도면7

