



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0041688
(43) 공개일자 2017년04월17일

(51) 국제특허분류(Int. Cl.)
H01L 23/42 (2006.01) H01L 23/367 (2006.01)
H01L 23/373 (2006.01)
(52) CPC특허분류
H01L 23/42 (2013.01)
H01L 23/3677 (2013.01)
(21) 출원번호 10-2017-7000813
(22) 출원일자(국제) 2015년05월29일
심사청구일자 없음
(85) 번역문제출일자 2017년01월11일
(86) 국제출원번호 PCT/US2015/033163
(87) 국제공개번호 WO 2015/195295
국제공개일자 2015년12월23일
(30) 우선권주장
62/014,242 2014년06월19일 미국(US)

(71) 출원인
다우 코닝 코포레이션
미국 미시간주 48686-0994 미드랜드 피오박스 994
웨스트 살즈버그 로드 2200
(72) 발명자
존, 랜지스, 사무엘
미합중국 48642 미시간주 미드랜드 이스트 휠러
스트리트 1327
메이넨, 허먼
벨기에 립비크 3210 헤이즌패드 15
이클, 크레이그
미합중국 48640 미시간주 미드랜드 엔더 181
(74) 대리인
제일특허법인

전체 청구항 수 : 총 15 항

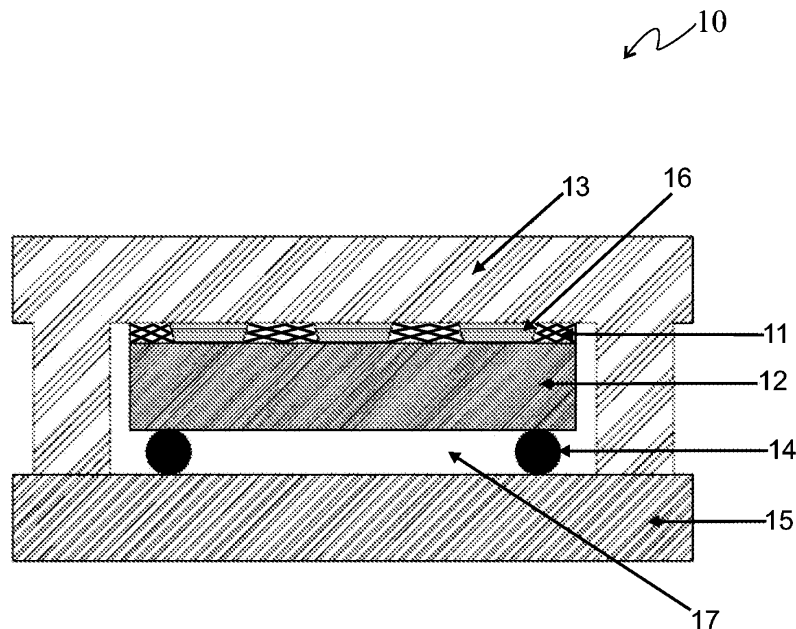
(54) 발명의 명칭 웨이퍼 레벨 Z-축 서멀 인터포저를 위한 광패턴화가능한 실리콘

(57) 요약

저응력 광패턴화가능한 실리콘을 사용하는 서멀 인터포저(thermal interposer)의 제조 방법이 제공되며, 이러한 서멀 인터포저는 LED, 로직 및 메모리 소자 및 열 관리가 요구되는 다른 그러한 반도체 제품의 패키징 내로 공급되는 전자 제품의 생산에서의 사용을 위한 것이다. 광패턴화가능한 실리콘 조성물, 열 전도성 재료 및 저응점

(뒷면에 계속)

대표도 - 도1



순응성 솔더가 완전한 반도체 패키지 모듈을 형성한다. 광패턴화가능한 실리콘을 웨이퍼의 표면 상에 적용하고, 선택적으로 방사선 조사하여 개구들을 형성하는데, 개구들은 사용자에게 명확한 접합라인 두께 제어를 제공한다. 이어서, 개구들에 고전도성 페이스트를 충전하여 고전도성 서멀 링크(thermal link)를 형성한다. 이어서, 저융점 경화성 솔더를 적용하는데, 이때 솔더는 실리콘뿐만 아니라 열 전도성 경로도 습윤시키며, 이는 구조화된 z-축 서멀 인터포저와 웨이퍼 또는 PCB일 수 있는 기판 및/또는 히트 싱크 사이의 낮은 열 접촉 저항으로 이어진다.

(52) CPC특허분류

H01L 23/3736 (2013.01)

명세서

청구범위

청구항 1

웨이퍼의 표면 상에 형성된 경화된 층 내의 복수의 개구부(aperture)들에 열 전도성 재료를 충전하여 열 전도성 인터포저(interposer)를 형성하는 단계를 포함하는, 웨이퍼 상에 열 전도성 인터포저를 형성하는 방법.

청구항 2

제1항에 있어서, 상기 경화된 층의 두께는 z-축 두께에 상응하고, 상기 개구부들은 상기 z-축 두께를 따라 상기 경화된 층을 관통하는, 방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 경화된 층은 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이며, 상기 광패턴화가능한 실리콘 조성물은

- A) 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산,
- B) 상기 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기 규소 화합물, 및
- C) 촉매량의 광활성화된 하이드로실릴화 촉매를 포함하는, 방법.

청구항 4

제3항에 있어서, 상기 광패턴화가능한 실리콘 조성물 및 용매의 혼합물을 상기 웨이퍼의 적어도 하나의 표면에 적용하여 상기 웨이퍼의 표면의 적어도 일부분을 덮는 적용된 층을 형성하는 단계; 상기 적용된 층을 광패턴화하는 단계; 및 상기 광패턴화된 적용된 층을 경화시키는 단계를 포함하는, 방법.

청구항 5

제4항에 있어서,

- i) 상기 적용된 층의 일부분에, 상기 적용된 층의 다른 부분은 마스킹하면서, i-라인 방사선을 포함한 방사선을 조사하여, 상기 웨이퍼의 표면의 적어도 일부분을 덮는 비조사된 영역들 및 상기 웨이퍼의 표면의 나머지를 덮는 조사된 영역들을 갖는 부분-조사된 층을 생성하는 단계;
- ii) 상기 조사된 적용된 층을 열에 의해 부분 경화시키는 단계;
- iii) 상기 부분 경화된 층의 상기 비조사된 영역들을 현상 용매로 제거하여, 복수의 z-축 개구부들이 한정된 부분 경화된 층을 형성하는 단계; 및
- iv) 상기 부분 경화된 층을 경화시켜 상기 경화된 층을 제공하는 단계를 포함하는, 방법.

청구항 6

제5항에 있어서,

상기 방사선은 자외(UV) 방사선이고, 상기 UV 방사선의 세기는 800 밀리줄/제곱센티미터(mJ/cm²) 내지 2800 mJ/cm²의 범위이거나; 또는

상기 조사된 적용된 층은 상기 층을 2분 내지 5분 동안 섭씨 100도(100℃) 내지 150℃ 범위의 온도로 가열함으로써 부분 경화되거나; 또는

상기 비조사된 영역들을 제거하는 단계는 상기 부분 경화된 층을 부틸 아세테이트 및 메시틸렌으로 이루어진 그룹으로부터 선택되는 상기 현상 용매 중에 침지함으로써 수행되거나; 또는

상기 부분 경화된 층은 상기 부분 경화된 층을 30분 내지 3시간 동안 섭씨 180도(180℃) 내지 400℃ 범위의 온

도로 가열함으로써 경화되는, 방법.

청구항 7

제4항에 있어서, 상기 광패턴화가능한 실리콘 조성물을 적용하는 단계 후에, 상기 적용된 층을 2분 내지 5분 동안 섭씨 50도(50℃) 내지 130℃ 범위의 온도로 가열함으로써 상기 적용된 층으로부터 상기 용매의 적어도 일부분을 제거하는 단계를 추가로 포함하는, 방법.

청구항 8

제1항 또는 제2항에 있어서, 상기 열 전도성 재료는 티타늄; 알루미늄; 니켈; 구리; 은; 금; 티타늄, 알루미늄, 니켈, 구리, 은, 및 금 중 임의의 둘 이상의 합금; 탄소, 질화붕소; 탄소 나노튜브; 및 이들 중 임의의 둘 이상의 조합으로 이루어진 그룹으로부터 선택되는, 방법.

청구항 9

웨이퍼로부터의 열을 소산시키기 위한 열 전도성 인터포저로서,

상기 인터포저는 상기 웨이퍼의 적어도 하나의 표면을 덮고;

상기 인터포저는 열 전도성 재료의 패턴이 안의 개별 위치들에 배치된 경화된 층으로 구성되며, 이때 상기 경화된 층은 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이며, 상기 광패턴화가능한 실리콘 조성물은

A) 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산,

B) 상기 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기 규소 화합물, 및

C) 촉매량의 광활성화된 하이드로실릴화 촉매를 포함하고;

상기 인터포저는 상기 인터포저 내의 미리 결정된 위치들에 복수의 개구부들을 한정하며, 이때 상기 개구부들 중 적어도 일부는 상기 열 전도성 재료가 그 안에 배치된, 열 전도성 인터포저.

청구항 10

제1항 또는 제2항의 방법에 의해 제조된 열 전도성 인터포저.

청구항 11

제10항에 있어서, 상기 개구부들 중 적어도 일부는 z-축 비아(via)들인, 열 전도성 인터포저.

청구항 12

i) 웨이퍼의 표면 상에 형성된 경화된 층 내의 복수의 개구부들에 열 전도성 재료를 충전하여, 상기 웨이퍼 상에 열 전도성 인터포저를 형성하는 단계;

ii) 상기 웨이퍼를 다이싱(dicing)하여, 상기 열 전도성 인터포저가 위에 형성된 개별 다이싱된 웨이퍼들을 생성하는 단계;

iii) 각각의 다이싱된 웨이퍼의 상기 열 전도성 인터포저가 기판과 대향하도록 각각의 다이싱된 웨이퍼를 상기 기판에 근접하게 배치하는 단계;

iv) 상기 인터포저 내의 각각의 충전된 개구부와 상기 기판 사이에 솔더의 비드(bead) 또는 층을 배치하는 단계; 및

v) 상기 솔더를 용융시켜 상기 개구부 내의 열 전도성 재료와 상기 기판 사이에 접합부를 형성하는 단계를 포함하는, 반도체 패키지의 제조 방법.

청구항 13

제12항에 있어서, 상기 경화된 층의 두께는 z-축 두께에 상응하고, 상기 개구부들은 상기 z-축 두께를 따라 상

기 경화된 층을 관통하는, 방법.

청구항 14

제12항 또는 제13항에 있어서, 상기 경화된 층은 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이며, 상기 광패턴화가능한 실리콘 조성물은

- A) 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산,
- B) 상기 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기 규소 화합물, 및
- C) 촉매량의 광활성화된 하이드로실릴화 촉매를 포함하는, 방법.

청구항 15

i) 적어도 하나의 표면을 포함하는 웨이퍼;

ii) 상기 웨이퍼로부터의 열을 소산시키기 위한, 상기 웨이퍼의 표면을 덮는 열 전도성 인터포저로서,

상기 인터포저는 상기 인터포저 내의 미리 결정된 위치들에 한정된 복수의 개구부들을 한정하고, 상기 개구부들 중 적어도 일부는 열 전도성 재료가 그 안에 배치되고, 상기 인터포저는 경화된 층으로 구성되며, 이때 상기 경화된 층은 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이며, 상기 광패턴화가능한 실리콘 조성물은

- A) 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산,
- B) 상기 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기 규소 화합물, 및
- C) 촉매량의 광활성화된 하이드로실릴화 촉매를 포함하는, 상기 열 전도성 인터포저;

iii) 반도체 패키지 기판; 및

iv) 상기 인터포저 내의 각각의 충전된 개구부와 상기 기판 사이에 분배되어, 상기 개구부 내의 열 전도성 재료와 상기 기판 사이에 접합부를 형성하는 솔더의 비드 또는 층을 포함하는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 광패턴화가능한 실리콘에 관한, 그리고 광패턴화가능한 실리콘 조성물을 사용하여 반도체 소자 패키지 내에 인터포저(interposer)를 형성하는 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자는 더 소형화되고 더 강력해지고 있다. 복합 회로 밀도의 다수의 구성요소를 갖고 작동 주파수가 높은 반도체 소자가 더 소형인 패키지로 제조되고 있으며, 이는 열적인 문제의 증가로 이어진다. 높은 작동 주파수는 전력 소비 및 결과적으로 반도체 소자 패키지에서의 열 발생을 증가시킨다. 전형적으로, 팬 및 히트 싱크(heat sink)와 같은 냉각 하드웨어가 반도체 소자에 의해 발생된 열을 소산시키고 소자를 냉각시키기 위해 사용된다. 그러나, 반도체 소자 패키지 내의 고온 구성요소들로부터의 쿨링 하드웨어로의 열의 전달이 또한 반도체 소자를 상당히 냉각시키기 위해 제공될 수 있다.

[0003] 열 계면 재료(Thermal Interface Material)(TIM)가 전형적으로 능동 반도체 웨이퍼/다이와 기판 또는 히트 싱크 사이의 열 수송 매체로서 사용되어 능동 다이와 히트 싱크 사이의 열 수송을 향상시킨다. 금속 입자가 충전된 겔, 그리스 및 접착제가 기판에 대한 다이의 부착, 리드(lid)에 대한 다이의 부착 및/또는 히트 싱크에 대한 다이의 부착을 위한 TIM으로서 사용된다. TIM의 전형적인 열 전도율 값은 충전제 유형, 크기 분포, 로딩률 및 출발 매트릭스에 따라 1 내지 수 와트/미터-켈빈($\text{Wm}^{-1}\text{K}^{-1}$)의 범위이다. TIM을 적용하는 일반적인 방법은 다이를 다이싱(dicing)하고 능동 다이 또는 기판에 접합한 후에 TIM 재료를 분배하는 단계를 포함한다. TIM을 적용하는 방법은 당업계에 잘 알려져 있다. 그러나, 지금까지의 TIM의 적용은 다이 레벨 상에서 일어나며, 그럼으로

써 TIM의 사용을 제한한다. 용어 "다이 레벨"은 TIM의 적용 및 다이의 조립이 가공된 웨이퍼가 개별 다이들로 다이싱된 후에 일어난다는 것을 의미한다.

[0004] 열 수송에 사용되는 TIM 재료는 더 우수한 열 전도를 위하여 알루미늄, 은 또는 금과 같은 열 전도성 입자가 충전된 에폭시 또는 실리콘과 같은 절연 매트릭스로 제조된다. 따라서, 충전된 TIM의 복합 매트릭스는 충전제의 열 전도율이라기보다는 오히려 절연 매트릭스의 열 전도율에 더 가까운 열 전도율을 갖는다. 예를 들어, 전형적인 실리콘의 열 전도율은 0.2 내지 0.3 $\text{Wm}^{-1}\text{K}^{-1}$ 이고, 그러한 실리콘이 열 전도율이 429 $\text{Wm}^{-1}\text{K}^{-1}$ 인 은 입자가 충전될 경우, 실리콘-은 복합재의 열 전도율은 대략 2 내지 3 $\text{Wm}^{-1}\text{K}^{-1}$ 이다. 따라서, 열 수송 매체로서의 TIM의 유효성에 대한 일반적인 제한이 있다.

[0005] 더욱이, TIM에서의 충전제의 사용은 충전제의 침강을 방지하는 충전제 기술의 신중한 관리뿐만 아니라, 충전된 복합재의 적절한 취급 및 분배, 균일한 접합 라인(bond line)의 형성 등을 요구한다. 이들 고려사항은 신뢰성 있는 저가의 반도체 소자 패키지 모듈의 제조 작업을 더 복잡하게 한다. 전형적으로, 대부분의 능동 반도체 소자의 이면(reverse side)은 거칠어서, 에어 포켓(air pocket) 및 TIM과 소자 사이의 높은 열 접촉 저항을 초래하며, 이에 따라 TIM의 유효성을 감소시킨다.

[0006] 규소 인터포저가 반도체 소자 패키지 내에서 열 수송 매체로서 점점 더 많이 사용되고 있다. 규소 인터포저는 전형적으로, 계면 상용성(interface compatibility)을 위하여 능동 다이들을 특별히 설계할 필요성 없이 능동 다이들을 상호접속하기 위해 사용되는 규소-관통-비아(through-silicon-via)를 갖는 수동 규소 기판 또는 다이이다. 규소 인터포저들은 능동 다이들을 패키지 내에 나란히 그리고/또는 수직으로 적층하기 위해 사용된다.

[0007] 반도체 소자 패키지 내에서의 열 수송 매체로서의 규소 인터포저를 개발하기 위한 노력이 있어 왔다. 예를 들어, 미국 특허 출원 공개 US20050280128호는 반도체 소자의 표면에 대한 부착을 위해 제공된 서멀 인터포저(thermal interposer)를 기술한다. 인터포저는, 함께 기밀 접합된 상부 플레이트 및 하부 플레이트를 포함한다. 2개의 플레이트의 사용 및 2개의 플레이트의 기밀 접합은 인터포저의 제조를 복잡하게 한다. 더욱이, 2개의 플레이트의 정밀한 접합이 인터포저의 효율적인 기능을 위해 요구된다.

[0008] 미국 특허 출원 공개 US20060006526호는 접합 층을 사용하여 절연 층에 접합된 2개의 전도체를 갖는 다층 서멀 인터포저를 언급한다. 그러나, 서멀 인터포저의 다수의 층은 인터포저 및 반도체 소자 패키지의 제조를 더 복잡하게 한다.

[0009] 미국 특허 출원 공개 US20100044856호는 다이로부터의 열을 전도하기 위한 열 계면 재료를 포함하는 다이, 유기 기판, 및 유기 기판과 다이 사이에 제공된 서멀 인터포저를 갖는 전자 패키지를 언급한다. 서멀 인터포저의 영역은 다이의 풋프린트(footprint)를 넘어서 연장되고 열 계면 재료를 포함한다. 서멀 인터포저는 다이에 의해 발생된 열을 열 계면 재료를 통해 전도한다. 그러나, 다이의 풋프린트를 넘어서 연장되는 서멀 인터포저의 추가 영역을 수용하기 위하여, 더 대형인 반도체 소자 패키지가 요구되며, 이에 따라 서멀 인터포저의 사용을 제한하고 더 소형인 패키지를 제조할 때 서멀 인터포저가 사용될 수 없게 한다.

[0010] 미국 특허 출원 공개 US20120106117호는 수직/3D 적층 전자 디바이스를 전기 접속하기 위하여 관통-비아 상호접속을 갖는 규소 인터포저를 제시한다. 미국 특허 출원 공개 US20120106117호에 언급된 규소 인터포저는 전형적으로, 3D 적층 전자 디바이스를 전기 접속하도록 설계된다.

[0011] 국제 특허 출원 공개 W02012/142592호는 패키지 관통 비아들을 갖는 규소 인터포저를 기술한다. 규소 인터포저는 패키지 관통 비아들이 한정된 패널 또는 웨이퍼 형태의 규소 기판 및 규소 기판의 제1 및 제2 면 상에 동시에 존재하는 재분포 층들을 포함한다. 그러나, 국제 특허 출원 공개 W02012/142592호의 규소 인터포저는 반도체 패키지 내의 전기 손실을 감소시키도록 설계되며, 이로써 인터포저로서의 규소 웨이퍼의 사용을 필요로 한다. 더욱이, 규소 인터포저를 제조하는 방법은 웨이퍼를 드릴링 또는 레이저 어블레이션(laser ablation)하여 규소 웨이퍼 내에 패키지 관통 비아들을 생성하는 단계 및 패키지 관통 비아들 내에 중합체 라이너를 추가로 형성하는 단계를 포함한다.

[0012] 3-차원(3D) 및 2.5D 적층 메모리 및 로직 모듈의 출현으로, 열 수송에 효율적인 매체인 구조를 생성하는 것이 중요하다. 따라서, 잘 제어된 얇은 접합 라인, 낮은 열 접촉 저항, 높은 열 전도율 및 대규모 제조를 위한 적합성을 가능하게 하는 더 새로운 더 효율적인 열 관리 방법에 대한 필요성이 있다.

발명의 내용

[0013] 본 발명은 효율적인 열 관리를 위하여 반도체 소자 패키지 내에 열 전도성 인터포저들을 형성하기 위해 실리콘 조성물을 사용하는 방법에 관한 것이다. 본 발명의 일 태양에 따르면, 웨이퍼 상에 열 전도성 인터포저를 형성하는 방법이 제공된다. 본 방법은 웨이퍼의 표면 상에 형성된 경화된 층 내의 복수의 개구부(aperture)들에 열 전도성 재료를 충전하여 웨이퍼 상에 열 전도성 인터포저를 형성하는 단계를 포함한다.

[0014] 본 발명의 다른 태양에 따르면, 웨이퍼로부터의 열을 소산시키기 위한 열 전도성 인터포저가 제공된다. 인터포저는 상기 웨이퍼의 적어도 하나의 표면을 덮고; 인터포저는 열 전도성 재료의 패턴이 안의 개별 위치들에 배치된 경화된 층으로 구성되며, 이때 경화된 층은 광패턴화가능한 실리콘(PPS) 조성물의 층을 광패턴화 및 경화한 생성물이며, 광패턴화가능한 실리콘 조성물은 (A) 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산, (B) 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기규소 화합물, 및 (C) 촉매량의 광활성화된 하이드로실릴화 촉매를 포함한다. 인터포저는 인터포저 내의 미리 결정된 위치들에 한정된 복수의 개구부들을 한정하며, 이때 개구부들 중 적어도 일부는 열 전도성 재료가 그 안에 배치된다.

[0015] 본 발명의 또 다른 태양에 따르면, 반도체 패키지의 제조 방법이 제공된다. 본 방법은 웨이퍼의 표면 상에 형성된 경화된 층 내의 복수의 개구부들에 열 전도성 재료를 충전하여 웨이퍼 상에 열 전도성 인터포저를 형성하는 단계를 포함한다. 본 방법은 열 전도성 인터포저 상에 솔더의 층을 침착하는 단계를 추가로 포함한다. 본 방법은 웨이퍼를 다이싱하여, 열 전도성 인터포저 및 그 위에 형성된 솔더의 층을 갖는 개별 다이싱된 웨이퍼들을 생성하는 단계를 추가로 포함한다. 본 방법은 각각의 다이싱된 웨이퍼를 반도체 패키지 리드/히트 싱크에, 솔더의 층이 위에 있는 각각의 다이싱된 웨이퍼의 열 전도성 인터포저가 히트 싱크와 대향하도록 근접하게 배치하는 단계 및 솔더를 용융시켜 개구부 내의 열 전도성 재료와 히트 싱크 사이에 접합부를 형성하는 단계를 추가로 포함한다.

[0016] 본 발명의 또 다른 태양에 따르면, 반도체 패키지가 제공된다. 반도체 패키지는 적어도 하나의 표면을 포함하는 웨이퍼; 웨이퍼로부터의 열을 소산시키기 위한, 웨이퍼의 표면을 덮는 열 전도성 인터포저로서, 인터포저는 인터포저 내의 미리 결정된 위치들에 한정된 복수의 개구부들을 한정하며, 이때 개구부들 중 적어도 일부는 열 전도성 재료가 그 안에 배치된, 열 전도성 인터포저; 반도체 패키지 기판; 및 인터포저 내의 각각의 충전된 개구부와 반도체 패키지 리드/히트 싱크 사이에 분배되어, 개구부 내의 열 전도성 재료와 히트 싱크 사이에 접합부를 형성하는 솔더의 층을 포함한다. 인터포저는 경화된 층으로 구성되며, 이때 경화된 층은 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이며, 광패턴화가능한 실리콘 조성물은 A) 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산, B) 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기규소 화합물, 및 C) 촉매량의 광활성화된 하이드로실릴화 촉매를 포함한다.

도면의 간단한 설명

[0017] 본 발명의 다양한 이점이 하기 상세한 설명을 읽을 때 그리고 첨부 도면을 참조할 때 명백해질 것이다.

도 1은 광패턴화가능한 실리콘 조성물 기반 Z-축 두께 서멀 인터포저를 갖는 패키징된 소자의 개략도를 도시한다.

도 2는 웨이퍼 레벨로 광패턴화가능한 실리콘 조성물 기반 Z-축 두께 서멀 인터포저를 갖는 전자 패키지의 제조에 포함되는 공정 단계들의 개략도를 도시한다.

도 3a 내지 도 3f는 전도성 페이스트 충전된 서멀 개구부들을 갖는 가공된 광패턴화가능한 실리콘 층의 현미경 이미지를 보여준다.

도 4a 내지 도 4d는 금속 침착된 서멀 개구부들을 갖는 가공된 광패턴화가능한 실리콘 층의 현미경 이미지를 보여준다.

도 5는 추가의 예시적인 실시 형태에 따라 열 전도성 인터포저를 형성하는 방법에 포함되는 단계들을 나타낸 흐름도를 도시한다.

본 발명은 다양한 변형 및 대안적인 형태가 가능하고 구체적인 실시 형태들이 도면에 예로서 도시되어 있고 본 명세서에 상세히 설명될 것이지만, 본 발명은 개시된 특정 형태에 한정시키고자 하는 것은 아니다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 명세서에 사용되는 바와 같이, "~ 일 수 있다(may)"는 필수(imperative)가 아니라 선택(choice)을 의미한다. "선택적으로"는 부재함, 대안적으로 존재함을 의미한다. "접촉하는"은 물리적 접촉이 되게 하는 것을 의미한다. "작동적 접촉"은, 예를 들어 개질, 코팅, 접착, 밀봉, 또는 충전과 관련하여, 기능적으로 효과적인 터치(touching)를 포함한다. 작동적 접촉은 직접 물리적 터치, 대안적으로 간접 터치일 수 있다. 본 명세서에서 참고로 언급된 모든 미국 특허 출원 공개 및 특허, 또는 단지 이들의 일부분만이 참고로 언급되어 있는 경우에는 그 일부분이, 도입된 요지가 본 발명과 상충되지 않는 한, 이로써 본 명세서에 참고로 포함되며, 임의의 그러한 상충 시에는 본 발명이 좌우할 것이다. 물질의 모든 상태는 달리 나타내지 않는 한 25℃ 및 101.3 kPa에서 결정된다. 모든 %는 달리 기재되지 않는 한 중량 기준이다. 모든 중량% 값은, 달리 나타내지 않는 한, 합계 100 중량%가 되는, 조성물을 합성 또는 제조하는 데 사용되는 모든 성분들의 총 중량을 기준으로 한다. 부류(genus) 및 그 안의 하위부류(subgenus)를 포함하는 임의의 마쿠쉬(Markush) 군은 부류 내의 하위부류를 포함하며, 예를 들어 "R은 하이드로카르빌 또는 알케닐이다"에서, R은 알케닐일 수 있으며, 대안적으로 R은 하이드로카르빌일 수 있는데, 이는 다른 하위부류 중에서도 특히 알케닐을 포함한다.
- [0019] 본 발명의 일 태양에 따르면, 광패턴화가능한 실리콘 조성물이 웨이퍼 상에 열 전도성 인터포저를 형성하는 데 사용될 수 있다. 광패턴화가능한 실리콘의 그러한 사용은 최종 사용자가 필요에 따라 반도체 웨이퍼 상에 실리콘을 적용하고, 패턴화하고, 열 전도성 재료를 침착하고자 하는 실리콘의 영역들을 현상/제거할 수 있게 하여, 더 높은 열 소산이 필요한 영역들에 더 가깝게 개구부들의 위치를 설계하도록 사용자에게 유연성을 제공할 수 있다. 더욱이, 본 발명의 이 태양은 초반에 언급된 종래 기술의 충전제 기술에 대한 필요성을 없애주며, 이로써 충전제 관리와 관련된 비용 및 복잡성을 감소시키고, 충전된 고점도 TIM을 균질하게 분배시킨다. 이 태양은 또한 우수한 접합 라인 두께 제어를 제공하고, 충전된 TIM과 관련된 열 접촉 저항의 관리에 대한 필요성을 감소시킨다. 용어 "접합 라인"은 다이와 히트 싱크 사이의 갭(gap)을 지칭하는데, 이러한 갭은 광패턴화가능한 실리콘 조성물의 두께 및 웨이퍼 상에 적용된 솔더의 층에 의해 한정된다.
- [0020] 열 전도성 인터포저는, 균일한 두께 및/또는 폭을 가질 수 있는, 대안적으로 두께 및 폭이 변동될 수 있는, 그럼으로써 비아 구조 및 위치의 설계에 있어서 유연성을 제공하고, 개구부들을 다이 상의 "핫 스팟들"에 또는 그 부근에 위치시켜 다이로부터의 열을 소산시키도록 사용자에게 유연성을 제공할 수 있는 서멀 개구부/비아들을 가지면서 웨이퍼 레벨로 형성될 수 있다. 용어 "웨이퍼 레벨"은 열 전도성 인터포저가, 웨이퍼가 개별 다이들로 다이싱되기 전에, 전체 웨이퍼 상에 형성됨을 의미한다. 더욱이, 이 태양은 다이 레벨에서의 열 계면 복합 재료의 취급 및 분배에 대한 필요성을 없앨 수 있으며, 이에 따라 비용을 감소시킬 수 있다. 추가적으로, 광패턴화가능한 실리콘은, 상이한 CTE(열 팽창 계수)를 갖는 재료로 주로 구성된 능동 소자에 대한 응력의 관리의 가능하게 하는 응력 버퍼(stress buffer)로서 작용하며, 이에 따라 열 전도성 인터포저 및 소자의 신뢰성을 증가시키도록 돕는다.
- [0021] 광패턴화가능한 실리콘 조성물은 미국 특허 제7,517,808호에 기재된 3개의 주요 성분들 및 추가의 부차적인 성분들로 구성될 수 있으며, 이는 본 명세서에 참고로 포함된다. 광패턴화가능한 실리콘 조성물의 주요 성분들은 (A) 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산, (B) 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기규소 화합물, 및 (C) 촉매량의 광활성화된 하이드로실릴화 촉매를 포함한다.
- [0022] 성분 (A)는 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 적어도 하나의 오가노폴리실록산이다. 오가노폴리실록산은 선형, 분지형, 또는 수지상(resinous) 구조를 가질 수 있다. 유기폴리실록산은 단일중합체 또는 공중합체일 수 있다. 알케닐 기는 전형적으로 2 내지 약 10개의 탄소 원자를 갖고, 비닐, 알릴, 부테닐, 및 헥세닐에 의해 예시되지만 이로 한정되지 않는다. 오가노폴리실록산 내의 알케닐 기는 말단 위치, 펜던트 위치, 또는 말단 위치와 펜던트 위치 둘 모두에 위치될 수 있다. 오가노폴리실록산 내의 나머지 규소-결합 유기 기들은 독립적으로, 지방족 불포화체가 없는 1가 탄화수소 및 1가 할로젠화 탄화수소 기로부터 선택된다. 이들 1가 기는 전형적으로 1 내지 약 20개의 탄소 원자를 가지며, 대안적으로 1 내지 10개의 탄소 원자를 갖고, 알킬, 예컨대 메틸, 에틸, 프로필, 펜틸, 옥틸, 운데실 및 옥타데실; 사이클로알킬, 예컨대 사이클로헥실; 아릴, 예컨대 페닐, 톨릴, 자일릴, 벤질 및 2-페닐에틸; 및 할로젠화 탄화수소 기, 예컨대 3,3,3-트라이플루오로프로필, 3-클로로프로필 및 다이클로로페닐로 예시되지만 이로 한정되지 않는다. 오가노폴리실록산 내의 지방족 불포화체가 없는 유기 기들의 적어도 50%, 그리고 대안적으로 적어도 80%는 메틸일 수 있다.
- [0023] 25℃에서의 오가노폴리실록산의 점도는 전형적으로 0.001 내지 100,000 Pa·s, 대안적으로 0.01 내지 10,000 Pa·s, 그리고 대안적으로 0.01 내지 1,000 Pa·s이다.

- [0024] 광패턴화가능한 실리콘 조성물 내의 성분 (A)로서 유용한 오가노폴리실록산의 예에는 하기 화학식: $\text{ViMe}_2\text{SiO}(\text{Me}_2\text{SiO})_a\text{SiMe}_2\text{Vi}$, $\text{ViMe}_2\text{SiO}(\text{Me}_2\text{SiO})_{0.25a}(\text{MePhSiO})_{0.75a}\text{SiMe}_2\text{Vi}$, $\text{ViMe}_2\text{SiO}(\text{Me}_2\text{SiO})_{0.95a}(\text{Ph}_2\text{SiO})_{0.05a}\text{SiMe}_2\text{Vi}$, $\text{ViMe}_2\text{SiO}(\text{Me}_2\text{SiO})_{0.98a}(\text{MeViSiO})_{0.02a}\text{SiMe}_2\text{Vi}$, $\text{Me}_3\text{SiO}(\text{Me}_2\text{SiO})_{0.95a}(\text{MeViSiO})_{0.05a}\text{SiMe}_3$, 및 $\text{PhMeViSiO}(\text{Me}_2\text{SiO})_a\text{SiPhMeVi}$ 를 갖는 폴리다이오가노실록산이 포함되지만 이로 한정되지 않으며, 상기 식에서 Me, Vi, 및 Ph는 각각 메틸, 비닐, 및 페닐을 나타내고, a는 25℃에서의 폴리다이오가노실록산의 점도가 0.001 내지 100,000 Pa·s가 되도록 하는 값을 갖는다.
- [0025] 광패턴화가능한 실리콘 조성물에 사용하기에 적합한 오가노폴리실록산의 제조 방법, 예컨대 상응하는 오가노할로실란의 가수분해 및 축합, 또는 환형 폴리다이오가노실록산의 평형화를 포함하는 방법이 당업계에 잘 알려져 있다.
- [0026] 성분 (A)의 오가노폴리실록산은 오가노폴리실록산 수지일 수 있다. 적합한 오가노폴리실록산 수지의 예에는 $\text{R}^1_3\text{SiO}_{1/2}$ 단위 및 $\text{SiO}_{4/2}$ 단위를 포함하는 MQ 수지, $\text{R}^1\text{SiO}_{3/2}$ 단위 및 $\text{R}^1_2\text{SiO}_{2/2}$ 단위를 포함하는 TD 수지, $\text{R}^1_3\text{SiO}_{1/2}$ 단위 및 $\text{R}^1\text{SiO}_{3/2}$ 단위를 포함하는 MT 수지, 및 $\text{R}^1_3\text{SiO}_{1/2}$ 단위, $\text{R}^1\text{SiO}_{3/2}$ 단위, 및 $\text{R}^1_2\text{SiO}_{2/2}$ 단위를 포함하는 MTD 수지가 포함되며, 상기 식에서 각각의 R^1 은 독립적으로 1가 탄화수소 및 1가 할로젠화 탄화수소 기로부터 선택된다. R^1 로 나타낸 1가 기는 전형적으로 1 내지 약 20개의 탄소 원자를 가지며, 대안적으로 1 내지 약 10개의 탄소 원자를 갖는다. 1가 기의 예에는 알킬, 예컨대 메틸, 에틸, 프로필, 펜틸, 옥틸, 운데실, 및 옥타데실; 사이클로알킬, 예컨대 사이클로헥실; 알케닐, 예컨대 비닐, 알릴, 부테닐, 및 헥세닐; 아릴, 예컨대 페닐, 톨릴, 자일릴, 벤질, 및 2-페닐에틸; 및 할로젠화 탄화수소 기, 예컨대 3,3,3-트라이플루오로프로필, 3-클로로프로필, 및 다이클로로페닐이 포함되지만 이로 한정되지 않는다. 오가노폴리실록산 수지 내의 적어도 3분의 1, 그리고 대안적으로, 실질적으로 모든 R^1 기는 메틸일 수 있다. 전형적인 오가노폴리실록산 수지는 $(\text{CH}_3)_3\text{SiO}_{1/2}$ 실록산 단위 및 $\text{SiO}_{4/2}$ 단위를 포함하는 MQ 수지일 수 있으며, 상기 식에서 $(\text{CH}_3)_3\text{SiO}_{1/2}$ 단위 대 $\text{SiO}_{4/2}$ 단위의 몰비는 0.6 내지 1.9이다.
- [0027] 오가노폴리실록산 수지는 평균 약 3 내지 30 몰%의 알케닐 기를 함유할 수 있다. 본 명세서에서 수지 내의 알케닐 기의 몰%는 수지 내의 실록산 단위의 총 몰수에 대한 수지 내의 알케닐-함유 실록산 단위의 몰수의 비에 100을 곱한 것으로 정의된다.
- [0028] 오가노폴리실록산 수지는 상업적 공급원으로부터 얻어질 수 있거나 또는 당업계에 잘 알려진 방법에 의해 제조될 수 있다. 수지는 다우트(Daudt) 등의 실리카 하이드로졸 캡핑(capping) 공정에 의해 생성된 수지 공중합체를 적어도 알케닐-함유 말단블로킹(endblocking) 시약으로 처리함으로써 제조될 수 있다. 다우트 등의 방법은 미국 특허 제2,676,182호에 개시되어 있으며, 이 특허는 본 발명에 사용하기에 적합한 오가노폴리실록산 수지를 제조하는 방법을 교시하기 위하여 본 명세서에 참고로 포함된다.
- [0029] 간단히 말하면, 다우트 등의 방법은 산성 조건 하에서 실리카 하이드로졸을 가수분해성 트라이오가노실란, 예컨대 트라이메틸클로로실란, 실록산, 예컨대 헥사메틸다이실록산, 또는 이들의 배합물과 반응시키는 단계, 및 M 및 Q 단위를 갖는 공중합체를 회수하는 단계를 포함한다. 생성된 공중합체 생성물은 일반적으로 약 2 내지 약 5 중량%의 규소-결합 하이드록실 기(Si-OH 기)를 함유한다.
- [0030] 전형적으로 2 중량% 미만의 규소-결합 하이드록실 기를 함유하는 오가노폴리실록산 수지는 다우트 등의 공중합체 생성물을, 최종 오가노폴리실록산 수지 내에 3 내지 30 몰%의 알케닐 기 및 2 중량% 미만의 규소-결합 하이드록실 기를 제공하기에 충분한 양으로, 알케닐-함유 말단블로킹제 또는 알케닐-함유 말단블로킹제와 지방족 불포화체가 없는 말단블로킹제의 배합물과 반응시킴으로써 제조될 수 있다. 그러한 말단블로킹제의 예에는 실라잔, 실록산, 및 실란이 포함되지만 이로 한정되지 않는다. 적합한 말단블로킹제는 당업계에 알려져 있고, 블리자드(Blizzard) 등에게 허여된 미국 특허 제4,584,355호; 블리자드 등에게 허여된 미국 특허 제4,591,622호; 및 호만(Homan) 등에게 허여된 미국 특허 제4,585,836호에 의해 예시되며; 이들은 본 명세서에 참고로 포함된다. 단일 말단블로킹제 또는 그러한 말단블로킹제들의 배합물이 오가노폴리실록산 수지를 제조하는 데 사용될 수 있다.
- [0031] 성분 (A)는 단일 오가노폴리실록산일 수 있거나, 또는 하기 특성들 중 적어도 하나가 상이한 둘 이상의 오가노폴리실록산을 포함하는 배합물일 수 있다: 구조, 점도, 평균 분자량, 실록산 단위, 및 배열(sequence).

- [0032] 성분 (B)는 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 적어도 하나의 유기규소 화합물이다. 광패턴화가능한 실리콘 조성물에서의 가교결합은 성분 (A) 내의 분자당 평균 알케닐 기 수와 성분 (B) 내의 분자당 평균 규소-결합 수소 원자 수의 합계가 4보다 클 때 일어날 수 있는 것으로 일반적으로 이해된다. 오가노하이드로겐폴리실록산 내의 규소-결합 수소 원자는 말단 위치, 펜던트 위치, 또는 말단 위치와 펜던트 위치 둘 모두에 위치될 수 있다.
- [0033] 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기규소 화합물은 오가노실란 또는 오가노하이드로겐실록산일 수 있다. 오가노실란은 모노실란, 다이실란, 트라이실란, 또는 폴리실란일 수 있다. 유사하게, 오가노하이드로겐실록산은 다이실록산, 트라이실록산, 또는 폴리실록산일 수 있다. 유기규소 화합물은 오가노하이드로겐실록산일 수 있다. 유기규소 화합물의 구조는 선형, 분지형, 환형, 또는 수지상일 수 있다. 유기규소 화합물 내의 유기 기의 적어도 50%는 메틸일 수 있다.
- [0034] 성분 (B)로서 사용하기에 적합한 오가노실란의 예에는 모노실란, 예컨대 다이페닐실란 및 2-클로로에틸실란; 다이실란, 예컨대 1,4-비스(다이메틸실릴)벤젠, 비스[(p-다이메틸실릴)페닐]에테르, 및 1,4-다이메틸다이실릴에탄; 트라이실란, 예컨대 1,3,5-트리스(다이메틸실릴)벤젠 및 1,3,5-트라이메틸-1,3,5-트라이실란; 및 폴리실란, 예컨대 폴리(메틸실릴렌)페닐렌 및 폴리(메틸실릴렌)메틸렌이 포함되지만 이로 한정되지 않는다.
- [0035] 성분 (B)로서 사용하기에 적합한 오가노하이드로겐실록산의 예에는 다이실록산, 예컨대 1,1,3,3-테트라메틸다이실록산 및 1,1,3,3-테트라페닐다이실록산; 트라이실록산, 예컨대 페닐트리스(다이메틸실록시)실란 및 1,3,5-트라이메틸사이클로트라이실록산; 및 폴리실록산, 예컨대 트라이메틸실록시-말단화된 폴리(메틸하이드로겐실록산), 트라이메틸실록시-말단화된 폴리(다이메틸실록산/메틸하이드로겐실록산), 다이메틸하이드로겐실록시-말단화된 폴리(메틸하이드로겐실록산), 및 $H(CH_3)_2SiO_{1/2}$ 단위, $(CH_3)_3SiO_{1/2}$ 단위, 및 $SiO_{4/2}$ 단위를 포함하는 수지가 포함되지만 이로 한정되지 않는다.
- [0036] 성분 (B)는 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 단일 유기규소 화합물일 수 있거나, 또는 하기 특성들 중 적어도 하나가 상이한 둘 이상의 그러한 화합물을 포함하는 배합물일 수 있다: 구조, 평균 분자량, 점도, 실란 단위, 실록산 단위, 및 배열.
- [0037] 광패턴화가능한 실리콘 조성물 중 성분 (B)의 농도는 조성물을 경화시키기에, 대안적으로 경화 및 가교결합시키기에 충분하다. 성분 (B)의 정확한 양은 원하는 경화 정도에 의존하며, 이는 일반적으로 성분 (A) 중 알케닐 기의 몰수에 대한 성분 (B) 중 규소-결합 수소 원자의 몰수의 비가 증가함에 따라 증가한다. 전형적으로, 성분 (B)의 농도는 성분 (A) 내의 알케닐 기당 0.5 내지 3개의 규소-결합 수소 원자를 제공하기에 충분하다. 성분 (B)의 농도는 성분 (A) 내의 알케닐 기당 0.7 내지 1.2개의 규소-결합 수소 원자를 제공하기에 충분할 수 있다.
- [0038] 분자당 평균 2개의 이상의 규소-결합 수소 원자를 함유하는 유기규소 화합물의 제조 방법은 당업계에 잘 알려져 있다. 예를 들어, 오가노폴리실란은 나트륨 또는 리튬 금속의 존재 하에서의 탄화수소 용매 중에서의 클로로실란의 반응(부르츠(Wurtz) 반응)에 의해 제조될 수 있다. 오가노폴리실록산은 오가노할로실란의 가수분해 및 축합에 의해 제조될 수 있다.
- [0039] 성분 (A)와 성분 (B)의 상용성을 보장하기 위하여, 각각의 성분 내의 우세한 유기 기는 동일할 수 있다. 이 기는 메틸일 수 있다.
- [0040] 성분 (C)는 광활성화된 하이드로실릴화 촉매이다. 광활성화된 하이드로실릴화 촉매는 150 내지 800 nm의 파장을 갖는 방사선에 대한 노출 및 후속 가열 시에 성분 (B)에 의한 성분 (A)의 하이드로실릴화를 촉매할 수 있는 임의의 하이드로실릴화 촉매일 수 있다. 성분 (C)는 백금족 금속일 수 있다. 적합한 백금족 금속에는 백금, 로듐, 루테튬, 팔라듐, 오스뮴 및 이리듐이 포함된다. 성분 (C)는 하이드로실릴화 반응에서의 높은 활성에 기초하여, 백금일 수 있다. 광패턴화가능한 실리콘 조성물에서의 사용에 있어서의 특정한 광활성화된 하이드로실릴화 촉매의 적합성은 하기 실시예 부분에서의 방법을 사용하여 일상적인 실험에 의해 용이하게 결정될 수 있다.
- [0041] 적합한 광활성화된 하이드로실릴화 촉매의 예에는 백금(II) β -다이케토네이트 착물, 예컨대 백금(II) 비스(2,4-펜탄다이오에이트), 백금(II) 비스(2,4-헥산다이오에이트), 백금(II) 비스(2,4-헵탄다이오에이트), 백금(II) 비스(1-페닐-1,3-부탄다이오에이트), 백금(II) 비스(1,3-다이페닐-1,3-프로판다이오에이트), 백금(II) 비스(1,1,1,5,5,5-헥사플루오로-2,4-펜탄다이오에이트); (η -사이클로펜타다이엔일)트라이알킬백금 착물, 예컨대 (Cp)트라이메틸백금, (Cp)에틸다이메틸백금, (Cp)트라이에틸백금, (클로로-Cp)트라이메틸백금, 및 (트라이메틸

실릴-Cp)트라이메틸백금 - 여기서, Cp는 사이클로펜타다이에닐을 나타냄 -; 트리아젠 옥사이드-전이 금속 착물, 예컨대 $\text{Pt}[\text{C}_6\text{H}_5\text{NNNOCH}_3]_4$, $\text{Pt}[\text{p-CN-C}_6\text{H}_4\text{NNNOC}_6\text{H}_{11}]_4$, $\text{Pt}[\text{p-H}_3\text{COC}_6\text{H}_4\text{NNNOC}_6\text{H}_{11}]_4$, $\text{Pt}[\text{p-CH}_3(\text{CH}_2)_x\text{-C}_6\text{H}_4\text{NNNOCH}_3]_4$, 1,5-사이클로옥타다이에닐. $\text{Pt}[\text{p-CN-C}_6\text{H}_4\text{NNNOC}_6\text{H}_{11}]_2$, 1,5-사이클로옥타다이에닐. $\text{Pt}[\text{p-CH}_3\text{O-C}_6\text{H}_4\text{NNNOCH}_3]_2$, $[(\text{C}_6\text{H}_5)_3\text{P}]_3\text{Rh}[\text{p-CN-C}_6\text{H}_4\text{NNNOC}_6\text{H}_{11}]$, 및 $\text{Pd}[\text{p-CH}_3(\text{CH}_2)_x\text{-C}_6\text{H}_4\text{NNNOCH}_3]_2$ - 여기서, x는 1, 3, 5, 11, 또는 17임 -; (η -다이올레핀)(σ -아릴)백금 착물, 예컨대 (η^4 -1,5-사이클로옥타다이에닐)다이페닐백금, η^4 -1,3,5,7-사이클로옥타테트라에닐)다이페닐백금, (η^4 -2,5-노르보라다이에닐)다이페닐백금, (η^4 -1,5-사이클로옥타다이에닐)비스-(4-다이메틸아미노페닐)백금, (η^4 -1,5-사이클로옥타다이에닐)비스-(4-아세틸페닐)백금, 및 (η^4 -1,5-사이클로옥타다이에닐)비스-(4-트라이플루오르메틸페닐)백금이 포함되지만 이로 한정되지 않는다. 광활성화된 하이드로실릴화 촉매는 Pt(II) β -다이케토네이트 착물일 수 있으며, 대안적으로 촉매는 백금(II) 비스(2,4-펜탄다이오에이트)이다.

[0042] 성분 (C)는 단일의 광활성화된 하이드로실릴화 촉매일 수 있거나, 또는 둘 이상의 그러한 촉매를 포함하는 배합물일 수 있다.

[0043] 광패턴화가능한 실리콘 조성물 중 성분 (C)의 농도는 하기에 기재된 방법에서 방사선에 대한 노출 및 가열 시에 성분 (A)와 성분 (B)의 부가 반응을 촉매하기에 충분하다. 성분 (C)의 농도는, 성분 (A), 성분 (B), 및 성분 (C)의 합계 중량을 기준으로, 전형적으로 0.1 내지 1000 ppm의 백금족 금속, 대안적으로 0.5 내지 100 ppm의 백금족 금속, 그리고 대안적으로 1 내지 25 ppm의 백금족 금속을 제공하기에 충분하다. 경화 속도는 전형적으로 백금족 금속이 1 ppm 미만일 때 매우 느리다. 백금족 금속의 100 ppm 초과 사용은 경화 속도의 주목할 만한 증가로 이어지지 않을 수 있으며, 이에 따라 비경제적이다.

[0044] 성분 (C)의 전술한 광활성화된 하이드로실릴화 촉매의 제조 방법은 당업계에 잘 알려져 있다. 예를 들어, 백금(II) β -다이케토네이트의 제조 방법은 문헌[Guo et al. (Chemistry of Materials, 1998, 10, 531-536)]에 보고되어 있다. (η -사이클로펜타다이에닐)트라이알킬백금 착물의 제조 방법은 미국 특허 제4,510,094호에 개시되어 있다. 트리아젠 옥사이드-전이 금속 착물의 제조 방법은 미국 특허 제5,496,961호에 개시되어 있다. 그리고, (η -다이올레핀)(σ -아릴)백금 착물의 제조 방법은 미국 특허 제4,530,879호에 개시되어 있다.

[0045] 상기 언급된 성분 (A), (B), 및 (C)의 배합물은 주위 온도, 전형적으로 20°C 내지 25°C에서 경화되기 시작할 수 있다. 더 긴 작업 시간 또는 "가사 수명(pot life)"을 얻기 위하여, 광패턴화가능한 실리콘 조성물의 성분 (C)에 대한 적합한 촉매 억제제의 첨가에 의해 주위 조건 하에서의 촉매의 활성이 저해, 지연 또는 억제될 수 있다. 촉매 억제제는 주위 온도에서는 광패턴화가능한 실리콘 조성물의 경화를 지연시키지만, 조성물이 승온, 전형적으로 30°C 내지 150°C에서 경화되는 것을 방해하지는 않는다. 적합한 촉매 억제제에는 다양한 "엔-인" 시스템, 예컨대 3-메틸-3-펜텐-1-인 및 3,5-다이메틸-3-헥센-1-인; 아세틸렌계 알코올, 예컨대 3,5-다이메틸-1-헥신-3-올, 1-에티닐-1-사이클로헥산올, 및 2-페닐-3-부틴-2-올; 말레이이트 및 푸마레이트, 예컨대 잘 알려진 다이알킬, 다이알케닐, 및 다이알콕시알킬 푸마레이트 및 말레이이트; 및 사이클로비닐실록산이 포함된다. 아세틸렌계 알코올은 광패턴화가능한 실리콘 조성물에 사용될 수 있는 촉매 억제제들의 전형적인 부류를 구성한다.

[0046] 광패턴화가능한 실리콘 조성물 중 촉매 억제제의 농도는 승온에서의 경화를 방해하거나 과도하게 연장시키지 않고서 주위 온도에서의 조성물의 경화를 지연시키기에 충분할 수 있다. 이 농도는 사용되는 특정 억제제, 하이드로실릴화 촉매의 성질 및 농도, 및 오가노하이드로겐폴리실록산의 성질에 따라 매우 다양할 수 있다.

[0047] 백금족 금속 1 몰당 1 몰의 억제제만큼 낮은 촉매 억제제 농도가 일부 경우에 만족스러운 저장 안정성 및 경화 속도를 가져올 것이다. 다른 경우에는, 백금족 금속 1 몰당 최대 500 몰 또는 그 이상의 억제제의 촉매 억제제 농도가 요구될 수 있다. 필요하다면, 주어진 광패턴화가능한 실리콘 조성물 내의 특정 촉매 억제제에 대한 최적 농도는 일상적인 실험에 의해 용이하게 결정될 수 있다. 대안적으로, 촉매 억제제는 최적이지 않은 농도로 사용될 수 있다.

[0048] 광패턴화가능한 실리콘 조성물은 또한 하나 이상의 추가 성분들을 포함할 수 있되, 단 추가 성분(들)은 본 방법에서의 조성물의 광패턴화 또는 경화에 악영향을 주지 않아야 한다. 이들 추가 성분은 선택적이다. 추가 성분들의 예에는 접착 촉진제, 용매(예를 들어, 유기 용매), 무기 충전제, 감광제, 및 계면활성제가 포함되지만 이로 한정되지 않는다.

[0049] 예를 들어, 광패턴화가능한 실리콘 조성물은, 조성물의 점도를 낮추고 조성물의 제조, 취급, 및 적용을 용이하

게 하기 위해 일정량의 적어도 하나의 유기 용매를 추가로 포함할 수 있다. 적합한 용매의 예에는 1 내지 약 20개의 탄소 원자를 갖는 포화 탄화수소; 방향족 탄화수소, 예컨대 자일렌 및 메시틸렌; 미네랄 스피릿; 할로탄 화수소; 에스테르; 케톤; 실리콘 유체, 예컨대 선형, 분지형, 및 환형 폴리다이메틸실록산; 및 그러한 용매들의 배합물이 포함되지만 이로 한정되지 않는다. 광패턴화가능한 실리콘 조성물 내의 특정 유기 용매의 최적 농도는 일상적인 실험에 의해 용이하게 결정될 수 있다. 유기 용매는 광패턴화가능한 실리콘 조성물의 경화 전에 그로부터 (예를 들어, 증발 방법에 의해) 제거될 수 있다.

[0050] 광패턴화가능한 실리콘 조성물은 단일 파트 내에 성분 (A) 내지 (C)를 포함하는 1-파트 조성물일 수 있거나, 또는 대안적으로 둘 이상의 파트 내에 성분 (A) 내지 (C)를 포함하는 멀티-파트 조성물일 수 있다. 멀티-파트 조성물에서, 억제제가 또한 존재하지 않는 한, 성분 (A), (B), 및 (C) 모두는 전형적으로 동일한 파트 내에 존재하지 않는다. 예를 들어, 멀티-파트 실리콘 조성물은 성분 (A)의 일부분 및 성분 (B)의 일부분을 함유하는 제1 파트 및 성분 (A)의 나머지 부분 및 성분 (C) 전부를 함유하는 제2 파트를 포함할 수 있다.

[0051] 전형적으로, 1-파트 광패턴화가능한 실리콘 조성물은 전술된 용매의 도움으로 또는 도움 없이 주위 온도에서 성분 (A) 내지 (C) 및 임의의 선택적인 추가 성분들을 원하는 비율로 배합함으로써 제조된다. 다양한 성분들의 첨가 순서는, 실리콘 조성물이 즉시 사용되는 경우라면 중요하지 않지만, 조성물의 조기 경화를 방지하기 위해 하이드로실릴화 촉매는 약 30°C 미만의 온도에서 마지막으로 첨가될 수 있다. 또한, 멀티-파트 실리콘 조성물은 각각의 파트에 대해 지정된 특정 성분들을 배합함으로써 제조될 수 있고, 이어서 멀티-파트 조성물의 파트들의 사용 직전에 함께 배합될 수 있다.

[0052] 광패턴화가능한 실리콘 조성물의 층은 웨이퍼의 표면에 적용될 수 있고, 적용된 조성물은 본 명세서에 기재된 바와 같이 경화되어, 경화된 층을 제공할 수 있다. 경화된 층은 성분 (A), (B) 및 (C)를 포함하는 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이다. 복수의 개구부들이 웨이퍼 상의 경화된 층 내에 형성될 수 있다. 웨이퍼의 표면 상에 형성된 경화된 층 내의 복수의 개구부들에는 열 전도성 재료가 충전되어 웨이퍼 상에 열 전도성 인터포저를 형성할 수 있으며, 이때 열 전도성 인터포저는 개구부들을 한정하는 경화된 층을 포함하는 매트릭스 내의 개구부들 내에 배치된 열 전도성 재료의 복수의 플러그들을 포함한다. 전형적으로는, 광패턴화가능한 실리콘 조성물 및 용매의 혼합물을 웨이퍼의 표면에 적용하여 웨이퍼의 표면의 적어도 일부분을 덮는 적용된 층을 형성하고; 적용된 층을 광패턴화하고; 광패턴화된 적용된 층을 경화시킨다. 적용된 층의 일부분에, 적용된 층의 다른 부분은 마스크하면서, i-라인 방사선을 포함한 방사선을 조사하여, 웨이퍼의 표면의 적어도 일부분을 덮는 비조사된 영역들 및 웨이퍼의 표면의 나머지를 덮는 조사된 영역들을 갖는 부분 조사된 층인 광패턴화된 층을 생성한다. 이어서, 당업계에서 일반적으로 "소프트 베이킹(soft bake)" 단계로 불리는 것에서, 부분 조사된 층을 열에 의해 부분 경화/베이킹한다. 이어서, 부분 경화된 층의 비조사된 영역들을 현상 용매로 제거하여, 복수의 개구부들이 한정된 부분 경화된 층을 형성한다. 이어서, 부분 경화된 층을 경화시켜, 복수의 개구부들이 있는 경화된 층을 형성한다. 전형적으로, 경화된 층의 두께는 z-축 두께에 상응하고, 개구부들은 z-축 두께를 따라 경화된 층을 관통하여 형성된다. 본 명세서에 사용되는 바와 같이, 재료에 관하여 언급할 때, 용어 "층"은 코팅, 필름 또는 시트와 관련하여 하나의 치수로 제한된 재료의 형상을 의미한다. 이 치수는 전형적으로 층의 두께 또는 높이로 지칭된다. 층은, 대체로 평면이거나 또는, 예를 들어 최대 수 마이크로미터의 높이를 갖는 등각 코팅 토포그래피(topography)와 같이 윤곽이 형성될 수 있는 재료의 제1 및 제2 주 표면을 한정할 수 있다. 층에 대해 언급할 때, 어구 "z-축 두께를 따른"은 층의 높이를 통한 임의의 방향을 의미하는데, 이는 일반적으로 층의 제1 주 표면에서의 임의의 위치로부터 층의 제2 주 표면에서의 임의의 위치까지이거나, 또는 반대 방향으로도 성립된다. 층의 높이를 통한 이동 방향은 층의 두께를 통한 선으로서 그래프로 나타낼 수 있다. 이동 방향은 층의 제1 및 제2 주 표면에 대해 임의의 각을 갖는 선을 포함하는데, 이러한 각에는 제1 및 제2 주 표면에 대해 (대략적으로) 수직인 직각, 및 그것에 대해 수직이 아닌 예각 및 둔각이 포함된다. 일부 태양에서, 개구부들 중 적어도 일부는 z-축 비아들이다. 열 전도성 재료는 경화된 층 내의 개구부들 내로 삽입되어 개구부들을 충전시키고 열 전도성 인터포저를 제공할 수 있다. 이 태양에서, 열 전도성 인터포저는 당업계에서 일반적으로 "웨이퍼 레벨" 공정으로 지칭될 수 있는 유형의 공정에 의해 웨이퍼 상에서 제조된다.

[0053] 웨이퍼는 전형적으로 반도체 재료를 포함하며, 이에는 비소화규소 및 비소화갈륨이 포함되지만 이로 한정되지 않는다. 웨이퍼의 표면은, DRAM, 플래시 메모리, SRAM 및 로직 소자를 포함하지만 이로 한정되지 않는 복수의 집적 회로들을 포함한다. 웨이퍼는 다이싱 스트리트(dicing street)들 또는 스크라이브 라인(scribe line)들을 추가로 포함하는데, 이를 따라 웨이퍼는 개별 웨이퍼/칩들로 소잉되어(sawed), 열 전도성 인터포저가 위에 형성된 개별 웨이퍼들을 포함하는 반도체 패키지를 제조할 수 있다. 웨이퍼 상에 집적 회로들 및 다이싱(소우) 스

트리트들을 제조하는 방법은 당업계에 잘 알려져 있다. 반도체 패키지는 히트 싱크 및/또는 기판과 같은 추가의 요소들과 조합되어 반도체 패키지 소자를 형성할 수 있다.

- [0054] 도 1은 반도체 패키징된 소자(10)를 도시하며, 여기서 웨이퍼/칩(12)을 덮는, 전도성 재료(16)가 안에 있는 z-축 열 전도성 인터포저(11)는 웨이퍼 (12)로부터 히트 싱크(13)로 열을 전달하기 위한 열 수송 매체이다. 웨이퍼/칩은 웨이퍼(12)와 기판(15) 사이에 배치된 솔더(14)의 층에 의해 기판(15)에 접합되며, 이때 웨이퍼(12)와 기판(15) 사이의 공간의 나머지는 에어-갭(17)이 있다.
- [0055] 열 전도성 인터포저를 형성하는 상기 언급된 방법은 하기에서 본 명세서에 기재되어 있고 도 2에 도시된 예시적인 실시 형태에 따라 수행된다. 도 2에서:
- [0056] 1) 단계 A에서는, 용매와 함께 광패턴화가능한 실리콘(PPS) 조성물을 스핀 코팅, 분무 코팅, 닥터 블레이딩 또는 드로우 바 코팅과 같은 종래의 코팅 방법에 의해 웨이퍼(12)의 표면, 전형적으로 후방 표면 또는 전방 표면 상에 침착하여, 웨이퍼 크기에 따라 두께 변동률 2% 이하로 두께가 5 μm 내지 50 μm 범위인 박막의 적용된 층(18)을 생성한다. 추가적으로, 솔더 볼(14)들을 PPS 조성물이 위에 침착되지 않은 웨이퍼의 표면 상의 미리 결정된 위치에 분배하여 웨이퍼가 기판(15)에 전기 접속될 수 있게 한다. 이어서, 적용된 층을 2 내지 5분 동안 섭씨 50도(50 $^{\circ}\text{C}$) 내지 130 $^{\circ}\text{C}$ 의 오븐 내에서 또는 핫 플레이트 상에서 가열하여, 적용된 층 내에 존재하는 임의의 과량의 용매를 제거하였다. 이어서, 가열된 웨이퍼(12)를 실온으로 냉각시킨다.
- [0057] 2) 단계 B에서는, 적용된 층(18)의 일부분에, 자외(UV)광의 세기가 800 mJ/cm^2 내지 2800 mJ/cm^2 , 그러나 전형적으로는 800 mJ/cm^2 내지 1400 mJ/cm^2 인, i-라인 방사선을 포함한 방사선을 조사하여, 용매에 대해 가용성이고 웨이퍼(12)의 표면의 적어도 일부분을 덮는 비조사된 영역(19)들, 및 가교결합이 개시되는, 웨이퍼(12)의 표면의 나머지를 덮는 조사된 영역(20)들을 갖는 부분 조사된 층을 생성한다. 이어서, UV 방사선 조사된 층을 2 내지 5분 동안 100 $^{\circ}\text{C}$ 내지 150 $^{\circ}\text{C}$ 의 오븐 또는 핫 플레이트 상에 놓음으로써 그 층을 부분 경화/베이킹시켜, UV에 노출된 영역이 현상 용매에 대해 실질적으로 불용성이 되게 한다.
- [0058] 용어 "실질적으로 불용성"은 부분 조사된 층의 조사된 영역들이 현상 용매 중에서의 용해에 의해 웨이퍼의 하부 표면이 조사되는 정도로 제거되지는 않음을 의미한다. 용어 "가용성"은 부분 조사된 층의 비조사된 영역들이 현상 용매 중에서의 용해에 의해 제거되어 웨이퍼의 하부 표면을 노출시킴을 의미한다.
- [0059] 3) 단계 C에서는, 2 내지 5분 동안 퍼들(puddle), 분무 또는 침지 현상에 의해 부틸 아세테이트, 메틸렌 등을 포함하지만 이로 한정되지 않는 현상 용매로 웨이퍼(12)를 현상시키는데, 이는 비조사된 층(19)을 제거하고, 그 림으로써 접합 라인 두께에 따라 5 μm 내지 200 μm 의 개구부/비아(21)들을 생성한다. 이어서, 용매 현상된 웨이퍼(12)를 종래의 스핀-윈스-드라이어 시스템 또는 스핀 코팅기 내에서 건조시킨다. 이어서, 건조된 웨이퍼를 250 $^{\circ}\text{C}$ 이하의 경화 온도에 대해서는 산소 오븐 내에 또는 250 $^{\circ}\text{C}$ 내지 400 $^{\circ}\text{C}$ 의 경화 온도에 대해서는 질소 오븐 내에 30분 내지 3시간 동안 넣어둔다.
- [0060] 4) 단계 D에서는, 증발 또는 스퍼터링과 같은 종래의 침착 방법에 의해 티타늄, 알루미늄, 니켈, 구리 또는 이들의 조합을 포함하지만 이로 한정되지 않는 열 전도성 재료(16)를 개구부/비아(21)들에 충전하여, 웨이퍼(12) 상에 z-축 열 전도성 인터포저(11)를 형성한다. 금속 충전된 개구부들은 잘 제어된 접합 라인 두께로 높은 열 전도율의 경로들을 제공하여 웨이퍼로부터의 열을 소산시킨다.
- [0061] 5) 이어서, 단계 E에서는, 히트 싱크를 위에 부착하기 위하여 열 전도성 인터포저 상에 저융점 솔더의 얇은 층(22)을 분배한다. 솔더는 인듐, 비스무트, 인듐-주석 합금 등을 포함하지만 이로 한정되지 않는 금속들 또는 그들의 합금으로부터 제조된다.
- [0062] 상기 언급된 예시적인 실시 형태는 반도체 패키지의 제조에까지 추가로 확대되는데, 도 2에서,
- [0063] 6) 이어서, 단계 F에서는, 웨이퍼(12)를 다이싱(소우) 스트리트들을 따라 다이싱하여, z-축 서멀 개구부/비아들을 구비한 열 전도성 인터포저 및 그 위에 솔더의 층을 갖는 집적 회로(IC) 웨이퍼/칩(23)들을 생성한다. 이어서, z-축 서멀 개구부들을 구비한 열 전도성 인터포저 및 솔더의 층을 갖는 면을 반도체 패키지 리드/히트 싱크와 대향하여 또는 그것이 부착될 필요가 있는 다른 웨이퍼/칩에 인접하게 배치한다. 이어서, 솔더를 종래의 리플로우 오븐 또는 핫 플레이트 내에서 용융시켜, z-축 서멀 개구부들 내의 열 전도성 재료와 히트 싱크(13) 사이에 접합부를 형성하여 반도체 패키징된 소자(10)를 제공한다.
- [0064] 추가적으로, 개구부/비아들에는 당업자에 의해 알려진 바와 같이 잉크-젯 프린터의 드롭-온-디맨드(drop-on-demand) 공정에 의해 은, 금, 또는 탄소 페이스트를 포함하지만 이로 한정되지 않는 전도성 페이스트가 충전될

수 있다. 더욱이, 질화붕소 및/또는 탄소 나노튜브 필러(pillar)들 등이 또한 열 접촉(thermal contact)들로서 개구부들 내에 배치될 수 있다.

[0065] 본 발명을 당업자에게 예시하기 위하여, 반도체 웨이퍼 상에 열 전도성 인터포저를 형성하는 방법의 추가의 예시적인 실시 형태가 본 명세서에서 하기에 제공되고, 이는 본 발명의 범주를 제한하는 것으로 해석되어서는 안 된다. 도 5는 추가의 예시적인 실시 형태에 따라 열 전도성 인터포저를 형성하는 방법에 포함되는 단계들을 나타낸 흐름도를 도시한다.

[0066] 도 5에서, 1: 7개의 단계를 포함하는 방법의 태양을 사용하여 웨이퍼 상의 z-축 실리콘 비아들의 형성을 행한다. 웨이퍼(또는 다른 기판) 및 SiH 작용성 폴리다이메틸 실록산 및 백금 촉매와 배합된 비닐 작용성 실리콘 수지의 조성물을 포함하는 광패턴화가능한 실리콘 조성물의 샘플을 제공한다. 이 방법의 제1 단계에서는, 20초 동안 2000 RPM(Revolutions per Minute, 분당 회전수)으로 스핀 코팅에 의해 웨이퍼(또는 다른 기판) 상에 샘플을 침착하여, 웨이퍼에 걸쳐 균일성(uniformity)이 2 내지 3%인 10 마이크로미터 두께 필름 또는 층을 얻는다. 이어서, 제2 단계에서는, 제1 단계로부터의 코팅된 웨이퍼를 공기 중에서 2분 동안 110℃의 핫 플레이트 상에서 가열한다. 제2 단계는 당업계에서 "소프트 베이킹"로 일반적으로 지칭되는 단계의 유형의 예이다. 이어서, 제3 단계에서는, 제2 단계로부터의 소프트 베이킹된 코팅된 웨이퍼를, 소프트 베이킹된 층의 그리고 궁극적으로는 그 안의 개구부들 또는 비아들의 위치 및 생성의 패턴화를 가능하게 하는 마스크를 구비한 UV 노출 툴 상에 놓는다. 이어서, 생성된 마스크된 코팅된 웨이퍼를 노출 선량이 1000 mJ/cm²인 UV 방사선에 노출시킨다. 제4 단계에서는, 제3 단계로부터의 UV 노출된 코팅된 웨이퍼를 2분 동안 145℃의 핫 플레이트 상에 놓는다. 제4 단계는 당업계에서 "하드 베이킹(hard bake)"로 일반적으로 지칭되는 단계의 유형의 예이다. 이어서, 제5 단계에서는, 제4 단계로부터의 하드 베이킹된 코팅된 웨이퍼를 스핀 코팅기 상에 놓고, 현상제 용매로서의 부틸 아세테이트를 하드 베이킹된 코팅 상에 분배한다. 생성된 코팅된 웨이퍼에 2분 동안 현상제 용매가 액침될 수 있게 하고, 이어서 부틸 아세테이트로 스핀 린스하고, 마지막으로, 생성된 현상된 코팅된 웨이퍼를 2000 RPM으로 30초 동안 스피닝함으로써 건조시킨다. 제5 단계의 용매는 하드 베이킹된 코팅된 웨이퍼를 현상시켜, 코팅 내에 비아들과 같은 개구부들을 개방시킨다. 이어서, 제6 단계에서는, 개구부들을 갖는 현상된 코팅된 웨이퍼를 3시간 동안 250℃의 질소 오븐 내에서 경화시켜, 현상된 코팅의 경화를 완성시킨다. 이는 이 방법에 따라 광패턴화가능한 실리콘 조성물을 경화시킴으로써 형성된 경화된 층 내에/상에 패턴화된 개구부(예를 들어, 비아) 구조를 갖는 코팅된 웨이퍼를 생성한다. 제7 단계에서는, 열 전도성 충전제를 경화된 층 내의 개구부들(예를 들어, 비아들) 내로 침착하여 개구부들(예를 들어, 비아들)을 충전시키고 웨이퍼 상에 서멀 인터포저 층을 생성한다. 이러한 반도체 패키지의 실시 형태는 웨이퍼 상에 배치된 서멀 인터포저 층을 포함한다.

[0067] 이 방법의 대안적인 태양, 2: 저응력 박막 층의 형성에서. SiH 작용성 폴리다이메틸 실록산 및 백금 촉매와 배합된 비닐 작용성 실리콘 수지의 조성물을 포함하는 광패턴화가능한 실리콘 조성물을 스핀 코팅함으로써 샘플을 제조한다. 샘플을 2000 RPM으로 20초 동안 웨이퍼 상에 스핀 코팅하여, 웨이퍼에 걸쳐 균일성이 2 내지 3%인 40 마이크로미터 두께 필름을 얻는다. 이어서, 샘플을 공기 중에서 2분 동안 110℃의 핫 플레이트 상에서 가열한다. 이어서, 샘플을 UV 노출 툴 상에 놓고, 노출 선량이 1000 mJ/cm²인 UV 방사선에 블랭킷 노출시켜 필름 전체에 걸쳐 중합을 개시한다. 이어서, 샘플을 질소 오븐 내에서 300℃에서 하드 베이킹시켜, 경화된 층으로 샘플의 경화를 완성한다. 이어서, 샘플을 플렉서스 챔버(flexus chamber) 내에 넣고, 응력 측정을 행하면서 질소 환경에서 실온 내지 300℃에서 열 사이클링한다. 스핀-온(spin-on) 실리콘의 결과로서 얻어진 측정된 응력은 2 MPa 미만이다.

[0068] 이 방법의 대안적인 태양, 3: 열 전도성 z-축 은 충전된 비아들을 갖는 광패턴화가능한 실리콘(PPS)에서. SiH 작용성 폴리다이메틸 실록산 및 백금 촉매와 배합된 비닐 작용성 실리콘 수지의 조성물을 포함하는 광패턴화가능한 실리콘 조성물을 스핀 코팅함으로써 샘플을 제조한다. 샘플을 2000 RPM(분당 회전수)으로 20초 동안 웨이퍼 상에 스핀 코팅하여, 웨이퍼에 걸쳐 균일성이 2 내지 3%인 10 마이크로미터 두께 필름을 얻는다. 이어서, 샘플을 공기 중에서 2분 동안 110℃의 핫 플레이트 상에서 가열한다. 이어서, 샘플을 비아들의 생성을 가능하게 하는 마스크를 구비한 UV 노출 툴 상에 놓는다. 이어서, 샘플을 노출 선량이 1000 mJ/cm²인 UV 방사선에 노출시키고, 이어서 2분 동안 145℃의 핫 플레이트 상에 놓는다. 이어서, 샘플을 스핀 코팅기 상에 놓고, 부틸 아세테이트를 현상제 용매로서 샘플 상에 분배한다. 샘플이 2분 동안 액침될 수 있게 하고, 이어서 부틸 아세테이트로 스핀 린스하고, 마지막으로 웨이퍼를 2000 RPM으로 30초 동안 스피닝함으로써 건조시킨다. 이어서, 샘플을 3시간 동안 250℃의 질소 오븐 내에서 경화시켜, 경화된 층으로의 샘플의 경화를 완성한다. 이어서, 비아들에 전도성 은 페이스트를 충전하였는데, 이는 피펫에 의해 분배하였다. 페이스트는 성공적으로 비아들을 충전시켜 z-축 서멀 비아들을 형성한다. 도 3a 내지 도 3f는 샘플의 현미경 이미지를 보여주는데, 여기서 도

3a는 40 μm 라인 간격(31)들을 갖는 샘플을 보여주고, 도 3b는 50 μm 라인 간격(32)들을 갖는 샘플을 보여주고, 도 3c는 100 μm 비아(33)를 갖는 샘플을 보여주고, 도 3d는 40 μm 비아(34)를 갖는 샘플을 보여주고, 도 3e는 은 충전된 z-축 비아(35)들을 갖는 샘플을 보여주고, 도 3f는 샘플 내의 상이한 비아들의 패턴 분석을 보여준다.

- [0069] 이 방법의 대안적인 태양, 4: 열 전도성 z-축 티타늄(Ti) 및 알루미늄(Al) 충전된 비아들을 갖는 광패턴화가능한 실리콘(PPS)에서. SiH 작용성 폴리다이메틸 실록산 및 백금 촉매와 배합된 비닐 작용성 실리콘 수지의 조성물을 포함하는 광패턴화가능한 실리콘 조성물을 스핀 코팅함으로써 샘플을 제조한다. 샘플을 2000 RPM으로 20 초 동안 웨이퍼 상에 스핀 코팅하여, 웨이퍼에 걸쳐 균일성이 2 내지 3%인 10 마이크로미터 두께 필름을 얻는다. 이어서, 샘플을 공기 중에서 2분 동안 110℃의 핫 플레이트 상에서 가열한다. 이어서, 샘플을 비아들의 생성을 가능하게 하는 마스크를 구비한 UV 노출 툴 상에 놓는다. 이어서, 샘플을 노출 선량이 1000 mJ/cm²인 UV 방사선에 노출시키고, 이어서 2분 동안 145℃의 핫 플레이트 상에 놓는다. 이어서, 샘플을 스핀 코팅기 상에 놓고, 부틸 아세테이트를 현상제 용매로서 샘플 상에 분배한다. 샘플이 2분 동안 액침될 수 있게 하고, 이어서 부틸 아세테이트로 스핀 린스하고, 마지막으로 웨이퍼를 2000 RPM으로 30초 동안 스핀닝함으로써 건조시킨다. 이어서, 샘플을 3시간 동안 250℃의 질소 오븐 내에서 경화시켜, 경화된 층으로의 샘플의 경화를 완성한다. 이어서, 샘플을 스퍼터 챔버 내에 넣고, Ti 및 Al을 침착하여 비아들을 충전시킨다. 더욱이, Ti 및 Al을 실리콘 범프들의 상부 상에 침착함으로써 범프들을 생성한다. 도 4a 내지 도 4d는 샘플의 현미경 이미지를 보여주는데, 여기서 도 4a는 100 μm Ti 및 Al 비아(41)를 갖는 샘플을 보여주고, 도 4b는 100 μm Ti 비아(42)를 갖는 샘플을 보여주고, 도 4c는 40 μm Ti 코팅된 PPS 범프(43)들을 갖는 샘플을 보여주고, 도 4d는 75 μm Ti 및 Al 코팅된 PPS 범프(44)들을 갖는 샘플을 보여준다.
- [0070] 본 발명의 실시 형태는 하기의 번호가 매겨진 태양들 중 어느 하나를 포함한다.
- [0071] 태양 1. 웨이퍼의 표면 상에 형성된 경화된 층 내의 복수의 개구부들에 열 전도성 재료를 충전하여 열 전도성 인터포저를 형성하는 단계를 포함하는, 웨이퍼 상에 열 전도성 인터포저를 형성하는 방법.
- [0072] 태양 2. 태양 1에 있어서, 경화된 층의 두께는 z-축 두께에 상응하고, 개구부들은 z-축 두께를 따라 경화된 층을 관통하는, 방법.
- [0073] 태양 3. 태양 2에 있어서, 개구부들 중 적어도 일부는 z-축 비아들인, 방법.
- [0074] 태양 4. 태양 3에 있어서, 각각의 z-축 비아의 최대 폭(즉, 직경)은 5 마이크로미터(μm) 내지 3 밀리미터(mm), 대안적으로 5 내지 1 mm 미만, 대안적으로 5 μm 내지 200 μm 인, 방법.
- [0075] 태양 5. 태양 1 내지 태양 4 중 어느 한 태양에 있어서, 경화된 층은 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이며, 광패턴화가능한 실리콘 조성물은 분자당 평균 2개 이상의 규소-결합 알케닐기를 함유하는 오가노폴리실록산, 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기규소 화합물, 및 촉매량의 광활성화된 하이드로실릴화 촉매를 포함하는, 방법.
- [0076] 태양 6. 태양 5에 있어서, 광패턴화가능한 실리콘 조성물 및 용매의 혼합물을 웨이퍼의 적어도 하나의 표면에 적용하여 웨이퍼의 표면의 적어도 일부분을 덮는 적용된 층을 형성하는 단계; 적용된 층을 광패턴화하는 단계; 및 광패턴화된 적용된 층을 경화시키는 단계를 포함하는, 방법.
- [0077] 태양 7. 태양 6에 있어서, 광패턴화가능한 실리콘 조성물은 스핀 코팅, 분무 코팅, 닥터 블레이딩 및 드로우바 코팅으로 이루어진 그룹으로부터 선택되는 코팅 방법에 의해 적용되는, 방법.
- [0078] 태양 8. 태양 6 및 태양 7 중 어느 한 태양에 있어서, 적용된 층의 일부분에, 적용된 층의 다른 부분은 마스크하면서, i-라인 방사선을 포함한 방사선을 조사하여, 웨이퍼의 표면의 적어도 일부분을 덮는 비조사된 영역들 및 웨이퍼의 표면의 나머지를 덮는 조사된 영역들을 갖는 부분-조사된 층을 생성하는 단계; 조사된 적용된 층을 열에 의해 부분 경화시키는 단계; 부분 경화된 층의 비조사된 영역들을 현상 용매로 제거하여, 복수의 z-축 개구부들이 한정된 부분 경화된 층을 형성하는 단계; 및 부분 경화된 층을 경화시켜 경화된 층을 제공하는 단계를 포함하는, 방법. "조사된 적용된 층"은 적용 단계 및 조사 단계 후의 그리고 부분 경화시키는 단계 전의 층을 의미한다.
- [0079] 태양 9. 태양 8에 있어서, 방사선은 자외(UV) 방사선이고, UV 방사선의 세기는 800 밀리줄/제곱센티미터(mJ/cm²) 내지 2800 mJ/cm²의 범위인, 방법.
- [0080] 태양 10. 태양 8에 있어서, 조사된 적용된 층은 층을 2분 내지 5분 동안 100℃ 내지 150℃ 범위의 온도로 가열

함으로써 부분 경화되는, 방법.

- [0081] 태양 11. 태양 8에 있어서, 비조사된 영역들을 제거하는 단계는 부분 경화된 층을 부틸 아세테이트 및 메시틸렌으로 이루어진 그룹으로부터 선택되는 용매 중에 침지함으로써 수행되는, 방법.
- [0082] 태양 12. 태양 8에 있어서, 부분 경화된 층은 부분 경화된 층을 30분 내지 3시간 동안 180℃ 내지 400℃, 대안적으로 200℃ 내지 400℃, 대안적으로 250℃ 내지 400℃ 범위의 온도로 가열함으로써 경화되는, 방법. 온도가 증가함에 따라, 부분 경화된 층이 가열되는 환경 또는 분위기는 점점 더 순수하거나 불활성이 되게 할 수 있다 (예를 들어, 분위기는 180℃ 또는 200℃에서의 공기 및 400℃에서의 아르곤 또는 헬륨일 수 있다).
- [0083] 태양 13. 태양 6에 있어서, 광패턴화가능한 실리콘 조성물을 적용하는 단계 후에, 적용된 층을 2분 내지 5분 동안 50℃ 내지 130℃ 범위의 온도로 가열함으로써 적용된 층으로부터 용매의 적어도 일부분을 제거하는 단계를 추가로 포함하는, 방법.
- [0084] 태양 14. 태양 5에 있어서, 오가노폴리실록산은 $R^1_3SiO_{1/2}$ 실록산 단위 및 $SiO_{\{4/2\}}$ 실록산 단위를 포함하는 오가노폴리실록산 수지이며, 상기 식에서 각각의 R^1 은 독립적으로 1가 탄화수소 및 1가 할로젠화 탄화수소 기로부터 선택되고, 오가노폴리실록산 수지 내의 $R^1_3SiO_{1/2}$ 단위 대 $SiO_{\{4/2\}}$ 단위의 몰비는 0.6 내지 1.9이거나; 유기규소 화합물은 오가노하이드로젠폴리실록산이거나; 광활성화된 하이드로실릴화 촉매는 백금(II) β -다이케토네이트이거나; 또는 오가노폴리실록산은 $R^1_3SiO_{1/2}$ 실록산 단위 및 $SiO_{\{4/2\}}$ 실록산 단위를 포함하는 오가노폴리실록산 수지이며, 상기 식에서 각각의 R^1 은 독립적으로 1가 탄화수소 및 1가 할로젠화 탄화수소 기로부터 선택되고, 오가노폴리실록산 수지 내의 $R^1_3SiO_{1/2}$ 단위 대 $SiO_{\{4/2\}}$ 단위의 몰비는 0.6 내지 1.9이고, 유기규소 화합물은 오가노하이드로젠폴리실록산이고, 광활성화된 하이드로실릴화 촉매는 백금(II) β -다이케토네이트인, 방법.
- [0085] 태양 15. 태양 1에 있어서, 경화된 층의 두께는 5 μm 내지 50 μm 인, 방법.
- [0086] 태양 16. 태양 1에 있어서, 열 전도성 재료는 티타늄; 알루미늄; 니켈; 구리; 은; 금; 티타늄, 알루미늄, 니켈, 구리, 은, 및 금 중 임의의 둘 이상의 합금; 탄소, 질화붕소; 탄소 나노튜브; 및 이들 중 임의의 둘 이상의 조합으로 이루어진 그룹으로부터 선택되는, 방법.
- [0087] 태양 17. 태양 1에 있어서, 웨이퍼는 복수의 다이싱 스트리트들을 한정하는, 방법.
- [0088] 태양 18. 웨이퍼로부터의 열을 소산시키기 위한 열 전도성 인터포저로서, 인터포저는 웨이퍼의 적어도 하나의 표면을 덮고; 인터포저는 열 전도성 재료의 패턴이 안의 개별 위치들에 배치된 경화된 층으로 구성되며, 이때 경화된 층은 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이며, 광패턴화가능한 실리콘 조성물은 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산, 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기규소 화합물, 및 촉매량의 광활성화된 하이드로실릴화 촉매를 포함하고; 인터포저는 인터포저 내의 미리 결정된 위치들에 복수의 개구부들을 한정하며, 이때 개구부들 중 적어도 일부는 열 전도성 재료가 그 안에 배치된, 열 전도성 인터포저.
- [0089] 태양 19. 태양 18에 있어서, 경화된 층의 두께는 z-축 두께에 상응하고, 개구부들은 z-축 두께를 따라 경화된 층을 관통하는, 인터포저.
- [0090] 태양 20. 태양 19에 있어서, 개구부들 중 적어도 일부는 z-축 비아들인, 인터포저.
- [0091] 태양 21. 웨이퍼의 표면 상에 형성된 경화된 층 내의 복수의 개구부들에 열 전도성 재료를 충전하여, 웨이퍼 상에 열 전도성 인터포저를 형성하는 단계; 웨이퍼를 다이싱하여, 열 전도성 인터포저가 위에 형성된 개별 다이싱된 웨이퍼들을 생성하는 단계; 각각의 다이싱된 웨이퍼의 열 전도성 인터포저가 기관과 대향하도록 각각의 다이싱된 웨이퍼를 기관에 근접하게 배치하는 단계; 인터포저 내의 각각의 충전된 개구부와 기관 사이에 솔더의 비드(bead) 또는 층을 배치하는 단계; 및 솔더를 용융시켜 개구부 내의 열 전도성 재료와 기관 사이에 접합부를 형성하는 단계를 포함하는, 반도체 패키지의 제조 방법.
- [0092] 태양 22. 태양 21에 있어서, 경화된 층의 두께는 z-축 두께에 상응하고, 개구부들은 z-축 두께를 따라 경화된 층을 관통하는, 방법.
- [0093] 태양 23. 태양 22에 있어서, 개구부들 중 적어도 일부는 z-축 비아들인, 방법.

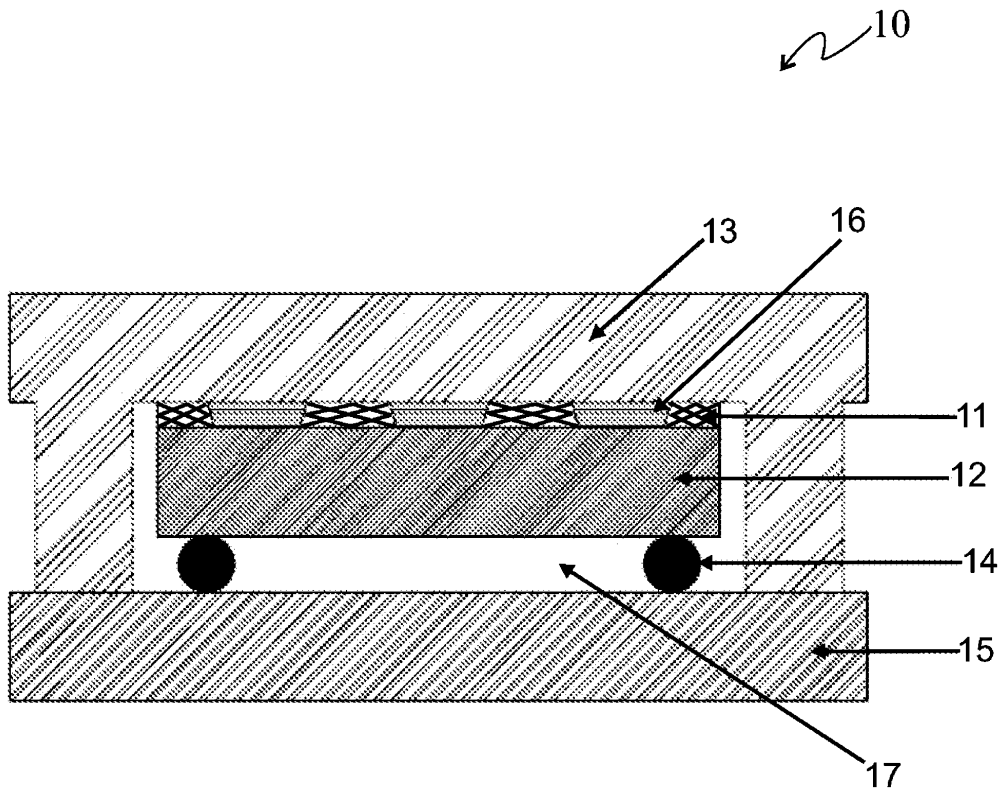
- [0094] 태양 24. 태양 21 내지 태양 23 중 어느 한 태양에 있어서, 경화된 층은 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이며, 광패턴화가능한 실리콘 조성물은 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산, 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기규소 화합물, 및 촉매량의 광활성화된 하이드로실릴화 촉매를 포함하는, 방법.
- [0095] 태양 25. 태양 24에 있어서, 광패턴화가능한 실리콘 조성물을 용매와 함께 웨이퍼의 적어도 하나의 표면에 적용하여 웨이퍼의 표면의 적어도 일부분을 덮는 적용된 층을 형성하는 단계를 포함하는, 방법.
- [0096] 태양 26. 태양 25에 있어서, 광패턴화가능한 실리콘 조성물은 스핀 코팅, 분무 코팅, 닥터 블레이딩 및 드로우바 코팅으로 이루어진 그룹으로부터 선택되는 코팅 방법에 의해 적용되는, 방법.
- [0097] 태양 27. 태양 25 및 태양 26 중 어느 한 태양에 있어서, 적용된 층의 일부분에, 적용된 층의 다른 부분은 마스킹하면서, i-라인 방사선을 포함한 방사선을 조사하여, 웨이퍼의 표면의 적어도 일부분을 덮는 비조사된 영역들 및 웨이퍼의 표면의 나머지를 덮는 조사된 영역들을 갖는 부분-조사된 층을 생성하는 단계; 조사된 적용된 층을 열에 의해 부분 경화시키는 단계; 부분 경화된 층의 비조사된 영역들을 현상 용매로 제거하여, 복수의 z-축 개구부들이 한정된 부분 경화된 층을 형성하는 단계; 및 부분 경화된 층을 경화시켜 경화된 층을 제공하는 단계를 포함하는, 방법.
- [0098] 태양 28. 태양 21에 있어서, 기판은 반도체 패키지 기판, 반도체 패키지 리드 및 다른 웨이퍼로 이루어진 그룹으로부터 선택되는, 방법.
- [0099] 태양 29. 태양 21에 있어서, 솔더는 인듐, 비스무트, 인듐-주석 합금, 인듐-비스무트 합금 및 인듐-비스무트-주석 합금으로 이루어진 그룹으로부터 선택되는, 방법.
- [0100] 태양 30. 적어도 하나의 표면을 포함하는 웨이퍼; 웨이퍼로부터의 열을 소산시키기 위한, 웨이퍼의 표면을 덮는 열 전도성 인터포저로서, 인터포저는 인터포저 내의 미리 결정된 위치들에 한정된 복수의 개구부들을 한정하고, 개구부들 중 적어도 일부는 열 전도성 재료가 그 안에 배치되고, 인터포저는 경화된 층으로 구성되며, 이때 경화된 층은 광패턴화가능한 실리콘 조성물의 층을 광패턴화 및 경화한 생성물이며, 광패턴화가능한 실리콘 조성물은 분자당 평균 2개 이상의 규소-결합 알케닐 기를 함유하는 오가노폴리실록산, 조성물을 경화시키기에 충분한 농도의, 분자당 평균 2개 이상의 규소-결합 수소 원자를 함유하는 유기규소 화합물, 및 촉매량의 광활성화된 하이드로실릴화 촉매를 포함하는, 열 전도성 인터포저; 반도체 패키지 기판; 및 인터포저 내의 각각의 충전된 개구부와 기판 사이에 분배되어, 개구부 내의 열 전도성 재료와 기판 사이에 접합부를 형성하는 솔더의 비드 또는 층을 포함하는 반도체 패키지.
- [0101] 태양 31. 태양 30에 있어서, 경화된 층의 두께는 z-축 두께에 상응하고, 개구부들은 z-축 두께를 따라 경화된 층을 관통하는, 반도체 패키지.
- [0102] 태양 32. 태양 31에 있어서, 개구부들 중 적어도 일부는 z-축 비아들인, 반도체 패키지.
- [0103] 본 명세서 전체에 걸쳐, 단어 "포함하다", 및 "포함한다" 또는 "포함하는"과 같은 변형어는 개방형(open-ended)으로, 언급된 요소, 정수 또는 단계, 또는 일 그룹의 요소들, 정수들 또는 단계들의 포함을 의미하지만, 임의의 다른 요소, 정수 또는 단계, 또는 임의의 다른 그룹의 요소들, 정수들 또는 단계들의 배제를 의미하지 않는 것으로 이해될 것이다.
- [0104] 표현 "적어도" 또는 "적어도 하나"의 사용은 하나 이상의 요소 또는 성분 또는 양의 사용을 시사하는데, 이는 그러한 사용이 본 발명의 상이한 실시 형태들에서 이루어질 수 있고 원하는 목표들 또는 결과들 중 하나 이상을 달성할 수 있기 때문이다.
- [0105] 본 명세서에 포함된 문헌, 작용, 재료, 장치, 물품 등에 관한 어떠한 논의도 오로지 본 발명에 대한 맥락을 제공하려는 목적을 위한 것이다. 이들 사항 중 임의의 것 또는 모두는 종래 기술 기초의 일부를 형성하거나, 또는 그것이 본 출원의 우선일 전에 어딘가에 존재한 것과 같이 본 발명과 관련된 분야에서 통상적인 일반적 지식이었음을 인정하는 것으로 받아들여져서는 안 된다.
- [0106] 다양한 물리적 파라미터, 치수 또는 양에 대해 언급된 수치 값은 단지 근사치이며, 본 명세서에 반대로 특정된 언급이 없는 한, 이러한 파라미터, 치수 또는 양에 대해 할당된 수치 값보다 더 크거나/작은 값이 본 발명의 범주 내에 속하는 것으로 고려된다.
- [0107] 값들의 범위가 명시되어 있으면 어디든지, 명시된 범위의 최저 및 최고 수치 값 각각의 위와 아래로 최대 10%,

대안적으로 최대 5%, 대안적으로 최대 1%의 값이 본 발명의 범주 내에 포함된다.

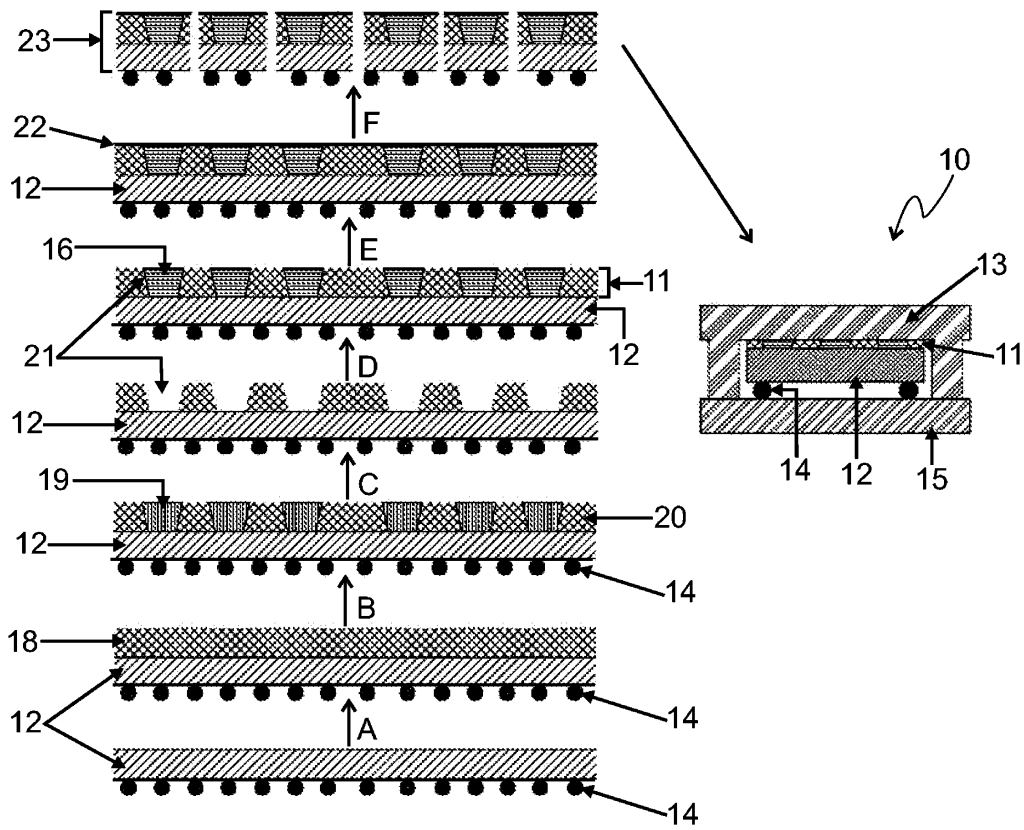
[0108] 구체적인 실시 형태에 관한 기술한 설명은 본 명세서의 실시 형태의 일반적 특성을 충분히 보여주어서, 다른 사람들이 현재의 지식을 적용함으로써, 일반적 개념을 벗어나지 않고서, 다양한 응용을 위하여 그러한 구체적인 실시 형태를 용이하게 변형 및/또는 개작할 수 있을 것이며, 이에 따라 그러한 개작 및 변형은 개시된 실시 형태의 등가물의 의미 및 범위 내에 있는 것으로 해석되어야 하고 그렇게 해석되는 것으로 의도된다. 본 명세서에 사용되는 어구 또는 용어는 설명의 목적을 위한 것이며 제한의 목적은 아니라는 것이 이해되어야 한다. 따라서, 본 명세서의 실시 형태가 설명되어 있지만, 당업자는 본 명세서의 실시 형태가 본 명세서에 기재된 바와 같은 실시 형태의 사상 및 범주 내에서 변형을 가지면서 실시될 수 있음을 인식할 것이다.

도면

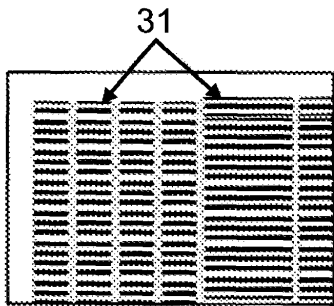
도면1



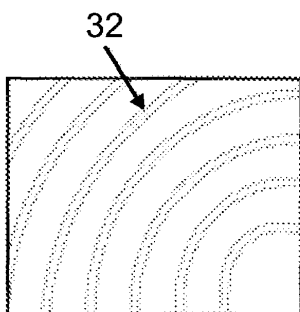
도면2



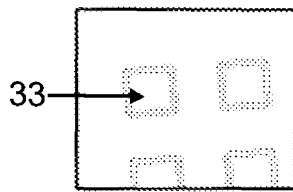
도면3a



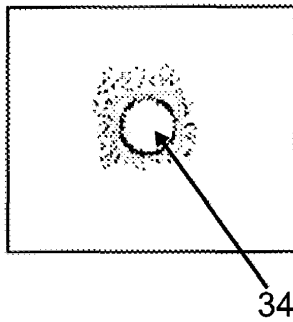
도면3b



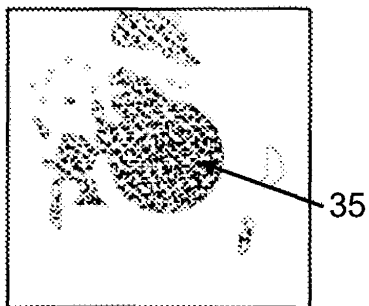
도면3c



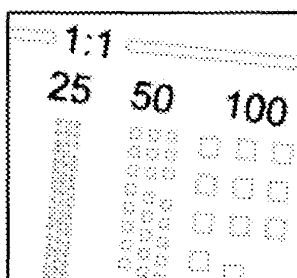
도면3d



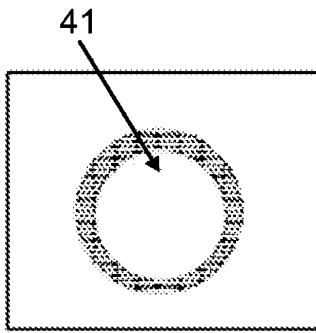
도면3e



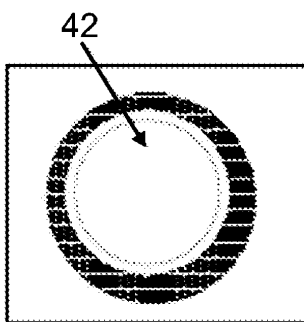
도면3f



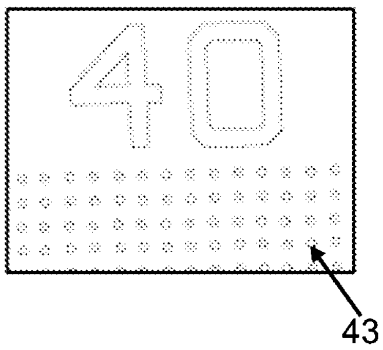
도면4a



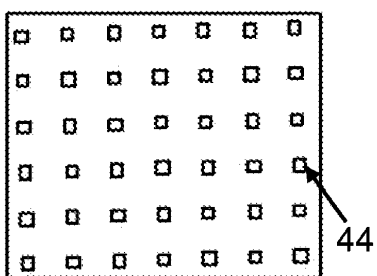
도면4b



도면4c



도면4d



도면5

