(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/08

(45) 공고일자 2003년11월14일
(11) 등록번호 10-0396170
(24) 등록일자 2003년08월18일

(21) 출원번호 10-1995-0008215
(22) 출원일자 1995년04월08일

(65) 공개번호 특1995-0034761
(43) 공개일자 1995년12월28일

(30) 우선권주장 08/224914 1994년04월08일 미국(US)

(73) 특허권자 텍사스 인스트루먼츠 인코포레이티드
미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500

(72) 발명자 챠-쿠피터메이
미합중국75093텍사스주플라노나이트폴드라이브4100

새트윈더말히
미합중국75044텍사스주가랜드메도우리지드라이브2626

(74) 대리인 장수길
주성민

심사관 : 황윤구

(54) 고전압금속산화물반도체장치및그제조방법

요약

고전압 PMOS 트랜지스터(7)는 두꺼운 필드 산화물(43)의 성장 동안에 발생하는 불순물 편석을 보상하기 위해 저농도로 도핑된 드리프트 영역 림(48) 내의 불순물 농도를 조절함으로써 온-저항을 향상시킨다. 고전압 PMOS 장치(7)의 제조 동안, 얕은 수직 접합(230)이 필드 산화물(43)로의 불순물 편석에 의해 형성된다. HV 드리프트 영역 p-탱크 림 조절부(220)에 주입을 행하고 이를 어닐링 함으로써, 수평 접합(250)을 형성하고 필드 산화물(43) 하부의 얕은 접합(230)을 분리시킨다. 이에 의해, 고전압 PMOS 트랜지스터(7)의 온-저항이 최소화된다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명에 따라 형성된 HV PMOS 장치를 도시한 집적 회로의 단면도.
제2A도 내지 제2J도는 본 발명에 따른 제1도와 유사한 HV PMOS 장치를 구성하는 양호한 방법을 도시한 단면도.
제3A도는 필드 산화물 성장 후에 HV 드리프트 영역 탱크 내에서의 불순물 농도 구배(concentration gradient) 선을 도시하는 제1도의 HV PMOS 장치의 단면도.
제3B도는 HV 드리프트 영역 탱크의 림(rim) 조절 주입 후에 HV 드리프트 영역 탱크 내에서의 불순물 농도 구배 선을 도시하는 제1도의 HV PMOS 장치의 단면도.

제3C도는 HV 드리프트 영역 탱크의 림 조절 어닐링 후에 HV 드리프트 영역 탱크 내에서의 불순물 농도 구배 선을 도시하는 제1도의 HV PMOS 장치의 단면도.
도면의 주요 부분에 대한 부호의 설명
7 : HV PMOS 트랜지스터
10 : 기판
40 : HV n-웰
40A : n-형 도펀트
41 : p-탱크
42 : HV p^+ 드레인
43, 43a, : HV PMOS 필드 산화물
44, 44a : HV p^+ 소스
45, 45a : n-웰 접촉부
46, 46a : HV PMOS 게이트 전극
47, 47a, 47A : HV 게이트 산화물
48 : HV PMOS 드리프트 영역 림(rim)
49 : HV PMOS 채널 영역
101 : HV 드레인 전극
103 : HV 소스 전극
110 : 제1 산화물층
120 : 질화물층
220 : p-형 도펀트
230 : 얕은 수직 접합(shallow vertical junction)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 분야에 관한 것으로, 특히 고전압 CMOS 장치에 관한 것이다.
제어 및 구동 기능을 겸비한 집적 회로는 종종 스마트 파워 장치(smart power device)라 불린다. 스마트 파워 장치들은 낮은 파워 손실과 고도의 지능(high intelligence)을 겸비한다. 스마트 파워 장치들은 전형적으로 구동 기능과 제어 기능이 모두 한 칩 내에 제공되도록, 논리 전압이 통상 5 V 이하인 일반적인 상보형 금속 산화물 반도체(CMOS)와는 달리 출력단이 15-80 V의 고전압에서 동작하도록 설계된 파워 금속 산화물 반도체(MOS) 전계 효과 트랜지스터(FET), 및 동일한 집적 회로 내에 결합된 논리 장치를 구비한다. 액정 디스플레이(LCD), 디스플레이들, 전자/기계적 장치, 자동차 전자 장치, 투사형 TV, 및 심지어는 고해상도의 HDTV등과 같은 스마트 파워 장치들에 대해, 많은 응용이 존재한다.
고전압(HV) MOS 장치를 제조하는 기술은, IEDM Proceedings, 1979년, 238-241 페이지의 'High Voltage Thin Layer Devices(RESURF 장치)'이라 표제된 논문에 설명되어 있다. 이러한 기술은 MOS 장치의 드레인과 채널 영역 사이의 얕은 저농도로 도핑된 영역(shallow lightly doped region)을 사용한다. 이러한 얕은 저농도로 도핑된 영역은, 저 레벨의 불순물 도핑으로 인해 이용 가능한 전류 캐리어(전자 또는 '홀'인 캐리어)들의 양이 적기 때문에 드리프트 영역(drift region)이라 불리며, 이 장치는 저감 표면 필드(RESURF: Reduced Surface Field) 장치로 알려져 있다. RESURF 기술은 고전압 N-채널 수평 이중 확산(LD: lateral Double Diffused)MOS인 HV NMOS 장치 및 고전압 P-채널 수평 이중 확산 MOS인 HV PMOS 장치를 제조하는데 사용된다. 그러나, 그러한 RESURF HV PMOS 장치들을 포함하는 스 마트 파워 장치를 제조하는 데에는 여러 문제점들이 존재한다. 통상적으로, 복잡한 전하 펌핑(charge pumping) 고전압 회로 기술이 HV PMOS 장치에 사용된다. 전형적으로 HV PMOS 장치의 드레인 대 소스의 온-저항은 비교적 높다. 예를 들면, 1981년 6월 IEEE J. Solid-State Circuits 제SC-16권, 212-226 페이지의 'A Coplanar CMOS Power Switch'라 표제된 논문에 기재되어 있는 HV PMOS 장치는, 드리프트 영역으로 저농도로 도핑된 핀치 저항(lightly doped pinched resistance)을 사용한다.
따라서, 본 발명의 목적은 낮은 온-저항의 고전압 PMOS 장치들을 포함하는 스마트 파워 장치들을 제조하는 간단한 방법을 제공하는 것이다.
당해 기술 분야의 통상의 지식을 가진 자에게는, 이하의 도면 및 명세서를 참조함으로써 다른 목적 및 장점들이 분명해질 것이다.
본 발명에 따르면, 고전압 PMOS 장치의 저농도로 도핑된 RESURF 영역 내에서의 붕소 편석(boron segregation)은, HV PMOS 장치의 필드 산화물 에지(edge)에서의 불순물 주입(implant)에 의해 보정된다. 이러한 주입은 RESURF 영역 내의 붕소 농도를 복구하고, 두꺼운 산화물의 성장 중에 형성되는 얕은 수직 접합(shallow vertical junction)을 차단 또는 격리시켜, 결과적으로 HV PMOS 장치의 동작 특성을 상당히 향상시킨다. 이러한 주입은 단일 부가적 마스

크 단계를 추가함으로써 매우 간단히 달성된다.
이제 본 발명의 양호한 실시예를 설명한다. 표 A는 도면 및 이하의 설명에 사용된 구성요소 명칭 및 참조 번호들의 리스트를 포함하며, 표 B는 여러 구성요소들의 기능, 특정 실시예 및 대체 실시예들을 제공한다. 표 A 및 B는 여기에서 구체 화되며, 본 명세서의 일부가 된다.
제1도는 고전압 PMOS(HV PMOS) 트랜지스터(7)를 포함하는 본 발명에 따라 형성된 집적 회로의 단면도를 도시한다. HV PMOS 장치(7)는 웰(40)에 형성되며, 웰(40)은 반도체 기판(10)으로부터 HV PMOS 장치(7)를 분리시킨다. 기판(10)은 양호하게는 약 8-12 Ω -cm의 비교적 높은 비저항을 갖는 n-형 실리콘이다.
제1도에서, HV PMOS 장치(7)는 n-웰(40) 내에 위치된 P-탱크(41)를 갖는다. P-탱크(41)는 RESURF 드리프트 영역을 제공한다. 드리프트 영역 림(rim;48)은 p-탱크(41)의 외부 에지(edge)를 형성하며, 채널 영역(49)에 인접하여 접촉해 있다. HV 드레인(42)은 p-탱크(41) 내에 형성된다. HV소스(44)는 n-웰(40) 내에 형성되며, 채널 영역(49)에 의해 P-탱크(41)로부터 분리된다. HV 필드 산화물(43)은 드리프트 영역 P-탱크(41)의 일부분 상에 배치된다. 게이트 산화물(47)은 채널 영역(49) 및 드리프트 영역 림(48) 상에 배치되며, HV 게이트 필드 산화물(43)에 연결된다. HV n-웰 접촉부(contact:45)는 n-웰(40) 내에 형성된다. HV 게이트 전극(46)은 게이트 산화물(47) 및 필드 산화물(43) 상에 배치된다. 제1도는 또한, n-웰(40) 내에 형성되고 채널 영역(49a)에 의해 드레인(42)으로부터 분리된 HV 소스(44a), 채널 영역(49a) 상에 배치되고 HV 필드 산화물(43a)과 연결된 HV 게이트 산화물(47a), n-웰(40) 내에 형성된 HV n-웰 접촉부(45a), 및 게이트 산화물(47a)과 필드 산화물(43a) 상에 배치된 HV 게이트 전극(46a)을 포함하는 임의 선택적인 미러(mirror) 이미지 게이트 및 소스를 도시한다.
계속해서 제1도를 참조하면, p-탱크(41)는 예컨대, 붕소가 저농도로 도핑되 어 형성될 수 있다. p-탱크(41)와 같이 저농도로 도핑된 붕소 영역을 포함하는 실리콘 상에서 두꺼운 필드 산화물(43)이 형성될 때, 붕소는 실리콘으로부터 드리프트 영역 림(48)과 같은 산화물 성장 경계로 편석될 수 있으며, 열등한 반도체 특성을 갖는 성장 경계에는 하나의 영역이 형성된다; 이러한 영향으로 인해 양호한 동작 특성을 갖는 P-채널 LDMOS 고전압 RESURF 장치들을 형성하는 것이 어렵게 된다. 그러나, 본 발명에 따르면, 이러한 결함은 후술하는 바와 같이, 유리하게 최소화된다. 표준 CMOS 제조 공정에 단지 하나의 부가적인 마스크 단계만을 사용하여, 필드 산화물(43)의 에지에서 드리프트 영역 림(48)에 주입을 행하면, p-탱크 림(48)내의 붕소 농도를 복구하며, 두꺼운 산화물(43)의 성장 중에 형성될 수 있는 얕은 수직 접합을 차단하거나 격리시킨다.
이제 제2A-2J도를 참조하여, 제1도와 유사한 트랜지스터를 형성하는 양호한 제조 공정을 설명한다 간략화를 위해서, 다음의 도면들은 제1도에 도시된 양측(double-sided) 장치와 대조되는 단측(single-sided) 장치로서 제1도의 HV PMOS 장치(7)를 완성한다.
제2A도는 제1 산화물층(110)이 상부에 성장되어 있는 n-형 기판(10)을 도시하는데, 제1 산화물층(110) 상부에는 질화물층(120)이 증착되어 있다. 그 후에, 질화물층(120)은 마스크 되고 에칭된다.
제2B도는 주입 후의 n-형 도펀트(40A)를 도시한다. n-형 도펀트(40A)는 예를 들어 비소 또는 인일 수 있다. 포토레지스트(130B)는 도펀트(40A)가 원하지 않게 주입되는 것을 방지한다. 산화물층(110)과 질화물층(120)을 관통하여 주입이 이루 어진다. 도펀트(40A)는 탱크(40)를 형성하는데 사용된다.
제2C도는 n-형 도펀트(40A)가 HV n-웰(40)을 형성하게 하는 확산 단계의 결과를 도시한다. 확산은 도펀트를 약 8 ㎛의 깊이까지 기판(10) 내로 주입시킨다. 약 1.5e16/cm ^{3} 의 n-형 불순물 농도는 n-웰(40)용으로 충분하다.
제2D도는 주입된 후의 p-형 도펀트(41A)를 도시한다. p-형 도펀트(41A)는 예를 들어 붕소일 수 있다. 포토레지스트(130D)는 도펀트(41A)가 원하지 않게 주입되는 것을 방지한다. 도펀트(41A)는 n-웰(40) 내에 주입된다.
제2E도는 HV드리프트 영역 p-탱크(41)를 형성하는 확산 단계의 결과를 도시한다. RESURF 장치의 공지된 동작에 따라서, 소스 대 드레인 전압(Vds)의 인가에 응답하여 드리프트 영역(41) 내에 공핍(depletion) 영역이 형성되면, 그 결과적인 필드가 장치의 표면상에서 충돌하여 표면상의 전압 구배(voltage gradient)를 감소시키도록, 드리프트 영역(41)의 깊이는 약 1-2㎛로 제한된다. 약 8.0e16/cm ^{3} 의 p-형 불순물 농도는 드리프트 영역 p-탱크(41)용으로 충분하다.
제2F도는 필드 산화물(11), 및 질화물(120)로 피복되지 않은 영역 상에서 열적으로 성장된 HV PMOS 필드 산화물(43)을 도시한다. 붕소는 필드 산화물(43) 성장 중에 필드 산화물(43)에 인접한 영역 내의 p-탱크(41)로부터 편석될 수도 있다. 산화물 성장 후에 질화물(120)은 제거된다. 그 후에, 노출된 영역 상부에 더미 산화물(dummy oxide: 140)이 형성된다.
제2G도는 주입 후의 p-형 도펀트(220)를 도시한다. p-형 도펀트(220)는 예를 들어 붕소일 수도 있다. 포토레지스트(130G)는 도펀트(220)가 원하지 않게 주입되는 것을 방지한다. 본 발명에 따르면, p-형 도펀트(220)는 필드 산화물(43)의 형성 중에 불필요하게 손실될 수도 있는 붕소를 유리하게 대체한다. p-형 도펀트(220)는 이 시점에서 어닐링될 수 있으며, 양호하게는, 예를 들어 제2J도에 도시된 후속의 확산과 관련하여 어닐링될 것이다.
제2H도는 집적 회로 상부에 산화물을 증착시키고, 이 산화물층을 패터닝 및 에칭함으로써 형성된 부분적 HV 게이트 산화물(47A)을 도시한다. 산화물(47A)의 두께는 다음 단계에 추가된 산화물이 결합되어 제2J도에서 도시된 HV 게이트 산화물(47)의 목표 두께를 생성하도록 선택된다. 부분적 HV 게이트 산화물(47A)은 예를 들어 800 Å의 두께일 수도 있다.
제21도에서는, 얇은 산화물층(112)이 집적 회로 전역에 걸쳐 증착된다. 산화물층(112)은 도시되지 않은 저전압 장치의 게이트 산화물을 형성할 수도 있다. 산화물층(112)은 부분적인 게이트 산화물(47A) 상부에 배치된다. 산화물층(112)의 두께는 예를 들어 약 350 Å이다. 그 후, 산화물층(112)은 패터닝 및 에칭되어, 제2J도에 도시된 HV 게이트 산화물(47)을 형성한다.

제2J도에서, 폴리실리콘이 증착되고, 에칭되어 HV 게이트 전극(46)을 형성한다. HV p^+ 드레인(42) 및 HV p^+ 소스(44)에 주입이 행해진다. HV n^+ n-웰 접촉부(45)에 주입이 행해진다. 그 후, 모든 드레인(42) 및 소스들(44 및 45)은 제1도의 장치를 생성하기 위해 단일 확산 단계에서 대체로 같은 깊이로 확산될 수 도 있다. 그 후, 공지된 단계들이 후속되어 집적 회로가 완성된다.

제3A-3C도는 본 발명의 장점을 보다 상세히 도시한다. 제3A도를 참조하면, 산화물 성장 중의 붕소 불순물의 편석 효과가 도시된다. 불순물 농도 구배 선들(201a-201h)은 제2F도에서 도시된 바와 같이, 산화물(43) 성장이 완료된 후의 저농도로 도핑된 드리프트 영역(41) 내의 불순물(즉, 붕소) 농도를 나타낸다. 불순물 농도선(201a)은 약 1.5e16/cm^3 인 고농도의 영역을 나타낸다. 불순물 농도선(201h)은 드리프트 영역(41)의 농도가 더 낮은 경계를 나타낸다. 드리프트 영역 탱크 림 영역(48)에서는, 불순물이 드리프트 영역 탱크(41)로부터 편석되어, 필드 산화물(43) 하부에 얕은 수직 접합(230)을 남긴다. 얕은 수직 접합(230)은 PMOS 장치(7)의 성능을 저하시킨다.

본 발명은 붕소 편석에 기인하는 잠재적인 장치의 성능 저하를 최소화한다. 제3B도 및 제2G도를 참조하면, HV 드리프트 영역 탱크 림 조절부(220)가 도시된다. 드리프트 영역 탱크(41)에 사용된 것과 동일한 불순물(즉, 붕소)을 추가적으로 주입하면, 드리프트 영역 탱크 림(48) 내의 불순물 농도가 재설정되며, 얕은 수직 접합(230)이 제거된다.

제3C도를 참조하면, 드리프트 영역 탱크 림 조절부(220)를 어닐링 함으로써, 불순물 구배 선들(201a-201h)로 나타낸 불순물 구배를 완만하게 하며, 양호한 수평 접합(250)을 형성한다. 얕은 수직 접합(230)의 아주 작은 격리된 부분이 필드 산화물(43) 하부에 남아 있지만, 이것은 PMOS 장치(7)의 성능에 거의 영향을 미치지 않 는다. 이제 양호하게도, 채널 영역(49)에 인접한 HV 드리프트 영역 p-탱크 림(48)은, HV PMOS 장치(7)의 온 저항인 $R_{ds(on)}$ 를 원하지 않게 증가시키는 불순물 농도의 결핍을 갖지 않는다.

본 발명은, 양호한 실시예에 설명된 바와 같이, 두꺼운 필드 산화 동안에 형성되는 얕은 수직 접합을 차단하거나 격리하기 위한 필드 산화물 상으로의 마스크 이온 주입에만 국한되지는 않는다. 본 발명은 또한, 수평 접합을 형성하기 위해 분리를 위한 역 도핑(counter doping)의 목적으로 사용되는, 여러 형태의 수직 접합 도펀트 보상 기술들에 양호하게 응용될 수 있다.

본 발명은 스마트 파워 장치에 사용된 여러 가지 형태의 고전압 PMOS 장치들에 양호하게 응용될 수 있다.

본 발명은 예를 들어, 구형(square)의 드리프트 영역(41) 또는 원형(rounded)의 드리프트 영역(41)과 같은 다양한 기하학적인 형태를 사용하여 구현될 수 있다.

본 발명의 또 다른 장점은, 대부분의 CMOS 제조 공정에 적응시킬 수 있는 간단한 공정으로 고전압 PMOS 장치의 Rds(on)가 최소화되도록 집적 회로 상의 다른 형태의 장치와는 무관하게 고전압 PMOS 장치를 최적화시키는 것이다.

본 발명은 예시적인 실시예를 참고로 설명되었지만, 이러한 설명은 본 발명을 제한하는 의미로 해석되어서는 안 된다. 본 발명의 기술 분야의 숙련자에게는 이러한 설명을 통해 본 발명의 다양한 다른 실시예들이 가능할 것이다. 예를 들면, 대체 실시예는, 상기 양호한 실시예에서 웰(40)에 의해 장치가 분리되기 때문에, N 또는 P 형 기판(10) 중 어느 하나를 사용할 수도 있다. 또 다른 실시예는 저농도로 도핑된 RESURF 영역 하부에 epi 층을 사용하거나 웰(40) 대신에 다른 구성들을 사용할 수도 있다. 따라서, 첨부된 특허 청구 범위는 본 발명의 진실한 범위 및 사상에 속하는 본 실시예의 여러 변형들을 포함한다.

표 A

구성요소	구성요소 명
10	반도체 기판
40	HV n-웰
41	HV 드리프트 영역 (p)-탱크
42	HV p+ 드레인
43	HV PMOS 필드 산화물
44, 44a	HV p^+ 소스
45, 45a	HV n^+ n-웰 접촉 영역
46, 46a	HV PMOS 게이트 전극
47	HV PMOS 게이트 산화물
48	HV PMOS 드리프트 영역 림
49	HV PMOS 채널 영역
101	HV 드레인 전극
103	HV 소스 전극
110	제1 산화물
120	질화물층
130	포토레지스트 패턴
140	더미 산화물
201a-201h	불순물 농도 구배 선
220	HV 드리프트 영역 p-탱크 조절부
230	얕은 수직 접합
250	수평 접합

표 B			
구성 요소	기능	특정 실시예 HVPMOS 정격 항복전압=약 30V	다른 실시예 HV항복전압=약 15-80 V
10	활성 소자용 기초	8-12 Ω -cm (n-) Si	8-12 Ω -cm (p-) Si
40	국부적 반도체 기판 웰	(n)형성, 약 1.5e16/cm^3 약 8 ㎛ 깊이	약 1.0e15-5.0e16/cm^3 약 4.0-10 ㎛ 깊이
41	표면 필드를 감소하기 위한 드레인 공핍 영역	붕소(p)형성, 약8.0e16/cm^3 약1.1 ㎛ 깊이	약 0.1-3.0e17/cm^3 약 1.0-2.5 ㎛
42	고전도성 드레인 접촉 영역	(p^+)형성, 약 1.0e19/ cm^3 약 0.5 ㎛ 깊이	
43	드레인 및 드리프트 영역으로부터 게이트를 절연	열적 Si 산화물, 약 9300Å	
44	소스 영역	(p^+)형성, 약 1.0e19/cm^3 약 0.5 ㎛ 깊이	
45	고전도성 탱크 접촉 영역	(n^+)형성, 약 1.0e19/ cm^3 약 0.5 ㎛ 깊이	
46	게이트 전극	폴리 Si	Al, Cu 등의 금속
47	전도성 영역으로부터 게이트를 절연	Si 산화물 증착, 약 1000 Å	
48	드리프트 영역 탱크(41)의 림(rim)		
49	반전도성(semiconductive) 영역	(n) 형성	
101	드레인 전극	폴리 Si	a) Al, Cu 등의 금속 b)내화성 금속 실리사이드
103	소스 전극	폴리 Si	a) Al, Cu 등의 금속 b)내화성 금속 실리사이드
110	질화물에 대해 에칭 스톱, 결정면을 보호	열적 산화물, 약 400 Å	
120	필드 산화물의 마스크	Si_3N_4증착, 약 1200 Å	
130	주입물의 마스크		
140	결정면을 보호	열적 산화물, 약 400 Å	
201a-201h	불순물 농도선	선당 약 1.0e16/cm^3	
220	손실된 붕소 불순물 농도를 대체	붕소 형성, 약 1.0e13/cm^3	약 0.5-1.5e13/cm^3
230	열적 산화물 성장의 불필요한 측면 효과	붕소 편석	
250	수평 접합이 장치의 성능을 향상	드리프트 영역과 채널 영역 사이의 접합	

(57) 청구의 범위

청구항 1.

고전압 P-채널 금속 산화물 반도체(PMOS) 장치를 제조하는 방법에 있어서,
p-형 불순물이 저농도로 도핑된 드리프트 영역 p-탱크를 n-형 채널 영역에 인접하게 형성하는 단계;
고전압 필드 산화물 성장의 결과로 발생되는 불순물 편석(impurity segregation)에 의해, 상기 n-형 채널 영역에 인접한 상기 드리프트 영역 p-탱크의 일부분에 수직 PN 접합을 형성하는 단계; 및
상기 수직 PN 접합이 상기 채널 영역으로부터 차단 또는 격리되도록, 상기 필드 산화물 일부분의 하부 및 상기 채널 영역에 인접한 상기 드리프트 영역의 일부분에 드리프트 영역 림 조절(drift region rim adjustment) 주입을 행하여, 상기 드리프트 영역 및 상기 채널 영역 사이에 수평 PN 접합을 형성하는 단계
를 포함하는 것을 특징으로 하는 HV PMOS 장치 제조 방법.

청구항 2.

제1항에 있어서,
상기 드리프트 영역 p-탱크를 형성하는 단계는, 상기 드리프트 영역 p-탱크의 깊이를 약 5 ㎛ 미만으로 제한하는 것을 특징으로 하는 HV PMOS 장치 제조 방법.

청구항 3.

제2항에 있어서,
상기 드리프트 영역 p-탱크를 형성하는 단계는 불순물로서 붕소를 사용하며;
상기 드리프트 영역 p-탱크 림 조절 주입을 행하는 단계는 불순물로서 붕소를 사용하는 것을 특징으로 하는 HV PMOS 장치 제조 방법.

청구항 4.

제1항에 있어서,

상기 고전압 드리프트 영역 p-탱크를 형성하는 단계는, 상기 드리프트 영역 p-탱크를 약 1e15/cm ^{3} 의 붕소 농도 이상의 불순물 농도로 주입하는 단계를 포함하고;

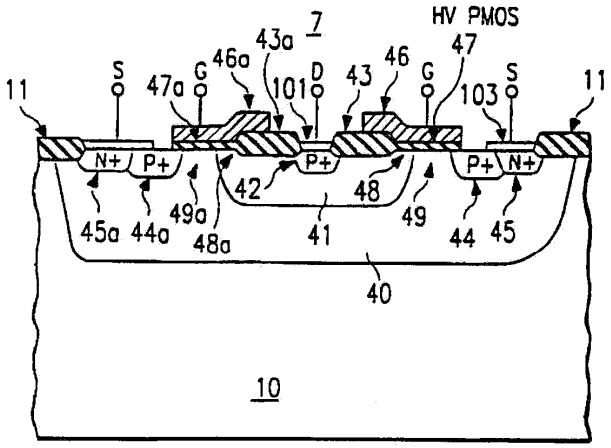
상기 HV PMOS 필드 산화물을 성장시키는 단계는, 상기 필드 산화물을 약 0.6 μm보다 두껍게 성장시키는 단계를 포함하며;

상기 고전압 드리프트 영역 p-탱크 림 조절 주입을 행하는 단계는, 상기 고전압 드리프트 영역 p-탱크 림을 약 0.5e13/cm ^{3} 의 붕소 농도 이상의 불순물 농도로 주입하는 단계를 포함하는

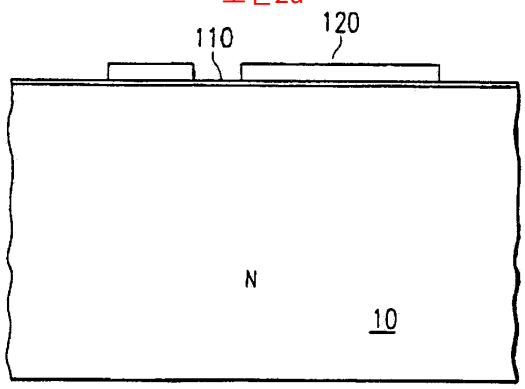
것을 특징으로 하는 HV PMOS 장치 제조 방법.

도면

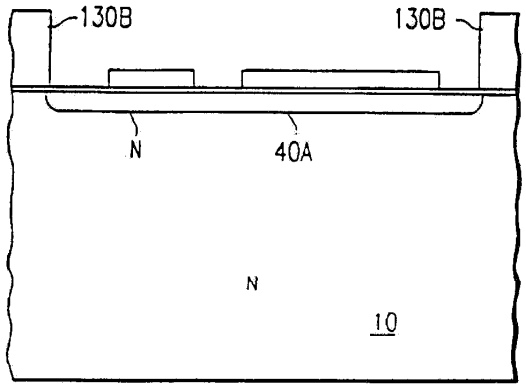
도면1



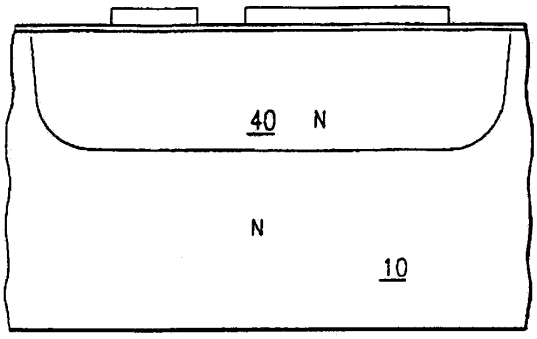
도면2a



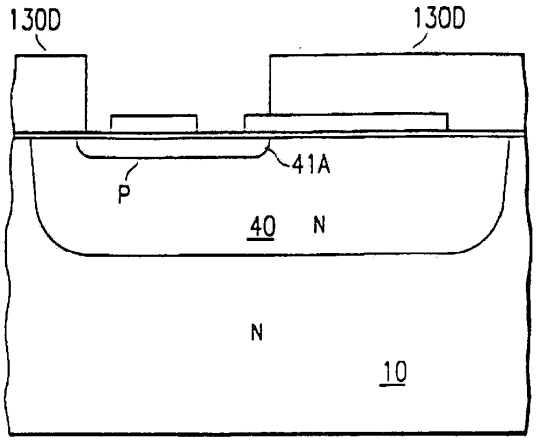
도면2b



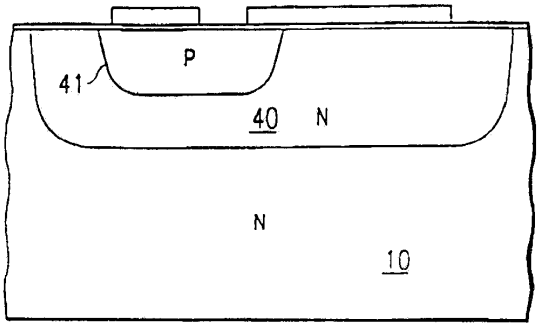
도면2c



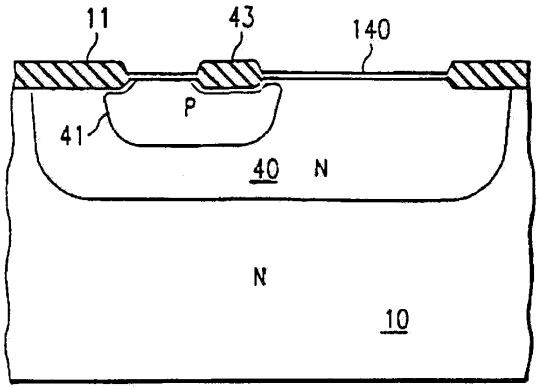
도면2d



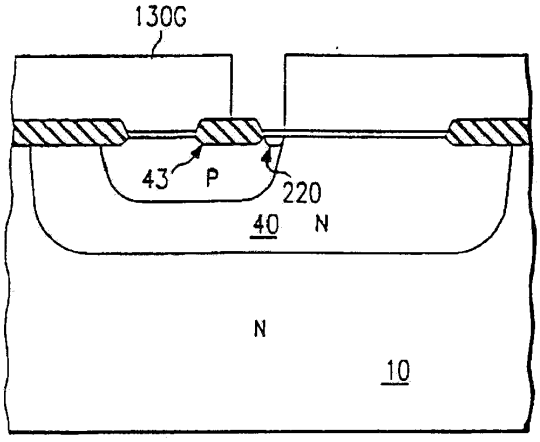
도면2e



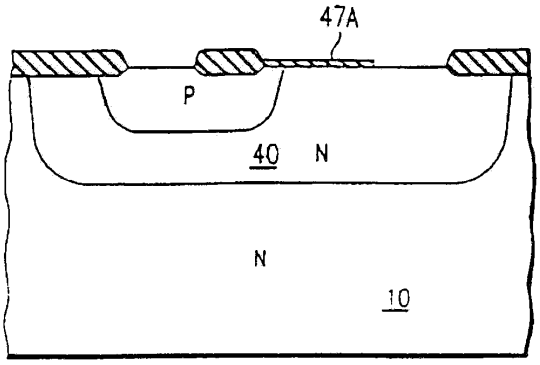
도면2f



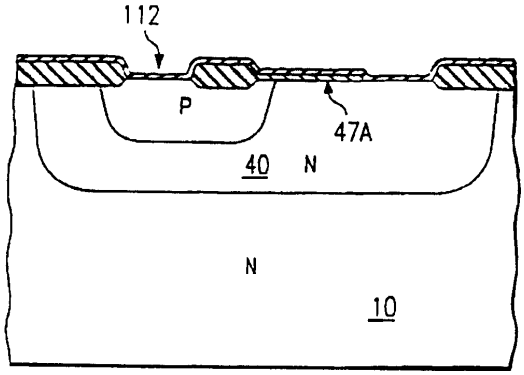
도면2g



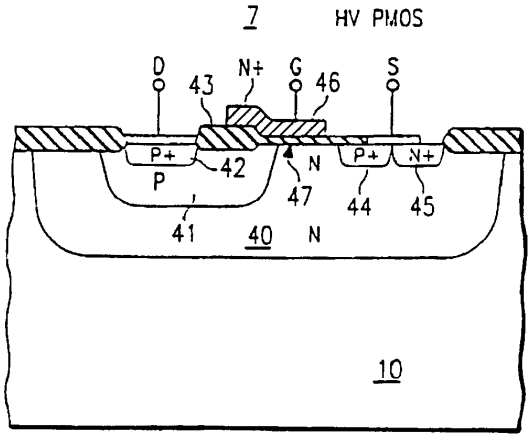
도면2h



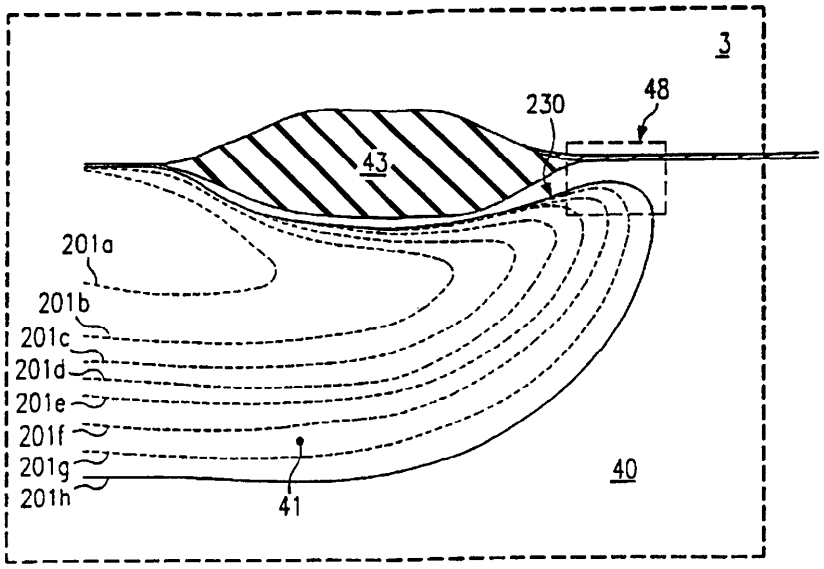
도면2i



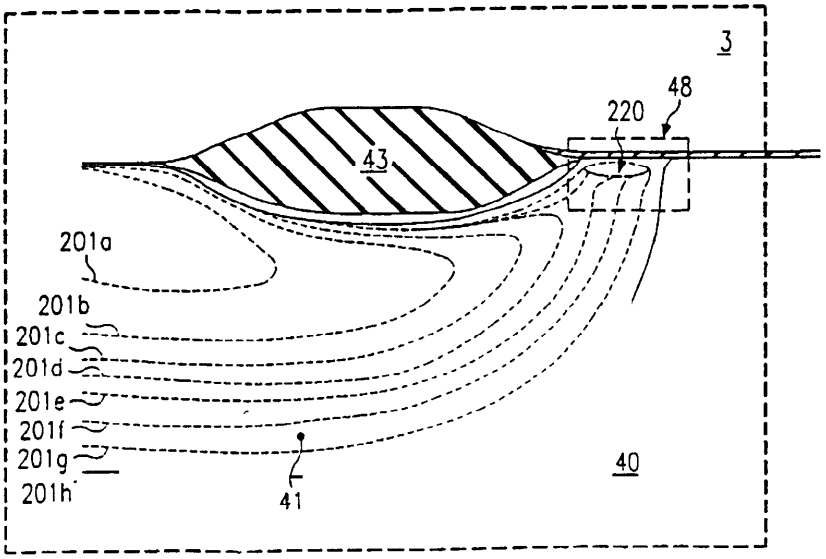
도면2j



도면3a



도면3b



도면3c

