

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年10月29日(29.10.2009)

PCT

(10) 国際公開番号
WO 2009/131140 A1

- (51) 国際特許分類:
H01P 11/00 (2006.01) H01Q 15/14 (2006.01)
H01P 7/00 (2006.01)
- (21) 国際出願番号: PCT/JP2009/057968
- (22) 国際出願日: 2009年4月22日(22.04.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-111285 2008年4月22日(22.04.2008) JP
- (71) 出願人(米国を除く全ての指定国について): 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 竹村 浩一 (TAKEMURA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 安道 徳昭 (ANDO, Noriaki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 塚越 常雄 (TSUK-AGOSHI, Tsuneo) [JP/JP]; 〒1088001 東京都港区芝

五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 加藤 朝道(KATO, Asamichi); 〒2220033 神奈川県横浜市港北区新横浜3丁目20番12号加藤内外特許事務所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

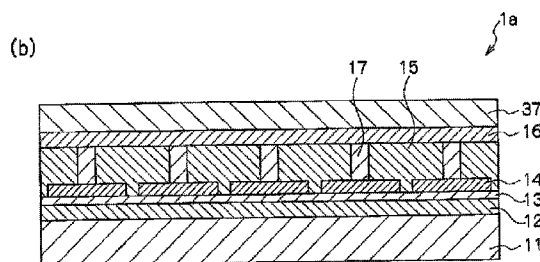
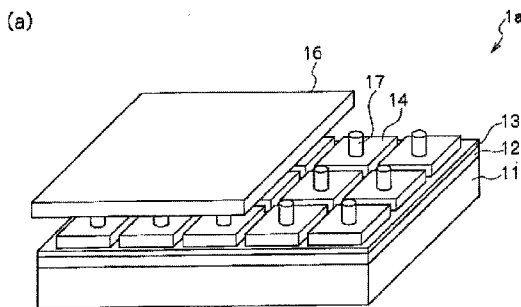
(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,

[続葉有]

(54) Title: ELECTROMAGNETIC BANDGAP STRUCTURE AND METHOD FOR MANUFACTURE THEREOF, FILTER ELEMENT AND FILTER ELEMENT-INCORPORATING PRINTED CIRCUIT BOARD

(54) 発明の名称: 電磁バンドギャップ構造及びその製造方法、フィルタ素子、フィルタ素子内蔵プリント基板

[図1]



(57) Abstract: Disclosed is an electromagnetic bandgap EBG structure comprising: a rigid substrate; a first conductive plane provided on this rigid substrate; a dielectric layer provided on this first conductive plane; a plurality of small conductive elements provided in a regular two-dimensional arrangement on this dielectric layer; an interlayer insulating layer provided on this plurality of small conductive elements; and a second conductive plane provided on this interlayer insulating layer, wherein: the plurality of small conductive elements are each connected to the second conductive plane by a plurality of conductors that pass through the interlayer insulating layer. A filter element and printed circuit board incorporating this filter element are manufactured using this EBG structure.

(57) 要約: 電磁バンドギャップ EBG 構造は、リジッド基板と、該リジッド基板上に設けられた第1の導体プレーンと、該第1の導体プレーン上に設けられた誘電体層と、該誘電体層上に2次的に規則的に配列して設けられた複数の導体小片と、該複数の導体小片上に設けられた層間絶縁層と、該層間絶縁層上に設けられた第2の導体プレーンと、を備え、前記複数の導体小片の各々と前記第2の導体プレーンとが前記層間絶縁層を貫通する複数の導体で接続されている。この EBG 構造を用いてフィルタ素子、該フィルタ素子内蔵プリント基板が製造される(図1)。



WO 2009/131140 A1

CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, 添付公開書類:
TG).

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：

電磁バンドギャップ構造及びその製造方法、フィルタ素子、フィルタ素子内蔵プリント基板

技術分野

[0001] [関連出願の記載]

本発明は、日本国特許出願：特願2008-111285号（2008年4月22日出願）の優先権主張に基づくものであり、同出願の全記載内容は引用をもって本書に組み込み記載されているものとする。

本発明は、電磁バンドギャップ構造、フィルタ素子、フィルタ素子内蔵プリント基板、及び電磁バンドギャップ構造の製造方法に関する。

背景技術

[0002] 特定の周波数帯においてバンドギャップを有する電磁バンドギャップ構造（以下、EBG構造という場合がある。）は、誘電体又は導体が2次元的又は3次元的に規則的に配列し、特定周波数帯の電磁波の伝播を抑制又は大きく減衰させるようなバンドギャップとよばれる周波数領域を形成するものである。近年、このEBG構造の特徴を利用した、アンテナやノイズフィルタ等が提案されている。

[0003] 具体的なEBG構造として、特許文献1では、表面電流を抑えたグラウンドプレーンを提供すること等を課題としている。具体的には、上面金属パッチがメッシュ内でプレートの上方にそれと重なり合って設けられ、プレートから薄い誘電体スペーサで隔てられているグラウンドプレーンメッシュが開示されている。より具体的には、導体プレーン上に、多角形平板状の導体小片と導体柱により構成される画鋏状の導体要素が周期的に配置され、各導体要素が導体プレーンへ接続された構造が開示されている。

[0004] 特許文献2、非特許文献1には、導体プレーン上に、多角形平板状の導体小片と導体柱により構成される画鋏状の導体要素が周期的に配置され、各導

体要素が導体プレーンへ接続されており、さらに導体小片に対向して誘電体層を介して別の導体プレーンが積層した構造が開示されている。

特許文献1：特表2002-510886号公報（要約、第0003段落、第0039段落、図26）

特許文献2：米国特許出願公開第2005/0029632号明細書（FIG. 1, 2、第0053段落）

非特許文献1：S. D. Rodgers, "Electromagnetic-Bandgap Layers for Broad-Band Suppression of TEM Modes in Power Planes", IEEE Trans. On Microwave Theory and Techniques, vol. 53, No. 8, August 2005, p. 2495-2505

発明の開示

発明が解決しようとする課題

[0005] なお、上記特許文献1、2及び非特許文献1の全開示内容はその引用をもって本書に繰込み記載する。以下の分析は、本発明によって与えられたものである。

特許文献1で開示されているEBG構造は、導体小片間のキャパシタンス（C）と、導体要素と導体プレーンから構成されるインダクタンス（L）とが2次元的に配列した分布定数回路と考えることができる。このようなEBG構造は $1/\sqrt{LC}$ 近傍の周波数帯にバンドギャップを形成するため、導体要素の形状や配列を適切に設計することにより、所望の周波数帯の電磁波の伝播を抑制するフィルタ等の機能を発現させることができる。

[0006] 特許文献2、非特許文献1は、簡単には導体小片と対向する導体プレーン間のキャパシタンスや、導体要素と導体プレーンから構成されるインダクタンスが2次元的に配列した分布定数回路と考えることができる。このようなEBG構造も、キャパシタンスやインダクタンスに応じて特定の周波数帯にバンドギャップを形成し、導体要素の形状や配列を適切に設計することによ

り、所望の周波数帯の電磁波の伝播を抑制するフィルタ等の機能を発現させることができる。

- [0007] こうしたEBG構造を、携帯電話、デジタル家電、情報機器等の適用分野へ拡大するためには、高密度実装を可能とするEBG構造の小型化が課題となる。また、バンドギャップの周波数帯を広範囲に制御できること、特に数GHz以下の周波数域で利用できることも課題となる。ここで、EBG構造のバンドギャップが発現する周波数は、キャパシタンスに着目すると、キャパシタンスが大きいほど低周波側で発現する。このため、面積を増加させずにキャパシタンスを大きくするためには、電極間隔を小さくする、或いは比誘電率が大きな誘電体を用いることが重要となる。
- [0008] こうした傾向と合わせて、特許文献2、非特許文献1において、帯域幅を広げるために、導体小片と対向する導体プレーンとの間の間隔 (t_2)、そこへ充填される誘電体の比誘電率 (ϵ_2)、導体小片と導体小片に接続される導体プレーンとの間の間隔 (t_1)、及びそこへ充填される誘電体の比誘電率 (ϵ_1)、の関係が、特許文献2には $t_2 < t_1$ 、 $\epsilon_2 \geq \epsilon_1$ となることが好ましいことが開示され、非特許文献1には $t_2 \ll t_1$ 、 $\epsilon_2 \gg \epsilon_1$ となることが好ましいことが開示されている。
- [0009] しかしながら、特許文献1、2、非特許文献1で紹介されているEBG構造は、バンドギャップの発現は実現されるが、導体小片の大きさが数mm²、EBG構造全体で数cm²のサイズが必要であり、電子機器へ実装することは困難であるという課題がある。これは、上記EBG構造が、プリント基板プロセス、材料で作製されているために、比誘電率は3~5程度、厚さも数10 μ m以上の誘電体材料を使うことに起因している。例えば、平行平板電極間に生じるキャパシタンスは、これらの材料を用いると1mm²あたり数pF程度にしかない。
- [0010] 実際に、非特許文献1には、数mm²の導体小片で構成されていることが記載されている。また、特許文献2のFIG. 1, 2には、第2の導体プレーン、層間絶縁層、2次元的に規則的に配列して設けられた複数の導体小片

、誘電体層、及び第1の導体プレーンを有し、上記の複数の導体小片の各々と第2の導体プレーンとが層間絶縁層を貫通する複数の導体で接続されているEBG構造が開示されている。しかしながら、本発明者等の検討によれば、こうした積層順番では、EBG構造の小型化を図ることができないことが判明した。なぜなら、キャパシタンスを大きくしつつ小型化を達成する1つの方法として、上述のとおり誘電体層の厚さを薄くすることが必要となるところ、複数の導体小片、誘電体層、及び第1の導体プレーンをこの順に設けるEBG構造では、複数の導体小片により形成される凹凸により誘電体層を薄く設けることができないからである。

[0011] このように、平行平板電極間のキャパシタンスを増加させる、又は単位面積当たりのキャパシタンスを増加させて小型化するためには、電極間隔を小さくすることや、電極間に設ける誘電体層に誘電率が高い材料を用いることが考えられる。これをEBG構造において具体的に説明すれば、複数の導体小片と対抗して位置する第1の導体プレーンとの間隔を小さくすること、複数の導体小片と第1の導体プレーンとの間に設ける誘電体層に誘電率の高い材料を用いること、が有効となる。ところが、こうしたEBG構造を実現する具体的な手段は未だ見出されておらず、EBG構造につき所望の小型化が達成できていないのが実情である。

[0012] 本発明の第1の目的は、上記問題を解決するためになされたものである。より具体的には、特定の周波数帯においてバンドギャップを有し、小型・薄型のEBG構造を提供することにある。

[0013] 本発明の第2の目的は、上記問題を解決するためになされたものである。より具体的には、特定の周波数帯においてバンドギャップを有し、小型・薄型のEBG構造を用いたフィルタ素子を提供することにある。

[0014] 本発明の第3の目的は、上記問題を解決するためになされたものである。より具体的には、特定の周波数帯においてバンドギャップを有し、小型・薄型のEBG構造を用いたフィルタ素子を内蔵するフィルタ素子内蔵プリント基板を提供することにある。

[0015] 本発明の第4の目的は、上記問題を解決するためになされたものである。より具体的には、特定の周波数帯においてバンドギャップを有し、小型・薄型のEBG構造を製造することができるEBG構造の製造方法を提供することにある。

課題を解決するための手段

[0016] 本発明の第1の視点においてEBG構造は、リジッド基板と、該リジッド基板上に設けられた第1の導体プレーンと、該第1の導体プレーン上に設けられた誘電体層と、該誘電体層上に2次元的に規則的に配列して設けられた複数の導体小片と、該複数の導体小片上に設けられた層間絶縁層と、該層間絶縁層上に設けられた第2の導体プレーンと、を備え、前記複数の導体小片の各々と前記第2の導体プレーンとが前記層間絶縁層を貫通する複数の導体で接続されている。

[0017] 本発明のEBG構造の好ましい態様においては、前記誘電体層の厚さが1 μm 以下である。

[0018] 本発明のEBG構造の好ましい態様においては、前記誘電体層が、主成分として、Mg、Al、Si、Ti、Ta、Hf、及びZrから選ばれた少なくとも1つの元素の酸化物を含有する。

[0019] 本発明のEBG構造の好ましい態様においては、前記誘電体層が、主成分として金属元素の複合酸化物を含有する。

[0020] 本発明のEBG構造の好ましい態様においては、前記第1の導体プレーンが、前記リジッド基板側から、Ti、Ta、Cr、Tiの窒化物、Taの窒化物、及びCrの窒化物から選ばれた少なくとも1つの材料から構成される層を1以上設けた中間層と、該中間層の上に形成され、Pt、Pd、Ru、及びIrから選ばれた少なくとも1以上の元素から構成される層を1以上設けた高融点導電層と、を有する。

[0021] 本発明のEBG構造の好ましい態様においては、前記リジッド基板が導体又は半導体から構成される。

[0022] 本発明のEBG構造の好ましい態様においては、前記リジッド基板と前記

第1の導体プレーンとが電氣的に接続されている。

- [0023] 本発明のEBG構造の好ましい態様においては、前記導体又は半導体が、Si、GaAs、ステンレス、タングステン、モリブデン、及びチタンから選ばれた少なくとも1つである。
- [0024] 本発明のEBG構造の好ましい態様においては、前記リジッド基板が、ガラス、サファイア、石英、及びアルミナから選ばれた少なくとも1つの材料から構成される。
- [0025] 本発明のEBG構造の好ましい態様は、前記リジッド基板の両面のうちの前記第1の導体プレーンが設けられていない側の面に設けられた裏面パッドと、該裏面パッドと電氣的に接続されるとともに、前記リジッド基板を貫通して前記第1の導体プレーン又は前記第2の導体プレーンに接続された貫通電極と、を有する。
- [0026] 本発明の第2の視点においてフィルタ素子は、前記電磁バンドギャップ構造と、該電磁バンドギャップ構造の第1の導体プレーンに接続する第1の外部接続端子と、前記バンドギャップ構造の第2の導体プレーンに接続する第2の外部接続端子と、を有する。
- [0027] 本発明のフィルタ素子の好ましい態様においては、前記第1の外部接続端子及び前記第2の外部接続端子が、それぞれが2以上存在する。
- [0028] 本発明のフィルタ素子の好ましい態様においては、前記フィルタ素子の面積が 1 cm^2 より小さい。
- [0029] 本発明の第3の視点においてフィルタ素子内蔵プリント基板は、前記フィルタ素子と、該フィルタ素子が埋め込まれたプリント基板と、を有し、前記フィルタ素子の第1の外部接続端子が前記プリント基板の電源プレーンに接続され、前記フィルタ素子の第2の外部接続端子が前記プリント基板のグラウンドプレーンに接続されるか、又は、前記フィルタ素子の第1の外部接続端子が前記プリント基板のグラウンドプレーンに接続され、前記フィルタ素子の第2の外部接続端子が前記プリント基板の電源プレーンに接続される。
- [0030] 本発明の第4の視点においてEBG構造の製造方法は、リジッド基板上に

第1の導体プレーンを形成する第1の導体プレーン形成工程と、前記第1の導体プレーン上に誘電体層を形成する誘電体層形成工程と、前記誘電体層上に2次元的に規則的に配列して設けられた複数の導体小片を形成する導体小片形成工程と、前記複数の導体小片上に層間絶縁層を形成する層間絶縁層形成工程と、前記層間絶縁層上に設けられる第2の導体プレーンを形成し、前記層間絶縁層を貫通して前記複数の導体小片の各々と前記第2の導体プレーンとを接続する複数の導体を形成する第2の導体プレーン・導体形成工程と、を有する。

[0031] 本発明のEBG構造の製造方法の好ましい態様においては、前記誘電体層形成工程において、前記誘電体層の厚さを $1\mu\text{m}$ 以下に形成する。

[0032] 本発明のEBG構造の製造方法の好ましい態様においては、前記誘電体層形成工程において、主成分として、Mg、Al、Si、Ti、Ta、Hf、及びZrから選ばれた少なくとも1つの元素の酸化物を用いて前記誘電体層を形成する。

[0033] 本発明のEBG構造の製造方法の好ましい態様においては、前記誘電体層形成工程において、主成分として金属元素の複合酸化物を用いて前記誘電体層を形成する。

[0034] 本発明のEBG構造の製造方法の好ましい態様においては、前記誘電体層形成工程において、前記誘電体層が、スパッタ法、CVD法、ゾルゲル法、エアロゾルデポジション法、及びスピン塗布法から選ばれた少なくとも1つの方法で形成される。

[0035] 本発明のEBG構造の製造方法の好ましい態様においては、前記第1の導体プレーン形成工程が、前記リジッド基板側から、Ti、Ta、Cr、Tiの窒化物、Taの窒化物、及びCrの窒化物から選ばれた少なくとも1つの材料から構成される層を1以上設けた中間層を形成する中間層形成工程と、Pt、Pd、Ru、及びIrから選ばれた少なくとも1以上の元素から構成される層を1以上設けた高融点導電層を前記中間層の上に形成する高融点導電層形成工程と、を有する。

- [0036] 本発明のEBG構造の製造方法の好ましい態様においては、前記リジッド基板が導体又は半導体から構成される。
- [0037] 本発明のEBG構造の製造方法の好ましい態様においては、第1の導体プレーン形成工程において、前記リジッド基板と前記第1の導体プレーンとを電氣的に接続する。
- [0038] 本発明のEBG構造の製造方法の好ましい態様においては、前記導体又は半導体が、Si、GaAs、ステンレス、タングステン、モリブデン、及びチタンから選ばれた少なくとも1つである。
- [0039] 本発明のEBG構造の製造方法の好ましい態様においては、前記リジッド基板が、ガラス、サファイア、石英、及びアルミナから選ばれた少なくとも1つの材料から構成される。
- [0040] 本発明のEBG構造の製造方法の好ましい態様においては、前記第1の導体プレーン形成工程において、前記リジッド基板上に高耐熱性樹脂を塗布した後に前記第1の導体プレーンを形成する。
- [0041] 本発明のEBG構造の製造方法の好ましい態様においては、前記第2の導体プレーン・導体形成工程の後に、前記リジッド基板を研削又はエッチングすることにより前記リジッド基板を薄くする又は除去するリジッド基板薄化・除去工程を、さらに有する。
- [0042] 本発明のEBG構造の製造方法の好ましい態様においては、前記リジッド基板薄化・除去工程において、前記電磁バンドギャップ構造の厚さが300 μ m以下となるように、前記リジッド基板を薄くする又は除去する。
- [0043] 本発明のEBG構造の製造方法の好ましい態様は、前記第1の導体プレーン形成工程の前に設けられ、前記リジッド基板に貫通ビアを設けるリジッド基板貫通ビア形成工程と、前記リジッド基板の両面のうちの前記第1の導体プレーンが設けられていない側の面に裏面パッドを設ける裏面パッド形成工程と、を有する。

発明の効果

- [0044] 本発明の一視点によれば、特定の周波数帯においてバンドギャップを有し

、小型・薄型のEBG構造を提供することができる。より具体的には、誘電体層を薄化し、高誘電率化することで、第1の導体プレーンと複数の導体小片との間の単位面積当たりのキャパシタンスを大幅に増加させられるので、電子部品として表面実装されたり、基板内蔵が可能な小型で薄化されたEBG構造を提供することができる。さらに、誘電体層を薄化し、高誘電率化することで、第1の導体プレーンと複数の導体小片との間のキャパシタンスを大幅に増加させられるので、従来以上の低周波数帯にバンドギャップが制御されたEBG構造を提供することができる。

[0045] 本発明の一視点によれば、特定の周波数帯においてバンドギャップを有し、小型・薄型のEBG構造を用いたフィルタ素子を提供することができる。

[0046] 本発明の一視点によれば、特定の周波数帯においてバンドギャップを有し、小型・薄型のEBG構造を用いたフィルタ素子を内蔵するフィルタ素子内蔵プリント基板を提供することができる。

[0047] 本発明の一視点によれば、特定の周波数帯においてバンドギャップを有し、小型・薄型のEBG構造を製造することができるEBG構造の製造方法を提供することができる。

図面の簡単な説明

[0048] [図1]本発明のEBG構造の第1の実施例の模式的な斜視図と断面図である。

[図2]図1のEBG構造を単純化した等価回路である。

[図3]本発明のEBG構造の製造方法の第1の実施例を示す模式的な工程図である。

[図4]本発明のEBG構造の第2の実施例の模式的な断面図である。

[図5]図4のEBG構造の製造方法（第2の実施例）を示す模式的な工程図である。

[図6]本発明のEBG構造の第4の実施例を示す模式的な斜視図である。

[図7]本発明のフィルタ素子の実施例の模式的な断面図である。

[図8]本発明のフィルタ素子内蔵プリント基板の実施例の模式的な断面図である。

[図9]本発明のEBG構造の製造方法の第4の実施例を示す模式的な工程図である。

[図10]本発明のEBG構造の第5の実施例を示す模式的な断面図である。

[図11]図10のEBG構造の製造方法（第5の実施例）を示す模式的な工程図である。

[図12]本発明のEBG構造の第3の実施例を示す模式的な断面図である。

[図13]図12のEBG構造の製造方法（第3の実施例）を示す模式的な工程図である。

発明を実施するための最良の形態

[0049] 以下、本発明の実施例につき説明するが、本発明は以下の実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲において任意に変形して実施することができる。

[0050] (EBG構造、EBG構造の製造方法)

図1は、本発明のEBG構造の第1の実施例の模式的な斜視図と断面図である。具体的には、図1(a)は、EBG構造1aの模式的な斜視図であり、内部構造がわかりやすいように、カバー層37、第2の導体プレーン16の一部、及び層間絶縁層15を省略して描いている。また、図1(b)は、EBG構造1aの模式的な断面図である。図2は、図1のEBG構造を単純化した等価回路である。

[0051] EBG構造1aは、リジッド基板11と、リジッド基板11上に設けられた第1の導体プレーン12と、第1の導体プレーン12上に設けられた誘電体層13と、誘電体層13上に2次元的に規則的に配列して設けられた複数の導体小片14と、複数の導体小片14上に設けられた層間絶縁層15と、層間絶縁層15上に設けられた第2の導体プレーン16と、を備え、複数の導体小片14の各々と第2の導体プレーン16とが層間絶縁層15を貫通する複数の導体17で接続されている。

[0052] EBG構造1aにおいては、リジッド基板11を用い、リジッド基板11上に、第1の導体プレーン12、誘電体層13、複数の導体小片14、層間

絶縁層 15、及び第2の導体プレーン 16の積層構造を採用している。これにより、誘電体層 13の薄型化が可能となり、EBG構造 1aの小型化を実現することができる。なお、EBG構造 1aは、第2の導体プレーン 16上にカバー層 37をさらに設けている。

[0053] すなわち、EBG構造 1aにおいて、キャパシタンスを大きくし、単位面積当たりのキャパシタンスを増加させて小型化を図るためには、電極間隔を小さくすること、すなわち誘電体層 13を薄く設けることが重要となる。この点につき、本発明者等が検討したところ、誘電体層を薄く設けるためには、独立したシートを積層する方法ではなく、誘電体層 13を直接塗布や堆積させる方法が有効であることが判明した。しかし、複数の導体小片、誘電体層、及び第1の導体プレーンをこの順に設けるEBG構造では、複数の導体小片上に誘電体層を塗布・堆積させることとなるが、この場合は、導体小片の凹凸のために均一で薄い誘電体層の形成が困難となるのである。そこで、EBG構造 1aにおいては、平坦性の高いリジッド基板 11を採用し、リジッド基板 11上に第1の導体プレーン 12を形成している。これにより、誘電体層 13を平坦な表面上へ堆積させることができるので、誘電体層 13を薄く形成することができる。その結果、第1の導体プレーン 12と、複数の導体小片 14との間のキャパシタンスを増加させることができ、より低周波域にバンドギャップを発現させることが可能となる。同様に、単位面積当たりのキャパシタンスを増加させることは導体小片 14を小型化できることになるので、EBG構造 1a全体の小型化が実現できる。

[0054] EBG構造 1aにおいては、上述のとおり、リジッド基板 11上に第1の導体プレーン 12が形成され、誘電体層 13を介して2次元的に規則配列した導体小片 14が対向している。導体小片 14の各々は導体 17を介して第2の導体プレーン 16と接続された構造となっている。EBG構造 1aにおいては、導体小片 14と第1の導体プレーン 12との間で形成されるキャパシタンス要素 21（図2参照）と、導体小片 14、導体 17、及び第2の導体プレーン 16の一部がインダクタンス要素 22（図2参照）と、を形成し

ており、バンドギャップが生じる周波数帯はこれらのキャパシタンス、インダクタンスによって制御することができる。例えば、電源ノイズ抑制フィルタとしてEBG構造1aを利用する場合、第1の導体プレーン12と第2の導体プレーン16それぞれを電源ライン、グラウンドラインに接続する。キャパシタンスとインダクタンスを適切な値になるような形状にすることで、所望の周波数帯のノイズを抑制することが可能となる。

[0055] EBG構造1aにおいては、上述のとおり、誘電体層13は平坦な第1の導体プレーン12上に形成されるので、第1の導体プレーン12の厚さに関係なく誘電体層13の厚さを薄くすることが可能となる。キャパシタンスの大きさは誘電体層13の厚さに反比例するので、例えば、50 μm の厚さの樹脂フィルムを使用した場合と比較して、1 μm の厚さの樹脂を塗布して形成すると、同じ面積ではキャパシタンスを50倍増加させることが可能となる。さらに、EBG構造に所望される周波数帯域にバンドギャップを生じさせるために同じキャパシタンスを得る場合であれば、導体小片14を1/50に小型化することが可能となる。このように、EBG構造1aを採用することによって誘電体層13の厚さを薄くすることができるが、EBG構造1aの小型化の観点から、誘電体層13の厚さを1 μm 以下とすることが好ましい。

[0056] EBG構造1aにおいては、誘電体層13の材料、リジッド基板11の材料等について詳細は説明していないが、後述する製造方法や第2の実施例で説明する材料等を適宜用いることができる。

[0057] 図3は、本発明のEBG構造の製造方法の第1の実施例を示す模式的な工程図である。EBG構造1bの製造方法は、リジッド基板11上に第1の導体プレーン12を形成する第1の導体プレーン形成工程と、第1の導体プレーン12上に誘電体層13を形成する誘電体層形成工程と、誘電体層13上に2次元的に規則的に配列して設けられた複数の導体小片14を形成する導体小片形成工程と、複数の導体小片14上に層間絶縁層15を形成する層間絶縁層形成工程と、層間絶縁層15上に設けられる第2の導体プレーン16

を形成し、層間絶縁層 15 を貫通して複数の導体小片 14 の各々と第 2 の導体プレーン 16 とを接続する複数の導体 17 を形成する第 2 の導体プレーン・導体形成工程と、を有する。

- [0058] 第 1 の導体プレーン形成工程においては、リジッド基板 11 としてホウケイ酸ガラス板を用い、このホウケイ酸ガラス板上に、メッキ下地となる Cu (300 nm) / Ti (50 nm) の積層膜をスパッタリング法により成膜している。次いで、第 1 の導体プレーン 12 として、5 μm の厚さの Cu を電解メッキで形成し、さらに Cu メッキ層表面に TiN (50 nm) をスパッタリング法で成膜している。
- [0059] 誘電体層形成工程においては、第 1 の導体プレーン 12 上に、0.5 μm の厚さのシリコン酸化膜をプラズマ CVD 法で形成することにより、誘電体層 13 を形成している。ここで、図 3 では図示していないが、シリコン酸化膜は、第 1 の導体プレーン 12 を外部回路と接続するために、リソグラフィーでその一部を開口し第 1 の導体プレーン 12 を露出させている。
- [0060] 導体小片形成工程においては、まず、誘電体層 13 の全面に、スパッタリング法によりメッキ下地となる Cu (300 nm) / TiN (50 nm) の積層膜を成膜した後に、導体小片 14 及び第 1 の導体プレーン 12 の引き出しパッド (図 3 では図示していない。) を残してレジストを形成している。次いで、5 μm の厚さの Cu を電解メッキで成長させる。そして、レジストを除去した後に、Cu メッキが成長していないメッキ下地をウェットエッチングで除去して、導体小片 14 及び第 1 の導体プレーン 12 の引き出しパッド (図 3 では図示していない。) が形成される。
- [0061] 層間絶縁層形成工程においては、複数の導体小片 14 上に、感光性ポリイミド樹脂を塗布・乾燥して厚さ 15 μm の膜を形成している。次いで、導体 17 を形成するためのビア 18 をリソグラフィーで開口して層間絶縁膜層 15 としている。
- [0062] 第 2 の導体プレーン・導体形成工程においては、メッキ下地となる Cu (300 nm) / TiN (50 nm) の積層膜を、層間絶縁膜層 15 の全面及

びビア 18 内部にスパッタリング法により成膜する。次いで、電解メッキで Cu を層間絶縁膜層 15 の表面の平坦部に 15 μm の厚さになるように堆積させて、第 2 の導体プレーン 16 を形成すると同時に層間絶縁層 15 のビア 18 を Cu メッキで充填して導体 17 を形成する。

[0063] 最後に、外部接続パッド（図 3 では図示していない。）を残してカバー層 37 を樹脂で形成する。

[0064] EBG 構造 1 b においては、導体小片 14 の下層はパターン形成される必要がなく、リジッド基板 11 上に形成された平坦性の高い第 1 の導体プレーン 12 の表面上に誘電体層 13 を形成することが可能となり、第 1 の導体プレーン 12 よりも薄い誘電体層 13 を形成することが可能となる。その結果、単位面積当たりのキャパシタンスを増加させて、導体小片 14 の面積を小型化することが可能となる。このように、本実施例の製造方法を採用することによって誘電体層 13 の厚さを薄くすることができるが、EBG 構造 1 b の小型化の観点から、誘電体層形成工程において誘電体層 13 の厚さを 1 μm 以下に形成することが好ましい。

[0065] なお、EBG 構造 1 b においては、誘電体層 13 はプラズマ CVD 法で作製しているが、他の CVD 法やスパッタリング法、スピン塗布法等を用いてもよい。また、誘電体層 13 としてポリイミド等の樹脂を塗布法などで形成することも可能である。これらの方法で形成された誘電体層 13 は、プリント基板のプロセスで利用される誘電体よりもより薄く形成することが可能である。また、シリコン酸化膜は、多くの樹脂よりも比誘電率が大きいので、単位面積当たりのキャパシタンス増加に一層有利である。

[0066] また、EBG 構造 1 b においては、誘電体層 13 の材料、誘電体層 13 の形成方法、及びリジッド基板 11 の材料等については、後述する第 2 の実施例で説明する材料、形成方法等も適宜用いることができる。

[0067] 図 4 は、本発明の EBG 構造の第 2 の実施例の模式的な断面図である。図 5 は、図 4 の EBG 構造の製造方法（第 2 の実施例）を示す模式的な工程図である。具体的には、EBG 構造 1 c は、誘電体層 23 を、比誘電率が数 1

0以上の高誘電率を有する金属酸化物で構成した高誘電率金属酸化物層で形成している。

[0068] EBG構造1cにおいては、リジッド基板21を用い、リジッド基板21上に、第1の導体プレーン22、誘電体層23、複数の導体小片24、層間絶縁層25、及び第2の導体プレーン26の積層構造を採用している。そして、誘電体層23として高誘電率金属酸化物層を用いている。これにより、誘電体層24の薄型化が可能となり、EBG構造1cの小型化を実現することができる。なお、EBG構造1cは、第2の導体プレーン26上にカバー層38をさらに設けている。

[0069] EBG構造1cにおいて、キャパシタンスを大きくし、単位面積当たりのキャパシタンスを増加させて小型化するためには、誘電体として誘電率が高い材料を用いること、すなわち誘電体層23に比誘電率の高い材料を用いることが重要となる。この点については、例えば、金属酸化物では比誘電率が数10以上となる高誘電率材料が知られているが、本発明者等の検討によれば、このような高誘電率材料を誘電体層23として、第1の導体プレーン22及び複数の導体小片24の間に設けることは容易ではないことがわかった。なぜなら、成膜性を考慮して、上記の高誘電率材料を樹脂に分散させたシート状にして誘電体層を独立して積層する場合は、樹脂と混合し成型することによって実効的な比誘電率が減少するからである。また、第1の導体プレーン22上に、上記の高誘電率材料を直接堆積させる場合には、プリント基板の導体や樹脂の耐熱性が低いためにプロセス温度を250℃程度までしか上げることができないために、誘電体層に欠陥が多く含まれ比誘電率が減少する結果となるからである。そこで、EBG構造1cにおいては、耐熱性ある第1の導体プレーン22やリジッド基板21を採用し、こうした耐熱性の高い基材の上に誘電体層23を堆積させている。これにより、プロセス温度の制約がなくなり高温で誘電体層23を形成することができるようになるので、薄くかつ高品質で比誘電率の高い誘電体層23を形成することが可能となる。その結果、誘電体層23を薄くかつ高誘電率にできるために、第1の

導体プレーン22と導体小片24との間のキャパシタンスを増加させることができ、より低周波域にバンドギャップを発現させることが可能となる。同様に、単位面積当たりのキャパシタンスを増加させることにより、導体小片24を小型化できることになるのでEBG構造1c全体の小型化が実現できる。例えば、比誘電率120、膜厚1 μ mのチタン酸ストロンチウムを誘電体層23として用いると、プリント基板材料の約1000倍となる1mm²あたり約1nFのキャパシタンスを得ることができる。

[0070] EBG構造1cにおいては、リジッド基板21に耐熱性の高い材料を用いている。こうした材料としては、所定の耐熱性を有していれば特に制限はないが、例えば、導体、半導体、及び絶縁体のいずれかを挙げるができる。導体又は半導体としては、Si、GaAs、ステンレス、タングステン、モリブデン、及びチタンから選ばれた少なくとも1つを用いることが好ましい。また、絶縁体を用いる場合、リジッド基板は、ガラス、サファイア、石英、及びアルミナから選ばれた少なくとも1つの材料から構成されることが好ましい。こうした材料のうち、EBG構造1cのリジッド基板21としてSiウェハーを用いている。

[0071] EBG構造1cにおいては、第1の導体プレーン22は、それぞれ耐熱性を有する中間層32及び高融点導電層33で形成されている。中間層は、Ti、Ta、Cr、Tiの窒化物、Taの窒化物、及びCrの窒化物から選ばれた少なくとも1つの材料から構成される層を1以上設けたものとするのが好ましく、その一例として、EBG構造1cの中間層32は、Ti(50nm)、TiN(50nm)、Mo(1000nm)、及びTi(50nm)の4層構造となっている。また、高融点導電層は、Pt、Pd、Ru、及びIrから選ばれた少なくとも1以上の元素から構成される層を1以上設けたものとするのが好ましく、その一例として、EBG構造1cの高融点導電層33は、Pt(100nm)で構成されている。

[0072] EBG構造1cにおいては、誘電体層23は高誘電率金属酸化物層として形成されている。こうした誘電体層としては、主成分として、Mg、Al、

Si、Ti、Ta、Hf、及びZrから選ばれた少なくとも1つの元素の酸化物を含有するものや、主成分として金属元素の複合酸化物を含有するものを好ましく例示することができる。なお、「主成分となる材料」とは、当該材料が誘電体層中に50原子%以上の含有されるものをいう。こうした材料のうち、EBG構造1cの誘電体層23では、チタン酸ストロンチウム（厚さ100nm）が用いられている。

- [0073] 次に、EBG構造1cの製造方法につき図5を参照しながら説明する。
- [0074] 第1の導体プレーン形成工程においては、リジッド基板21として、 $1\Omega \cdot \text{cm}$ の比抵抗を有する低抵抗Siウエハーを用い、このSiウエハーの表面の自然酸化膜を除去している。次いで、中間層形成工程として、リジッド基板21上に、下層から順に、中間層32として、Ti（50nm）、TiN（50nm）、Mo（1000nm）、Ti（50nm）の4層をスパッタリング法で形成している。さらに、高融点導電層形成工程として、中間層32上に、高融点導電層33としてPt（100nm）をスパッタリング法で形成している。ここでは、一例として、リジッド基板21に低抵抗Siウエハーを用いているが、リジッド基板の材料は、所定の耐熱性を有していれば特に制限はない。こうした材料としては、例えば、導体、半導体、及び絶縁体のいずれかを挙げることができる。導体又は半導体としては、Si、GaAs、ステンレス、タングステン、モリブデン、及びチタンから選ばれた少なくとも1つを用いることが好ましい。また、絶縁体を用いる場合、リジッド基板は、ガラス、サファイア、石英、及びアルミナから選ばれた少なくとも1つの材料から構成されることが好ましい。また、一例として、中間層32に上記の4層構造を用いたが、中間層は、Ti、Ta、Cr、Tiの窒化物、Taの窒化物、及びCrの窒化物から選ばれた少なくとも1つの材料から構成される層を1以上設けることが好ましい。さらに、一例として、高融点導電層33としてPtの単層膜を用いているが、高融点導電層は、Pt、Pd、Ru、及びIrから選ばれた少なくとも1以上の元素から構成される層を1以上設けることが好ましい。

- [0075] 誘電体層形成工程においては、RFスパッタリング法を用いて、堆積温度は450℃、スパッタリングの際の雰囲気は80%Ar+20%O₂として、チタン酸ストロンチウムを100nmの厚さに体積させることにより、誘電体層23を形成している。ここでは、一例として、誘電体層23に複合酸化物としてのチタン酸ストロンチウムを用いているが、誘電体層は、主成分として、Mg、Al、Si、Ti、Ta、Hf、及びZrから選ばれた少なくとも1つの元素の酸化物を含有するか、主成分として金属元素の複合酸化物を含有することが好ましい。なお、「主成分となる材料」の意義については上記説明したとおりである。また、誘電体層形成工程においては、誘電体層23をスパッタ法（スパッタリング法）で形成しているが、この他、CVD法、ゾルゲル法、エアロゾルデポジション法、及びスピン塗布法を用いることも好ましい。
- [0076] 導体小片形成工程においては、まず、チタン酸ストロンチウムで形成された誘電体層23の上に、TiN（50nm）、Cu（300nm）を順にスパッタリング法で成膜した。次いで、リソグラフィーで所望の形状のレジストマスクを形成し、イオンミリング法でCu/TiN層の不要部をドライエッチングで除去することで、2次元的に規則的に配列して設けられた複数の導体小片24を形成している。
- [0077] 層間絶縁層形成工程においては、複数の導体小片24上に、感光性ポリイミド樹脂を塗布・乾燥して厚さ10μmの膜を形成している。次いで、導体27を形成するためのビア28をリソグラフィーで形成して層間絶縁層25としている。
- [0078] 第2の導体プレーン・導体形成工程においては、メッキ下地となるCu（300nm）/Ti（50nm）積層膜を、層間絶縁膜層25の全面及びビア28内部にスパッタリング法により成膜している。次いで、電解メッキでCuを層間絶縁膜層25の表面の平坦部に15μmの厚さになるように堆積させて、第2の導体プレーン26を形成すると同時に層間絶縁層25のビア28をCuメッキで充填して導体27を形成している。

- [0079] 最後に、外部接続パッド（図3では図示していない。）を残してカバー層38を樹脂で形成する。
- [0080] EBG構造1cにおいては、誘電体層23の形成を高温、酸素雰囲気のスパッタリング法で行うことで、比誘電率が大きく、絶縁性がよく薄膜化可能な誘電体層23を形成することが可能となる。例えば、このような高温、酸素雰囲気ですパッタリング成膜されるチタン酸ストロンチウム薄膜は、比誘電率は200、絶縁破壊耐圧10V以上の良好な絶縁特性が得られる。こうしたチタン酸ストロンチウム薄膜を用いることにより、厚さ50 μ mの樹脂フィルムを使う場合と比較して、単位面積あたりのキャパシタンスを10000倍以上に増加させることができる。そして、EBG構造に所望される周波数帯域にバンドギャップを生じさせるために同じキャパシタンスを得る場合であれば、導体小片を1/10000以下に大幅に小型化することが可能となる。
- [0081] 誘電体層の材料としては、上述のとおり、チタン酸ストロンチウム以外の複合酸化物を用いることもできる。こうした複合酸化物としては、チタン酸バリウム、チタン酸鉛等化学式 ABO_3 （A、Bは金属元素）で表されるペロブスカイト型酸化物、化学式 $A_2B_2O_7$ （A、Bは金属元素）で表されるパイロクロア型酸化物、 $SrBi_2Ta_2O_9$ 等のBi層状強誘電体、或いはこれらが構成成分として含まれた複合酸化物等も、薄膜状態で数10から数100の高誘電率が得られる。酸素イオンと周囲の金属イオンとの変位が、これらの複合酸化物の誘電率に寄与する割合が大きく、高温、酸素雰囲気です隙が少い薄膜を形成できる。また、誘電体層の材料としては、上述のとおり、Mg、Al、Si、Ti、Ta、Hf、及びZrの酸化物も、樹脂よりも比誘電率が大きく、キャパシタンス増加や単位面積あたりのキャパシタンスを増加させて導体小片を小型化することに有利である。これらの酸化物も良好な絶縁性を得るためには、高温、酸素雰囲気です形成されることが望ましい。さらに、誘電体層の形成方法も、上述のとおり、スパッタ法（スパッタリング法）以外でも、CVD法やゾルゲル法で実施してもよい。これらの方法で

も300°C以上の高温、酸素雰囲気での成膜や熱処理により良質な絶縁膜が得られる。

[0082] 誘電体層23の形成を高温、酸素雰囲気を実現するためには、第1の導体プレーン22を構成する高融点導体層33や中間層32に所定の耐熱性が必要となる。EBG構造1cでは、高融点導体層33にPtを用いているが、これは、誘電体層23の形成に必要な300~600°Cの温度範囲において安定で、酸素雰囲気においても低誘電率の酸化物層を形成しないからである。上述のとおり、高融点導体層に用いる材料はPtに限られず、所定の耐熱性を有するという観点から、Pd、Ru、Ir等を用いることもできる。Pd、Ru、Irは酸素雰囲気において酸化物が形成される場合があるが、これらの酸化物は導電体であり、キャパシタンス要素の実効的なキャパシタンスを低下させることがない。また、高融点導体層として、RuやIrの酸化物たるRuO₂やIrO₂等の導電性酸化物を用いてもよい。

[0083] 中間層32は、まず密着性の確保としての機能が求められる。EBG構造1cの場合、Ti層が密着層として機能する。密着層として用いる材料としては、Ti以外にもTaやCr等を用いることもできる。また、EBG構造1cの場合、高温（具体的には450°C）で誘電体層23を形成することになるが、この高温状態においてリジッド基板21のシリコンが中間層32中へ拡散する。その結果、誘電体層形成工程において、シリコンが、中間層や高融点導体層（Ti、Mo、Pt層）中を拡散し、Pt表面に析出してSiO₂が形成される。SiO₂の比誘電率は3.9であり、実効的な誘電率を低下させ、キャパシタンスを減少させる。したがって、中間層32には拡散バリアとしての機能も求められるところ、拡散バリア層としてTiN層が機能する。拡散バリア層としては、Ta₂NやCr₂Nを用いることもできる。

[0084] リジッド基板21はSiウエハーを用いているが、上述のとおり、リジッド基板の材料としては、シリコン以外にもステンレス、タングステン、モリブデン、チタン等の高誘電金属を用いることも可能である。ただし、その構成元素の拡散は低誘電率酸化物層や拡散による表面凹凸の増加を引き起こし

、比誘電率が大きく絶縁性が良好な誘電体層の形成が困難になるので、シリコン以外の上記材料をリジッド基板に用いる場合にも、拡散バリア層は必要となる。上述のとおり、拡散バリア層としては、TiN以外にもTa₂N₃等でも同様な効果がある。なお、リジッド基板として半導体や金属を用いた場合、リジッド基板21と第1の導体プレーン22とを電氣的に接続することも好ましい。リジッド基板21と第1の導体プレーン22とを電氣的に接続するためには、第1の導体プレーン形成工程において、リジッド基板21と第1の導体プレーン22とを電氣的に接続する作業を行えばよい。EBG構造1cの製造方法では、Siウェハの表面の自然酸化膜の除去が上記の作業に該当する。リジッド基板21と第1の導体プレーン22とを電氣的に接続すれば、中間層32、高融点導体層33だけではなくリジッド基板21自身も、機能的には第1の導体プレーンとして機能するので、第1の導体プレーンの損失低減に有利である。一方、リジッド基板21の材料として、半導体や金属以外のガラス、サファイア、石英、アルミナ等の安定な絶縁体を用いることも可能である。この場合、第1の導体プレーン22は中間層32と高融点導体層33が担うことになるが、構成元素の拡散を考慮しなくてよいために、中間層32には上記の拡散バリア層は必要なくなり、その構成が簡略化できる利点がある。

[0085] 図12は、本発明のEBG構造の第3の実施例を示す模式的な断面図である。図13は、図12のEBG構造の製造方法（第3の実施例）を示す模式的な工程図である。具体的には、図12は、本発明のEBG構造を作りこんだリジッド基板をインターポーザとした形態の断面図である。図13は、そのインターポーザに形成したEBG構造の製造方法を示す工程図である。

[0086] EBG構造1hは、リジッド基板125の両面のうちの第1の導体プレーン124が設けられていない側の面に設けられた裏面パッド130と、裏面パッド130と電氣的に接続されるとともに、リジッド基板125を貫通して第1の導体プレーン124又は第2の導体プレーン123に接続された貫通電極126a、126bと、を有する。具体的には、貫通電極126aは

リジッド基板 125 を貫通して第 1 の導体プレーン 124 と電氣的に接続しており、貫通電極 126 b はリジッド基板 125 を貫通して第 2 の導体プレーン 123 に電氣的に接続している。なお、第 1 の導体プレーン 124 はグランドプレーンとして設けられ、第 2 の導体プレーン 123 は電源プレーンとして用いられている。また、裏面パッド 130 は、裏面カバー膜 127 で保護されている。

[0087] EBG 構造 1 h は、以下の 2 点に構造上の特徴がある。第 1 に、図 12 に示すように、リジッド基板 125 上の第 1 の導体プレーン 124 等の EBG 構造 1 h の各要素が形成された側だけではなく、こうした EBG 構造の各要素が形成されていないリジッド基板 125 の裏面に裏面パッド 130 を設けることにより外部接続端子が設けられる点である。そして、第 2 に、図 12 に示すように、EBG 構造の各要素（具体的には、第 1 の導体プレーン 124 及び第 2 の導体プレーン 123）と、リジッド基板 125 の裏面の裏面パッド 130 たる外部接続端子と、を接続するために、リジッド基板 125 を貫通する貫通電極 126 a, 126 b を有する点である。

[0088] EBG 構造 1 h は、インターポーザとして用いられる。インターポーザは、LSI を実装するチップキャリアとして機能し、LSI 121, 122 とプリント配線基板 128 との間に実装される。なお、図 12 においては、説明の便宜から、LSI 121, 122 の信号線は省略している。EBG 構造 1 h を用いることにより、パッケージ内外の他のデバイスへのノイズの伝播を、ノイズ発生源となる LSI 121 の直ぐ近傍で遮断することが可能となる。また、リジッド基板 125 を利用することで LSI 121, 122 に近い熱膨張係数に制御することが可能となるので、多ピン狭ピッチ（すなわちピンの数が多く、ピン同士のピッチ間隔が狭い場合）で構成される LSI や、脆弱な層間絶縁膜で構成される LSI を実装することも容易となる。

[0089] EBG 構造 1 h の製造方法は、第 1 の導体プレーン形成工程の前に設けられ、リジッド基板 125 に貫通ビア 132 を設けるリジッド基板貫通ビア形成工程と、リジッド基板 125 の両面のうちの第 1 の導体プレーン 124 が

設けられていない側の面に裏面パッド130を設ける裏面パッド形成工程と、を有する。リジッド基板貫通ビア形成工程及び裏面パッド形成工程以外は、図5で説明したEBG構造1cの製造方法を適宜用いることができる。

[0090] リジッド基板貫通ビア形成工程は、第1の導体プレーン形成工程の前に設けられ、図13に示すように、あらかじめリジッド基板125に貫通ビア132を形成する。具体的には、絶縁性のリジッド基板125にサンドブラストで貫通孔132を形成することによって行う。そして、第1の導体プレーン形成工程において、貫通孔132をメッキでCuを充填すると同時に、リジッド基板125の表面及び裏面にもCuを堆積させる。貫通孔132に充填されたCuメッキ133は貫通電極126a、126bとなる。また、リジッド基板125の表面に形成されたCuメッキ133は、第1の導体プレーン124になる。そして、リジッド基板125の裏面に形成されたCuメッキ133は、後述する裏面パッド形成工程において裏面パッド130に加工される。

[0091] 次に、誘電体層形成工程、導体小片形成工程、層間絶縁層形成工程、及び第2の導体プレーン・導体形成工程を順次行い、リジッド基板125上に形成されたCuメッキ133（Cu層）を第1の導体プレーン124とし、誘電体層等を積層したのち所望の形状に加工する。具体的には、上述した方法でEBG構造の残りの要素を順次形成する。

[0092] 裏面パッド形成工程では、リジッド基板125の裏面のCu層たるCuメッキ133を裏面パッド130の形状に加工する。次いで、裏面カバー膜127を形成することでEBG構造1hが得られる。なお、第2の導体プレーン123と接続される貫通電極126b上の領域は、第1の導体プレーン124形成時に、第1の導体プレーン124と電氣的に分離した形状とする。

[0093] 図6は、本発明のEBG構造の第4の実施例を示す模式的な斜視図である。EBG構造においては、バンドギャップ周波数帯の制御にはキャパシタンスだけではなくインダクタンスを増加させる手段を併用してもよいが、図6はこうしたEBG構造を示す斜視図である。

[0094] EBG構造1dにおいては、第2の導体プレーン46にインダクタンス要素（直線状インダクタ39）を明示的に付加している。具体的には、第2の導体プレーン46上における導体47の近傍において、第2の導体プレーン46に切り欠き部が設けられており、導体47と第2の導体プレーン46との間に直線状インダクタ39が接続されている。所望のインダクタンスを得るために、直線状だけではなくスパイラルインダクタでも同様の効果が得られる。直線状インダクタ39は表面凹凸の原因となり、その上層に配線層より厚さが薄くて良好な絶縁性を示す誘電体層の形成は困難になるが、EBG構造1dにおいては、誘電体層43の形成後にインダクタ要素（直線状インダクタ39）を形成するので誘電体層43の形成に影響はない。

[0095] （フィルタ素子、プリント基板、これらへの適用のためのEBG構造の製造方法）

本発明を用いることで、これまでプリント基板上に数cm²の領域に形成されていたEBG構造の大幅な小型化の実現が可能となり、典型的には1cm²以下で実現が可能となる。そのために、ディスクリート部品化して、電子機器の所望の位置に実装することが容易になる。そこで、以下では、本発明のEBG構造をフィルタ素子及びフィルタ素子内蔵プリント基板に適用した実施例について説明する。具体的には、電源ノイズ抑制フィルタ部品として、本発明のEBG構造を用いる場合について説明する。

[0096] 図7は、本発明のフィルタ素子の実施例の模式的な断面図である。具体的には、フィルタ素子2aでは、ディスクリート部品としてデバイス化する際の外部接続端子の構造が示されている。

[0097] フィルタ素子2aは、EBG構造1eと、EBG構造1eの第1の導体プレーン52に接続する第1の外部接続端子40と、EBG構造1eの第2の導体プレーン56に接続する第2の外部接続端子50と、を有する。

[0098] EBG構造1eは、リジッド基板51と、リジッド基板51上に設けられた第1の導体プレーン52と、第1の導体プレーン52上に設けられた誘電体層53と、誘電体層53上に2次元的に規則的に配列して設けられた複数

の導体小片54と、複数の導体小片54上に設けられた層間絶縁層55と、層間絶縁層55上に設けられた第2の導体プレーン56と、を備えている。そして、複数の導体小片54の各々と第2の導体プレーン56とが層間絶縁層55を貫通する複数の導体57で接続されている。また、第1の導体プレーン52は、中間層34及び高融点導電層35の積層構造を有している。

[0099] フィルタ素子2aにおいては、リジッド基板51として絶縁体を用いており、誘電体層53、導体小片54、及び第2の導体プレーン56の一部を取り除き、第1の導体プレーン52の引き出しパッドが設けられている。そして、第1の導体プレーン52の引き出しパッドの一部が露出するように、カバー層36に開口部が設けられている。これにより、第1の導体プレーン52に接続する第1の外部接続端子40が形成される。一方、第2の導体プレーン56の一部が露出するようにカバー層36にもう一つの開口部が設けられている。これにより、第2の導体プレーン56に接続する第2の外部接続端子50が形成される。なお、フィルタ素子2aにおいては、第1の導体プレーン52の引き出し（第1の外部接続端子40）を導体小片54が規則配列した領域に配置しているが、導体小片54が規則配列した領域の外部に設けてもよい。フィルタ素子2aでは、第1の外部接続端子40及び第2の外部接続端子50を形成するそれぞれの外部接続パッドは、フィルタ素子2aの片面に形成されており、表面実装が可能となる。

[0100] フィルタ素子2aにおいては、第1の外部接続端子40及び第2の外部接続端子50は、それぞれ1つずつ設けられているが、第1の外部接続端子及び第2の外部接続端子が、それぞれが2以上存在していてもよい。

[0101] フィルタ素子2aは、EBG構造1eを用いているので、フィルタ素子2aの面積が1cm²より小さくすることができる。

[0102] 図8は、本発明のフィルタ素子内蔵プリント基板の実施例の模式的な断面図である。具体的には、フィルタ素子内蔵プリント基板3においては、フィルタ素子2bたる電源ノイズ抑制フィルタ部品を、プリント基板4の内部に実装して使用する形態を示している。

- [0103] フィルタ素子内蔵プリント基板 3 は、フィルタ素子 2 b と、フィルタ素子 2 b が埋め込まれたプリント基板 4 と、を有し、フィルタ素子 2 b の第 1 の外部接続端子がプリント基板 4 の電源プレーン 8 4 に接続され、フィルタ素子 2 b の第 2 の外部接続端子がプリント基板 4 のグラウンドプレーン 8 5 に接続されるか、又は、フィルタ素子 2 b の第 1 の外部接続端子がプリント基板 4 のグラウンドプレーン 8 5 に接続され、フィルタ素子 2 b の第 2 の外部接続端子がプリント基板 4 の電源プレーン 8 4 に接続されている。
- [0104] フィルタ素子内蔵プリント基板 3 は、より具体的には、2 つの導体プレーンを、それぞれ電源プレーン 8 4、グラウンドプレーン 8 5 に接続するよう内蔵している。内蔵プロセスは L S I やチップ部品を内蔵する工程と同様に行うことが可能である。フィルタ素子内蔵プリント基板 3 では、フィルタ素子 2 b を表面実装ではなく基板内蔵とすることで、プリント基板 4 の表面には、ノイズの発生源となるデバイス 8 1 及びノイズの影響を受けやすいデバイス 8 2 を実装することが可能となっている。これにより、プリント基板 4 の配線で形成するよりも小型化が可能となる。なお、リジッド基板として半導体や金属を用いて、リジッド基板を機能的に第 1 の導体プレーンの一部とする場合は、デバイスの上下に外部接続端子が配置することになるので電源プレーン 8 4 とグラウンドプレーン 8 5 の間に配置することが可能となる。
- [0105] 図 9 は、本発明の E B G 構造の製造方法の第 4 の実施例を示す模式的な工程図である。具体的には、本発明の E B G 構造をプリント基板に内蔵するための適した形状にする製造方法を示す工程図である。
- [0106] E B G 構造 1 f の製造方法は、図 5 で説明した E B G 構造 1 c の製造方法をそのまま用い、第 2 の導体プレーン・導体形成工程の後にカバー層 3 8 を樹脂で形成する工程までを行う。その後、リジッド基板 2 1 を研削又はエッチングすることによりリジッド基板 2 1 を薄くする又は除去するリジッド基板薄化・除去工程を、さらに行う。E B G 構造 1 f ではリジッド基板薄化・除去工程により、除去されたリジッド基板部分 9 1 の分だけリジッド基板 2 1 が薄くなる。ただし、同工程終了後もリジッド基板 2 1 を残しており、リ

ジッド基板 21 を薄くするだけで除去することまでは行っていない。

[0107] リジッド基板薄化・除去工程においては、EBG構造がリジッド基板 21 上にビルドアップされた部分であるので、リジッド基板 21 を裏面から研削又はエッチングで除去して薄化する。

[0108] リジッド基板薄化・除去工程において、EBG構造 1 f の厚さが $300\ \mu\text{m}$ 以下となるように、リジッド基板 21 を薄くする又は除去することが好ましい。全体の厚さが $300\ \mu\text{m}$ 以下にすると、部品内蔵基板作製工程で、小型チップ部品と同層に実装することが可能となり、特別な工程を付加することなくフィルタ素子を内蔵できるようになる。

[0109] 図 10 は、本発明の EBG 構造の第 5 の実施例を示す模式的な断面図である。図 11 は、図 10 の EBG 構造の製造方法（第 5 の実施例）を示す模式的な工程図である。具体的には、図 10 は、本発明の EBG 構造を、基板内蔵に有利な一層の薄型化やフレキシブル基板への内蔵に適したフィルム状部品とした形態の断面図である。図 11 は、そのフィルム状部品に形成した EBG 構造の製造方法を示す工程図である。

[0110] EBG 構造 1 g は、図 11 に示すように、リジッド基板 61 と第 1 の導体プレーン 62 との間に高耐熱樹脂としての高耐熱性樹脂層 92 を設け、最終的にリジッド基板 61 を除去する。これにより、図 10 に示すように、高耐熱性樹脂層 92 が EBG 構造 1 g の基板として機能する。そして、高耐熱性樹脂層 92 がフレキシブル性を有するので、EBG 構造 1 g をフィルム状部品とすることができる。

[0111] EBG 構造 1 g は、図 11 に示すように、第 1 の導体プレーン形成工程において、リジッド基板 61 上に高耐熱性樹脂を塗布した後に第 1 の導体プレーン 62 を形成すること、第 2 の導体プレーン・導体形成工程の後に、リジッド基板 61 を研削又はエッチングすることによりリジッド基板 61 を除去するリジッド基板薄化・除去工程を行うこと、以外は、上述した EBG 構造の製造方法をそのまま利用することができる。具体的には、リジッド基板 61 上に、ポリイミド等の高耐熱樹脂を塗布した後に、第 1 の導体プレーン 6

2、誘電体層63等を順次積層する。最後に、リジッド基板61をすべて研削又はエッチングで除去することで、底面が高耐熱性樹脂層92でカバーされたフィルム状のEBG構造1gが得られる。

[0112] 以上、本発明のEBG構造、フィルタ素子、フィルタ素子内蔵プリント基板、及びEBG構造の製造方法について説明してきたが、本発明は上記実施例に限定されるものではなく、様々なバリエーションを採用することができる。具体的には、誘電体層は、層間絶縁膜層よりも比誘電率が大きいことが望ましい。誘電体層は膜厚1 μ m以下で、比誘電率が10以上、より好ましくは100以上の金属酸化物であることが望ましい。

[0113] また、本発明のEBG構造の製造方法においては、層間絶縁層のビアを導体で充填する工程と、第2の導体プレーンを形成する工程とは、別の工程として行ってもよい。また、誘電体層を形成する工程は、300 $^{\circ}$ C以上に加熱した状態で行ってもよい。

産業上の利用可能性

[0114] 特定の周波数帯においてバンドギャップを有する本発明のEBG構造は、これを内包したモジュール基板、インターポーザ、又はプリント基板等へ表面実装や埋め込みが可能な小型且つ薄型の装置に適用することができる。

[0115] 本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施例ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

符号の説明

[0116] 1 a, 1 b, 1 c, 1 d, 1 e, 1 f, 1 g, 1 h EBG構造
2 a, 2 b フィルタ素子
3 フィルタ素子内蔵プリント基板
4 プリント基板

- 1 1, 2 1, 5 1, 6 1, 1 2 5 リジッド基板
- 1 2, 2 2, 5 2, 6 2, 1 2 4 第1の導体プレーン
- 1 3, 2 3, 4 3, 5 3, 6 3 誘電体層
- 1 4, 2 4, 5 4 導体小片
- 1 5, 2 5, 5 5 層間絶縁層
- 1 6, 2 6, 4 6, 5 6, 1 2 3 第2の導体プレーン
- 1 7, 2 7, 4 7, 5 7 導体
- 1 8, 2 8 ビア
- 2 1 キャパシタンス要素
- 2 2 インダクタンス要素
- 3 2, 3 4 中間層
- 3 3, 3 5 高融点導電層
- 3 6, 3 7, 3 8 カバー層
- 3 9 直線状インダクタ
- 4 0 第1の外部接続端子
- 5 0 第2の外部接続端子
- 8 1 ノイズの発生源となるデバイス
- 8 2 ノイズの影響を受けやすいデバイス
- 8 4 電源プレーン
- 8 5 グランドプレーン
- 9 1 除去されたリジッド基板部分
- 9 2 高耐熱性樹脂層
- 1 2 1, 1 2 2 L S I
- 1 2 6 a, 1 2 6 b 貫通電極
- 1 2 7 裏面カバー膜
- 1 2 8 プリント配線基板
- 1 3 0 裏面パッド
- 1 3 2 貫通ビア

133 Cuメッキ
S1～S9 工程ステップ

請求の範囲

- [請求項1] リジッド基板と、該リジッド基板上に設けられた第1の導体プレーンと、該第1の導体プレーン上に設けられた誘電体層と、該誘電体層上に2次元的に規則的に配列して設けられた複数の導体小片と、該複数の導体小片上に設けられた層間絶縁層と、該層間絶縁層上に設けられた第2の導体プレーンと、を備え、
- 前記複数の導体小片の各々と前記第2の導体プレーンとが前記層間絶縁層を貫通する複数の導体で接続されている、
- ことを特徴とする電磁バンドギャップ構造。
- [請求項2] 前記誘電体層の厚さが1 μm 以下である、請求項1記載の電磁バンドギャップ構造。
- [請求項3] 前記誘電体層が、主成分として、Mg、Al、Si、Ti、Ta、Hf、及びZrから選ばれた少なくとも1つの元素の酸化物を含有する、請求項1又は2に記載の電磁バンドギャップ構造。
- [請求項4] 前記誘電体層が、主成分として金属元素の複合酸化物を含有する、請求項1又は2に記載の電磁バンドギャップ構造。
- [請求項5] 前記第1の導体プレーンが、前記リジッド基板側から、Ti、Ta、Cr、Tiの窒化物、Taの窒化物、及びCrの窒化物から選ばれた少なくとも1つの材料から構成される層を1以上設けた中間層と、該中間層の上に形成され、Pt、Pd、Ru、及びIrから選ばれた少なくとも1以上の元素から構成される層を1以上設けた高融点導電層と、を有する、請求項1～4のいずれか1項に記載の電磁バンドギャップ構造。
- [請求項6] 前記リジッド基板が導体又は半導体から構成される、請求項1～5のいずれか1項に記載の電磁バンドギャップ構造。
- [請求項7] 前記リジッド基板と前記第1の導体プレーンとが電氣的に接続されている、請求項6に記載の電磁バンドギャップ構造。
- [請求項8] 前記導体又は半導体が、Si、GaAs、ステンレス、タングステ

ン、モリブデン、及びチタンから選ばれた少なくとも1つである、請求項6に記載の電磁バンドギャップ構造。

[請求項9] 前記リジッド基板が、ガラス、サファイア、石英、及びアルミナから選ばれた少なくとも1つの材料から構成される、請求項1～5のいずれか1項に記載の電磁バンドギャップ構造。

[請求項10] 前記リジッド基板の両面のうちの前記第1の導体プレーンが設けられていない側の面に設けられた裏面パッドと、該裏面パッドと電氣的に接続されるとともに、前記リジッド基板を貫通して前記第1の導体プレーン又は前記第2の導体プレーンに接続された貫通電極と、を有する請求項1～9のいずれか1項に記載の電磁バンドギャップ構造。

[請求項11] 請求項1～10のいずれか1項に記載の電磁バンドギャップ構造と、該電磁バンドギャップ構造の第1の導体プレーンに接続する第1の外部接続端子と、前記バンドギャップ構造の第2の導体プレーンに接続する第2の外部接続端子と、を有する、ことを特徴とするフィルタ素子。

[請求項12] 前記第1の外部接続端子及び前記第2の外部接続端子が、それぞれが2以上存在する、請求項11に記載のフィルタ素子。

[請求項13] 前記フィルタ素子の面積が 1 cm^2 より小さい、請求項11又は12に記載のフィルタ素子。

[請求項14] 請求項11～13のいずれか1項に記載のフィルタ素子と、該フィルタ素子が埋め込まれたプリント基板と、を有し、

前記フィルタ素子の第1の外部接続端子が前記プリント基板の電源プレーンに接続され、前記フィルタ素子の第2の外部接続端子が前記プリント基板のグラウンドプレーンに接続されるか、

又は、前記フィルタ素子の第1の外部接続端子が前記プリント基板のグラウンドプレーンに接続され、前記フィルタ素子の第2の外部接続端子が前記プリント基板の電源プレーンに接続される、ことを特徴とする、フィルタ素子内蔵プリント基板。

- [請求項15] リジッド基板上に第1の導体プレーンを形成する第1の導体プレーン形成工程と、
- 前記第1の導体プレーン上に誘電体層を形成する誘電体層形成工程と、
- 前記誘電体層上に2次元的に規則的に配列して設けられた複数の導体小片を形成する導体小片形成工程と、
- 前記複数の導体小片上に層間絶縁層を形成する層間絶縁層形成工程と、
- 前記層間絶縁層上に設けられる第2の導体プレーンを形成し、前記層間絶縁層を貫通して前記複数の導体小片の各々と前記第2の導体プレーンとを接続する複数の導体を形成する第2の導体プレーン・導体形成工程と、
- を有する、ことを特徴とする電磁バンドギャップ構造の製造方法。
- [請求項16] 前記誘電体層形成工程において、前記誘電体層の厚さを $1\ \mu\text{m}$ 以下に形成する、請求項15に記載の電磁バンドギャップ構造の製造方法。
- [請求項17] 前記誘電体層形成工程において、主成分として、Mg、Al、Si、Ti、Ta、Hf、及びZrから選ばれた少なくとも1つの元素の酸化物を用いて前記誘電体層を形成する、請求項15又は16に記載の電磁バンドギャップ構造の製造方法。
- [請求項18] 前記誘電体層形成工程において、主成分として金属元素の複合酸化物を用いて前記誘電体層を形成する、請求項15又は16に記載の電磁バンドギャップ構造の製造方法。
- [請求項19] 前記誘電体層形成工程において、前記誘電体層が、スパッタ法、CVD法、ゾルゲル法、エアロゾルデポジション法、及びスピン塗布法から選ばれた少なくとも1つの方法で形成される、請求項15～18のいずれか1項に記載の電磁バンドギャップ構造の製造方法。
- [請求項20] 前記第1の導体プレーン形成工程が、前記リジッド基板側から、T

i、Ta、Cr、Tiの窒化物、Taの窒化物、及びCrの窒化物から選ばれた少なくとも1つの材料から構成される層を1以上設けた中間層を形成する中間層形成工程と、Pt、Pd、Ru、及びIrから選ばれた少なくとも1以上の元素から構成される層を1以上設けた高融点導電層を前記中間層の上に形成する高融点導電層形成工程と、を有する、請求項15～19のいずれか1項に記載の電磁バンドギャップ構造の製造方法。

[請求項21] 前記リジッド基板が導体又は半導体から構成される、請求項15～20のいずれか1項に記載の電磁バンドギャップ構造の製造方法。

[請求項22] 第1の導体プレーン形成工程において、前記リジッド基板と前記第1の導体プレーンとを電氣的に接続する、請求項21に記載の電磁バンドギャップ構造の製造方法。

[請求項23] 前記導体又は半導体が、Si、GaAs、ステンレス、タンゲステン、モリブデン、及びチタンから選ばれた少なくとも1つである、請求項21に記載の電磁バンドギャップ構造の製造方法。

[請求項24] 前記リジッド基板が、ガラス、サファイア、石英、及びアルミナから選ばれた少なくとも1つの材料から構成される、請求項15～20のいずれか1項に記載の電磁バンドギャップ構造の製造方法。

[請求項25] 前記第1の導体プレーン形成工程において、前記リジッド基板上に高耐熱性樹脂を塗布した後に前記第1の導体プレーンを形成する、請求項15～24のいずれか1項に記載の電磁バンドギャップ構造の製造方法。

[請求項26] 前記第2の導体プレーン・導体形成工程の後に、前記リジッド基板を研削又はエッチングすることにより前記リジッド基板を薄くする又は除去するリジッド基板薄化・除去工程を、さらに有する、請求項15～25のいずれか1項に記載の電磁バンドギャップ構造の製造方法。

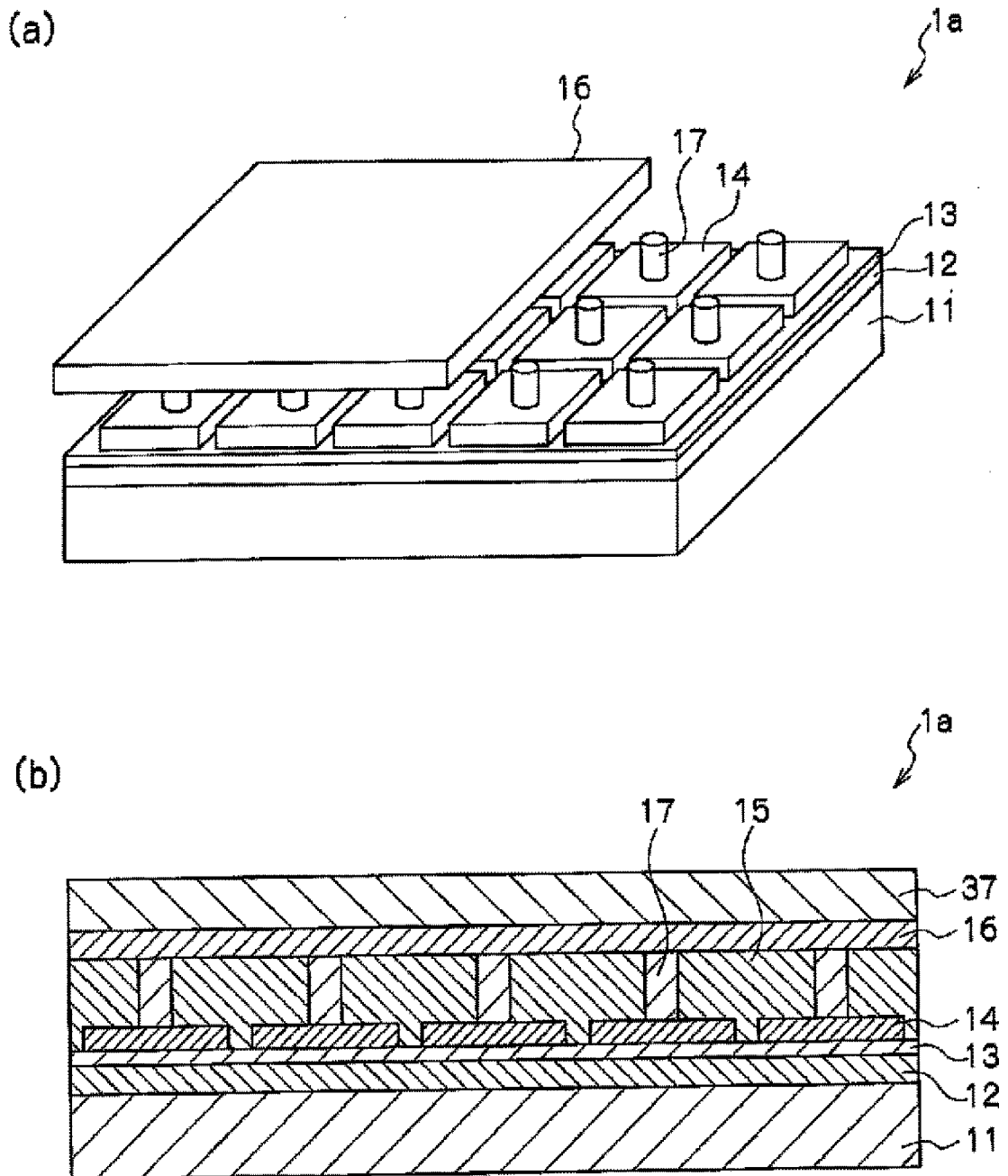
[請求項27] 前記リジッド基板薄化・除去工程において、前記電磁バンドギャップ

構造の厚さが $300\mu\text{m}$ 以下となるように、前記リジッド基板を薄くする又は除去する、請求項26に記載の電磁バンドギャップ構造の製造方法。

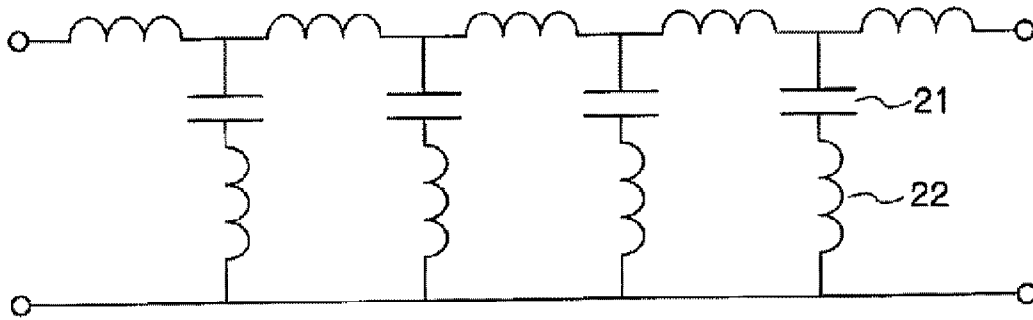
[請求項28] 前記第1の導体プレーン形成工程の前に設けられ、前記リジッド基板に貫通ビアを設けるリジッド基板貫通ビア形成工程と、

前記リジッド基板の両面のうちの前記第1の導体プレーンが設けられていない側の面に裏面パッドを設ける裏面パッド形成工程と、を有する、請求項15～27のいずれか1項に記載の電磁バンドギャップ構造の製造方法。

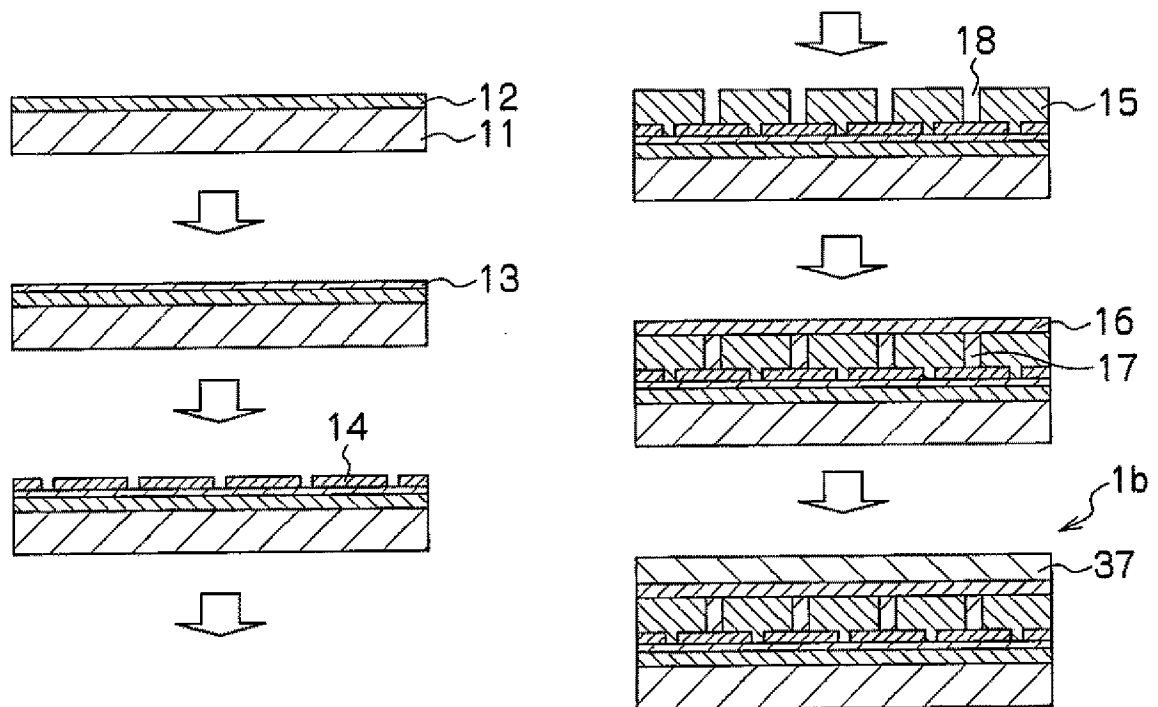
[図1]



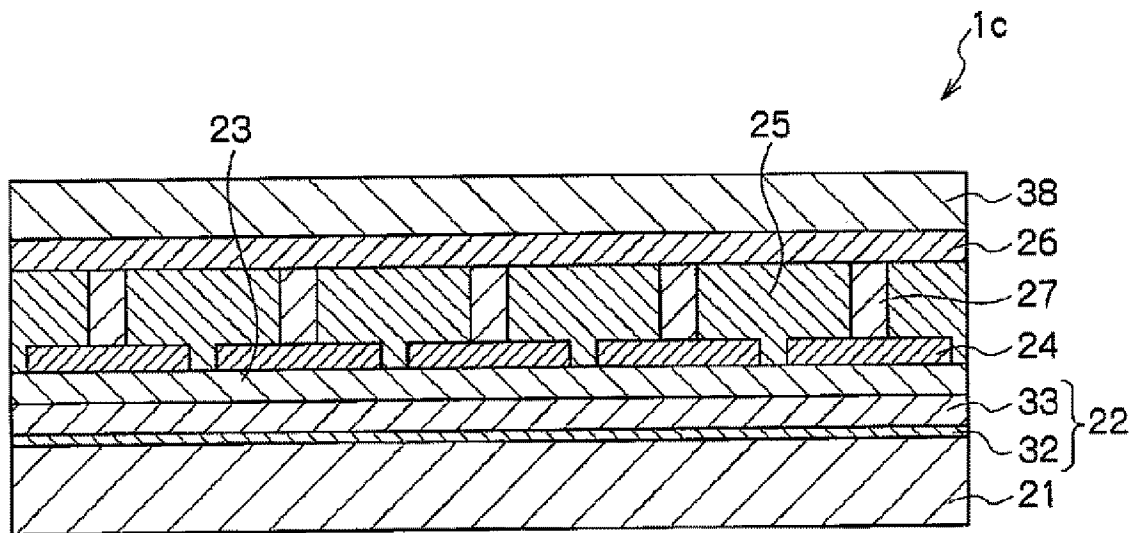
[図2]



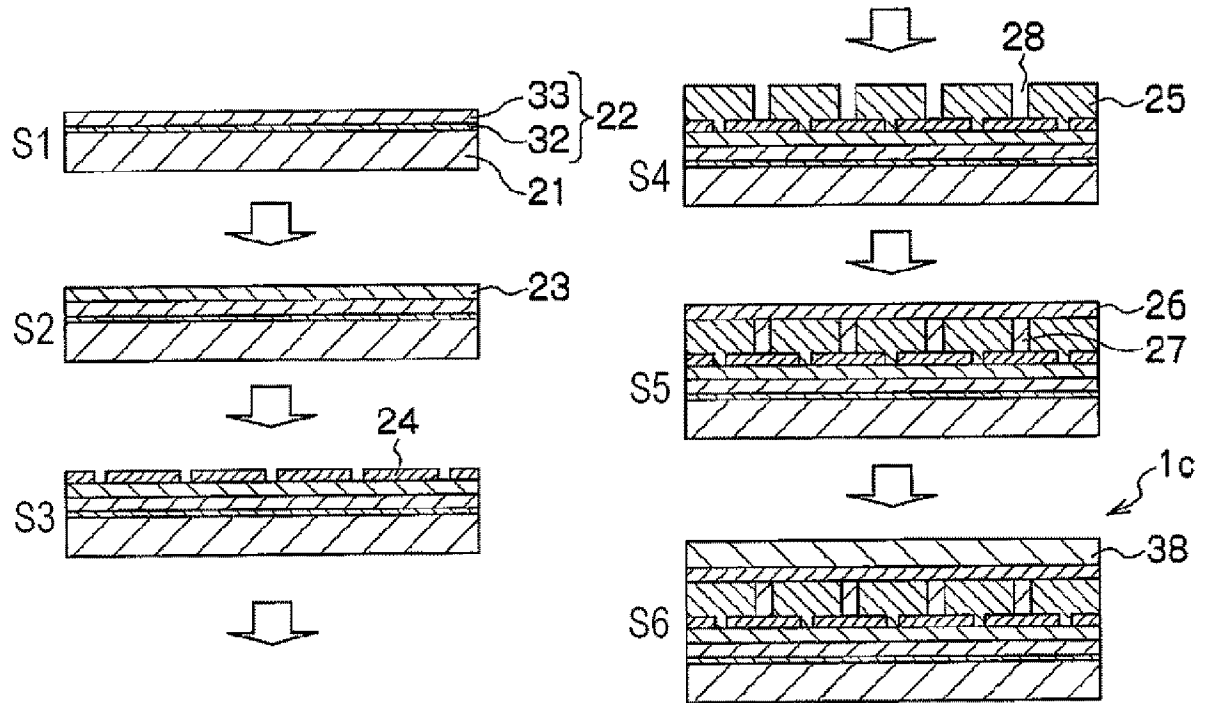
[図3]



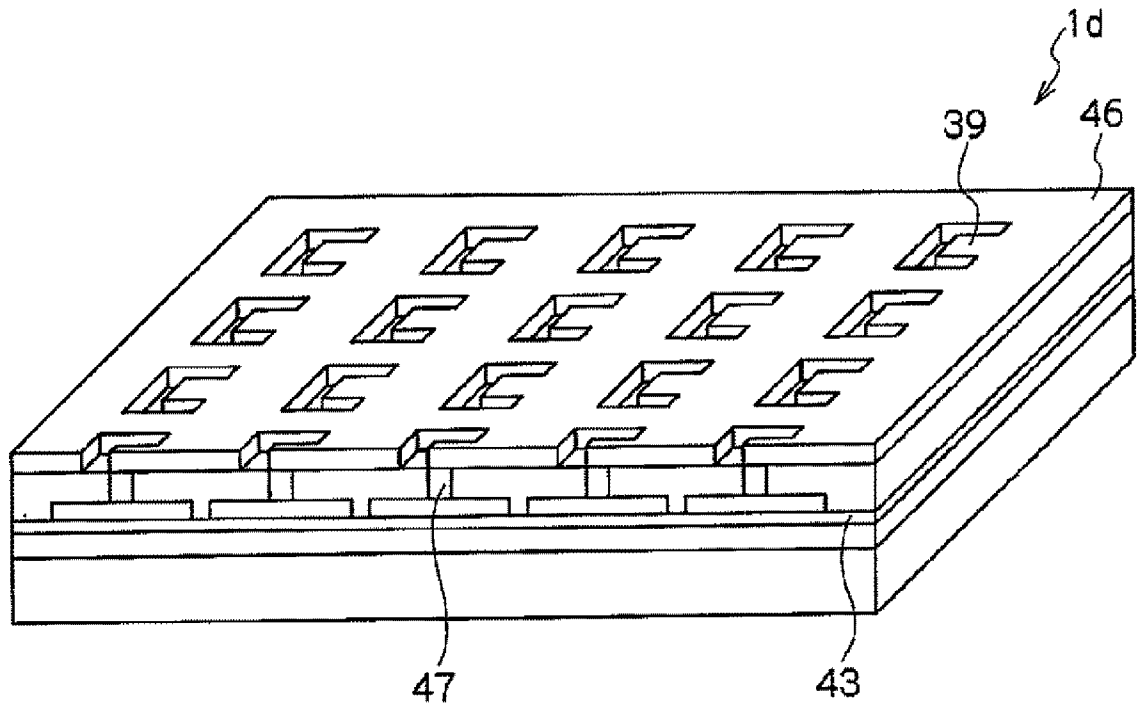
[図4]



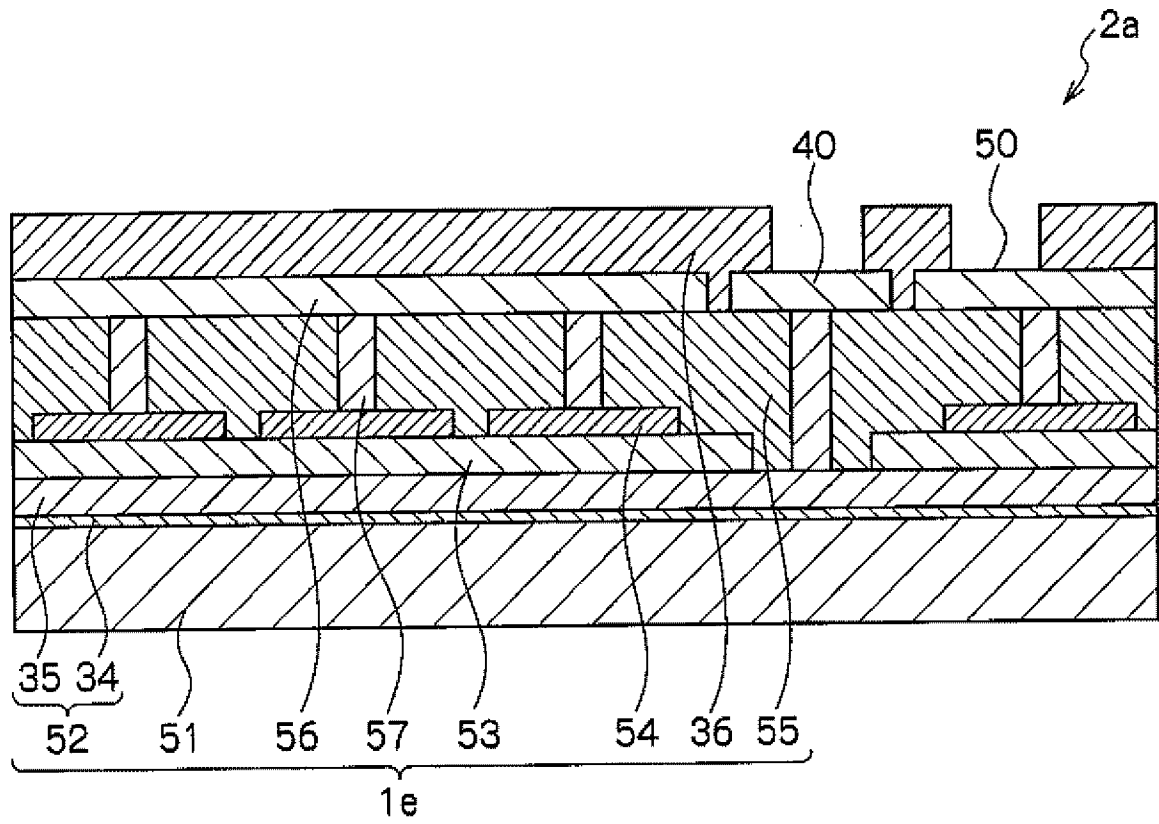
[図5]



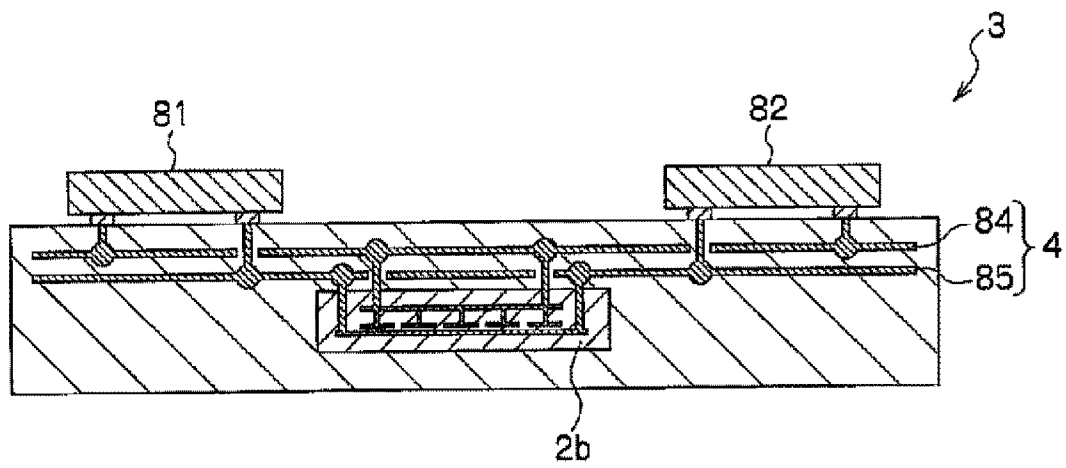
[図6]



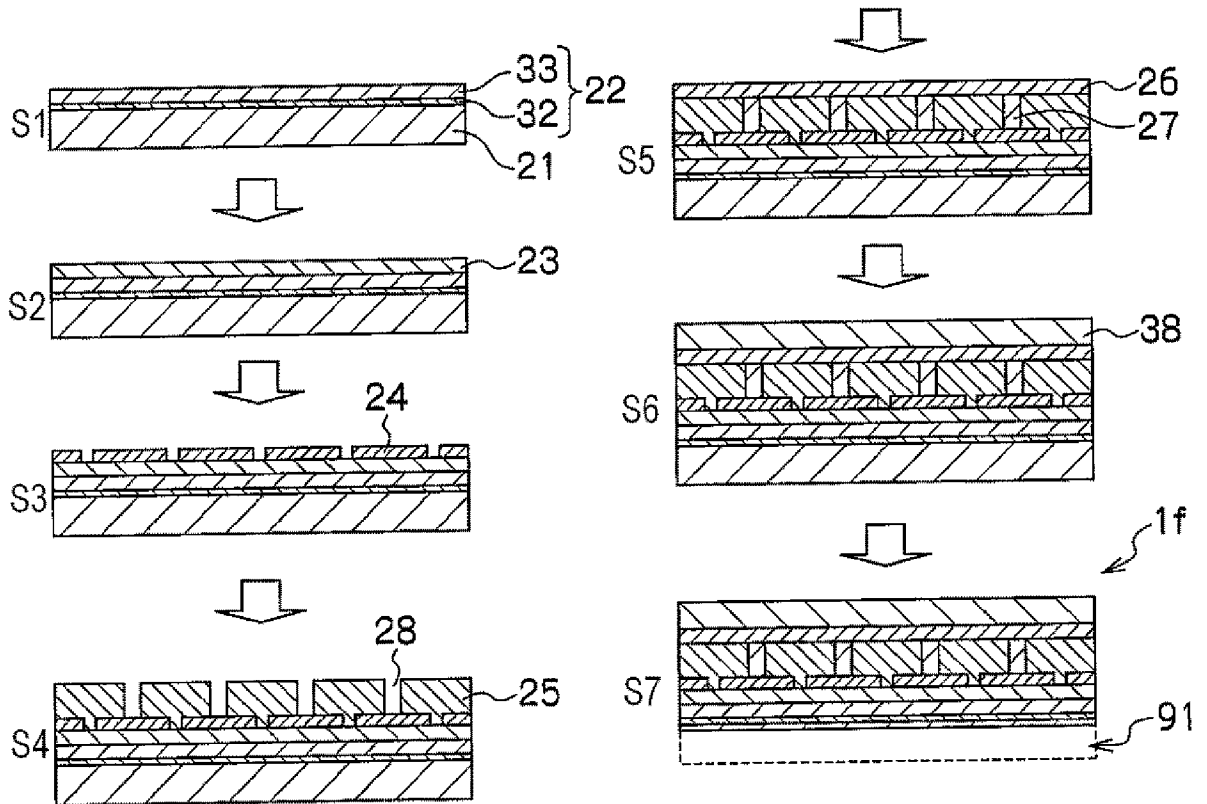
[図7]



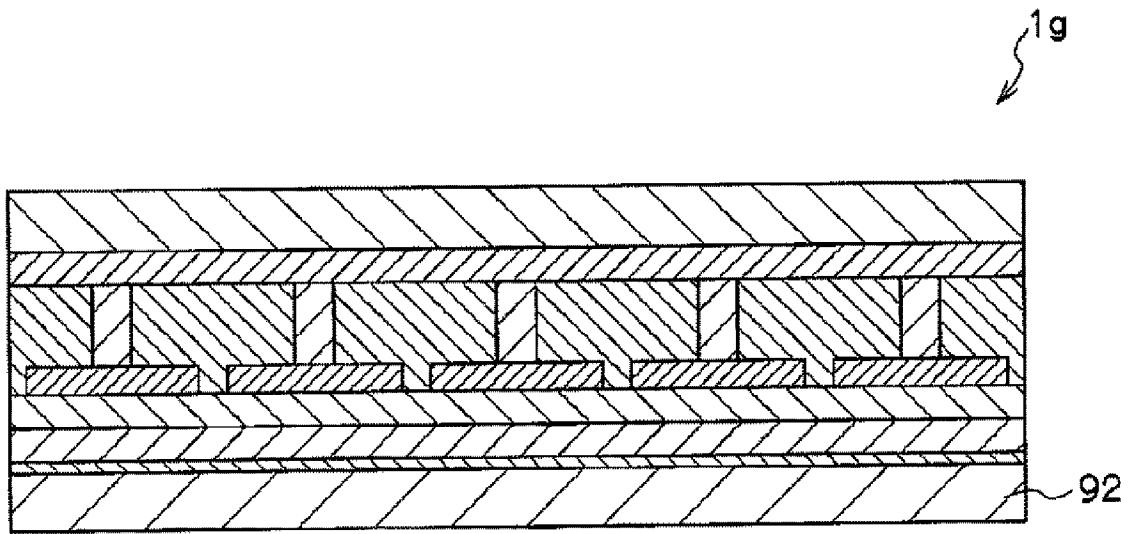
[図8]



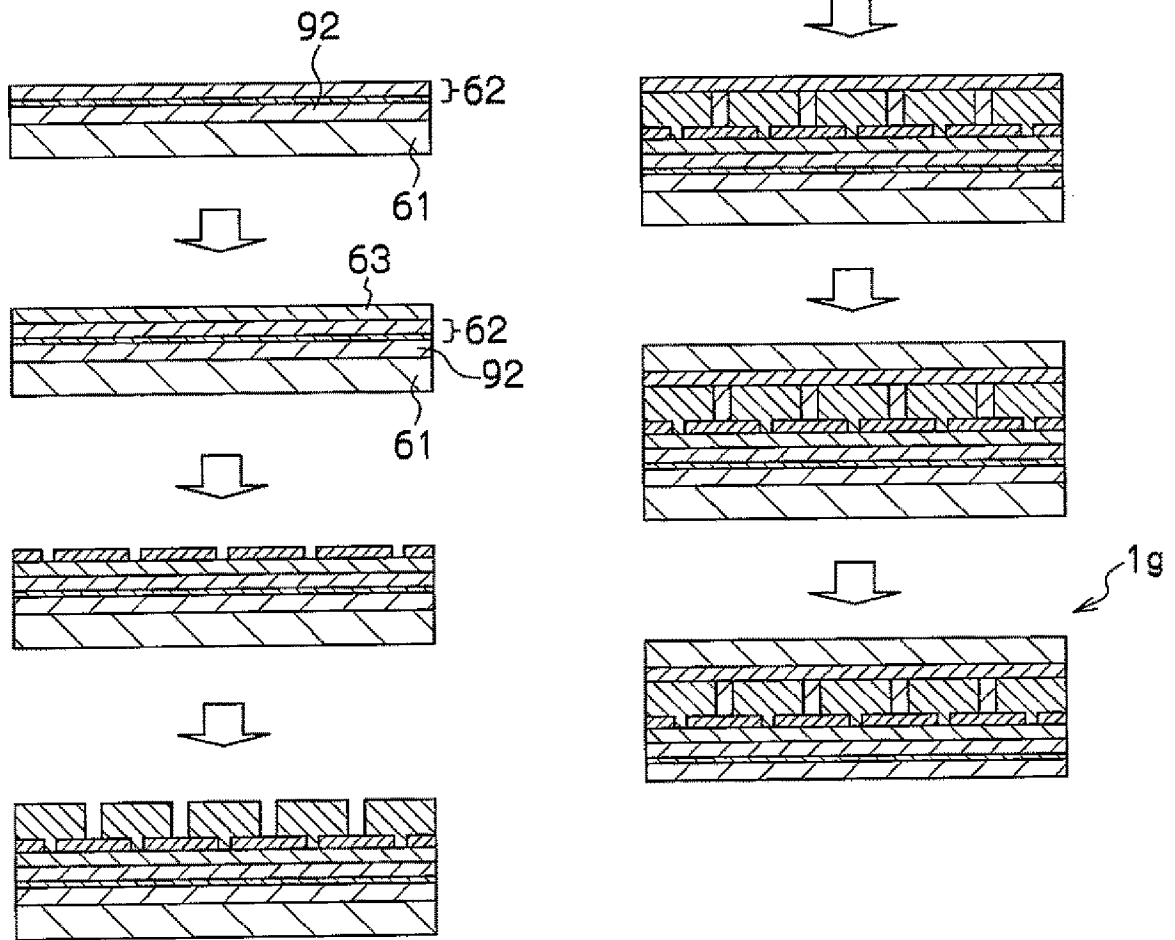
[図9]



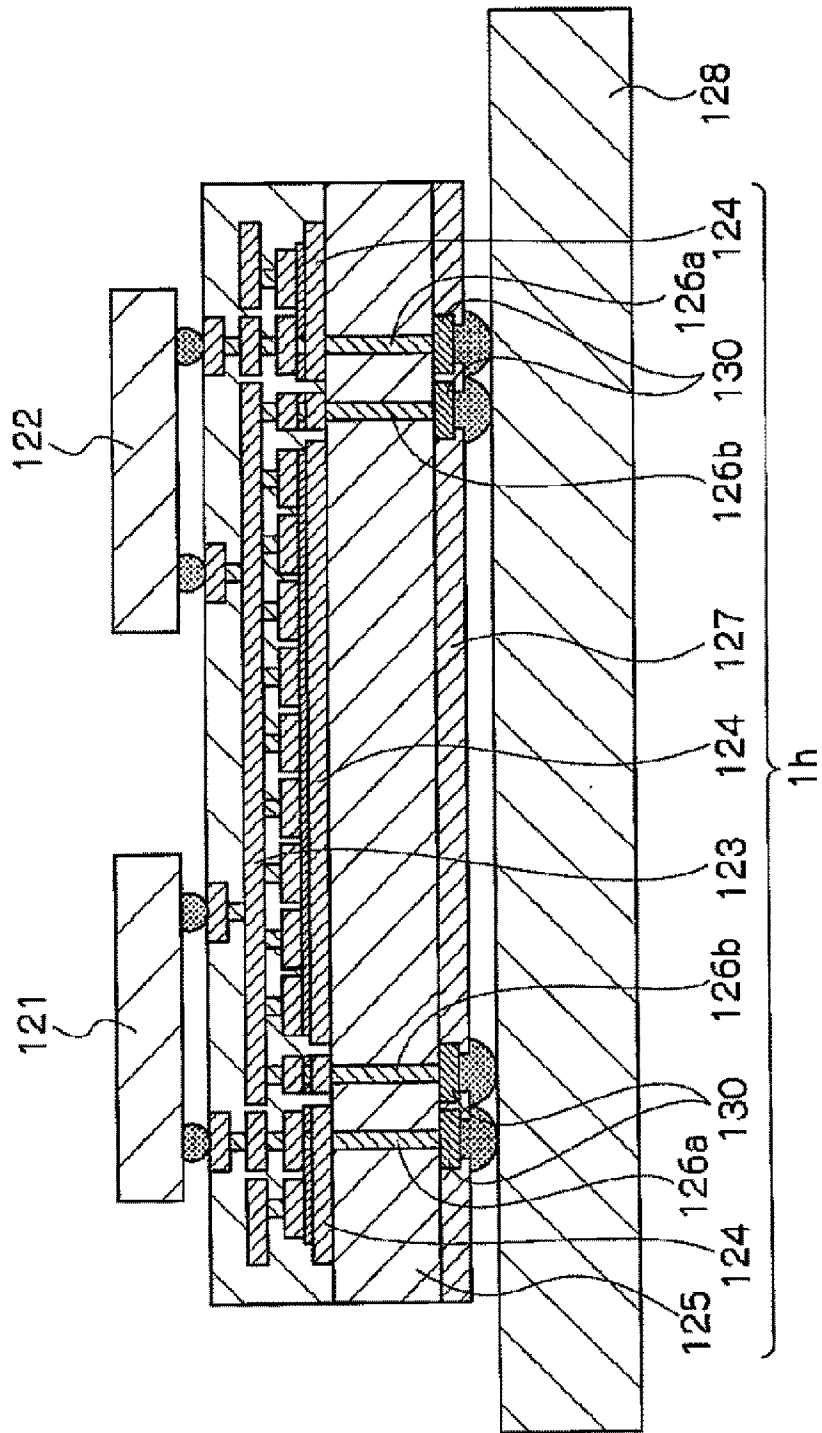
[図10]



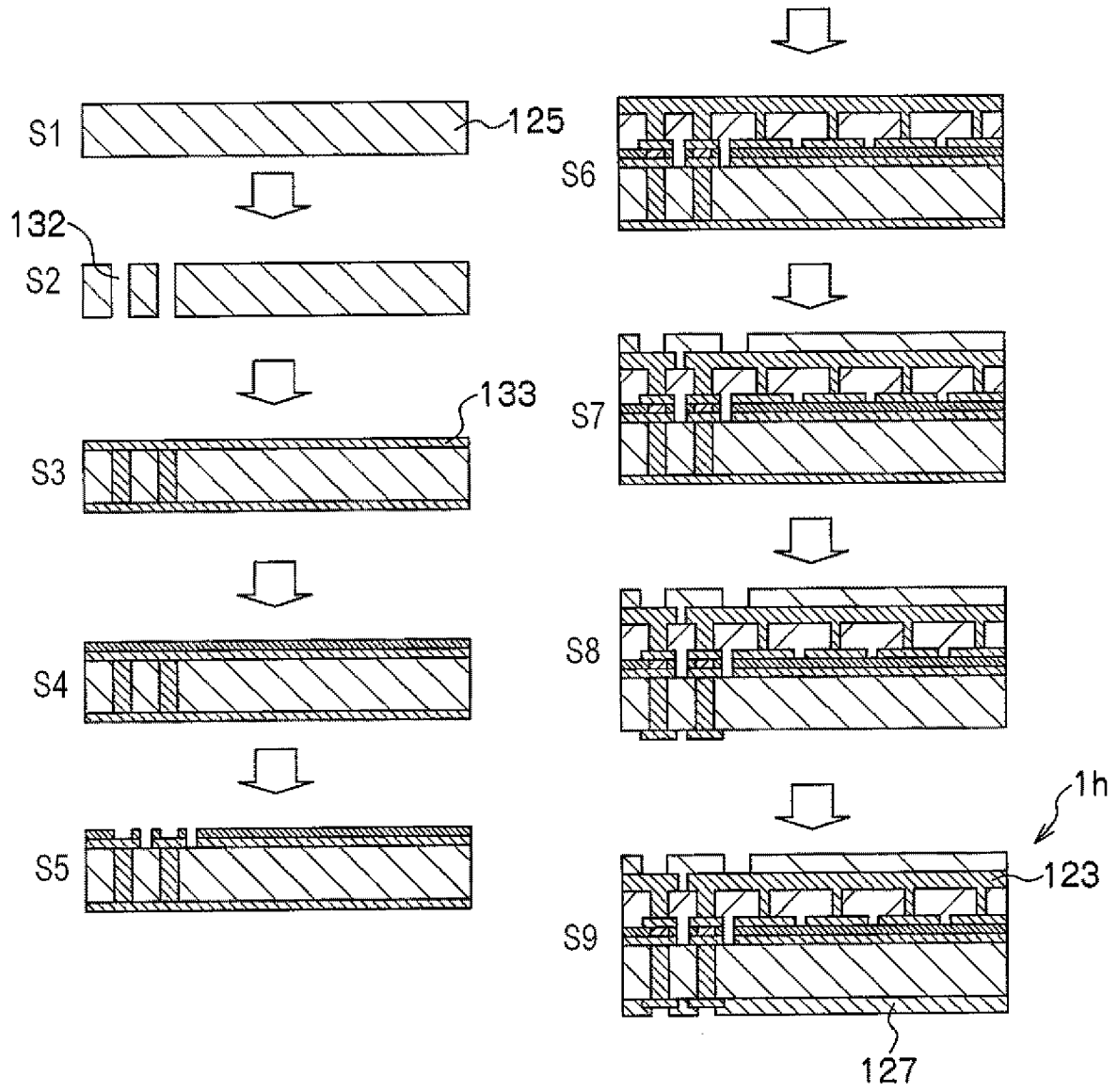
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/057968

A. CLASSIFICATION OF SUBJECT MATTER
H01P11/00(2006.01) i, H01P7/00(2006.01) i, H01Q15/14(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01P11/00, H01P7/00, H01Q15/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/0029632 A1 (William E.McKinzie III, Shawn D.Rogers), 10 February, 2005 (10.02.05), Par. Nos. [0102], [0155] to [0157]; Figs. 8, 34 & US 2007/0120223 A1 & WO 2005/002295 A2	1, 6, 7, 9-12, 14, 15, 21, 22, 24, 26, 28 2-5, 8, 13, 16-20, 23, 25, 27
A	S.Shahparnia and O.Ramahi, Ultra-wideband miniaturized electromagnetic bandgap structures embedded in printed circuit boards: theory, modeling and experimental validation, 2005 IEEE/ACES International Conference on Wireless Communications and Applied Computational Electromagnetics, IEEE, 2005.04, pp.791-796	1-28

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 July, 2009 (27.07.09)	Date of mailing of the international search report 04 August, 2009 (04.08.09)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/057968

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007/0146102 A1 (William E.Mckinzie III, Wemtec, Inc.), 28 June, 2007 (28.06.07), Full text; all drawings & US 2005/0195051 A1 & US 2006/0038639 A1 & US 2006/0202784 A1 & US 2007/0018757 A1 & US 2008/0186111 A1 & WO 2005/091941 A2 & WO 2005/104149 A1	1-28
A	Mu-Shui Zhang, Yu-Shan Li, Chen Jia, Li-Ping Li and Jian Pan, A Double-Surface Electromagnetic Bandgap Structure With One Surface Embedded in Power Plane for Ultra- Wideband SSN Suppression, IEEE Microwave and Wireless Components Letters, Vol.17, No.10, IEEE, 2007.10, pp.706-708	1-28
A	Mu-Shui Zhang, Yu-Shan Li, Chen Jia and Li-Ping Li, A Power Plane With Wideband SSN Suppression Using a Multi-Via Electromagnetic Bandgap Structure, IEEE Microwave and Wireless Components Letters, Vol.17, No.4, IEEE, 2007.04, pp.307-309	1-28

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01P11/00(2006.01)i, H01P7/00(2006.01)i, H01Q15/14(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01P11/00, H01P7/00, H01Q15/14

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	US 2005/0029632 A1 (William E. McKinzie III, Shawn D. Rogers) 2005.02.10, 段落 0102, 0155 - 157, 第 8 図, 第 34 図 & US 2007/0120223 A1 & WO 2005/002295 A2	1, 6, 7, 9 - 12, 14, 15, 21, 22, 24, 26, 28 2 - 5, 8, 13, 16 - 20, 23, 25, 27

C 欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
--	---

国際調査を完了した日 27.07.2009	国際調査報告の発送日 04.08.2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 佐藤 当秀 電話番号 03-3581-1101 内線 3568

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	S. Shahparnia and O. Ramahi, Ultra-wideband miniaturized electromagnetic bandgap structures embedded in printed circuit boards: theory, modeling and experimental validation, 2005 IEEE/ACES International Conference on Wireless Communications and Applied Computational Electromagnetics, IEEE, 2005.04, pp.791 - 796	1 - 28
A	US 2007/0146102 A1 (William E. Mckinzie III, Wemtec, Inc.) 2007.06.28, 全文, 全図 & US 2005/0195051 A1 & US 2006/0038639 A1 & US 2006/0202784 A1 & US 2007/0018757 A1 & US 2008/0186111 A1 & WO 2005/091941 A2 & WO 2005/104149 A1	1 - 28
A	Mu-Shui Zhang, Yu-Shan Li, Chen Jia, Li-Ping Li and Jian Pan, A Double-Surface Electromagnetic Bandgap Structure With One Surface Embedded in Power Plane for Ultra-Wideband SSN Suppression, IEEE Microwave and Wireless Components Letters, Vol.17, No.10, IEEE, 2007.10, pp.706 - 708	1 - 28
A	Mu-Shui Zhang, Yu-Shan Li, Chen Jia and Li-Ping Li, A Power Plane With Wideband SSN Suppression Using a Multi-Via Electromagnetic Bandgap Structure, IEEE Microwave and Wireless Components Letters, Vol.17, No.4, IEEE, 2007.04, pp.307 - 309	1 - 28