



[12] 发明专利说明书

[21] ZL 专利号 94104668.0

[45]授权公告日 1997年3月26日

[11] 授权公告号 CN 1034373C

[22]申请日 94.4.25 [24]颁证日 96.12.27

[21]申请号 94104668.0

[30]优先权

[32]93.4.26 [33]JP[31]121955/93

[73]专利权人 株式会社日立制作所

地址 日本东京都

共同专利权人 日立装置工程株式会社

[72]发明人 前田敏夫

[74]专利代理机构 中国国际贸易促进委员会专利商标
事务所

代理人 王以平

[56]参考文献

US4,794,278

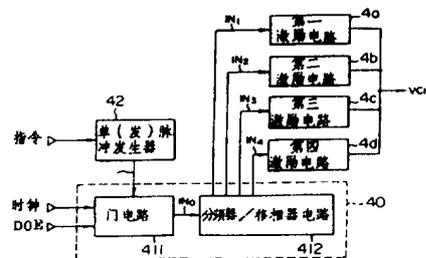
审查员 赵百令

权利要求书 3 页 说明书 22 页 附图页数 11 页

[54]发明名称 能预激励的升压电路器件和半导体存储器
器

[57]摘要

一种设有升压电路器件的动态随机存取存储器，能响应读指令信号依次读出数据。该升压电路器件具有能用第 1 电源以第 1 电压操作并响应控制时钟信号的激励电路，用来以高于第 1 电压的提升了的第 2 电压产生第 2 电源。设有产生单脉冲的单发脉冲发生器，由此产生包含在控制时钟信号中的预激励脉冲。控制时钟信号包括预激励脉冲和跟随预激励脉冲的多个时钟脉冲，故在依次的数据读出前由预激励脉冲将第 2 电压提升到高于第 1 电压。



权 利 要 求 书

1. 一种升压电路器件,其特征在於包括:

可用第 1 电源以第 1 电压操作、并响应一控制时钟信号的激励电路装置,用于供给以高于所述第 1 电源的第 1 电压的提升了的第 2 电压的第 2 电源;

用于产生单脉冲的响应预定输入信号的单发脉冲发生器;

响应所述单脉冲和输入时钟信号来产生所述控制时钟信号的控制电路,所述预定的输入信号与所述输入时钟信号同步产生,所述时钟信号包括一个与所述单脉冲相应的预激励脉冲和与所述输入时钟信号相应、且跟随所述预激励脉冲的多个时钟脉冲。

2. 按照权利要求 1 的升压电路器件,其特征在於:

所述激励电路装置包括多个其输出连在一起的激励电路;以及

所述控制电路包括用来接收外部供给的所述输入脉冲信号和来自所述单发脉冲发生器的所述单脉冲以产生一个基本控制时钟脉冲信号的门电路,以及将所述基本控制时钟信号分频为多个分频后的控制时钟信号、并使所述分频后的控制时钟信号彼此移相的分频/移相电路,所述移相和分频后的控制时钟信号各自馈送到所述多个激励电路中不同的一个中。

3. 一种用于以提升的电压向输出逻辑输出信号的数据输出电路供给电源的升压电路器件,其特征在於包括:

可用第 1 电源以第 1 电压操作、并响应控制时钟信号激励电路装置,用来以高于所述第 1 电源的第 1 电压的提升了的第 2 电压产生第 2 电源;

响应预定输入信号、用于产生单脉冲的单发脉冲发生器;

响应所述单脉冲和输入时钟信号来产生所述控制时钟信号的控制电路,所述预定的输入信号与所述输入时钟信号同步产生,所述时钟信号包括一个与所述单脉冲相应的预激励脉冲和与所述输入时钟信号相应、且跟随所述预激励脉冲的多个时钟脉冲;和

用于检测所述逻辑输出信号逻辑电平的电平检测电路;以及

设置在所述控制电路和所述激励电路装置之间的门电路,将所述电平检测电路的输出供给所述门电路以在所述电平检测电路的所述输出的控制下有选择地将所述控制时钟信号传输到所述激励电路装置。

4. 一种响应一个读指令信号依次读出数据的动态 RAM,其特征在於包括:

各包括一字线驱动器的多个存储阵列;

用于将逻辑输出信号输出到 I/O 焊点的多个数据输出电路;
以及

用来以提升的电压至少向所述数据输出电路供给电源的升压

电路器件,所述升压电路器件包括:

可用第1电源以第1电压操作、并响应控制时钟信号来以高于所述第1电源之第1电压的提升了的第2电压产生第2电源的激励电路装置;

响应预定输入信号、用于产生单脉冲的单发脉冲发生器;

响应所述单脉冲和输入时钟信号来产生所述控制时钟信号的控制电路,所述预定输入信号响应于所述的读指令信号与所述输入时钟信号同步产生,所述控制时钟信号包括对应于所述单脉冲的预激励脉冲和对应于所述输入时钟信号且跟随所述预激励脉冲的多个时钟脉冲,以便在依次的一个数据读出之前已由所述预激励脉冲将所述第2电源的所述第2电压提升到高于所述第1电源的第1电压;以及

平滑从所述升压电路器件来的所述第2电源之第2电压的滤波电容器。

5. 按照权利要求4的动态RAM,其特征在于进一步包括:用于检测所述第2电源的第2电压电平的电平传感器,其中,所述升压电路器件用于把所述第2电源以提升了的电压供给所述数据输出电路和所述字线驱动器,所述电平传感器用于当所述第2电源的所述第2电压的电平降到预定电平以下时产生将一个传感信号加到用于控制所述激励电路装置的所述升压电路器件的所述控制电路。

说 明 书

能预激励的升压电路器件和

半导体存储器

本发明涉及半导体存储器件,更具体说涉及例如为具有通过升压驱动的输出电路执行相继或连续的读出功能的 *SDRAM*(同步动态随机存取存储器)和 *VRAM*(视频随机存取存储器)所采用的有效技术。

采取由升压产生的字线选择信号的 *DRAM*(动态随机存取存储器)型式是众所周知的,其中升高的电压由升压电路产生。设有这种升压电路的 *DRAM* 已经被披露,例如,公开于 1991 年 9 月 19 日的 *JP-A-3-214669* 中。

为了能用较小的占用区连续地以增加了的速度操作有读比特数据功能的 *SDRAM* 或 *VRAM*, 本发明人认为,驱动数据输出电路的输出部件(包括两个推挽连接的 *N-沟 MOSFET*)的驱动器部件必须以提升的电压操作,把电压高于电源电压的驱动信号送入输出部件,以防止由于接在电源电压端的 *MOSFET* 阈值电压的限制使输出信号电平降低。

同时,本发明人发现,在执行充电激励(抽运)操作的多个 *MOS-*

FET 是由一个开关(切换)工作的自举电路电压来驱动以力求增大构成产生提升电压的升压电路器件之操作效率的情况下,当传送串行输出数据的第 1 个数据时,加到数据输出电路输出部件上的升压不足会引起存取延迟与输出电压不足。为了解决此问题,可以想到的是,用产生连续振荡脉冲信号来产生提升的电压,但是,这个方法会造成电流损耗增加。

特别是对以相当低的 3 伏电压操作的半导体存储器件来说,其数据输出电路中的电平裕度很小,而且除非用提升的电压来驱动数据输出电路,否则就不可能达到足够的输出电平。如果升压电路器件中由 *MOSFET* 按二极管方式连接来进行激励操作,那末,则由于 *MOSFET* 阈值电压引起的电平损失而不可能获得所希望的提升的电压。因此,用于升压电路器件的激励电路需要采用自举电路来控制 *MOSFET* 的开关操作,从而实现激励操作。采用这种自举电路,在第 1 激励操作期内不会有提升的电压,因此实际上没有进行升压操作。

本发明的目的是提供一种能够进行预激励操作的升压电路器件。

本发明的另一个目的是提供一种降低其功耗、达到提高输出操作速度以及防止输出电平恶化的半导体存储器件。

本发明的再一个目的是提供一种降低其功耗、达到提高输出操作速度以及防止输出电平恶化的结构简单的半导体存储器件。

通过结合附图作出详细描述，本发明的上述和其它目的以及新的特点将会更加清楚。

根据本发明的一个方案，一种升压电路器件包括：可用第一电源以第一电压操作并响应于一个控制信号来提供提升到高于第一电源之第一电压的第二电压之第二电源的激励电路装置；一个响应预定的输入信号来产生一个单脉冲的单发脉冲发生器；以及一个响应该单脉冲和输入时钟信号来产生控制时钟信号的控制电路，其中，与输入时钟信号同步地产生所述预定输入信号，而该控制时钟信号包括一个与该单脉冲相应的预激励脉冲和与输入时钟信号相应并跟随预激励脉冲的多个时钟脉冲。

根据本发明的另一个方案，一个数据输入电路包括两个推挽式连接的以相继或连续地输出读出数据的 *MOSFET*，以及用来产生提升的电压以便供给数据输出电路的升压电路器件包括：两个开关 *MOSFET*，其中的切换操作是受一个输给 *MOSFET* 的输入脉冲信号同步控制的，以执行激励电路中的激励操作，其中供给 *MOSFET* 栅极的控制信号是由于自举操作而提升的。在数据读出操作之前，在该激励电路内完成预激励操作。

因为激励电路由于自身的预激励操作产生所需的提升的电压，当实际的读操作开始时，用预定的提升电压有利于数据输出电路的操作。

图 1 是本发明一个实施例的 *DRAM* 基本部分的示意图。

图 2A、2B 是应用本发明一个实施例的数据输出电路基本部分的图象。

图 3 是说明本发明一个实施例的一种升压电路器件的基本操作的时序图。

图 4 是说明为本发明一个实施例的升压电路器件所采用的激励电路图。

图 5 是本发明一个实施例的升压电路器件的示意框图。

图 6 是说明图 5 升压电路器件操作的时序图。

图 7 是图 5 实施例的一个特例的电路图。

图 8 是本发明一个实施例的一种升压电路器件的电路图。

图 9 是本发明一个实施例的一种升压电路器件的电路图。

图 10 是本发明一个实施例的 *DRAM* 的示意图。

图 11 是本发明一个实施例的 *SDRAM* 基本部分的略图。

图 1 是按照本发明一个实施例的 *DRAM* 基本部分的示意图。图 1 所示的各个电路元件与 *DRAM* 的其它电路元件一起形成在单个半导体衬底上，例如，单晶硅半导体衬底上，用众所周知的半导体集成电路制造技术形成。

本实施例设有两个升压电路器件 *VCHG1* 和 *VCHG2*。一个升压电路器件 *VCHG1* 用于驱动存储阵列 *MB1* 和 *MB2* 的字线。因此，产生一个送到各相应存储阵列的字线驱动器 *WD1* 和 *WD2* 的提升电压 *VCH*。另一个升压电路器件 *VCHG2* 产生一个送到数据输出电路

$DOC1-DOC8$ 的提升的电压 VCH 。

这两个升压电路器件 $VCHG1$ 和 $VCHG2$ 产生相同的提升的电压 VCH 并共用一个相当大的滤波电容 C ，以提高集成度。电容 C 有相当大的容量，为几百微法到几个毫微法。举例来说，当 $DRAM$ 存储容量为 16 兆比特时，电容量为 $960pf$ 。因为电容 C 在半导体衬底上占有很大面积，上述的共用结构有助于减小芯片面积。

本实施例的 $DRAM$ 设有 8 个数据输出电路，以便它们通过输入/输出端(压焊点) $I/O1-I/O8$ ，以 8 比特为单元执行数据读出操作，然而并不特别限于此。

各个数据输出电路 $DOC1-DOC8$ 的基本部分可以有如图 2A 所示的电路结构。各数据输出电路的输出部件 OUT 包括按推挽连接配置的输出 N -沟 $MOSFET$ $Q3$ 和 $Q4$ 。输出数据时，以互补方式控制 $MOSFET$ $Q3$ 和 $Q4$ 的开关操作，向对应的输入/输出端 I/O 提供低和高电平输出信号。当 $DRAM$ 在备用态或者写入态时，数据输出部件 OUT 的输出 $MOSFET$ $Q3$ 和 $Q4$ 都被关断，成为高阻抗态。

当在电源电压 VCC 侧的输出 $MOSFET$ $Q3$ 随送到 $MOSFET$ $Q3$ 栅极的高电平驱动电压而导通以提供高电平信号(例如电源电压 VCC)时，输出部件 OUT 的输出电平由于输出 $MOSFET$ $Q3$ 的有效阈值电压而被降低。当电源电压 VCC 的电压相当低，例如 3.3 伏时，就达不到所要求的信号幅度。

本实施例中,驱动高电平侧输出 MOSFET Q3 的驱动器部件 DRV 包括一个有 P-沟和 N-沟两个 MOSFET Q1 和 Q2、并使用诸如提升的电压 V_{CH} ($V_{CH} > V_{CC}$) 的工作电压的 CMOS 反相器,这使得驱动部件 DRV 的高电平输出电压 DOH 象提升的电压 V_{CH} 一样成为高于电源电压 V_{CC} 的电压。所提升的电压 V_{CH} 确定得高出输出 MOSFET Q 的有效阈值电压 V_{th} , 或比电源电压 V_{CC} 更高。因而,当驱动器部件 DRV 的输出电压 DOH 处于高电平(例如读出操作中的 V_{CH})时,就不会造成上述那样的电平损失,而从 MOSFET Q3 的源极端可以得到与电源电压 V_{CC} 相应的输出电压。

从存储阵列 MB 经主放大器(未示出)读出的读出信号 DO 具有如电源电压 V_{CC} 这样的高电平,或电路接地电压这样的低电平。于是,为了用高电平信号 DO 分别关断和导通驱动器部件 DRV 的 CMOS 反相器的 P-沟和 N-沟 MOSFET Q1 和 Q2,换言之,为了以互补方式运作 CMOS 反相器,在驱动部件 DRV 的输入端要设置下列电平移相部件 LVS。

该电平移相部件 LVS 包括两个适合于在提升的电压下操作的 NOR 门电路 G1 和 G2。这两个 NOR 门的各自的一个输入端和一个输出端相互交叉耦合形成一个锁存器。

如图 2B 所示,这种 NOR 门电路 G1 和 G2 包括两组串联的 P-沟 MOSFET Q21、Q23 和 Q20、Q22, 以及两组并联的 N-沟

MOSFET Q26、Q27 和 Q24、Q25。在 NOR 门电路 G1 内,两个 P—沟 MOSFET 和两个 N—沟 MOSFET 中,P—沟 MOSFET Q21 和 N—沟 MOSFET Q26 的栅极连在一起,形成接收来自 NOR 门电路 G2 输出信号 DOB2 的一个输入端,而另一个 P—沟 MOSFET Q23 和另一个 N—沟 MOSFET Q27 的栅极连在一起,形成接收来自反相器电路 N1 的输出信号 DOB1 的另一个输入端。P—沟 MOSFET Q23 和另一个 N—沟 MOSFET Q27 之间的结点则被连接到 NOR 门电路 G1 的一个输出端,从该端送出电平移相部件 LVS 的输出信号 DO'。

如上所述,读出信号 DO 通过 CMOS 反相器电路 N1 被送到 NOR 门电路 G1 的另一输入端,该反相器电路 N1 用电源电压 VCC 来操作,而不象 NOR 门电路 G1 和 G2 用 VCH 来运作。该信号 DO 直接输到 NOR 门电路 D2 的另一输入端。

如上所述,输入到 NOR 门电路 G1 和 G2 另一输入端的信号 DOB1、DO 摆幅在诸如电源电压 VCC 这样的高电平与诸如电路接地电压的低电平之间。当信号 DO 为低电平时,反相器电路 N1 的输出信号 DOB1 为高电平,而 NOR 门电路 G2 的两输入端分别供以低电平信号 DO 和由 NOR 门电路 G1 来的低电平输出信号 DO', 使串联的 P—沟 MOSFET Q22 和 Q20 都导通,以致来自 NOR 门电路 G2 的输出信号 DOB2 必为升高的电压 VCH 这样的高电平。

当反相器电路 N1 的输出信号 DOB1 处于高电平(例如 VCC),

并被加到 NOR 门电路 G1 中的 P—沟 MOSFET Q23 的栅极时，由于其栅与源极之间加上了电压 $V_{CH}-V_{CC}$ ，于是 MOSFET Q23 会导通。但是，因为 P—沟 MOSFET Q21 的栅极接收与提升的电压 V_{CH} 相应的高电平输出信号 DOB2 而被关断，所以，NOR 门电路 G1 中的串联 P—沟 MOSFET Q21、Q23 的电流通路就会被截断。

当读出信号 DO 从低电平变成为高电平时，反相电路 N1 的输出信号 DOB1 也变为低电平，而且 NOR 门电路 G2 的输出信号 DOB2 就从高电平变为低电平。其结果，因 NOR 门电路 G1 两输入端接收来自反相器电路 N1 的低电平输出信号 DOB1 以及来自 NOR 门电路 G2 的低电平输出信号 DOB2，这就导通了两个串联的 P—沟 MOSFET Q21、Q23，使 NOR 门电路 G1 的输出信号 DO' 为 V_{CH} 这样的高电平。

在读出信号 DO 为 V_{CC} 这样的高电平，且加之于 NOR 门电路 G2 的 P—沟 MOSFET Q22 栅极的情况下，由于 MOSFET Q22 的栅和源极之间加上了电压 $V_{CH}-V_{CC}$ ，故 MOSFET Q22 趋于导通。但是，因为 P—沟 MOSFET Q20 的栅极接收与提升的电压 V_{CH} 相应的高电平输出信号 DO' 而被关断，所以，NOR 门电路 G2 中的串联 P—沟 MOSFET Q20、Q22 的电流通路被截断。

上述门锁电路使在低电平(例如地电压)与高电平(例如电源电压)之间摆动的读出信号 DO 电平移动到一个在与提升的电压 V_{CH}

相应的高电平与诸如电路接地电压之类的低电平之间摆动的、由 NOR 门电路 G1 的输出端产生的输出信号。

以分别与提升的电压电平 V_{CH} 和接地电平相应的高和低的电压电平把输出信号 DO' 送入构成驱动器部件 DRV 的 P-沟和 N-沟 MOSFET Q1 和 Q2 的栅极。因而,该 MOSFET Q1 和 Q2 执行一种互补开关操作,把具有诸如电路接地电平之类的低电压电平和诸如提升的电压这样的高电压电平的驱动信号 DOH 送至输出 MOSFET Q3 的栅极。

图 1 中,向升压电路器件 VCHG2 供以输入时钟信号或外部时钟脉冲信号 CLOCK、指令信号 COMMAND, 以及输出启动信号 DOE。当器件 VCHG2 接到规定读模式的指令信号以及输出启动信号 DOE 时,就用时钟脉冲信号的时钟去控制升压操作。图 1 所示的 DRAM 包括时钟脉冲信号 CLOCK 和指令信号 COMMAND 来操纵升压电路器件的理由在于,本实施例的 DRAM 是所谓的同步动态 RAM (SDRAM)。这种 SDRAM 的例子是日立株式会社制造的“HM5216800/HM5241605 系列”的 RAM。

虽非特别限制,用于驱动字线的升压电路器件 VCHG1 具有对提升的电压电平敏感的电平传感器 80, 因此当传感器 80 感受到所提升的电压降低时,就用传感器 80 内设的振荡电路(未示出)形成的脉冲信号使升压电路器件进行升压操作。升压操作还可用字线选择定时信号来进行。因而,在选通字线之前进行升压操作,预先防止

在字线选通中由于字线耗电而降低字线的电压电平。

图 3 是说明按照本发明的一个实施例的升压电路器件基本操作的时序图。图 3 中,当升压电路器件接到与外部时钟信号 *CLOCK* 同步的指令信号 *COMMAND* 以读出模式使存储器件操作时,输到或压电路器件的输入信号就与外部时钟信号同步地从 0 伏变为电源电压 *VCC*。于是,该升压电路器件就在数据输出操作之前执行预激励操作。

图 4 表示说明可用于按照本发明一个实施例的升压电路器件的激励电路。

本实施例中,送到执行激励操作的 *MOSFET* *Q31* 和 *Q34* 栅极的控制脉冲电压由与之相连的电容器 *C32* 和 *C33* 升压,以便即使电源电压 *VCC* 相当低也能获得足够的提升电压。在这种情况下,根据时钟信号 *CLOCK* 所产生的输入脉冲信号 *IN*(图 3)就通过反相器 *N31* 被送入电容器 *C32* 的一个电极。电源电压 *VCC* 经过以二极管方式连接的 *MOSFET* *Q32* 被送到电容器 *C32* 的另一电极。由电容器 *C32* 的另一电极所获得的提升的电压被用于控制执行电荷激励操作的 *MOSFET* *Q31* 的栅极电压的开关操作。

输入脉冲信号 *IN* 还通过反相器 *N32* 和 *N34* 送到电容器 *C33* 的一个电极。电容器 *C33* 的另一电极与电源电压 *VCC* 间设有以二极管方式连接的 *MOSFET* *Q33*。由电容器 *C33* 另一电极取得的提升电压用于控制执行电荷激励操作的 *MOSFET* *Q34* 的栅极电压

的开关操作。

输入脉冲信号 IN 还通过反相器 $N32$ 和 $N33$ 送到电荷抽运电容器 $C31$ 的一个电极。电容器 $C31$ 的另一电极经开关 $MOSFET$ $Q31$ 由电源电压 VCC 充电。通过 $MOSFET$ $Q34$ 输出的提升电压使滤波电容器 C (图 1) 充电。

图 4 的激励电路按如下方式工作。当输入脉冲信号 IN 为低电平时,反相器 $N31$ 的输出信号则为高电平。此时,反相器 $N34$ 的输出信号为低电平,使电容器 $C33$ 经按二极管方式连接的 $MOSFET$

$Q33$ 预充电。虽然反相器 $N33$ 的输出信号也为低电平,但 $MOSFET$ $Q34$ 和 $Q31$ 基本被关断。于是,不给电容器 $C31$ 充电。严格地讲,因节点 C 由按二极管连接的 $MOSFET$ $Q33$ 置于 $VCC - V_{th}$, 所以,通过 $MOSFET$ $Q34$ 向电容器 $C31$ 的节点 a 充电到 $VCC - 2V_{th}$ 。但是,当电源电压 VCC 为低电压,例如约 3.3 伏时,给电容器 $C31$ 充电的电压则是低于 1 伏的低电压。

因此,虽然输入信号 IN 从低电平变到高电平,而由电容器 $C31$ 获得的提升了的电压 V_{CH} 却不会达到预定的电压。这意味着,甚至当反相器 $N34$ 的高电平使电容 $C33$ 节点 C 的电压升高而使 $MOSFET$ $Q34$ 导通时也不会进行电荷抽运操作。

输入信号 IN 变成高电平使反相器 $N31$ 的输出信号变为低电平,从而通过按二极管方式连接的 $MOSFET$ $Q33$ 向电容器 $C32$ 充电。因为如上所述,电容器 $C32$ 已充电,当输入脉冲信号 IN 再回复

到低电平时,电容器 C32 的升压操作使 MOSFET Q31 导通,因此将 MOSFET Q31 充电到电源电压 VCC。这就是说,执行预激励操作,以便在输入信号 IN 的第 1 脉冲上升边由高电平电压给电容器 C32 充电,而在输入信号第 1 脉冲的下降边由低电平电压使电容器 C31 充电。

图 3 的时序图中,如上所述,预激励操作是用来对激励电路的电容器 C32 和 C31 充电的。由于预激励,当由与输出数据同步进行的预激励操作输出实际上与时钟信号 CLOCK 同步读出的数据 D0—D3 时,因数据输出电路操作所造成的提升电压 VCH 的降低被每次数据输出电路操作时给滤波电容器充电所补偿。结果,提升了的电压 VCH 能够维持在所要求的高电压电平上。

当如上所述以 8 比特为一单元来读取数据时,八个数据输出电路 DOC1—DOC8 同时运行。因此,就要消耗相当大的驱动电流以致降低了提升了的电压 VCH。于是,与读出操作同步的激励操作造成数据 D0—D3 在同样的电压电平下、以同样的输出电流按串行方式从一个输入/输出端 I/O 输出。

图 5 是按照本发明一个实施例的升压电路器件的框图。本实施例中,升压电路器件包括多个(例如,4 个)激励电路(例如,4a—4d)、一个控制电路 40 以及一个单(发)脉冲发生器 42。这 4 个激励电路的输出共同连到滤波电容器 C。该单发脉冲发生器 42 响应于指令信号 COMMAND 产生一个单脉冲,用来设定与外部时钟同

步收到的读取模式。控制电路 40 包括门电路 411 和后面待详述的分频器/移相器电路 412。

图 6 是说明图 5 所示升压电路器件运行的时序图。控制电路 40 的分频器/移相器电路 412 将经门电路 411 接收到的控制脉冲信号 IN_0 的两个频率分频, 并把分频后的信号转换成 4 个彼此相位差为分频后的脉冲信号半周期的相位脉冲信号。换句话说, 分频后的输入脉冲信号在相位上依次相差 $\pi/2$ 。

当用由外部时钟信号 $CLOCK$ 的上升沿引入的指令信号 $COMMAND$ 来设置读出模式时, 该单发脉冲发生器 42 随该指令信号(预先输入的信号)而产生单脉冲 $PREP$ 以执行预激励操作。将脉冲 $PREP$ 作为基本控制脉冲信号 IN_0 , 通过门电路 411 的 NOR 门 (NOG) 送入分频器/移相器电路 412。响应从低电平变成高电平的信号 IN_0 , 输给第 1 激励电路 4a 的输入信号 IN_1 从高电平变成低电平, 而输给第 2 激励电路 4b 的输入信号 IN_2 从低电平变成高电平。响应从高电平变成低电平的信号 IN_1 , 输给第 3 激励电路 4c 的输入信号 IN_3 从高电平变成低电平, 以及输给第 4 激励电路 4d 的输入信号 IN_4 从低电平变成高电平。

当与外部时钟信号 $CLOCK$ 同步按串行方式实际输出读出数据 D_0-D_3 时, 第 1 激励电路 4a 输出与输入信号 IN_0 上升边同步的提升电压, 而第 3 激励电路 4c 输出与输入信号 IN_0 下降沿同步的提升电压。因为激励时间间隔加倍, 如上所述, 各分频信号依次相移

$\pi/2$, 以执行激励操作, 通过第 1 和第 3 激励电路 4a 和 4c 两次来完成一个数据 D_0 的激励操作。同理, 由第 2 和第 4 激励电路 4b 和 4d 两次来完成数据 D_1 的激励操作。再由第 1 和第 3 激励电路 4a 和 4c 两次完成数据 D_2 输出的激励操作, 而通过第 2 和第 4 激励电路 4b 和 4d 两次完成数据 D_3 输出的激励操作。

如此完善的激励操作进一步抑制了该提升电压 V_{CH} 的减小, 以提供更稳定的提升电压。这就提供更稳定的输出电平和更稳定化的输出电流。

图 7 表示一种说明图 5 实施例控制电路 40 的具体电路图。把读出指令信号 $COMMAND$ 供给上面所说的那种单发脉冲发生器 42, 同时把时钟信号 $CLOCK$ 和输出启动信号 DOE 送给门电路 411。

首先, 单发脉冲发生器 42 响应与外部或输入时钟信号 $CLOCK$ 同步接收到的读出指令信号 $COMMAND$ 产生单个信号脉冲 $PREP$ 。然后, 经过门电路 411 的 NOR 门 NOG 和分频器/移相器电路 412, 将该脉冲 $PREP$ 送到第 1—第 4 激励电路 4a—4d 以执行图 6 所说明的预激励操作。

预激励操作之后, $NAND$ 门电路 NAG 被一个其产生时序按一预定模式(称为“等数时间”)控制的数据输出启动信号 DOE 打开, 以便当数据输出有效时, 通过 $NAND$ 门电路 NAG 引进输入时钟信号, 从而使第 1 至第 4 激励电路 4a—4d 依次并与数据输出同步地运行, 以便补偿因数据输出而消耗的提升电压的下降。把 $NAND$ 门

NAG 的输出经过反相器 N41、NOR 门 NOG 和反相器 N42 作为控制脉冲信号 IN0 输入到分频器/移相器 412 中。在图 3 所示的操作中,该“等数时间”设为 3。

把为 DRAM 接通电源时所产生的置位脉冲 SET 加在 MOSFET Q60 上,从而令分频器/移相电路 412 的各节点都处于其起始电压值。电路 412 包括:接收输入信号 IN0 和 CMOS 反相器 INV1、接收反相器 INV1 输出的 CMOS 反相器 INV2,和两个触发器。触发器之一包括同步脉冲反相器(*clocked inverter*)INV3、接收同步脉冲反相器 INV3 输出的 CMOS 反相器 INV4,和用来把 CMOS 反相器 INV4 的输出信号反馈到它的输入端的同步脉冲反相器 INV5,而另一个触发器包括同步脉冲反相器 INV6、接收同步脉冲反相器 INV6 的输出的 CMOS 反相器 INV7,和用来把 CMOS 反相器 INV7 的输出信号反馈到它的输入端的同步脉冲反相器 INV8。把同步脉冲反相器 INV6 的输出信号送到 CMOS 反相器 INV7 和同步脉冲反相器 INV3,以构成二进制计数器(一种分频器)。

当由于控制脉冲信号 IN0 处于低电平、分频器/移相器电路 412 为非操作状态时,同步脉冲反相器 INV3 和 INV8 都为关断状态。置位脉冲在预定的时间间隔接通 MOSFET Q60,将节点 b 置为低电平。因为反相器 INV5 和 INV6 都为开态,所以,节点 a 和 c 都是高电平,而节点 b 是低电平。

通过门电路 41 接收到的脉冲信号 IN0,通过两个反相器 INV1

和 INV2 有选择地操作同步脉冲反相器 INV3、INV5、INV6 和 INV8。当输入信号 IN0 的电平从“低”变“高”时，反相器 INV3 导通，而反相器 INV5 和 INV6 则被关断。因而，节点 a 从“高”变“低”，而节点 b 反而从“低”变“高”。此时节点 c 和 d 保持不变。当输入信号 IN0 的电平从“高”变“低”时，反相器 INV5 和 INV6 导通，而反相器 INV3 和 INV8 被关断。于是，节点 c 从“高”变“低”，而节点 d 反而从“低”变“高”。节点 a 和 b 保持不变。此后，通过反复类似的操作，在相应节点 a—c 获得四个不同的依次使相位移动 $\pi/2$ 、其周期等于输入信号 IN0 周期 2 倍的移相的时钟信号。第 1 至第 4 激励电路 4a—4d 可以具有如图 4 所示的同样结构。

图 8 是按照本发明另一个实施例的升压电路器件的电路图。本实施例设有输出逻辑电平检测电路 70，输出一个信号以控制 NAND 门电路 G71—G74，也就是控制由分频器/移相器电路 412 产生的 4 个脉冲信号的输出。

输出逻辑电平检测电路 70 检测多个同步输出的数据(例如图 1 所示结构中的 8 个数据)的逻辑电平，根据检测结果来控制 NAND 门电路 G71—G74。

举例来说，当电路 70 检出所有同时输出的 8 个数据的第 1 位数据(D0)全部为低电平时，门电路 G71 和 G73 都被电路 70 的输出关断，以致输给第 1 充电激励电路 4a 的输入信号 IN1 和输给第 3 充电激励电路 4c(图 6)的输入信号 IN3 都保持不变，对第 1 位的激

励决不会起作用。而且,当电路 70 检出所有同时输出的 8 个数据的第 2 位数据(D1)也全都为低电平时,门电路 G72 和 G74 被电路 70 的输出关断,以致输给第 2 充电激励电路 4b 的输入信号 IN2 和输给第 4 充电激励电路 4d(图 6)的输入信号 IN4 保持不变,对第 2 位的激励也决不会起作用。就这样,可将充电激励电路 4a 到 4d 的功率损耗降至最低。

图 9 是按照本发明又一个实施例的升压电路器件的电路图。本实施例中,图 1 的两个升压电路器件 VCHG1 和 VCHG2 为单一的共用电路所取代。

于是,在门电路 411 内,以用于提供选通字线用的提升电压 VCH 的定时接通电源转换开关的时序,将推动激励电路 4a—4b 的信号供给 NOR 门电路 NOG,该 NOR 门电路 NOG 的作用是把输入信号供给反相器 N42,以便产生完成上述预激励的输入脉冲信号 IN0。

VCH 电平传感器 80 能感知该提升电压 VCH 的电压电平,并能产生第 1 和第二传感信号 CL1 和 CL2,第 1 传感信号 CL1 表示提升电压 VCH 低于第 1 电压电平,第 2 传感信号 CL2 表示提升电压 VCH 低于第 2 电压电平但不低于第 1 电压电平。举例来说,当电源开关接通时,因为电压 VCH 为接地电压电平,所以由第 1 传感信号 CL1 开启 NAND 门电路 83,以通过 NAND 门电路 83、反相器电路 N44 和 NOR 门电路 G84 引入外部时钟脉冲(CLOCK),直至把电

压 V_{CH} 提升至第 1 电压电平,例如 4V,为止。当电压 V_{CH} 超过第 1 电压电平时,由第 2 传感信号 CL_2 开启 $NAND$ 门电路 G_{82} ,以通过 $NAND$ 门电路 G_{82} 、反相器电路 N_{43} 和 NOR 门电路 G_{84} 引入来自内部振荡时钟源 81 的、具有相对长周期的时钟脉冲,直到将电压 V_{CH} 提升到第 2 电压电平(例如 4.5V)为止。

另外,通过 NOR 门电路引入由为选通字线而供给提升电压 V_{CH} 的定时所产生的单发脉冲 REN 。

采取这种结构进行激励,凡是有必要的地方,除数据输出操作的情况外,还通过门电路 G_{84} 把上述的信号送到门电路 411 内的 NOR 门电路 NOG ,从而使提升的电压保持在基本恒定的电平上。图 9 所示的实施例,由于共用该升压电路器件,有效地简化了控制电路和激励电路的电路结构。

图 10 表示说明按照本发明的一个实施例的 $DRAM$ 的结构。图 10 所示的各个电路是采用公知的半导体集成技术形成在单片半导体衬底(例如单晶硅)上的。图 10 示出半导体芯片上各电路块实际几何布局的实例。在通篇的叙述中,术语“ $MOSFET$ ”是指一种绝缘栅场效应晶体管($IGFET$)。

为了防止由于增大存储容量而增大芯片尺寸,使得因控制信号和存储阵列驱动信号所用布线导体长度的加长引起 RAM 操作速度降低,对构成 RAM 的存储阵列和选择存储阵列地址的外围电路等等的布局作如下设计。

图 10 中,在芯片上设置十字形区,它包括垂直的和水平的中心条状部分。各外围电路主要布置在该十字形区上。各存储阵列被布置在四个被十字形区隔开的芯片区。这就是,在芯片的垂直的和水平的中心条状部位设置十字形区,以便将各存储阵列设在四个用十字形区分开的芯片区内。虽然没有具体限制,但四个存储阵列中每个存储容量约为 4Mbit,因此总存储容量约为 16Mbit。

每个存储阵列包括 4 个存储块,其中字线沿水平方向延伸,而互补位线(数据线或数字线)对沿垂直方向延伸。一个存储块的存储容量约为 1Mbit。每个存储阵列中的四个存储块各有一个字线驱动器(未示出),该驱动器安排在其面对垂直中心条形部位的那一侧的部位。

行译码器和控制器设在十字形区左边的中心部位,而列译码器和用于字线升压的第 1 升压电路器件 VCHG1 则设在十字形区右边的中心部位。

输入/输出缓冲器和输入/输出管脚 I/O 布置在十字形区的上部中心部位。用于使数据输出缓冲器升压的第 2 升压电路器件 VCHG2 设在输入/输出缓冲器下面。

输入缓冲器、相应的地址管脚和时钟管脚都设在十字形区中心部位的下面。虽然未作特别的限制,但是产生其它控制信号 RASB、CASB、WEB 和 CSB 的装置都布置在控制器附近的十字形区的中部。

图 11 是按照本发明一个实施例应用 *SDRAM* 的计算机系统的基本部分示意图。该计算机系统包括一总线、一中央处理单元 *CPU*、一外围电路控制器、一作为主存储器的 *SDRAM* 及其控制器、一作为备用存储器的 *SRAM*、一备用奇偶检验及其控制单元、一存储程序的 *ROM*，和一显示系统等。

外围电路控制器与外部存储单元、键盘 *KB* 等等相连。显示系统包括一 *VRAM* (图象 *RAM*) 等，它连接到显示器作为显示存入 *VRAM* 内的信息的输出设备。设有把电能供给计算机各内部电路的电源。*CPU* 产生控制各个存储器操作定时的信号。虽然已叙述了把本发明应用于 *SDRAM* 作为主存储器的例子，但是如果显示系统的 *VRAM* 是多通道式，本发明也可应用于显示系统的 *VRAM* 串行存取部件。

当把 *SDRAM* 安装在信息处理系统，诸如上述实施例那样的计算机系统上时，由于增加了集成度、扩大了容量、提高了操作速度和/或减小了 *SDRAM* 的功耗，可希望得到小型化并增强功能。*SDRAM* 除用作主存储器外，通过有效地利用大容量存储器，*SDRAM* 还可用作文件存储器，来代替硬盘存储器。

通过上述各实施例所达到的优点如下：

(1) 数据输出电路包括两个推挽连接的 *N*-沟输出 *MOSFET*，它连续地输出读出数据。升压电路器件包括两个开关 *MOSFET*，由输入脉冲同步地控制其开关运作，以完成激励操作，以及一激励电

路,通过自举电路运作使激励电路升压,而其中控制信号供给这些 MOSFET 中至少一个的栅极。于是,在读出操作之前进行预激励操作,因而能为激励电路适当地形成提升的电压,结果是,通过由实际读出操作(如见图 4)同步的激励操作,能够获得要供给数据输出电路所要求的提升的电压。

(2)为了以高速稳定的方式串行输出数据,把升压电路器件应用于存储器,该存储器具有引导指示与外部输入时钟信号同步的操作模式的指令信号以及从存储阵列的位单元读出数据的指示串行输出读出信号的功能。

(3)为了稳定所提升的电压,有多个平行输出端的激励电路用于将输入脉冲信号分频为彼此相位不同的多个脉冲信号,因此执行对一个数据输出两次的激励操作(例如,见图 7)。

(4)连到激励电路输出端的滤波电容器与形成字线选通电压的升压电路器件共用一个输出端,以缩小芯片面积(例如,见图 1)。

(5)能感受待输出数据逻辑电平,当感知输出为低电平信号时,阻止将输入时钟脉冲传输到激励电路,以减少功耗(例如,见图 8)。

(6)把升压电路器件应用于采用低操作电源电压(例如 3 伏)的存储器,用以形成充分稳定化的提升的电压,从而提供满意的输出电平和满意的输出电流。

(7)当单个升压电路器件具备产生供给字线驱动器的提升的电压和产生供给数据输出电路的提升的电压的双重功能时,就能减小

芯片面积(例如,见图9)。

虽然根据最佳实施例,已经具体地描述了本发明,但本发明不限于这些实施例。当然,可以作出许许多多的改变和修改而不偏离本发明的构思。例如,在图2A中,除如上所述的由具有一对NOR门的锁存器形成电平移位部件外,任何只要能把VCC电平转换为VCH电平的电路都可用作电平移位部件。除CMOS反相器外,驱动器电路部件可以有根据输出启动信号关断输出MOSFET Q3的选通功能。

DRAM可以有按串行方式用一条字线输出数据的功能。亦即,在该情况下,实现激励操作以防止与时钟信号同步每次输出数据时提升电压的下降。

本发明可广泛地应用于半导体存储装置,它包括按照从升压电路器件产生的驱动信号以传输输出信号的输出电路。

图 1

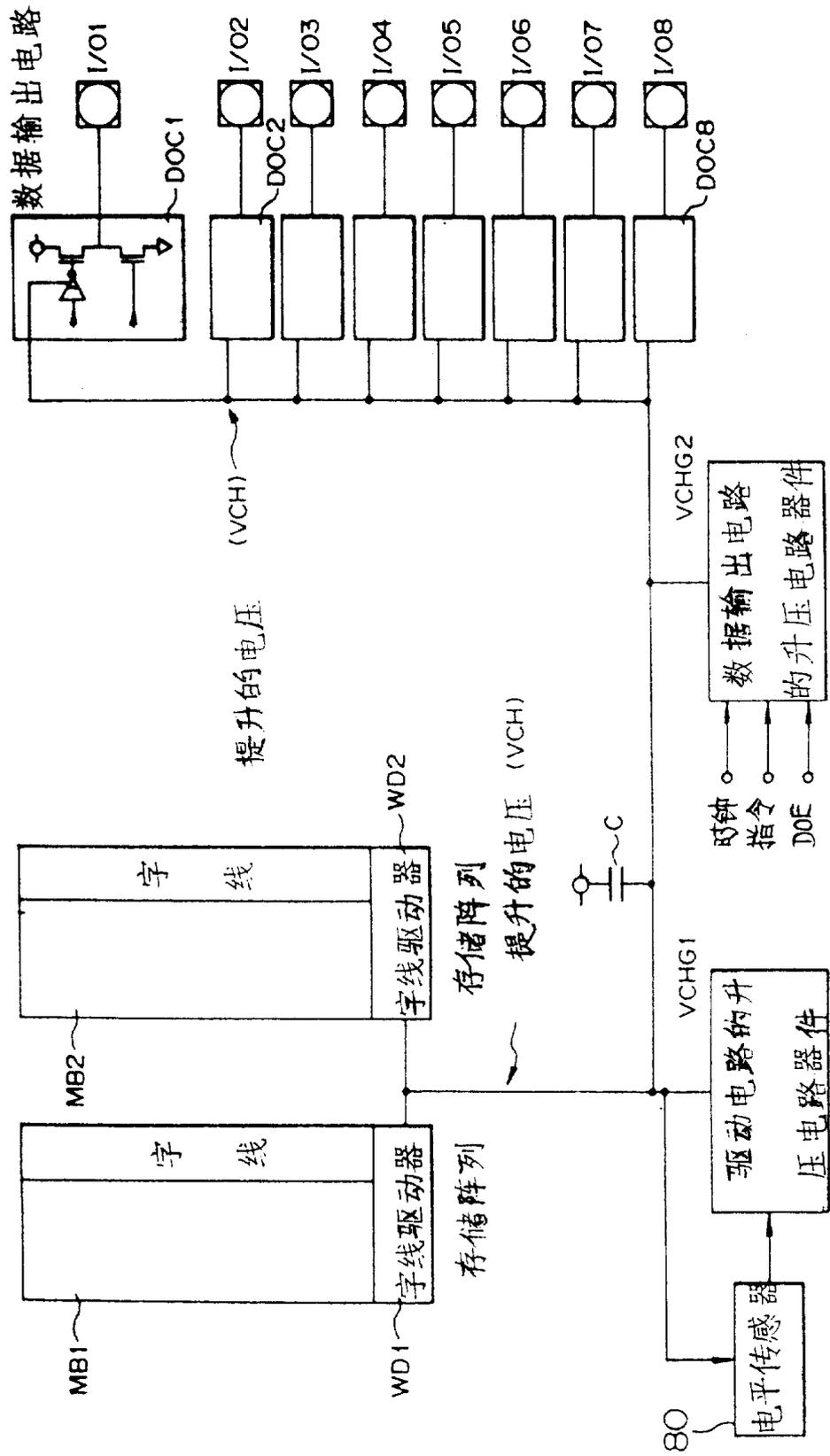


图 2A

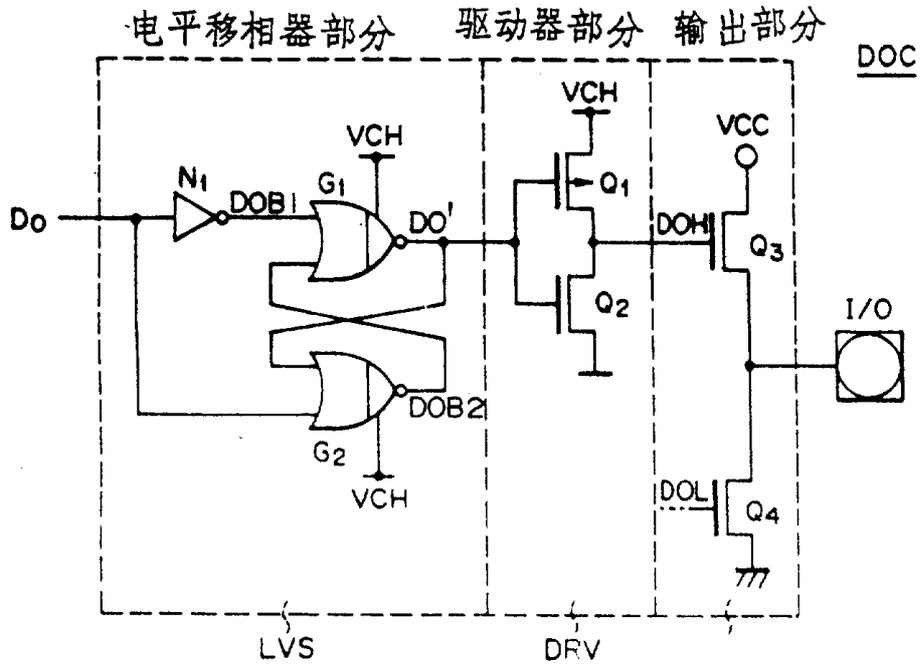


图 2B

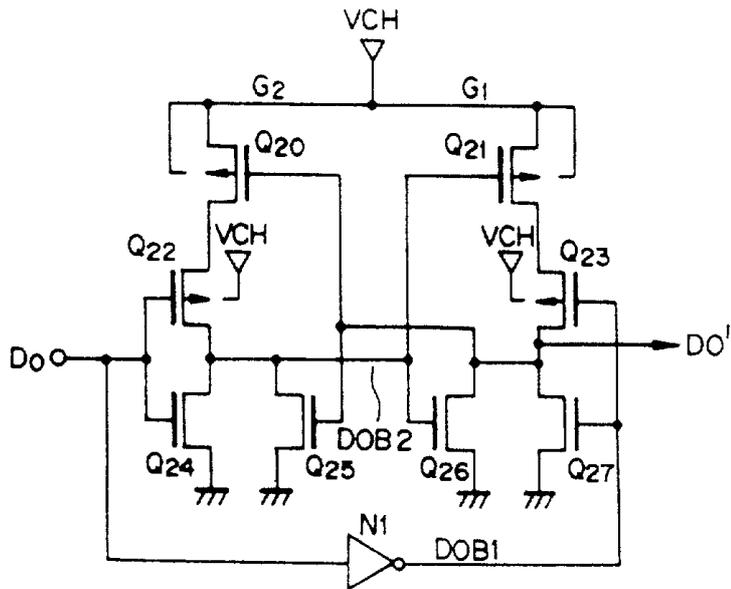


图 3

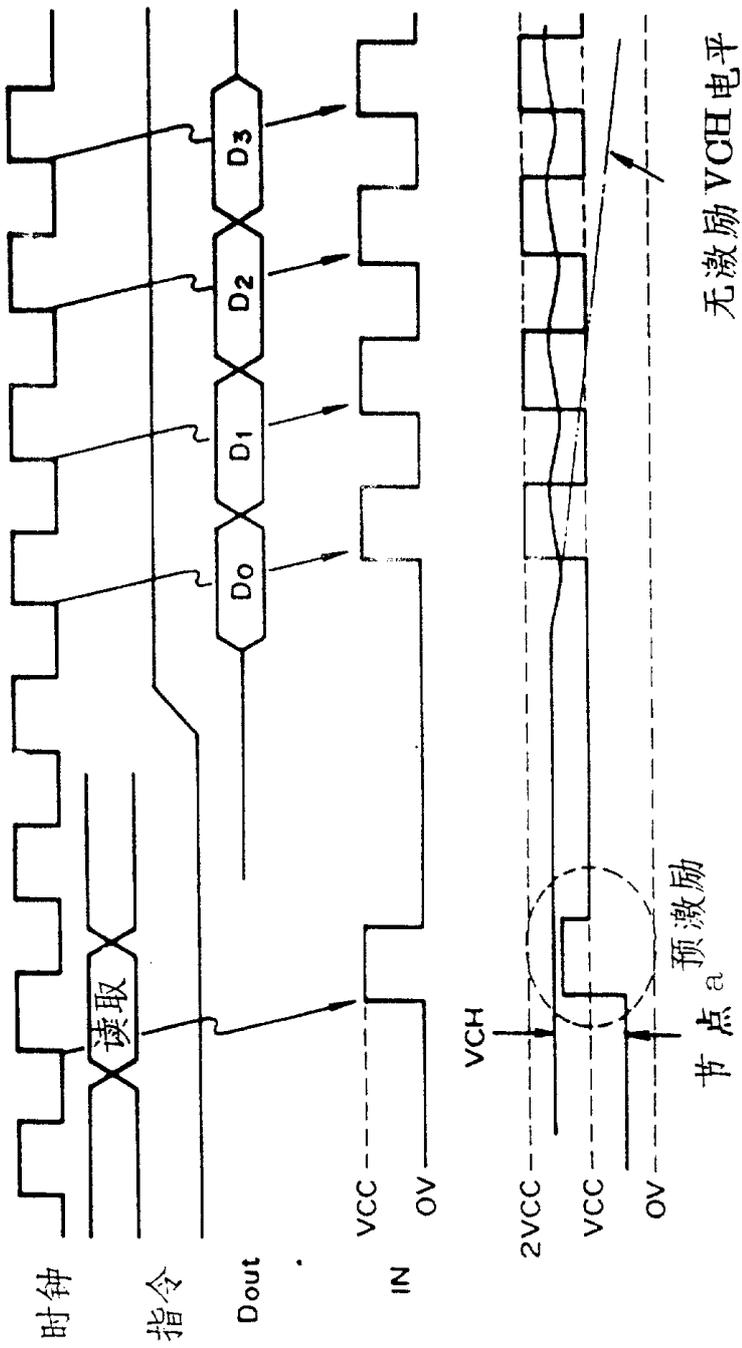


图 4

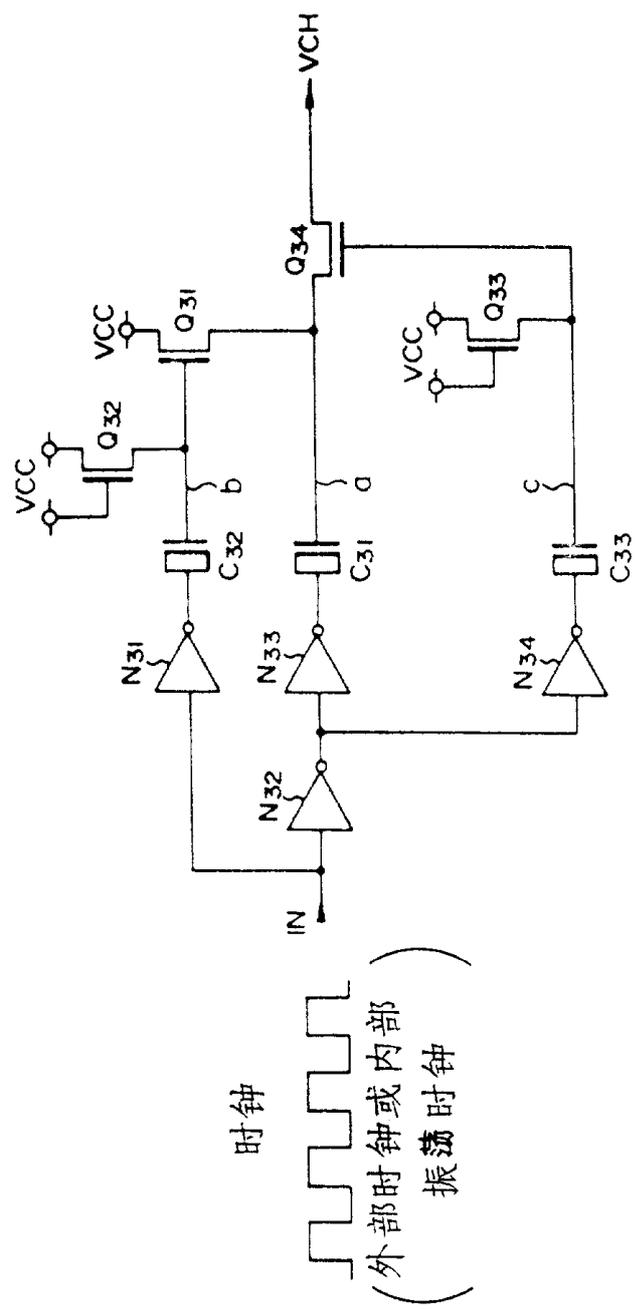


图 5

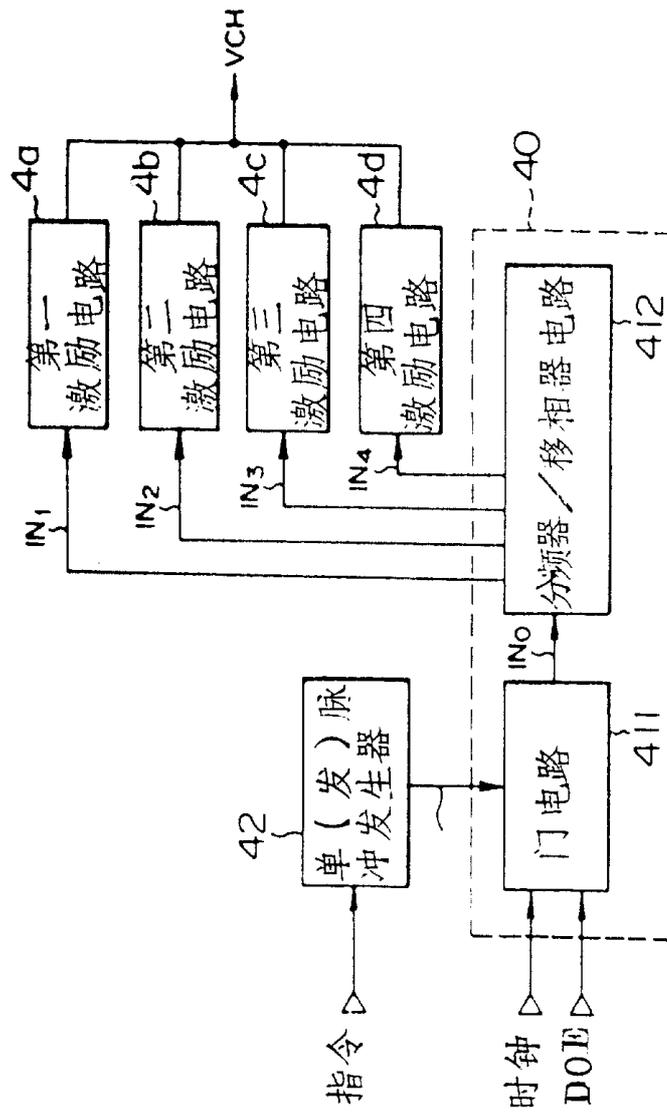


图 6

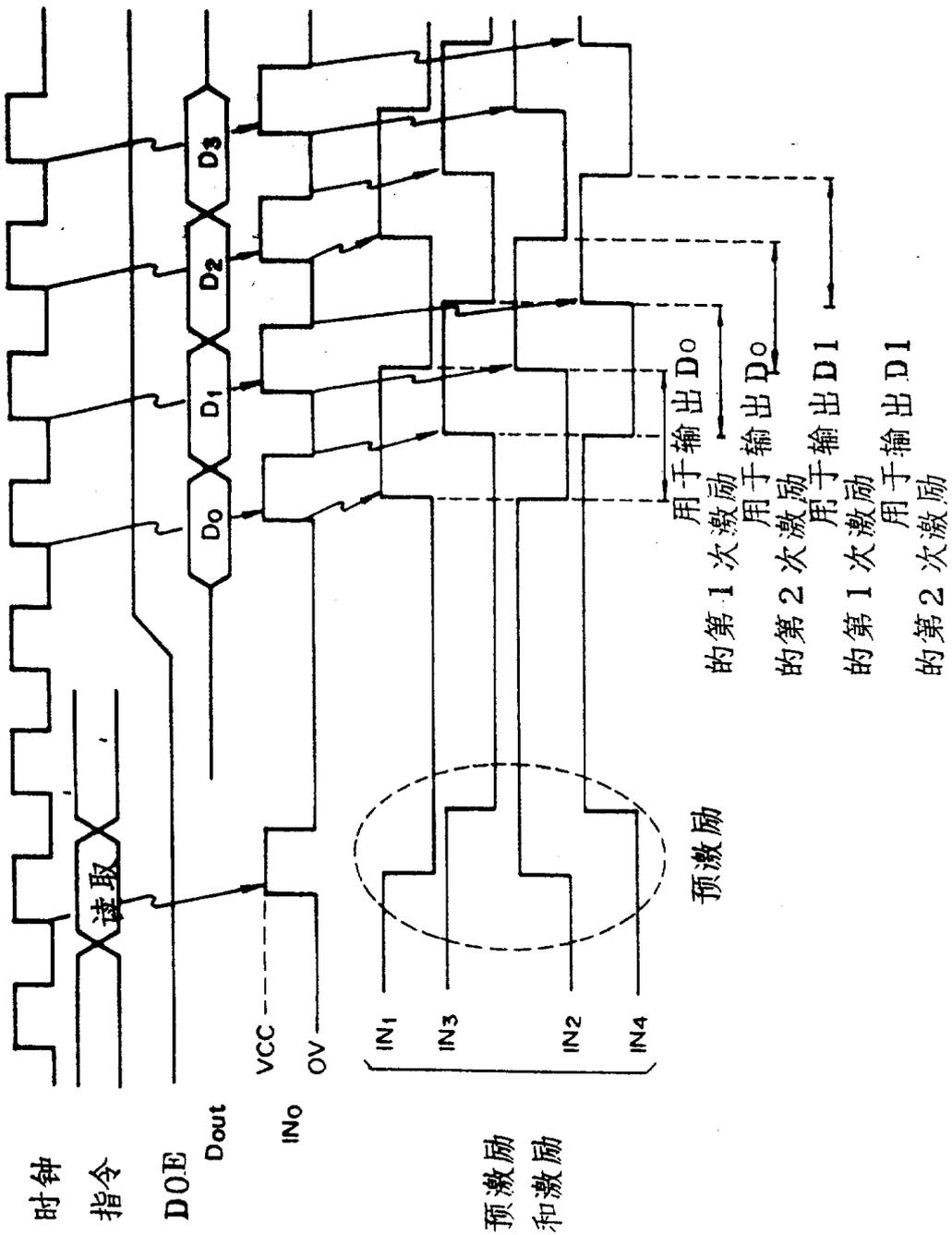


图 7

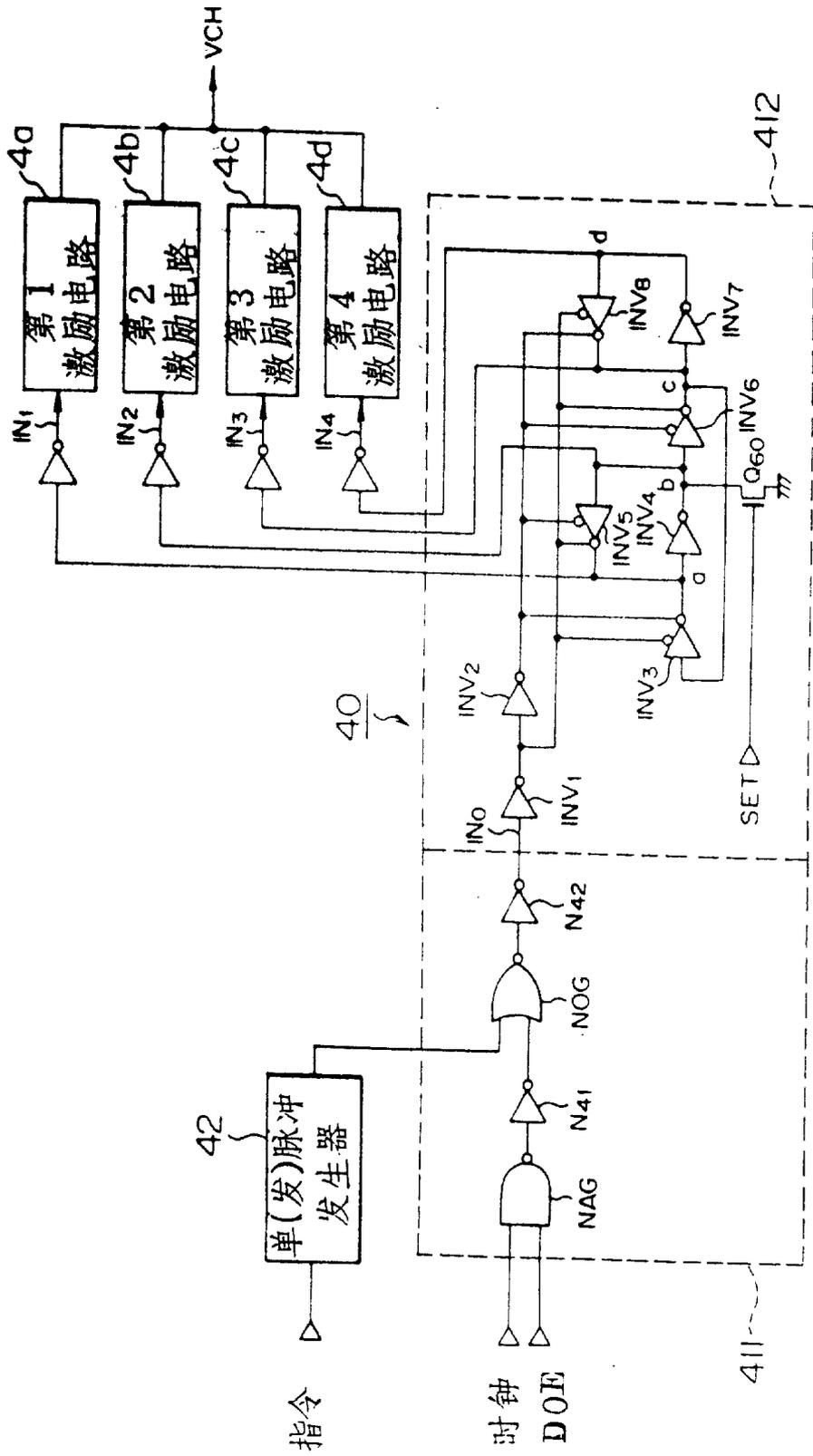


图 8

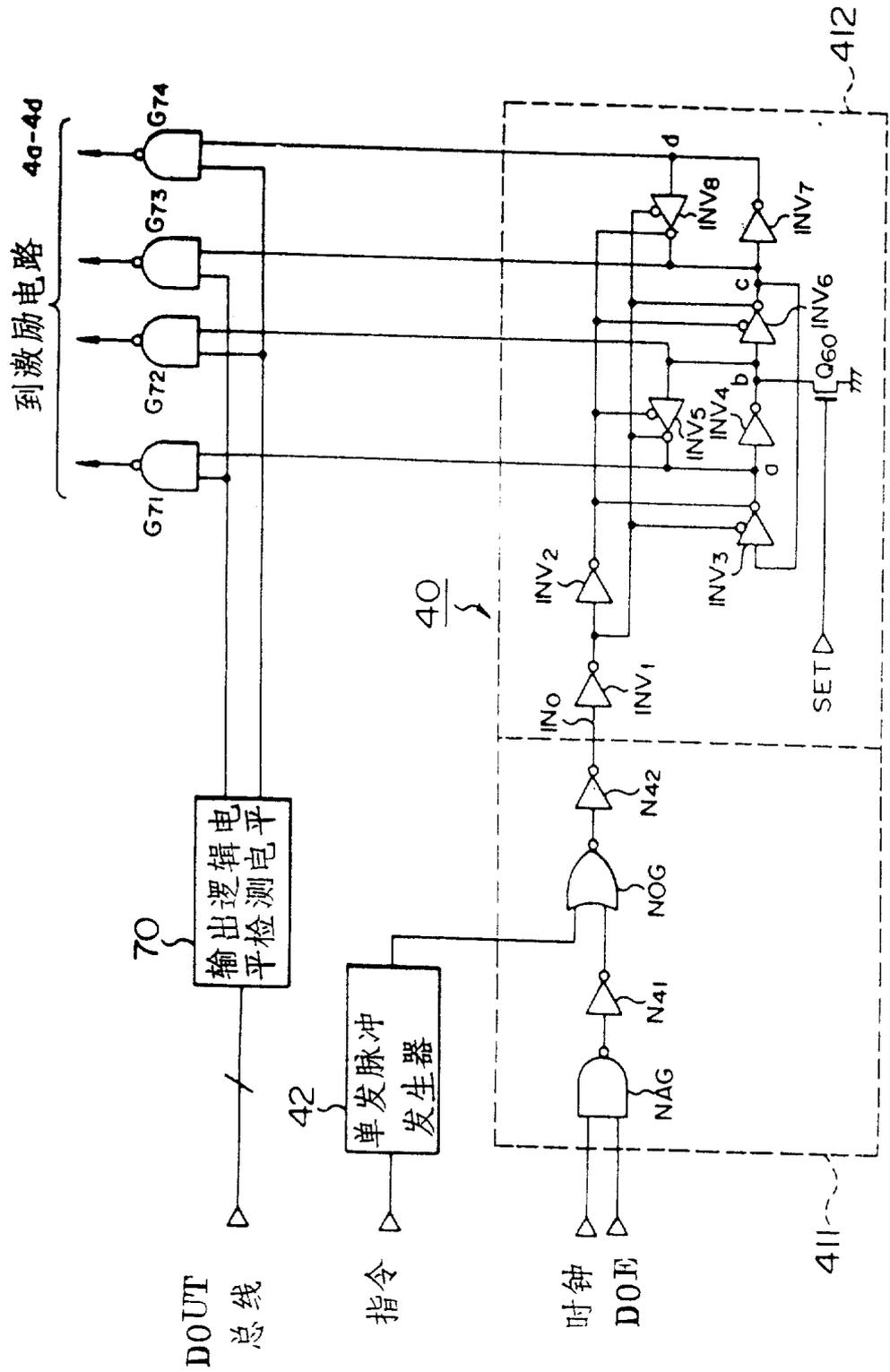


图 9

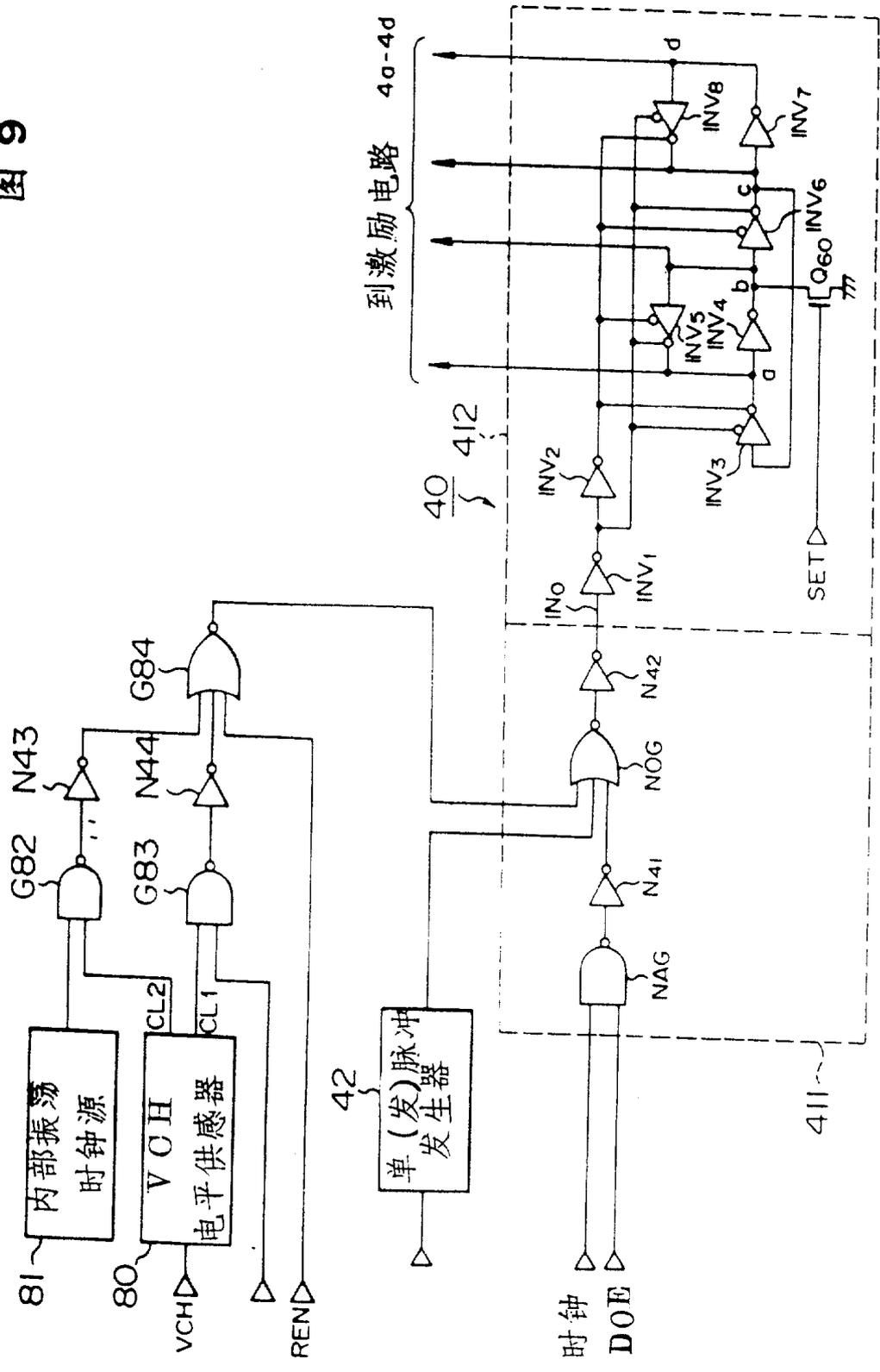


图 11

