

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 6 月 23 日 (2005.6.23)

【公開番号】特開 2003-208362 (P2003-208362A)
 【公開日】平成 15 年 7 月 25 日 (2003.7.25)
 【出願番号】特願 2002-6873 (P2002-6873)
 【国際特許分類第 7 版】

G 0 6 F 13/00

G 0 6 F 3/06

【F I】

G 0 6 F 13/00 3 0 1 P

G 0 6 F 3/06 3 0 1 M

G 0 6 F 3/06 3 0 2 A

G 0 6 F 3/06 3 0 4 B

【手続補正書】

【提出日】平成 16 年 9 月 24 日 (2004.9.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第一のインタフェース制御装置を有する第一のアダプタボードと、
第 2 のインタフェース制御装置を有する第 2 のアダプタボードと、
キャッシュメモリを有する第一のコントローラボードと、
共有メモリを有する第 2 のコントローラボードと、
前記第一のアダプタボード、前記第 2 のアダプタボード、前記第一のコントローラボ
ード、及び前記第 2 のコントローラボードのいずれかが格納される複数のスロットとを有す
るディスクコントローラと、
複数のディスク装置を格納するディスクユニットとを有することを特徴とする記憶装置
システム。

【請求項 2】

前記第一のアダプタボードは、ブロック I / O インタフェースを制御するインターフェ
ース制御装置を有し、前記第 2 のアダプタボードは、ファイル I / O インタフェースを
制御するインターフェース制御装置を有することを特徴とする請求項 1 記載の記憶装置シ
ステム。

【請求項 3】

前記第一のアダプタボードが格納されるスロットと、前記第 2 のアダプタボードが格納
されるスロットとは、同一形状であることを特徴とする請求項 2 記載の記憶装置システ
ム。

【請求項 4】

複数の第 1 のインターフェース制御装置、複数の第 2 のインターフェース制御装置、前記
第 1 のインターフェース制御装置及び前記第 2 のインターフェース制御装置と接続される共
有メモリ、及び前記共有メモリと接続されるディスクアダプタとを有するディスクコント
ローラと、

前記ディスクコントローラと接続される記憶装置とを有することを特徴とする記憶装置
システム。

【請求項 5】

前記ディスクコントローラは、

前記第1のインターフェース制御装置、前記第2のインターフェース制御装置、前記共有メモリ及び前記ディスクアダプタと接続されるキャッシュメモリを有することを特徴とする請求項 4 記載の記憶装置システム。

【請求項 6】

前記複数の第1のインターフェース制御装置のうちの一部は、同一のドメインで管理されるネットワークに接続され、他の一部は、前記ドメインとは異なるドメインで管理されるネットワークに接続されることを特徴とする請求項 4 記載の記憶装置システム。

【請求項 7】

前記ディスクコントローラは、

前記同一のドメインで管理されるネットワークに接続される前記複数の第1のインターフェース制御装置の一部に含まれるインターフェース制御装置に障害が発生した場合、前記複数の第1のインターフェース制御装置の一部に含まれる他のインターフェース制御装置に前記障害が発生したインターフェース制御装置の行っていた処理を移すフェイルオーバー手段を有することを特徴とする請求項 4 記載の記憶装置システム。

【請求項 8】

更に前記ディスクコントローラは、

前記他のインターフェース制御装置に障害が発生した場合、前記複数の第1のインターフェース制御装置の一部に含まれ、かつ障害が発生していないインターフェース制御装置に前記他のインターフェース制御装置が行っていた処理を移す第2のフェイルオーバー手段を有することを特徴とする請求項 7 記載の記憶装置システム。

【請求項 9】

前記共有メモリは、障害が発生したインターフェース制御装置が行っていた処理を他のインターフェース制御装置へ移す手順を格納し、前記第1及び第2のフェイルオーバー手段は、前記手順に従って実行されることを特徴とする請求項 7 記載の記憶装置システム。

【請求項 10】

前記複数の第1及び第2のインターフェース制御装置は、ハートビートマークを一定時間間隔で前記共有メモリが有するハートビート格納領域の定められた領域に保存する手段と、

前記ハートビート格納領域に格納された前記ハートビートマークを用いてお互いに他の制御装置の状態を監視する手段とを有することを特徴とする請求項 4 記載の記憶装置システム。

【請求項 11】

前記第1のフェイルオーバー手段は、前記複数の第1のインターフェース制御装置の一部に含まれる他のインターフェース制御装置のうち、稼働率の最も低いインターフェース制御装置を前記障害が発生したインターフェース制御装置の行っていた処理を移す対象として選択することを特徴とする請求項 8 記載の記憶装置システム。

【請求項 12】

複数のインターフェース制御装置、前記複数のインターフェース制御装置と接続される共有メモリ、及び前記共有メモリと接続されるディスクアダプタとを有するディスクコントローラと、

前記ディスクコントローラと接続される記憶装置とを有する記憶装置システムにおいて、

前記ディスクコントローラは、

前記複数のインターフェース制御装置のうちのいずれかのインターフェース制御装置に障害が発生した場合、前記複数のインターフェース制御装置のうちいずれかの他のインターフェース制御装置に前記障害が発生したインターフェース制御装置の行っていた処理を移す第一のフェイルオーバー手段と、

前記他のインターフェース制御装置に障害が発生した場合、前記複数のインターフェー

ス制御装置に含まれ、かつ障害が発生していないインターフェース制御装置に前記他のインターフェース制御装置が行っていた処理を移す第二のフェイルオーバー手段とを有することを特徴とする記憶装置システム。