

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年07月28日；10/902,297

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於記憶體裝置、記憶體單元、電晶體以及製造此等使用SiC半導體材料之設備的方法。

【先前技術】

於製造半導體裝置時，通常必須在低漏電流與高驅動電流間作取捨。具高能隙的半導體材料通常提供低漏電流；反之，具低能隙的半導體材料則通常提供較高的驅動電流。元素矽的能隙約1.1電子伏(eV)，其為非常低的能隙，提供可接受的驅動電流。不過，於某些應用中(如記憶體裝置)，漏電流卻可能係一項問題。於記憶體裝置中，於此等裝置中使用元素矽時，可能必須頻繁再新以定址和此半導體材料相關的漏電流。

當試圖降低記憶體裝置中的再新頻率時，吾人可能會希望使用能隙高於元素矽的替代半導體材料。不過，必須小心以避免發生因引入不同半導體材料所造成的整合問題。不同的半導體材料可能會造成嚴重的處理變化及/或積體電路設計變化，以適應該等不同的電子特性及/或和該等裝置中其它材料的化學作用。除了記憶體裝置以外，其它設備亦可從於記憶體裝置中併入較高能隙的半導體材料時所習得的經驗中獲得好處。

【發明內容】

根據本發明之一方面，一記憶體裝置包含一半導體基板；一位於該基板上的記憶體單元陣列；以及位於該基板

上的週邊裝置，其包含記憶體單元定址電路與記憶體單元讀取電路。該等個別記憶體單元中至少一部份包含含有SiC的半導體基板的碳酸部份。該等週邊裝置中至少一部份並未於該半導體基板中包含任何碳酸部份。

根據本發明之另一方面，一記憶體裝置形成方法包含提供一半導體基板；形成含有SiC的半導體基板的碳酸部份；於該基板上形成一記憶體單元陣列；以及形成週邊裝置，其包含位於該基板上的記憶體單元定址電路與記憶體單元讀取電路。該等個別記憶體單元中至少一部份包含該等碳酸部份。該等週邊裝置中至少一部份並不包含該等碳酸部份。

於本發明之另一方面中，一電晶體包含一半導體基板；一第一源極/汲極；一第二源極/汲極；一介於該等第一與第二源極/汲極之間的通道，其包含含有SiC的半導體基板的碳酸部份；以及一閘極，其操作與該通道的兩側相關聯。

於本發明之另一方面中，一記憶體單元包含一半導體基板；一位於該半導體基板中的第一電晶體源極/汲極區；一位於該半導體基板中的第二電晶體源極/汲極區；以及一介於該等第一與第二源極/汲極之間的電晶體通道，其不包含SiC。一儲存節點接面位於該第一源極/汲極區之上，以及一數字節點接面位於該第二源極/汲極區之上。該儲存節點接面及/或數字節點接面均包含含有SiC的半導體基板的碳酸部份。

【實施方式】

碳化矽(SiC)構成一種有前瞻性的材料以改良電晶體與記憶體裝置中的效能。視其特殊形式而定，相較於矽的1.1 eV，SiC的能隙大於約3.0 eV。就此而言，SiC會產生非常低的本質載子濃度，其大小約低於矽的本質載子濃度的16分之一。帶電載子的熱生成直接對應於該本質載子濃度。據此，相較於矽基板中的漏電流，SiC基板中的漏電流幾乎可忽略。先前，金氧半導體(MOS)功率裝置及其它特殊用途應用使用的係SiC。不過，製造高品質SiC基板的技術性難題則使得SiC的價格昂貴不適於價值型應用(如邏輯元件與記憶體)中。SiC磊晶成長的新近習知進步則提高於價值型電晶體與記憶體裝置中利用SiC作為基板材料的可能性。即便如此，還是有許多整合問題。

在本文中，名詞「半導體基板」或「半導體基板」的定義皆為任何包括半導體材料的結構，其包括但不限於，整塊半導體材料如半導體晶圓(單獨或包括其他材料的裝配件)及半導體材料層(單獨或包括其他材料的裝配件)。術語「基板」係指任何支撐結構，包括但不限於上述的半導體基板。

表1中所示的係已知的立方形(C)與六角形(H)SiC晶體結構的三種多型體，即3C-SiC、4H-SiC以及6H-SiC，其表現出略不同的物理與電氣特性。4H-SiC與6H-SiC代表的係最常用的半導體裝置多型體。

表 1

	4H-SiC	6H-SiC	矽
能隙(eV)	3.26	3.03	1.12
最大漂流速度 ($E=2 \times 10^5$ V/cm處的 cm/sec)	2.0×10^7	2.0×10^7	1.0×10^7
熱導電率 (300 K處的 W/cm-K)	3.0-3.8	3.0-3.8	1.5
崩潰電場 (V/cm)	2.2×10^6	2.4×10^6	0.25×10^6

從表1中可以發現，SiC提供一種優於矽的基板材料，其原因至少如下：超低的漏電流、良好的散熱而允許高溫操作以及能夠耐受高電場。於以此等因素為主的應用中，SiC基板提供遠優於矽基板的好處。即便如此，以併入SiC作為記憶體裝置與其它裝置中的基板材料時還是會有些許的侵害現象，其原因至少如下：缺乏SiC基板的可用性(至少部份肇因於過高的製造成本)、無法接受的缺陷密度以及不良的載子移動率。

於一記憶體裝置的記憶體陣列區內，不良載子移動率會低於週邊裝置區。也就是，記憶體陣列區內的主要因素為漏電流(尤其是接面處的漏電流)，以及一較小程度為裝置速度。相反地，於週邊裝置區中，主要因素為裝置速度，以及一較小程度為漏電流。於該記憶體陣列區中，漏電流至少部份決定該記憶體陣列中該等裝置的再新間的時間間隔。據此，增長每次再新間的時間便可獲得效能增強。

本文所述之本發明的各方面係以先前未知的方式將SiC併入電晶體與記憶體裝置之中，其善用SiC不同於矽的特徵。根據本發明之一方面，一記憶體裝置包含一半導體基板；一位於該基板上的記憶體單元陣列；以及週邊裝置，其包含位於該基板上的記憶體單元定址電路與記憶體單元讀取電路。該等個別記憶體單元中至少一部份包含含有SiC的半導體基板的碳酸部份。該等週邊裝置中至少一部份並未於該半導體基板中包含任何碳酸部份。

圖1為基板10的俯視圖，其具有一記憶體陣列區16以及一位在記憶體陣列區16週遭的週邊裝置區18。雖然圖1中的週邊裝置區18係位於基板10的周圍附近，不過，「週邊裝置」一詞主要指的係此裝置的功能而非僅針對其位置。慣例上，一含有複數個記憶體單元的記憶體裝置的「記憶體陣列」部份係位在支撐該記憶體裝置的基板(如基板10)的中間。接著，便會將「週邊裝置」置放於該中間記憶體陣列附近的周圍中，就該等週邊裝置來說，其包含記憶體單元定址電路以及記憶體單元讀取電路。不過，本文所述之本發明的方面亦設計及涵蓋該記憶體陣列區與該週邊裝置區的其它位置。

於本發明的本方面中，至少部份該等個別記憶體單元中內含的含SiC的半導體基板的碳酸部份可併入各種記憶體裝置設計中。較佳的係，該陣列中每個該等個別記憶體單元的至少一組件包含該等碳酸部份其中一者。另外，較佳的係，該等週邊裝置沒有任何一者包碳酸部份該等碳酸部

份其中一者。即便如此，雖然此等較佳例最佳化效能增強的機會，不過，本發明的本方面亦涵蓋其它非較佳的組態，而且此等非較佳的組態同樣可獲得將SiC併入半導體材料中所獲得的優點。

在可被選為含SiC的大部份組件中，該等碳酸部份可被導電摻雜。該半導體基板亦可為具有各種組態與成分。舉例來說，該半導體基板可能包含單晶矽。該半導體基板可能包含磊晶矽。該半導體基板可能係整塊矽晶圓的一部份，或可能係一絕緣體上半導體(SOI)組態的一部份。

假設有各種將SiC併入一記憶體裝置中的機會，設計各種方法來達成此併入目的。基本上，在可達成本文所述之至少其中一項優點的前提下，SiC可被併入一習知記憶體裝置中的任何半導體基板之中。SiC磊晶成長的新近習知進步提出一種前瞻性的方式來將SiC併入半導體基板之中。離子植入法及/或氣體擴散法將碳置入一半導體基板之中以及其它已知的方法均提出將SiC併入半導體基板中的替代方案。

四乙基矽烷((TES)； $\text{Si}(\text{C}_2\text{H}_5)_4$)構成用於SiC磊晶成長的其中一種合宜前驅體。TES於室溫中係液體且容易整合至習知的互補式金氧半導體(CMOS)處理流程之中。矽中的碳濃度從約0.2至約2.5個原子百分比適合獲得該等有利的SiC特性。較佳的係，矽中的碳濃度從約0.5至約1.5個原子百分比。

根據本發明另一方面，一記憶體裝置形成方法包含提供

一半導體基板；形成含有SiC的半導體基板的碳酸部份；於該基板上形成一記憶體單元陣列；以及形成週邊裝置，其包含位於該基板上的記憶體單元定址電路與記憶體單元讀取電路。該等個別記憶體單元中至少一部份包含該等碳酸部份。該等週邊裝置中至少一部份並不包含該等碳酸部份。

形成該等碳酸部份可能包含於該半導體基板的記憶體陣列區與週邊裝置區之上形成一遮罩層；移除該記憶體陣列區之上的遮罩層；以及形成一SiC層以接觸該記憶體陣列區。該方法不包含形成該SiC層以接觸該週邊裝置區及移除該週邊裝置區之上的遮罩層。

圖2為圖1中含有記憶體陣列區16與週邊裝置區18的基板10的部份剖面圖。於基板10中會形成隔離區12，於隔離區12與週邊裝置區18之上會形成一遮罩14，其目的為避免形成SiC層以接觸該週邊裝置區18。於替代方案中，遮罩14可單獨形成於週邊裝置區18之上，且其目的同樣為避免形成SiC層以接觸該週邊裝置區18。氮化矽構成其中一種可能的合宜遮罩14。

於形成遮罩14之後，可形成一SiC層8(如圖3所示)，接觸記憶體陣列區16，但未接觸週邊裝置區18。藉由於記憶體陣列區16上選擇性成長及/或沉積SiC層8，或者藉由於基板10上非選擇性形成SiC層8以遮罩14分離SiC層8使其不接觸週邊裝置區18，便可達成SiC層8選擇性接觸該等個別區域的目的。圖3所示的SiC層8為記憶體陣列區16上的外

加材料。不過，亦可藉由離子植入及/或氣體擴散碳的方式於基板10之內形成SiC層8。於此情況中，當該SiC層8的外加材料增加基板10的原來高度位準時，基板10的正面高度可能不會如圖3所示般地增加。從隔離區12與週邊裝置區18中移除遮罩14以及任何部分的SiC層8便提供圖3所示的構造。

於一替代方法中，形成該等碳酸部份可包含；形成一SiC層以接觸該半導體基板的記憶體陣列區與週邊裝置區；從該週邊裝置區上移除該SiC層；以及於至少一部份的記憶體陣列區上留下該SiC層。圖4為圖1中之基板10的部份剖面圖，在記憶體陣列區16及週邊裝置區18之上形成SiC層8。圖中雖然未在隔離區12之上形成SiC層8；不過，視選來形成SiC層8的特殊方法而定，亦可於其上形成SiC層8。從該週邊裝置區18上移除SiC層8會產生圖3所示的構造。從本文中併入SiC的特定裝置的範例中可以發現，亦可利用替代方案來將SiC併入此等裝置中。

於一半導體基板上含有一記憶體單元陣列與複數個週邊裝置的記憶體裝置中，該等個別記憶體單元中至少一部份可能於該半導體基板中含有一平面SiC層。該等個別記憶體單元可能包含一電晶體，其在第一源極/汲極、第二源極/汲極、以及該等第一與第二源極/汲極間的通道中具有該SiC層。圖5為可內含於一記憶體單元陣列中的電晶體20的選定組件的部份剖面圖。電晶體20包含一SiC層22作為基板10的一部份、一第一源極/汲極區28以及一第二源極/

汲極區 30，在源極/汲極區 28、30 之間有一通道 29。於通道 29 之上形成一閘極介電質 24，於閘極介電質 24 之上形成一閘極 26。吾人將會發現，基板 10 的 SiC 層 22 內含於源極/汲極區 28、源極/汲極區 30 以及通道 29 之中。電晶體 20 還包含一形成於源極/汲極區 28 內的儲存節點接面 32，以及一形成於源極/汲極區 30 內的數字節點接面 34。值得一提的係，儲存/數字節點接面 32 與 34 包含源極/汲極區 28 與 30 的 SiC 層 22。

於本發明的另一方面中，一隨機存取記憶體裝置包含一矽基板；一位於該基板上的記憶體單元陣列；以及週邊裝置，其包含位於該基板上的記憶體單元定址電路與記憶體單元讀取電路。每個該等個別記憶體單元於該半導體基板中包含一導電摻雜的平面 SiC 層，而且包含一電晶體，該電晶體含有位於第一源極/汲極區、第二源極/汲極區以及該等第一與第二源極/汲極間的通道中的該 SiC 層。該等週邊裝中沒有任一者於該半導體基板中包含任何 SiC 層。

於本發明之另一方面中，一電晶體包含一半導體基板；一第一源極/汲極；一第二源極/汲極；一介於該等第一與第二源極/汲極之間的通道，其包含含有 SiC 的半導體基板的碳酸部份；以及一閘極，其操作與該通道的兩側相關聯。相較於一電晶體其閘極於操作上與該通道的單一側相關聯而言，SiC 係獨特設置在一其閘極於操作上與該通道的兩側的電晶體的通道相關聯之中。相較於於該通道的單側上具有閘極的電晶體，該 SiC 讓此等構造具有特殊的優

點。

所謂的「3維(3-D)」裝置，如FinFET與垂直電晶體，便係於它們的通道兩側上具有閘極的電晶體範例。據此，本發明之本方面的電晶體可能包含一垂直電晶體，其通道的高度位在第一源極/汲極之上，而該第二源極/汲極的高度則位在該通道之上。另外，該電晶體亦可能包含一橫向電晶體，該第一源極/汲極、該第二源極/汲極、該閘極、以及一貫穿該通道的電流路徑中每一者的特定部份位在一共同高度位準。

該電晶體可能於該閘極與該通道間進一步包含一閘極介電質。該通道的SiC可能位於和該閘極介電質介接的介面附近的通道周圍內，而非位於至少部份被該SiC包圍的通道核心內。該通道核心可從該第一源極/汲極延伸至該第二源極/汲極。該SiC的厚度可能約從50至約100埃。該電晶體可能包含於一記憶體裝置之中，舉例來說，上述之週邊裝置不含該半導體基板的任何碳酸部份的記憶體裝置。

圖6與7為一3-D電晶體的透視圖，熟習本技術的人士將其稱為「FinFET」，其特徵為一鰭形通道。3-D電晶體40包含一源極42、一汲極46以及一從源極42延伸至汲極46的通道48。圖中看見一閘極44位於通道48之上，操作上與通道48的兩側相關聯。請注意，為達解釋目的，圖6與7僅顯示出一3-D電晶體的選定組件而刻意省略其它組件，例如基本半導體基板、絕緣層、擴散區等。另外，圖6與7僅為一3-D電晶體的範例，熟習本技術的人士所知悉的各種3-D電

晶體均有助於將SiC併入此等裝置的該等通道中。吾人將會發現，3-D電晶體40可形成於一半導體基板之上，致使其包括一橫向電晶體，且於操作3-D電晶體40時，可產生一電流路徑通過通道48。源極42、汲極46、閘極44以及貫穿通道48的電流路徑中每一者的某些部份可共享一共同高度位準。

另外，圖7顯示的係圖6的3-D電晶體40，圖中已經移除源極42，顯露出基本構造的細部部份。明確地說，3-D電晶體40於閘極44與通道48間包含一閘極介電質52。SiC材料50係位在和該閘極介電質52介接的介面附近的通道周圍內，而非位於至少部份被該SiC材料50包圍的通道核心內。該通道核心從源極42延伸至汲極46。

將SiC併入矽基板中的其中一項難題係，潛在的應力及SiC與Si間介面處的不相容均可能產生缺陷，因而產生漏電流。當該等缺陷出現在源極/汲極空乏區中時，此漏電變成特別嚴重。如熟習本技術的人士所知悉者，於3-D電晶體40中，該等源極/汲極空乏區可能位在通道48與源極42的介面及通道48與汲極46的介面附近。圖7中移除源極42之後便清楚看見通道48中可形成該源極空乏區的部份。如熟習本技術的人士進一步知悉者，該源極空乏區的一部份可從通道48/源極42介面處延伸至通道48之中某段距離，該距離取決於任何外加偏壓。該源極空乏區的另一部份可從通道48/源極42介面處延伸至源極42之中某段距離，該距離同樣取決於任何外加偏壓。慣例上，該等空乏

區會從約100至約800埃延伸至通道48與源極42之中，其總深度從約200至約1600埃。

無論如何，該等空乏區可與周圍SiC材料50及不含SiC的通道48的通道核心間的介面處的大部份缺陷(若有的話)相隔甚遠的距離，以使所產生的任何缺陷的嚴重性較小。位在源極42或汲極46附近的通道48任一端處的周圍SiC材料50的一小部份可能在空乏區之內。不過，有利的係，沿著源極42與汲極46間的通道48的長度來延伸的整塊周圍SiC材料50均不在空乏區內。據此，即使於併入SiC時會在SiC/Si介面處產生缺陷，圖6與7中所述的組態仍可提供含SiC通道的優點。

圖8與9所示的係垂直方向，而非水平方向，的3-D電晶體60的透視圖。如上面針對3-D電晶體40的討論般，為達解釋目的，圖8與9僅顯示出一典型3-D電晶體的選定組件。舉例來說，3-D電晶體60的整體組態並不必要為如圖8與9所示般的圓柱體。另外，選定組件(如源極/汲極以及通道)亦可為定義於基本半導體基板內的整體組件，而非如圖所示的離散組件。3-D電晶體60包含一通道68，其高度位在汲極66之上，而源極62的高度則在通道68之上。閘極64操作上與通道68的兩側相關聯。圖9中已移除源極62，顯露出通道68的特定構造。

和3-D電晶體40的通道48的相同處顯而易見。舉例來說，於閘極64及通道68間會提供一閘極介電質72。有一SiC材料70位在閘極介電質72與通道68間的介面附近的通

道68的周圍內。SiC材料70並不位在至少部份被該SiC材料70包圍的通道68的核心內。該通道核心從源極62延伸至汲極66。另外，整塊SiC材料70均不在源極/汲極空乏區內。

可依照能夠達成此目的的任何習知方法來產生及/或修改圖6至9的3-D電晶體40與60，不過，SiC可含在此等裝置的通道之中，以符合本文所述的方法。除了必要的改變以外，必要時，亦可對習用的製造方法作少許的修改，以適應SiC的併入。

於本發明的另一方面中，一電晶體包含一半導體基板、一第一源極/汲極、一第二源極/汲極以及一陷入該等第一與第二源極/汲極間之半導體基板內的閘極。一包含含有SiC的半導體基板的碳酸部份的通道操作上與該閘極的兩側相關聯。舉例來說，一閘極介電質可能位於該閘極與該通道之間，其中該通道的SiC係位在和該閘極介電質介接的介面附近的通道周圍內。該SiC的厚度可能約從50至約100埃。

圖12所示的係一包含於一記憶體單元內的電晶體120。電晶體120包含一SiC層130，作為一半導體基板122的一部份；以及源極/汲極區128，形成於基板122之中。於SiC層130之上形成一閘極介電質124，且於閘極介電質124之上形成一閘極126。閘極126被稱為「凹陷閘極」，因為其係位於基板122中所形成的凹陷處之中。一電晶體通道會延伸於源極/汲極區128之間貫穿基板122且包含SiC層130。SiC層130還包含於源極/汲極區128之中。具凹陷閘極126

的電晶體120代表的係一種操作上與閘極兩側相關聯之具有含SiC通道的結構範例。

凹陷閘極裝置的其中一項優點係特定的特徵區會有較長的閘極長度。相同特徵區內的典型平面閘極的閘極長度可能非常短。慣例上，形成電晶體時通常會在一呈現<100>晶體方向的單晶矽表面上產生該閘極介電質。如熟習本技術的人士所知悉者，於<100>矽之上形成該閘極介電質會減低該電晶體的介面電荷密度。利用凹陷閘極，那麼該等凹陷護壁中便僅有平行於<100>平面的一小部份會具有<100>方向。此外，該等凹陷護壁亦可能為<110>及其它方向，視它們的形狀而定。據此，一凹陷閘極裝置便具有較高的介面電荷密度。幸運的係，根據本發明之本觀方面的含SiC通道的優點係，因為本文所述的SiC材料特性的關係，會減輕該較高介面電荷密度的現象。

於本發明之另一方面中，一記憶體單元包含一半導體基板；一位於該半導體基板中的第一電晶體源極/汲極區；一位於該半導體基板中的第二電晶體源極/汲極區；以及一介於該等第一與第二源極/汲極之間的電晶體通道，其不包含SiC。一儲存節點接面位於該第一源極/汲極區之上，以及一數字節點接面位於該第二源極/汲極區之上。該儲存節點接面及/或數字節點接面均包含含有SiC的半導體基板的碳酸部份。舉例來說，倘若該儲存節點接面含有SiC，那麼該SiC的厚度便從約200至約500埃。倘若該數字節點接面含有SiC，那麼該SiC的厚度便從約50至約150

埃。含有SiC的儲存及/或數字節點接面可能位於該個別源極/汲極區的磊晶矽之上。該磊晶矽的高度可能位於該通道之上，如同在凸起的源極/汲極組態或其它組態中一般。

圖10所示的係一包含於一記憶體單元內的電晶體80。電晶體80包含一半導體基板78、一形成於基板78內的源極/汲極區88、一形成於基板78內的源極/汲極90以及一介於源極/汲極區88與90之間不含SiC的電晶體通道89。有一儲存節點接面94位於源極/汲極區90之上，且有一數字節點接面94位於源極/汲極區88之上。值得一提的係，儲存節點接面92包含一同樣位於源極/汲極區90內的SiC層82。數字節點接面94包含位在源極/汲極區88內的SiC層83。比較SiC層82的厚度及SiC層83的厚度可以看出，儲存節點接面92的SiC的厚度大於數字節點接面94的SiC。此厚度差異符合儲存節點的接面深度要大於數字節點的一般偏好情形。於通道89之上形成一閘極介電質84，於閘極介電質84之上形成一閘極86。

圖11為一內含於記憶體單元內的電晶體100，且該電晶體的特徵和上面針對圖10中所示之電晶體80所討論者相同，相同的元件符號代表相同的組件。電晶體100包含一凸起的源極/汲極96，其中包含一含有SiC的儲存/數字節點接面98。間隔物102會分離凸起的源極/汲極96與閘極86。電晶體的特定習用組態經由矽磊晶成長至高度位準高於該通道以提供一凸起的源極/汲極。在SiC的磊晶成長技術的

給定新近發展的前提下，此磊晶成長可結合用於凸起源極/汲極的矽磊晶成長。當抵達磊晶矽的預期高度之後便可改變該成長製程的製程條件，使得該額外成長於該凸起的源極/汲極中提供SiC。

從本文討論中將會發現，於儲存/數字節點接面中提供SiC以降低接面漏電的有利方面亦可套用於在含SiC的通道的兩側上具有閘極的電晶體之中，如3-D電晶體。同樣地，含SiC的儲存/數字節點接面亦可包含於具有一記憶體單元陣列的記憶體裝置中，該等記憶體單元陣列包含一半導體基板的碳酸部份以及不含該半導體基板的任何碳酸部份的週邊裝置。

視熟習本技術的人士所知悉之將SiC併入儲存/數字節點接面中的製程條件與方法而定，於源極/汲極區中的SiC與Si間的介面處可能會出現缺陷。據此，此等外加缺陷的缺點便可能會勝過降低儲存/數字節點接面中的接面漏電所帶來的任何優點。就此而言，無法善用含SiC通道可行的效能增強優點的組態便不受歡迎。即使如此，本文仍提出此等具體實施例，涵蓋於本發明的各方面中。

於節點接面中提供SiC的可能缺點包含高缺陷密度；高漏電流，若缺陷未受控制的話；以及因整合SiC所導致的處理複雜度增加。不過，可能的優點包含低接面漏電，若缺陷受控制及/或它們的位置經過最佳化的話；以及因該SiC中有碳存在造成低摻雜物擴散而導致的較淺接面深度。淺接面深度係源極/汲極區中非常受歡迎的改良以控

制子臨界漏電。

於通道中提供SiC的可能優點包含降低漏電流；非常低的汲極誘發阻障下降(DIBL)；耐受高偏壓預燒條件(高溫、高電場)；能夠降低低功率DRAM的臨界電壓；以及進一步縮小存取裝置。如熟習本技術的人士所知悉者，DIBL所指的係和高汲極偏壓有關的源極射入阻障下降，此特徵不受到歡迎，其會造成較多的漏電。含SiC通道可減輕源極射入阻障對汲極偏壓的依賴性而降低DIBL。即使在高汲極偏壓處，相較於不含SiC的通道，源極射入阻障亦不會明顯下降。

降低漏電流可提供許多優點，其中之一包含可降低低功率應用(包含DRAM)的臨界電壓(V_t)與閘極-源極電壓(V_{gs})。如熟習本技術的人士所知悉者，降低 V_t 與 V_{gs} ，降低功率消耗均受限於高漏電流。據此，倘若利用本發明方面的含SiC通道可降低漏電流的話，那麼便可降低低功率DRAM之 V_t 與 V_{gs} 。

圖13大體上經由範例而非經由限制解說來顯示根據本發明一方面的電腦系統400之一具體實施例。電腦系統400包含一監視器401或其它通信輸出裝置、一鍵盤402或其它通信輸入裝置以及一主機板404。主機板404可能載有一微處理器406或其它資料處理單元，以及至少一記憶體裝置408。記憶體裝置408可能包括上述本發明的各項觀點。記憶體裝置408可包括一記憶體單元陣列，且此陣列可耦合至定址電路用以存取該陣列中的個別記憶體單元。此外，

該記憶體單元陣列可與一讀取電路耦合用以從記憶體單元中讀取資料。該定址與讀取電路可用來在記憶體裝置408與處理器406之間傳遞資訊。此情形圖解於圖14中所示的主機板404的方塊圖中。於此方塊圖中，該定址電路為410，而該讀取電路為412。

在本發明之特定方面中，記憶體裝置408可對應於一記憶體模組。例如，可將單直插記憶體模組(SIMM)及雙直插記憶體模組(DIMM)用於利用本發明之原理的實施方案。該記憶體裝置可併入用以從裝置之記憶體單元中讀取及寫入該等記憶體單元的不同方法之各種設計中。此類方法之一為頁模式操作。DRAM中的頁模式操作係由存取記憶體單元陣列之一列並隨機存取該陣列之不同行的方法來定義。在存取該行的同時便可讀取並輸出儲存在該列與行交點處的資料。

另一種替代類型的裝置是延伸資料輸出(EDO)記憶體，其允許在關閉所定址的行之後仍可輸出儲存在記憶體陣列位址中的資料。此記憶體藉由較短的存取信號而未縮短記憶體輸出資料於一記憶體匯流排上的可用時間來提高通信速度。其它替代類型的裝置包含SDRAM、DDR SDRAM、SLDRAM、VRAM及直接式RDRAM，以及其它裝置(如SRAM或快閃記憶體)。

圖15為本發明之示範電子系統700的各種具體實施例之高階配置的簡化方塊圖。舉例來說，系統700可對應至一電腦系統、一程序控制系統或運用一處理器和相關記憶體

的任何其它系統。電子系統700具有多個功能性元件，包含：一處理器或算術邏輯單元(ALU)702、一控制單元704、一記憶體裝置單元706以及一輸入/輸出(I/O)裝置708。一般來說，電子系統700具有一組特有的指令來指定由處理器702對資料所實施的操作，以及介於該處理器702、該記憶體裝置單元706及該等I/O裝置708間的其它互動。控制單元704則會連續地循環處理一組操作從該記憶體裝置706中擷取指令且執行，用以協調該處理器702、該記憶體裝置706、以及該等I/O裝置708的所有操作。在各具體實施例中，記憶體裝置706包括但不限於隨機存取記憶體(RAM)裝置、唯讀記憶體(ROM)裝置、以及週邊裝置，例如軟碟機與光碟機(CD-ROM)。熟習此項技術者應瞭解在閱讀並理解此揭示案之後，能將任何所解說的電氣組件製造成包括依據本發明之各方面的DRAM單元。

圖16為一示範電子系統800的各種具體實施例之高階配置的簡化方塊圖。該系統800包含：一具有一記憶體單元陣列804的記憶體裝置802、位址解碼器806、列存取電路808、行存取電路810、用於控制操作的讀取/寫入控制電路812以及輸入/輸出電路814。該記憶體裝置802進一步包含功率電路816以及複數個感測器820，如電流感測器，用以判斷一記憶體單元究竟係處於低臨界導電狀態或高臨界非導電狀態。所解說的功率電路816包括電源電路880，用以提供一參考電壓的電路882，用以提供脈衝予第一字線的電路884，用以提供脈衝予第二字線的電路886，以及用

以提供脈衝予位元線的電路888。系統800亦包含一處理器822或是用於記憶體存取的記憶體控制器。

記憶體裝置802透過線路或金屬化線路接收來自處理器822的控制信號824。記憶體裝置802係用以儲存經由I/O線路存取的資料。熟習此項技術者將明白，亦可提供額外電路及控制信號，且此處已簡化記憶體裝置802以有助於將焦點集中在本發明上。該處理器822或記憶體裝置802中至少其中一者可能於本文前面所述類型的記憶體裝置中包含一電容器構造。

此揭示案所解說的各種系統希望針對用於本發明之電路與結構的各種應用提供一般性瞭解，而不希望該等系統作為對採用依據本發明之各方面的記憶體單元之電子系統的所有元件及特徵之全面解說。熟習此項技術者應瞭解可在單一封包處理單元中，或甚至在單一半導體晶片上製造各種電子系統，以便減少該處理器與該(等)記憶體裝置之間的通信時間。

用於記憶體單元的應用可以包括用於記憶體模組、裝置驅動器、電力模組、通信數據機、處理器模組和特定應用模組，並可包括多層、多晶片模組之電子系統。此電路可進一步為各種電子系統的子組件，例如時鐘、電視、蜂巢式電話、個人電腦、汽車、工業控制系統、飛機及其他。

根據法令，本發明已經大體說明特定的構造及方法的特徵。不過，必須了解本發明不限於所述及所示的特定特徵，因為本文揭露的構件包括實施本發明的較佳型式。因

此，本發明之任何形式或修改皆屬於根據等效物教導內容適當解釋的隨附申請專利範圍之合適範疇內。

【圖式簡單說明】

以上已參考以下附圖說明本發明之較佳具體實施例。

圖1為一半導體基板的俯視圖。

圖2為根據本發明之一方面於初始處理步驟處圖1中所示之基板的部份剖面圖。

圖3為於接續處理步驟中圖2基板的部份剖面圖。

圖4為根據本發明之另一方面於初始處理步驟處圖1基板的部份剖面圖。

圖5為根據本發明之一方面含SiC的電晶體的部份剖面圖。

圖6與7為根據本發明之另一方面含SiC的電晶體的部份剖面圖。

圖8與9為根據本發明之另一方面含SiC的電晶體的部份透視圖。

圖10為根據本發明之另一方面含SiC的電晶體的部份剖面圖。

圖11為根據本發明之另一方面含SiC的電晶體的部份剖面圖。

圖12為根據本發明之另一方面含SiC的電晶體的部份剖面圖。

圖13為解說本發明之一示範性應用的電腦之概略圖。

圖14為顯示圖13電腦之主機板的特定特徵之方塊圖。

圖 15 為根據本發明之一示範性方面的電子系統之高階方塊圖。

圖 16 為根據本發明之一方面的示範性記憶體裝置之簡化方塊圖。

【主要元件符號說明】

8	SiC 層
10	基板
12	隔離區
14	遮罩
16	記憶體陣列區
18	週邊裝置區
20	電晶體
22	SiC 層
24	閘極介電質
26	閘極
28	第一源極/汲極區
29	通道
30	第二源極/汲極區
32	儲存節點接面
34	數字節點接面
40	3-D 電晶體
42	源極
44	閘極
46	汲極

48	通道
50	SiC 材料
52	閘極介電質
60	3-D 電晶體
62	源極
64	閘極
66	汲極
68	通道
70	SiC 材料
72	閘極介電質
78	半導體基板
80	電晶體
82	SiC 層
83	SiC 層
84	閘極介電質
86	閘極
88	源極/汲極區
89	通道
90	源極/汲極區
92	儲存節點接面
94	數字節點接面
96	源極/汲極
98	儲存/數字節點接面
100	電晶體

102	間隔物
120	電晶體
122	半導體基板
124	閘極介電質
126	閘極
128	源極/汲極區
130	SiC 層
400	電腦系統
401	監視器
402	鍵盤
404	主機板
406	微處理器
408	記憶體裝置
410	定址電路
412	讀取電路
700	電子系統
702	處理器或算術邏輯單元(ALU)
704	控制單元
706	記憶體裝置單元
708	輸入/輸出(I/O)裝置
800	電子系統
802	記憶體裝置
804	記憶體單元陣列
806	位址解碼器

808	列存取電路
810	行存取電路
812	讀取/寫入控制電路
814	輸入/輸出電路
816	功率電路
820	感測器
822	處理器
824	控制信號
880	電源電路
882	電路
884	電路
886	電路
888	電路

五、中文發明摘要：

本發明揭示一種記憶體裝置，包含一記憶體單元陣列及週邊裝置。該等個別記憶體單元中至少一部份包含含有SiC的碳酸部份。該等週邊裝置中至少一部份並不包含任何碳酸部份。一電晶體包含一第一源極/汲極；一第二源極/汲極；一介於該等第一與第二源極/汲極之間的通道，其包含含SiC的一半導體基板的碳酸部份；以及一閘極，其操作與該通道的兩側相關聯。

六、英文發明摘要：

十、申請專利範圍：

1. 一種記憶體裝置，其包括：

一半導體基板；

一位於該基板上的記憶體單元陣列，該等個別記憶體單元的至少一部份包含含SiC的該半導體基板的碳酸部份；以及

位於該基板上的週邊裝置，其包含記憶體單元定址電路與記憶體單元讀取電路，該等週邊裝置中至少一部份未包含該半導體基板之任何碳酸部份。

2. 如請求項1之裝置，其中該等碳酸部份會被導電摻雜。

3. 如請求項1之裝置，其中該等個別記憶體單元每一者的至少一組件包含該等碳酸部份其中一者。

4. 如請求項1之裝置，其中該等週邊裝置中沒有任一者包含該等碳酸部份其中一者。

5. 如請求項1之裝置，其中該半導體基板包括單晶矽。

6. 如請求項1之裝置，其中該半導體基板包括磊晶矽。

7. 如請求項1之裝置，其中該等個別記憶體單元中至少一部份於該半導體基板中包括一平面SiC層，以及一電晶體，該電晶體包含位於一第一源極/汲極區、一第二源極/汲極區以及該等第一與第二源極/汲極間的一通道中的該SiC層。

8. 如請求項1之裝置，其中該等個別記憶體單元中至少一部份包括一電晶體，其包含：

一第一源極/汲極；

一 第二源極/汲極；

一 通道，其包含介於該等第一與第二源極/汲極間的該等碳酸部份中其中一者；以及

一 閘極，操作上與該通道兩側相關聯。

9. 如請求項8之裝置，其中該電晶體包括一垂直電晶體，該通道的高度位於該第一源極/汲極之上，而該第二源極/汲極的高度則在該通道之上。

10. 如請求項8之裝置，其中該電晶體包括一橫向電晶體，該第一源極/汲極、該第二源極/汲極、該閘極以及一貫穿該通道的電流路徑中每一者的特定部份位在一共同高度位準。

11. 如請求項8之裝置，其進一步包括一介於該閘極與該通道間的閘極介電質，該通道的SiC係位於和該閘極介電質介接的介面附近的一通道周圍內，而非位於至少部份被該SiC包圍的一通道核心內，該通道核心係從該第一源極/汲極延伸至該第二源極/汲極。

12. 如請求項1之裝置，其中該等個別記憶體單元中至少一部份包括一電晶體，其包含：

一 第一源極/汲極；

一 第二源極/汲極；

一 陷入該等第一與第二源極/汲極間之半導體基板內的閘極；以及

一 通道，其包含該等碳酸部份中其中一者，操作上與該閘極兩側相關聯。

13. 如請求項1之裝置，其中該等個別記憶體單元中至少一部份包括：

- 一位於該半導體基板中的第一電晶體源極/汲極區；
- 一位於該半導體基板中的第二電晶體源極/汲極區；
- 一介於該等第一與第二源極/汲極區之間不含SiC的電晶體通道；以及

- 一位於該第一源極/汲極區上的儲存節點接面以及一位於該第二源極/汲極區上的數字節點接面，該儲存節點接面及/或數字節點接面包含該等碳酸部份中其中一者。

14. 如請求項13之裝置，其中若該儲存節點接面包括該碳酸部份，則該SiC的厚度便從約200至約500埃，及若該數字節點接面包括該碳酸部份，則該SiC的厚度便從約50至約150埃。

15. 如請求項13之裝置，其中包括該碳酸部份的該儲存及/或數字節點接面係位於該個別源極/汲極區的磊晶矽之上，該磊晶矽的高度在該通道之上。

16. 如請求項1之裝置，其包括DRAM、SRAM、或快閃記憶體。

17. 一種隨機存取記憶體裝置，其包括：

- 一矽基板；

- 一位於該基板上的記憶體單元陣列，每個該等個別記憶體單元於該半導體基板中包含一導電摻雜的平面SiC層，以及一電晶體，該電晶體包含位於一第一源極/汲極區、一第二源極/汲極區以及該等第一與第二源極/汲極

間的一通道中的該SiC層；及

位於該基板上的週邊裝置，其包含記憶體單元定址電路與記憶體單元讀取電路，該等週邊裝置中沒有任一者於該半導體基板中包含任何SiC層。

18. 如請求項17之裝置，其中該半導體基板包括單晶矽。

19. 如請求項17之裝置，其中該半導體基板包括磊晶矽。

20. 一種電晶體，其包括：

一半導體基板；

一第一源極/汲極；

一第二源極/汲極；

一通道，其包含介於該等第一與第二源極/汲極間含有SiC的該半導體基板的一碳源部份；以及

一閘極，操作上與該通道兩側相關聯。

21. 如請求項20之電晶體，其中該電晶體包括一垂直電晶體，該通道的高度位於該第一源極/汲極之上，而該第二源極/汲極的高度則在該通道之上。

22. 如請求項20之電晶體，其中該電晶體包括一橫向電晶體，該第一源極/汲極、該第二源極/汲極、該閘極以及一貫穿該通道的電流路徑中每一者的特定部份位在一共同高度位準。

23. 如請求項20之電晶體，其進一步包括一介於該閘極與該通道間的閘極介電質，該通道的SiC係位於和該閘極介電質介接的介面附近的一通道周圍內，而非位於至少部份被該SiC包圍的一通道核心內，該通道核心係從該第

一源極/汲極延伸至該第二源極/汲極。

24. 如請求項23之電晶體，其中該SiC的厚度從約50至約100埃。

25. 如請求項20之電晶體，其包括一記憶體裝置。

26. 如請求項25之電晶體，其包括DRAM、SRAM或快閃記憶體。

27. 一種電晶體，其包括：

一半導體基板；

一第一源極/汲極；

一第二源極/汲極；

一陷入該等第一與第二源極/汲極間之半導體基板內的閘極；以及

一通道，其包含含有SiC的半導體基板的碳酸部份，操作上與該閘極的兩側相關聯。

28. 如請求項27之電晶體，其進一步包括一位於該閘極與該通道之間的閘極介電質，該通道的SiC係位在和該閘極介電質介接的介面附近的一通道周圍內。

29. 如請求項28之電晶體，其中該SiC的厚度從約50至約100埃。

30. 如請求項27之電晶體，其包括一記憶體裝置。

31. 如請求項30之電晶體，其包括DRAM、SRAM或快閃記憶體。

32. 一種記憶體單元，其包括：

一半導體基板；

一位於該半導體基板中的第一電晶體源極/汲極區；
 一位於該半導體基板中的第二電晶體源極/汲極區；
 一介於該等第一與第二源極/汲極區之間不含SiC的電晶體通道；以及

一位於該第一源極/汲極區上的儲存節點接面以及一位於該第二源極/汲極區上的數字節點接面，該儲存節點接面及/或數字節點接面包含含有SiC的半導體基板的一碳酸部份。

33. 如請求項32之單元，其中若該儲存節點接面包括SiC，則該SiC的厚度便從約200至約500埃，及若該數字節點接面包括SiC，則該SiC的厚度便從約50至約150埃。

34. 如請求項32之單元，其中包括SiC的該儲存及/或數字節點接面係位於該個別源極/汲極區的磊晶矽之上，該磊晶矽的高度在該通道之上。

35. 如請求項32之單元，其包括DRAM、SRAM或快閃記憶體。

36. 一種記憶體裝置形成方法，其包括：

提供一半導體基板；

形成含有SiC的該半導體基板的碳酸部份；

於該基板上形成一記憶體單元陣列，該等個別記憶體單元的至少一部份包含該等碳酸部份；以及

於該基板上形成週邊裝置，其包含記憶體單元定址電路與記憶體單元讀取電路，該等週邊裝置中至少一部份未包含該等碳酸部份。

37. 如請求項36之方法，其進一步包括導電摻雜該等碳酸部份。
38. 如請求項36之方法，其中形成該等碳酸部份包括：
- 於該半導體基板的一記憶體陣列區與一週邊裝置區上形成一遮罩層；
 - 移除該記憶體陣列區上的該遮罩層；
 - 形成一SiC層以接觸該記憶體陣列區但不接觸該週邊裝置區；以及
 - 移除該週邊裝置區上的遮罩層。
39. 如請求項38之方法，其中該遮罩層包括氮化矽。
40. 如請求項36之方法，其中形成該等碳酸部份包括：
- 形成一SiC層以接觸該半導體基板的一記憶體陣列區與一週邊裝置區；以及
 - 移除該週邊裝置區上的SiC層且留下該記憶體陣列區至少一部份上的SiC層。
41. 如請求項36之方法，其中形成該等碳酸部份包括該半導體基板上的SiC磊晶成長。
42. 如請求項36之方法，其中形成該等碳酸部份包括將離子植入及/或氣體擴散碳至該半導體基板之中。
43. 如請求項36之方法，其中該等個別記憶體單元每一者的至少一組件包含該等碳酸部份其中一者。
44. 如請求項36之方法，其中該等週邊裝置中沒有任一者包含該等碳酸部份其中一者。
45. 如請求項36之方法，其中該半導體基板包括單晶矽。

46. 如請求項36之方法，其中該半導體基板包括磊晶矽。
47. 如請求項36之方法，其中形成該等個別記憶體單元中至少一部份包括於該半導體基板中形成一平面SiC層，以及一電晶體，該電晶體包含位於一第一源極/汲極區、一第二源極/汲極區以及該等第一與第二源極/汲極間的一通道中的該SiC層。
48. 如請求項36之方法，其中形成該等個別記憶體單元的至少一部份包括形成一電晶體，該電晶體包含：
- 一第一源極/汲極；
 - 一第二源極/汲極；
 - 一通道，其包含介於該等第一與第二源極/汲極間的該等碳酸部份中其中一者；以及
 - 一閘極，操作上與該通道兩側相關聯。
49. 如請求項48之方法，其中形成該電晶體包括形成一垂直電晶體，該通道的高度位於該第一源極/汲極之上，而該第二源極/汲極的高度則在該通道之上。
50. 如請求項48之方法，其中形成該電晶體包括形成一橫向電晶體，該第一源極/汲極、該第二源極/汲極、該閘極以及一貫穿該通道的電流路徑中每一者的特定部份位在一共同高度位準。
51. 如請求項48之方法，其進一步包括形成一介於該閘極與該通道間的閘極介電質，該通道的SiC係位於和該閘極介電質介接的介面附近的一通道周圍內，而非位於至少部份被該SiC包圍的一通道核心內，該通道核心係從該

第一源極/汲極延伸至該第二源極/汲極。

52. 如請求項36之方法，其中形成該等個別記憶體單元的至少一部份包括形成一電晶體，該電晶體包含：

一第一源極/汲極；

一第二源極/汲極；

一陷入該等第一與第二源極/汲極間之半導體基板內的閘極；以及

一通道，其包含該等碳酸部份中其中一者，操作上與該閘極兩側相關聯。

53. 如請求項36之方法，其中形成該等個別記憶體單元的至少一部份包括：

於該半導體基板中形成一第一電晶體源極/汲極區；

於該半導體基板中形成一第二電晶體源極/汲極區；

形成一介於該等第一與第二源極/汲極區之間不含SiC的電晶體通道；以及

形成一位於該第一源極/汲極區上的儲存節點接面以及一位於該第二源極/汲極區上的數字節點接面，該儲存節點接面及/或數字節點接面包含該等碳酸部份中其中一者。

54. 如請求項53之方法，其中若該儲存節點接面包括該碳酸部份，則該SiC的厚度便從約200至約500埃形成，及若該數字節點接面包括該碳酸部份，則該SiC的厚度便從約50至約150埃形成。

55. 如請求項53之方法，其中包括該SiC半導體基板的該儲

存及/或數字節點接面係形成於該個別源極/汲極區的磊晶矽之上，該磊晶矽的高度在該通道之上。

56. 如請求項36之方法，其包括於DRAM、SRAM或快閃記憶體中形成該記憶體裝置。

57. 一種隨機存取記憶體裝置形成方法，其包括：

提供一矽基板；

於該半導體基板中形成一導電摻雜、平面SiC層；

於該基板上形成一記憶體單元陣列，每個該等個別記憶體單元包含一電晶體，該電晶體包含位於一第一源極/汲極區、一第二源極/汲極區以及該等第一與第二源極/汲極間的一通道中的該SiC層；以及

於該基板上形成週邊裝置，其包含記憶體單元定址電路與記憶體單元讀取電路，該等週邊裝置中沒有任一者於該半導體基板中包含任何SiC層。

58. 如請求項57之方法，其中該半導體基板包括單晶矽。

59. 如請求項57之方法，其中該半導體基板包括磊晶矽。

60. 一種電晶體形成方法，其包括：

提供一半導體基板；

形成一第一源極/汲極；

形成一第二源極/汲極；

形成一通道，其包含介於該等第一與第二源極/汲極間含有SiC的該半導體基板的一碳酸部份；以及

形成一閘極，操作上與該通道兩側相關聯。

61. 如請求項60之方法，其中形成該電晶體包括形成一垂直

電晶體，該通道的高度位於該第一源極/汲極之上，而該第二源極/汲極的高度則在該通道之上。

62. 如請求項60之方法，其中形成該電晶體包括形成一橫向電晶體，該第一源極/汲極、該第二源極/汲極、該閘極以及一貫穿該通道的電流路徑中每一者的特定部份位在一共同高度位準。

63. 如請求項60之方法，其進一步包括形成一介於該閘極與該通道間的閘極介電質，該通道的SiC係位於和該閘極介電質介接的介面附近的一通道周圍內，而非位於至少部份被該SiC包圍的一通道核心內，該通道核心係從該第一源極/汲極延伸至該第二源極/汲極。

64. 如請求項63之方法，其中該SiC的厚度從約50至約100埃。

65. 如請求項60之方法，其包括於一記憶體裝置中形成該電晶體。

66. 如請求項65之方法，其包括於DRAM、SRAM或快閃記憶體中形成該記憶體裝置。

67. 一種電晶體形成方法，其包括：

提供一半導體基板；

形成一第一源極/汲極；

形成一第二源極/汲極；

形成一通道，其包含含有SiC的該半導體基板的一碳酸部份；以及

形成一陷入該等第一與第二源極/汲極間之半導體基板

內的閘極，該通道操作上與該閘極兩側相關聯。

68. 如請求項67之方法，其進一步包括形成一位於該閘極與該通道之間的閘極介電質，該通道的SiC係位於與該閘極介電質作為介面的介面附近的一通道周圍內。

69. 如請求項68之方法，其中該SiC的厚度從約50至約100埃。

70. 如請求項67之方法，其包括於一記憶體裝置中形成該電晶體。

71. 如請求項70之方法，其包括於DRAM、SRAM或快閃記憶體中形成該記憶體裝置。

72. 一種記憶體單元形成方法，其包括：

提供一半導體基板；

於該半導體基板中形成一第一電晶體源極/汲極區；

於該半導體基板中形成一第二電晶體源極/汲極區；

形成一介於該等第一與第二源極/汲極區之間不含SiC的電晶體通道；以及

形成一位於該第一源極/汲極區上的儲存節點接面以及一位於該第二源極/汲極區上的數字節點接面，該儲存節點接面及/或數字節點接面包含含有SiC的半導體基板的一碳酸部份。

73. 如請求項72之方法，其中若該儲存節點接面包括SiC，則該SiC的厚度便從約200至約500埃形成，及若該數字節點接面包括SiC，則該SiC的厚度便從約50至約150埃形成。

74. 如請求項 72 之方法，其中包括 SiC 的該儲存及/或數字節點接面係形成於該個別源極/汲極區的磊晶矽之上，該磊晶矽的高度在該通道之上。
75. 如請求項 72 之方法，其包括於 DRAM、SRAM 或快閃記憶體中形成該記憶體裝置。

十一、圖式：

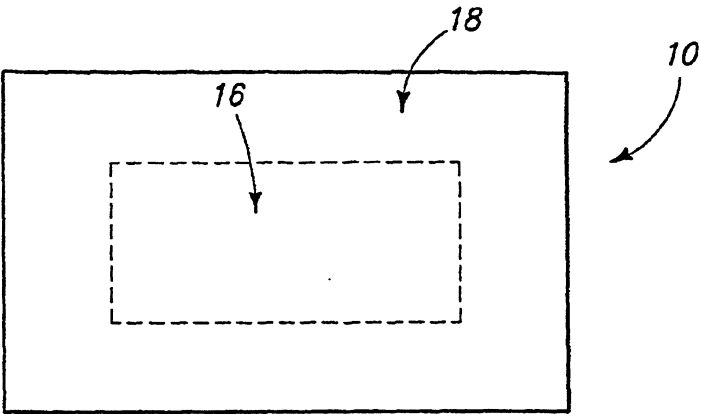


圖1

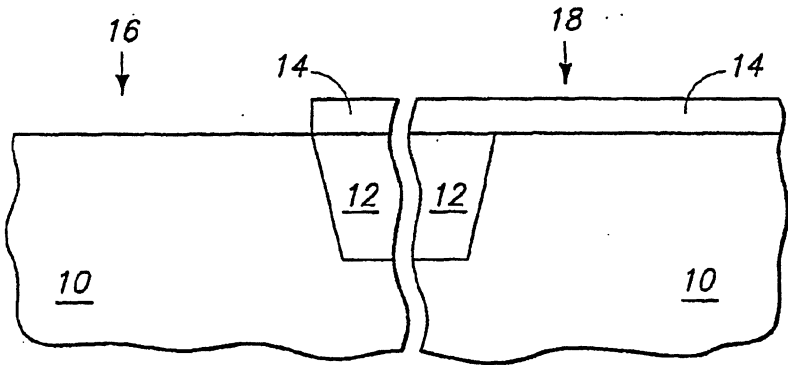


圖2

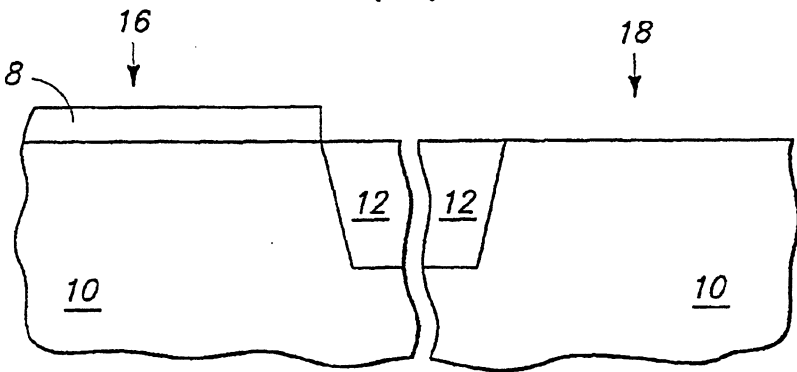


圖3

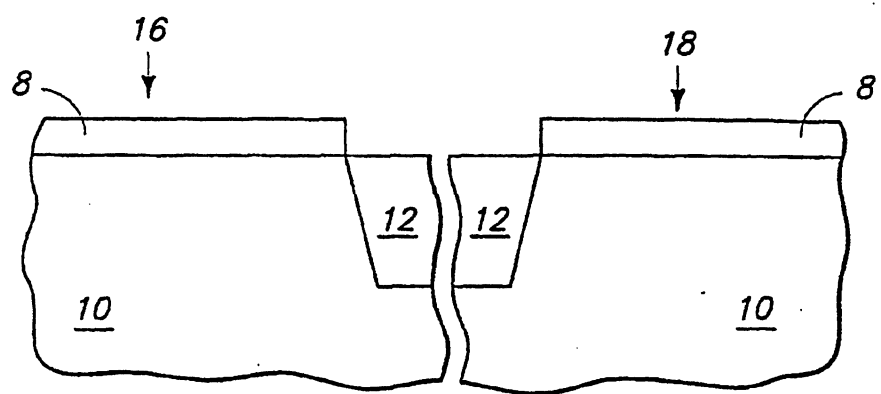


圖4

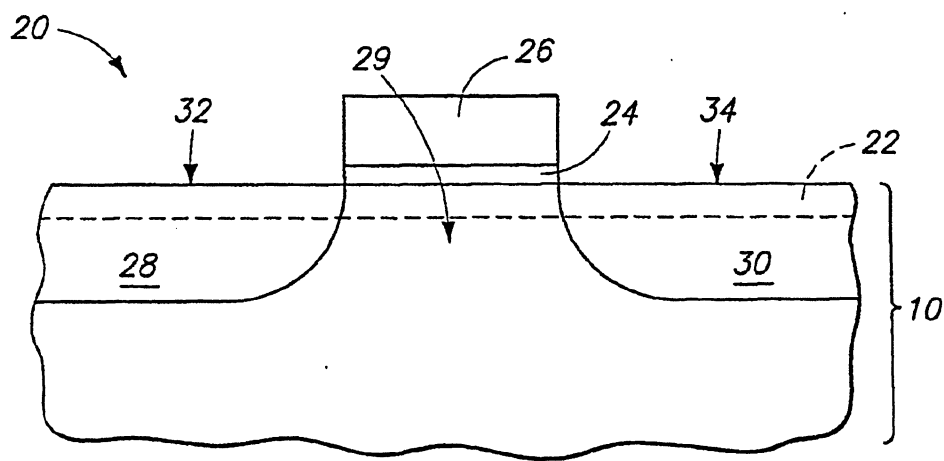


圖5

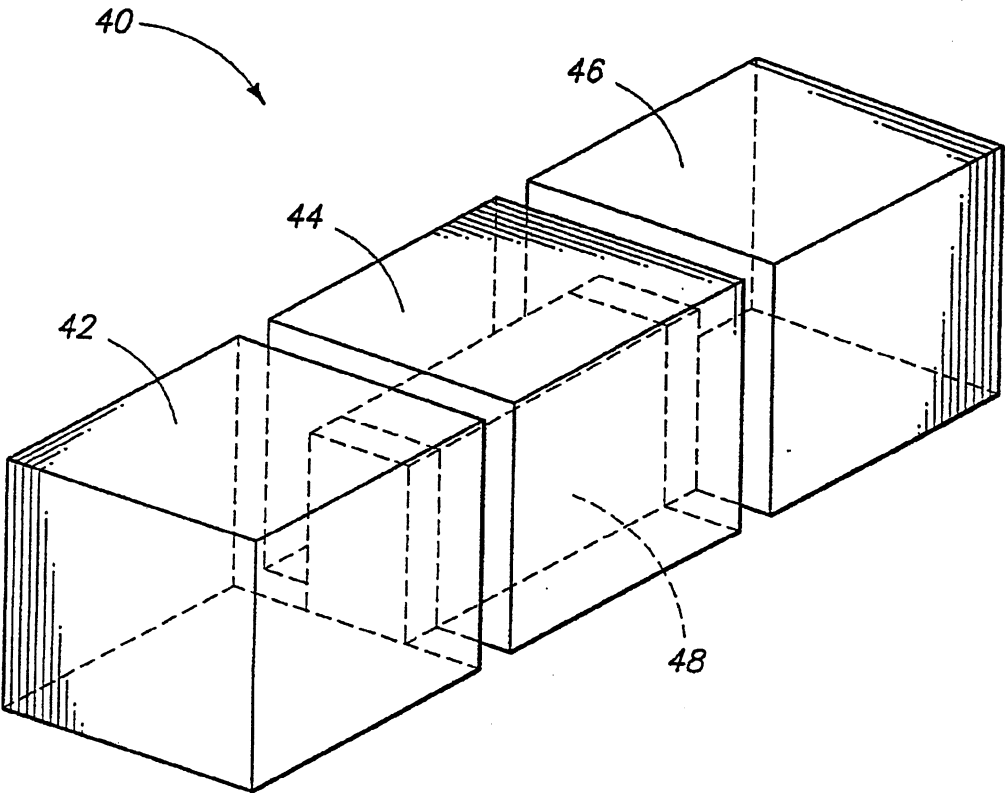


圖6

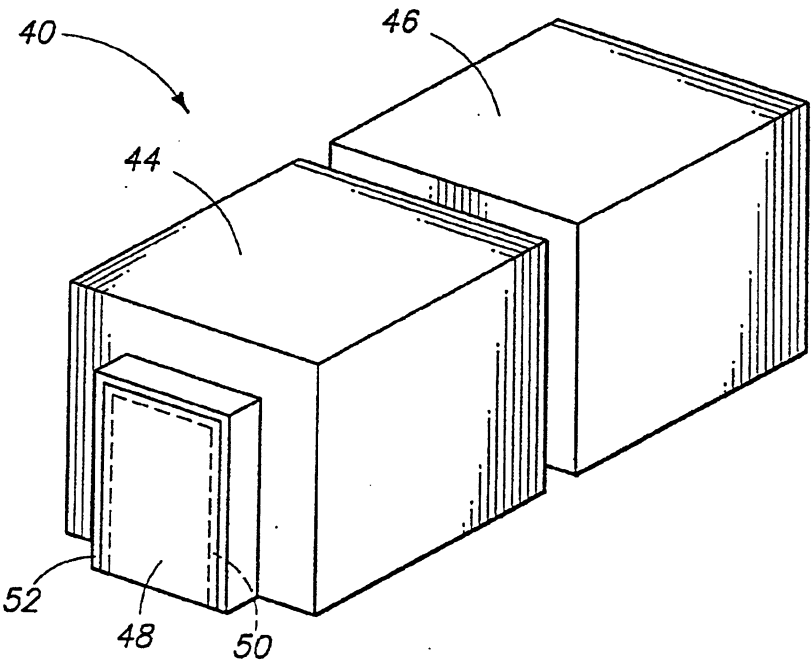


圖7

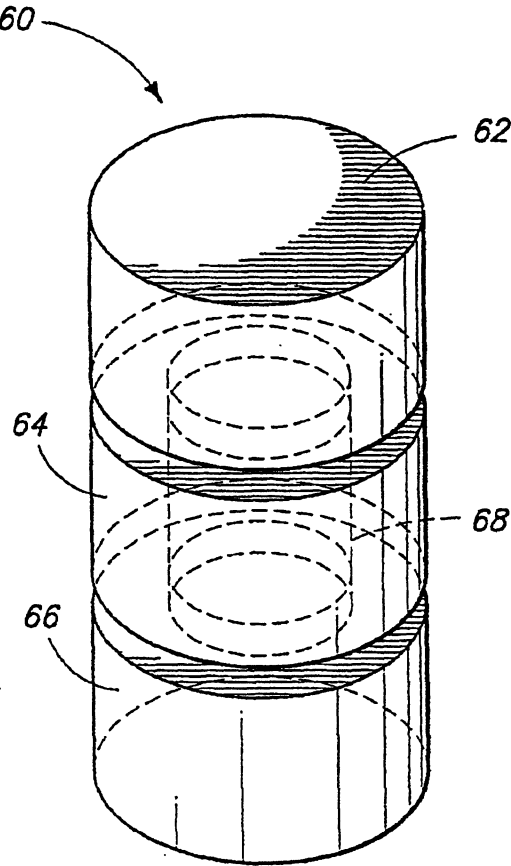


圖8

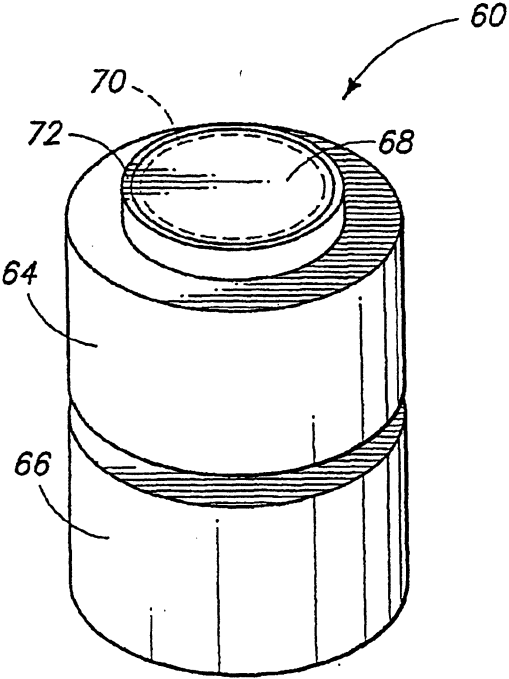


圖9

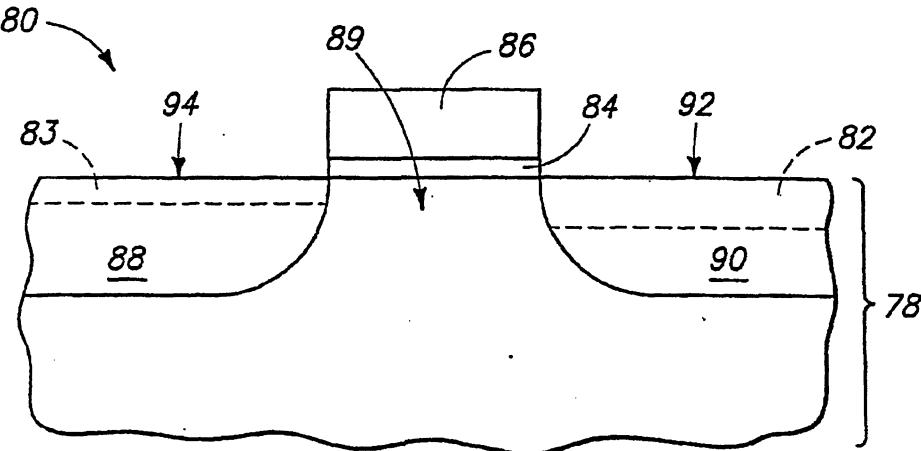


圖10

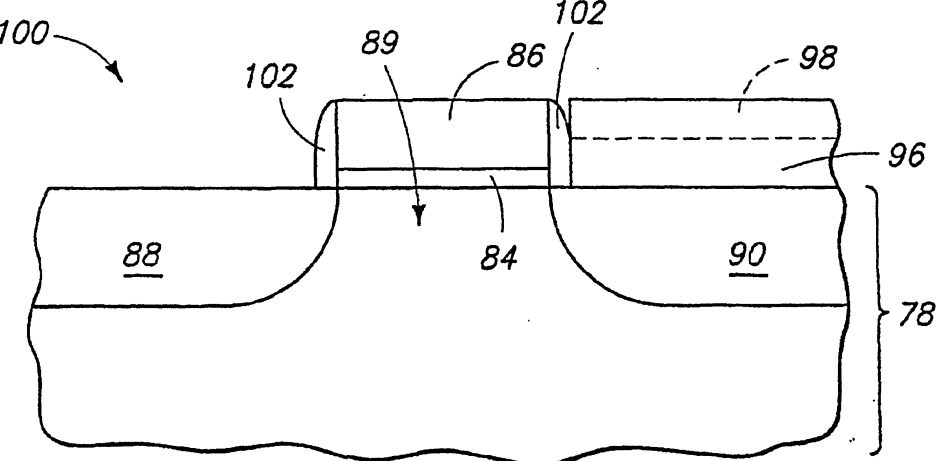


圖11

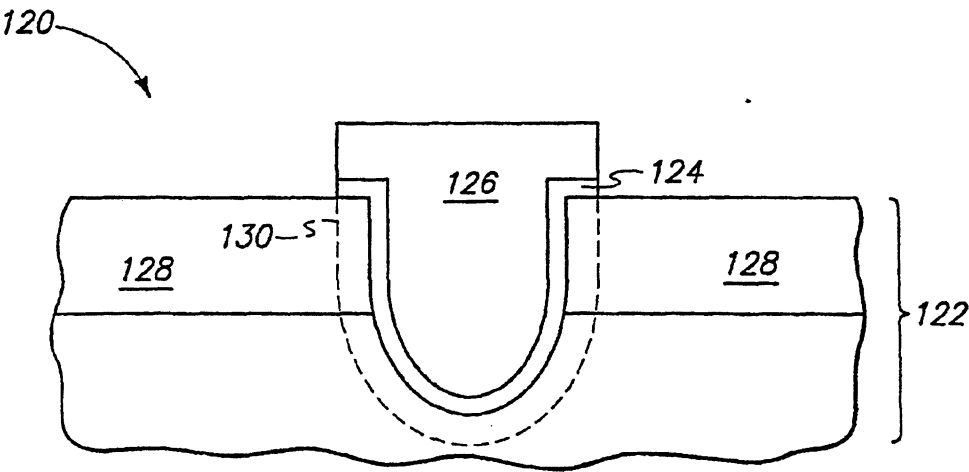


圖12

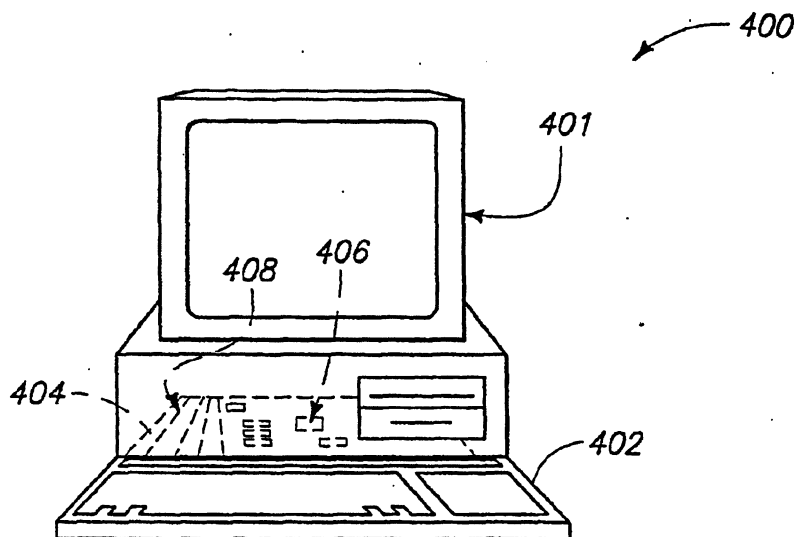


圖13

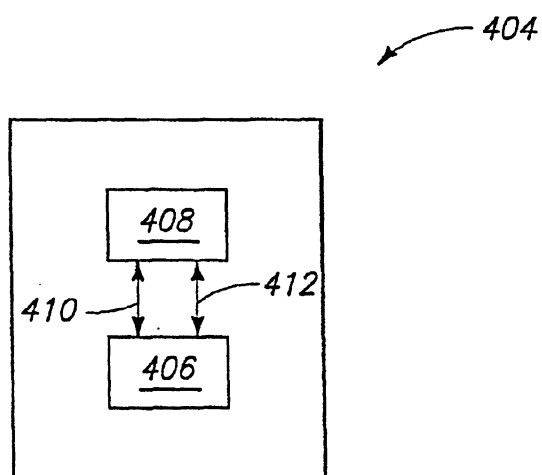


圖14

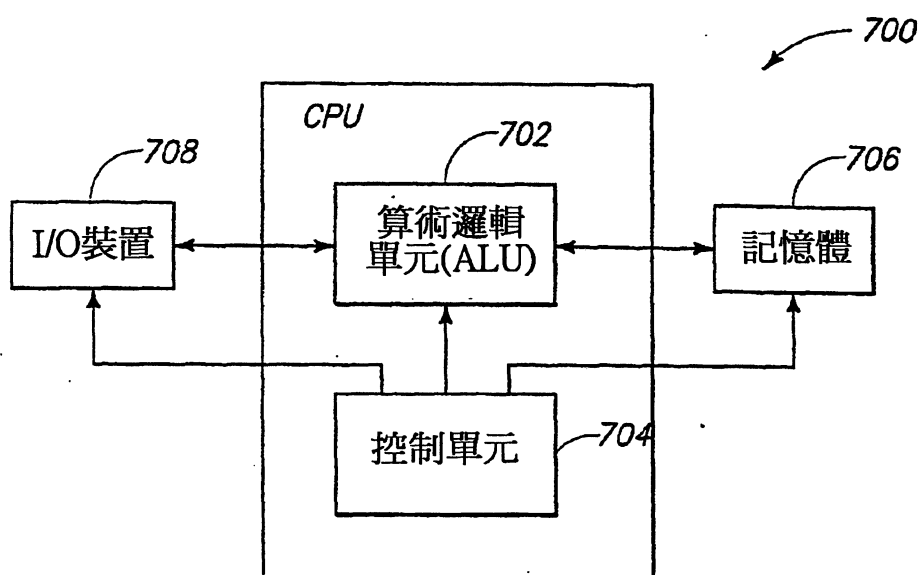


圖15

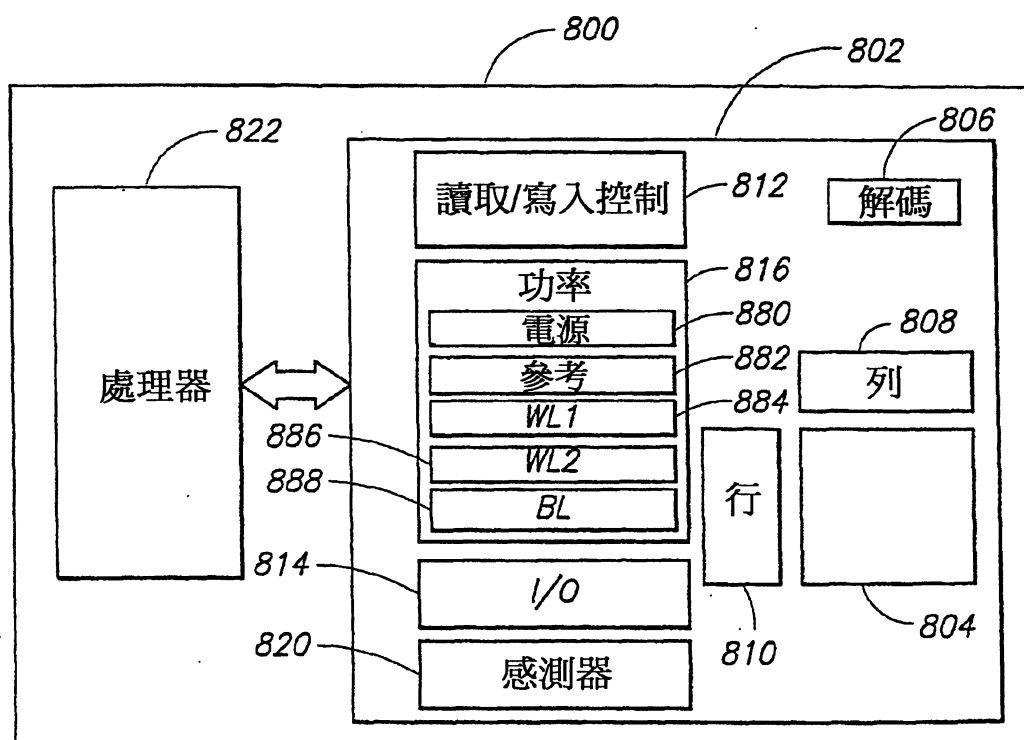


圖16

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

8	SiC層
10	基板
12	隔離區
16	記憶體陣列區
18	週邊裝置區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(96年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※ 申請案號：94125354

※ 申請日期：94.7.27

※IPC 分類：

H01L 29/94, 29/36, 2/8239

一、發明名稱：(中文/英文)

記憶體裝置，電晶體，記憶體單元，以及製造其之方法

MEMORY DEVICES, TRANSISTORS, MEMORY CELLS, AND
METHODS OF MAKING SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

麥克 L 林契

LYNCH, MICHAEL L.

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY BOISE, IDAHO 83716, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

錢德拉 毛利

MOULI, CHANDRA

國 籍：(中文/英文)

美國 U.S.A.