

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 13 日(13.12.2012)



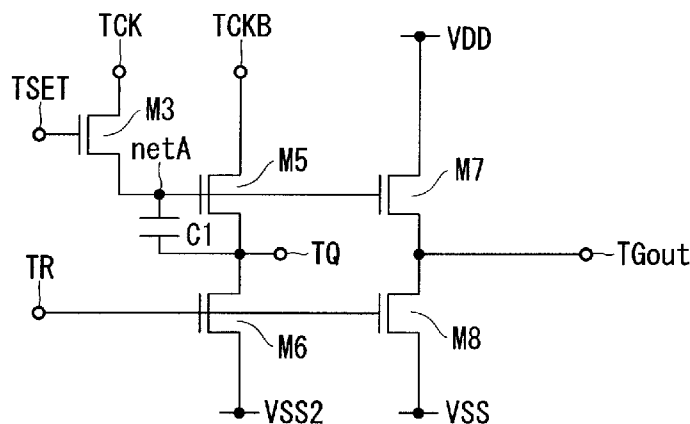
(10) 国際公開番号
WO 2012/169590 A1

- (51) 国際特許分類:
G11C 19/28 (2006.01) *G09G 3/36* (2006.01)
G02F 1/133 (2006.01) *G11C 19/00* (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2012/064690
- (22) 国際出願日: 2012 年 6 月 7 日(07.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-130458 2011 年 6 月 10 日(10.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(Sharp Kabushiki Kaisha) [JP/JP];
〒5458522 大阪府大阪市阿倍野区長池町 2 2 番
2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 米丸 政司
(YONEMARU Masashi) [JP/—].
- (74) 代理人: 船山 武, 外(FUNAYAMA Takeshi et al.);
〒1006620 東京都千代田区丸の内一丁目 9 番 2
号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SHIFT REGISTER AND DISPLAY DEVICE EQUIPPED WITH SAME

(54) 発明の名称: シフトレジスタおよびそれを備えた表示装置

[図1]



(57) Abstract: A shift register is provided with a plurality of unit stages and each of the unit stages includes a first drive unit whereby each unit stage sequentially outputs an input pulse signal as a first output signal on the basis of clock signals, and a second drive unit different from the first drive unit which transfers the pulse signal to a next stage as a second output signal.

(57) 要約: シフトレジスタは、複数の単位ステージを備え、単位ステージ各々は、入力されるパルス信号を単位ステージ各々がクロック信号に基づいて第1の出力信号として順次に出力する第1の駆動部と、第1の駆動部とは異なる第2の駆動部であって、パルス信号を第2の出力信号として次段のステージへ転送する第2の駆動部と、を備える。

WO 2012/169590 A1

明 細 書

発明の名称：シフトレジスタおよびそれを備えた表示装置

技術分野

[0001] 本発明は、シフトレジスタおよびそれを備えた表示装置に関する。

本願は、2011年6月10日に、日本に出願された特願2011-130458号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 液晶表示パネル等の表示装置は、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線（データ線）と、複数のデータ線と交差する複数の走査信号線（ゲート線）と、複数のデータ線と複数のゲート線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備える。

[0003] この複数のゲート線を選択的に駆動する走査信号線駆動回路（ゲートドライバ）は、シフトレジスタを含み、画素形成部を構成する画素容量を充電する期間（本充電期間）に応じた幅のパルス信号（ゲートスタートパルス信号GSP）を、本充電期間に応じた幅のパルスが所定周期で繰り返し現れるクロック信号に基づき、入力端から出力端へと順次シフトさせる。

例えば、特許文献1において、シフトレジスタを含む走査信号線駆動回路が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2005-50502号公報

発明の概要

発明が解決しようとする課題

[0005] 図13は、特許文献1記載におけるシフトレジスタの単位段（単位ステージ）の回路構成を示す図である。

特許文献1記載におけるシフトレジスタは、図13に示す単位ステージを

複数含み、複数の出力信号を出力端子TOUTから順次出力する。

図13に示す単位ステージは、クロック端子CLKに供給されるクロック信号CKに応答して、出力信号を出力端子TOUTへ出力する駆動部130と、バッファ部110により電荷が充電される充電部120を含む。バッファ部110は、入力端子TIN1に接続される。この入力端子TIN1には、スキャン開始信号（シフト動作開始を示す開始信号であるゲートスタートパルス信号）又は前段ステージからの出力信号が入力される。

また、単位ステージは、充電部120に充電された電荷を放電する放電部140と、第1出力信号が非アクティブ状態である場合、第1出力信号を第1電圧（VOFF）以内に維持するホールディング部150と、を含む。放電部140は、入力端子TIN2に接続される。この入力端子TIN2には、次段ステージからの出力信号が入力される。

[0006] 駆動部130におけるプルアップトランジスタQ2において、ハイレベル（Hレベル）とロウレベル（Lレベル）の間で電圧変化するクロック信号CKが、予め設定されたクロック周期によりドレインに入力される。そのため、トランジスタQ2のゲート電位は、トランジスタQ2のゲートとドレインとの間のゲートオーバーラップ容量（寄生容量）により繰り返し昇圧される。これにより、プルアップトランジスタQ2において、ゲートとドレイン或いは基板との間にストレス電圧が印加され、トランジスタのしきい値電圧変動などのトランジスタ特性の劣化が生じ、シフトレジスタの性能変動を生じさせてしまう。

そのため、特許文献1におけるシフトレジスタは、シフトレジスタの各ステージにおいて、ホールディング部150（トランジスタQ5）を、ドレインをトランジスタQ2のゲートと、ソースを出力端子TOUTと、ゲートをクロック端子CLKに接続するように設けている。このトランジスタQ5は、トランジスタQ2のゲート電位がフローティング電位になることを防止して、トランジスタQ2が特性劣化を生じさせないようにするためのトランジスタである。

[0007] しかしながら、特許文献1のシフトレジスタにおいては、トランジスタQ5のゲートには、常時トランジスタQ2と同様に、HレベルとLレベルの間で電圧変化するクロック信号CKが繰り返し入力され、トランジスタQ5のゲートとドレイン或いは基板との間にストレス電圧が印加される。つまり、トランジスタQ5において、上記トランジスタQ2と同様に、トランジスタのしきい値電圧変動などのトランジスタ特性の劣化が生じ、シフトレジスタの性能変動を生じさせてしまう。

特に、クロック端子TCKに供給されるクロック信号CKがトランジスタQ2を介してゲート線に印加される構成であり、シフトレジスタに供給するクロック信号CKの振幅は、ゲート線の振幅と同じ振幅となる。ここで、ゲート線の振幅は、画素形成部におけるスイッチング素子をターンオンすることができる十分高い振幅値（例えば15V以上）である。そのため、上記トランジスタQ5には、シフトレジスタの動作中、ゲート線に印加する電圧と同じ高い電圧がクロック信号CKとして繰り返し印加される。そのため、トランジスタQ5は、トランジスタQ5を付加する前のトランジスタQ2と同様に、入力されるクロック信号の波高値が高く、トランジスタ特性が劣化しやすく、シフトレジスタの性能変動を生じさせてしまうという信頼性劣化の問題があった。このように、従来のシフトレジスタでは、未だ信頼性劣化を改善すべき問題が残されている。

[0008] また、クロック端子TCKに供給されるクロック信号CKがトランジスタQ2を介してゲート線に印加される構成であるため、クロック信号CKにより、スイッチング素子が多数接続されるゲート線を駆動することとなる。そのため、クロック信号CKを出力する制御回路の負荷が大きくなり、シフトレジスタにおいて、例えば初段（ファーストステージ）に比べて最終段ではクロック信号CKの波形に鈍り、或いは遅延（クロック信号CKの波形劣化）が生じる。つまり、シフトレジスタの各段からの出力信号に時間差、振幅差が生じ、シフトレジスタの動作が不安定になるという問題があった。

[0009] 本発明は、内部回路においてトランジスタの信頼性劣化が生じにくいシフ

トレジスタを提供すること、また、クロック信号CKの波形劣化を抑制して安定動作を行うシフトレジスタを提供することを主要な課題とする。

課題を解決するための手段

- [0010] (1) 本発明の第1の態様は、複数の単位ステージを備え、前記単位ステージ各々は、入力されるパルス信号を前記単位ステージ各々がクロック信号に基づいて第1の出力信号として順次に出力する第1の駆動部と、前記第1の駆動部とは異なる第2の駆動部であって、前記パルス信号を第2の出力信号として次段のステージへ転送する第2の駆動部と、を備えるシフトレジスタである。
- [0011] (2) 本発明の第1の態様において、前記第2の出力信号の波高値は、前記第1の出力信号の波高値より低くても良い。
- [0012] (3) 本発明の第2の態様は、縦続接続される複数の単位ステージを備え、前記各単位ステージはそれぞれ、各単位ステージに対応する第1の出力信号を順次に出力する第1の出力端子に第1の電源電圧または第2の電源電圧を供給する駆動部と、一端が前記駆動部に接続され、他端が第2の出力端子に接続された充電部と、前段ステージの前記第2の出力端子からの第2の出力信号と、第1のクロック信号または前記第1のクロック信号の論理反転信号である第2のクロック信号のうち一方のクロック信号に応じて前記充電部の前記一端を充電する第1充電制御部と、前記第1のクロック信号または前記第2のクロック信号のうち他方のクロック信号に応じて前記充電部の前記他端を駆動して前記充電部の前記一端を昇圧し、前記駆動部による前記第1の電源電圧の供給を制御する第2充電制御部と、次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記駆動部による前記第2の電源電圧の供給を制御する第1放電制御部と、次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記充電部の他端を放電する第2放電制御部と、を備えるシフトレジスタである。
- [0013] (4) 本発明の第2の態様において、前記第1のクロック信号、及び前記第2のクロック信号は、それぞれデューティー50%の信号であっても良い

。

[0014] (5) 本発明の第2の態様において、さらに、前記充電部の他端を、前記第1のクロック信号及び前記第2のクロック信号とは位相の異なる第3のクロック信号に応じて放電する第3放電制御部と、前記第3のクロック信号に応じて、前記第1の出力端子に前記第2の電源電圧を供給する第4放電制御部と、前記第1のクロック信号に応じて、前記第1の出力端子に前記第2の電源電圧を供給する第5放電制御部と、を備えても良い。

[0015] (6) 本発明の第2の態様において、前記第1のクロック信号、前記第2のクロック信号、及び第3のクロック信号は、互いにデューティーが等しく、互いの位相が120度異なる信号であっても良い。

[0016] (7) 本発明の第3の態様は、縦続接続される複数の単位ステージを備え、前記各単位ステージはそれぞれ、各単位ステージに対応する第1の出力信号を順次に出力する第1の出力端子に第1の電源電圧または第2の電源電圧を供給する駆動部と、一端が前記駆動部に接続され、他端が第2の出力端子に接続された充電部と、前段ステージの前記第2の出力端子からの第2の出力信号と、第1のクロック信号または前記第1のクロック信号の論理反転信号である第2のクロック信号の一方のクロック信号とに応じて前記充電部の前記一端を充電する第1充電制御部と、前記第1のクロック信号または前記第2のクロック信号の他方のクロック信号に応じて前記充電部の前記他端を駆動して前記充電部の前記一端を昇圧し、前記駆動部による前記第1の電源電圧の供給を制御する第2充電制御部と、次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記駆動部による前記第2の電源電圧の供給を制御する第1放電制御部と、次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記充電部の他端を放電する第2放電制御部と、を備え、前記シフトレジスタは、奇数番目の単位ステージから構成される第1シフトレジスタ部と、偶数番目の単位ステージから構成される第2シフトレジスタ部とにグループ分けされるシフトレジスタである。

[0017] (8) 本発明の第3の態様において、前記第1シフトレジスタ部に入力さ

れる前記第1のクロック信号、及び前記第2のクロック信号、前記第2シフトレジスタ部に入力される前記第1のクロック信号、及び前記第2のクロック信号は、それぞれデューティー50%の信号であって、第1シフトレジスタ部に入力される各信号と第2シフトレジスタ部に入力される対応する信号とはそれぞれ互いに位相が90度異なる信号であっても良い。

[0018] (9) 本発明の第4の態様は、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部と、各走査信号線につき予め設定された本充電期間中及び当該本充電期間中に先行する予備充電期間中は当該走査信号線を駆動するように、前記複数の走査信号線を選択する走査信号線駆動回路と、前記予備充電期間と前記本充電期間とに各映像信号線に印加される電圧の極性が同一となるように、前記複数の映像信号としての電圧を所定期間毎に極性を反転させつつ前記複数の映像信号線にそれぞれ印加する映像信号線駆動回路とを備え、前記走査信号線駆動回路は、複数の単位ステージが配置され、入力される前記本充電期間の長さに等しい幅のパルス信号を前記単位ステージ各々がクロック信号に基づいて、前記走査信号線を駆動する第1の出力信号として順次に出力するシフトレジスタであって、前記単位ステージ各々が、前記第1の出力信号を出力する第1の駆動部とは異なる第2の駆動部から、前記パルス信号を第2の出力信号として次段のステージへ転送するシフトレジスタを含む表示装置である。

[0019] (10) 本発明の第4の態様において、前記第2の出力信号の波高値は前記第1の出力信号の波高値より低くても良い。

[0020] (11) 本発明の第4の態様において、前記シフトレジスタは、複数の単位ステージが縦続接続され、各単位ステージに対応する前記第1の出力信号を前記複数の走査信号線のひとつに順次に出力し、前記各単位ステージはそれぞれ、前記第1の出力信号を出力する第1の出力端子に第1の電源電圧ま

たは第2の電源電圧を供給する駆動部と、一端が前記駆動部に接続され、他端が第2の出力端子に接続された充電部と、前記本充電期間の長さに等しい幅のシフト動作開始を示す開始信号または前段ステージの前記第2の出力端子からの第2の出力信号と、第1のクロック信号または前記第1のクロック信号の論理反転信号である第2のクロック信号のうち一方のクロック信号に応じて前記充電部の前記一端を充電する第1充電制御部と、前記第1のクロック信号または前記第2のクロック信号のうち他方のクロック信号に応じて前記充電部の前記他端を駆動して前記充電部の前記一端を昇圧し、前記駆動部による前記第1の電源電圧の供給を制御する第2充電制御部と、次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記駆動部による前記第2の電源電圧の供給を制御する第1放電制御部と、次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記充電部の他端を放電する第2放電制御部と、を有しても良い。

[0021] (12) 本発明の第4の態様において、前記第1のクロック信号、及び前記第2のクロック信号は、それぞれデューティー50%の信号であっても良い。

[0022] (13) 本発明の第4の態様において、前記シフトレジスタは、複数の単位ステージが縦続接続され、各単位ステージに対応する第1の出力信号を前記複数の走査信号線のひとつに順次に出し、前記各単位ステージはそれぞれ、前記第1の出力信号を出力する第1の出力端子に第1の電源電圧または第2の電源電圧を供給する駆動部と、一端が前記駆動部に接続され、他端が第2の出力端子に接続された充電部と、前記本充電期間の2倍の長さに等しい幅のシフト動作開始を示す開始信号または前段ステージの前記第2の出力端子からの第2の出力信号と、第1のクロック信号または前記第1のクロック信号の論理反転信号である第2のクロック信号の一方のクロック信号とに応じて前記充電部の前記一端を充電する第1充電制御部と、前記第1のクロック信号または前記第2のクロック信号の他方のクロック信号に応じて前記充電部の前記他端を駆動して前記充電部の前記一端を昇圧し、前記駆動部に

よる前記第 1 の電源電圧の供給を制御する第 2 充電制御部と、次段ステージの前記第 2 の出力端子からの前記第 2 の出力信号に応じて、前記駆動部による前記第 2 の電源電圧の供給を制御する第 1 放電制御部と、次段ステージの前記第 2 の出力端子からの前記第 2 の出力信号に応じて、前記充電部の他端を放電する第 2 放電制御部と、を備え、前記シフトレジスタは、初段の単位ステージから数えて奇数番目の単位ステージから構成される第 1 シフトレジスタ部と、初段の単位ステージから数えて偶数番目の単位ステージから構成される第 2 シフトレジスタ部とにグループ分けされても良い。

[0023] (14) 本発明の第 4 の態様において、前記第 1 シフトレジスタ部に入力される前記第 1 のクロック信号、及び前記第 2 のクロック信号、前記第 2 シフトレジスタ部に入力される前記第 1 のクロック信号、及び前記第 2 のクロック信号は、それぞれデューティ 50% の信号であって、第 1 シフトレジスタ部に入力される各信号と第 2 シフトレジスタ部に入力される対応する信号とはそれぞれ互いに位相が 90 度異なる信号であっても良い。

[0024] (15) 本発明の第 4 の態様において、前記シフトレジスタは、さらに、前記充電部の他端を、前記第 1 のクロック信号及び前記第 2 のクロック信号とは位相の異なる第 3 のクロック信号に応じて放電する第 3 放電制御部と、前記第 3 のクロック信号に応じて、前記第 1 の出力端子に前記第 2 の電源電圧を供給する第 4 放電制御部と、前記第 1 のクロック信号に応じて、前記第 1 の出力端子に前記第 2 の電源電圧を供給する第 5 放電制御部と、を備えても良い。

[0025] (16) 本発明の第 4 の態様において、前記第 1 のクロック信号、前記第 2 のクロック信号、及び第 3 のクロック信号は、互いにデューティが等しく、互いの位相が 120 度異なる信号であっても良い。

発明の効果

[0026] 本発明によれば、シフトレジスタにおいて、クロック信号が繰り返し入力されてもシフトレジスタの動作中にオン期間が長くなるトランジスタがなくなる。そのため、シフトレジスタの信頼性劣化を生じにくくすることができ

る。また、クロック信号は、シフトレジスタを介して第1の出力端子へ出力されることがなくなる。そのため、クロック信号CKの負荷を小さくでき、シフトレジスタの各ステージからの出力信号に時間差、振幅差が生じることはなく、シフトレジスタの動作を安定にすることができる。

図面の簡単な説明

[0027] [図1]本発明の第1の実施形態によるシフトレジスタにおける単位ステージの主要部の構成を示す回路図である。

[図2]図1に示す回路の動作タイミングチャートである。

[図3]本発明の第1の実施形態によるシフトレジスタの効果を説明するための図である。

[図4A]本発明の第2の実施形態による液晶表示装置の構成を示すブロック図である。

[図4B]本発明の第2の実施形態による液晶表示装置の表示部の等価回路図である。

[図5]図4Aに示す走査信号線駆動回路（シフトレジスタ）の構成を示すブロック図である。

[図6]本発明の第2の実施形態によるシフトレジスタにおける単位ステージの回路図である。

[図7]本発明の第2の実施形態によるシフトレジスタの動作タイミングチャートである。

[図8]本発明の第3の実施形態によるシフトレジスタの構成を示すブロック図である。

[図9]図8に示すシフトレジスタの動作タイミングチャートである。

[図10]本発明の第4の実施形態によるシフトレジスタの構成を示すブロック図である。

[図11]図8に示すシフトレジスタにおける単位ステージの回路図である。

[図12]本発明の第5の実施形態によるシフトレジスタの動作タイミングチャートである。

[図13]特許文献1記載のシフトレジスタにおける単位ステージの回路図である。

[図14]特許文献1記載のシフトレジスタにおける単位ステージの主要部の構成を示す回路図である。

[図15]図14に示す回路の動作タイミングチャートである。

発明を実施するための形態

[0028] 以下、図面を参照しながら本発明の第1～第5の実施形態を詳細に説明する。

[第1の実施形態]

図1は、本発明の第1の実施形態によるシフトレジスタにおける単位ステージの主要部の構成を示す回路図である。図2は、図1に示す回路の動作タイミングチャートである。また、図14は、特許文献1記載のシフトレジスタ（以下、従来のシフトレジスタ）における単位ステージの主要部の構成を示す回路図である。図15は、図14に示す回路の動作タイミングチャートである。

ここでは、本発明の第1の実施形態によるシフトレジスタの従来のシフトレジスタに対する優位性を説明するため、単位ステージの動作を従来のシフトレジスタと比較しつつ説明する。その後、本発明の第1の実施形態によるシフトレジスタを備えた表示装置（第2の実施形態）について説明する。

[0029] 本発明の第1の実施形態によるシフトレジスタにおける単位ステージは、図1に示すトランジスタM3、M5、M6、M7、M8、及び容量C1を含む。これらの単位ステージを構成する各トランジスタは、シフトレジスタの集積化を実現するため、アモルファスシリコン薄膜トランジスタ（a-SiTFT）から構成される。a-SiTFTは、長期間高レベルの正極性電圧であるゲートソース間電圧 V_{gs} を印加すると、a-SiTFTのしきい電圧 V_{th} が、例えば1～15Vまで変化してシフトレジスタの誤動作の原因となるという信頼性上の問題点がある。

[0030] トランジスタM3（第1充電制御部）は、ドレインがクロック端子TCK

に、ゲートがセット端子 T S E T に接続され、ソースは接続点 n e t A に接続される。

また、トランジスタ M 5（第 2 充電制御部）は、ドレインがクロック端子 T C K B に、ゲートが接続点 n e t A に、ソースが出力端子 T Q（第 2 の出力端子）にそれぞれ接続される。また、容量 C 1（充電部）は、一端が接続点 n e t A に、他端が出力端子 T Q に接続される。

なお、セット端子 T S E T に入力されるセット信号 S E T は、ステージが初段であれば、シフトレジスタの初段に入力される信号（後述するゲートスタートパルス信号 G S P）であり、初段以外のステージであれば、前段ステージの出力端子 T Q からの出力信号が入力される。シフトレジスタは、このセット信号 S E T を第 2 の出力信号としてシフトレジスタの各ステージを初段から最終段へと、各ステージにおける出力端子 T Q 及びセット端子 T S E T を介して転送する。また、クロック端子 T C K に入力されるクロック信号 C K と、クロック端子 T C K B に入力されるクロック信号 C K B は、互いに位相が 1 8 0 度ずれた信号である。シフトレジスタは、これらのクロック信号に基づき、各クロック信号と同一パルス幅を有するゲートスタートパルス信号 G S P を、シフトレジスタの初段ステージから最終ステージへと、各ステージにおける出力端子 T Q 及びセット端子 T S E T を介して順次転送する。

[0031] トランジスタ M 6 は、ドレインが出力端子 T Q に、ゲートがリセット端子 T R に、ソースが第 2 の電源電圧（V S S）と同電位の電源電圧（V S S 2）が供給される電源端子であって、トランジスタ M 8 とは異なる他の電源端子に接続される。ここで、リセット端子 T R に入力されるリセット信号 R は、次ステージの出力端子 T Q から入力される信号である。

[0032] また、トランジスタ M 7 は、ドレインが第 1 の電源電圧（V D D）が供給される電源端子に、ゲートが接続点 n e t A に、ソースが出力端子 T G o u t（第 1 の出力端子）にそれぞれ接続される。また、トランジスタ M 8 は、ドレインが出力端子 T G o u t に、ゲートがリセット端子 T R に、ソースが

第2の電源（VSS）が供給される電源端子にそれぞれ接続される。

トランジスタM7及びM8（駆動部）は、接続点net Aの電位及びリセット信号Rの電位に基づき、出力端子T G o u tにゲート線を駆動する信号（第1の出力信号）を出力する。

すなわち、各ステージは、ゲート線を駆動する信号を出力する出力端子T G o u tと、ゲートスタートパルス信号G S Pを第2の出力信号として転送するための出力端子T Qとを別々に有している。

[0033] 一方、従来のシフトレジスタにおける単位ステージは、図14に示すトランジスタN1、N2、N3、N4、及び容量C2を含む。なお、図14においては、上述した本発明の第1の実施形態による単位ステージとの比較を行うため、対応する接続点及び端子には同一の符号を付している。

トランジスタN1は、ドレインとゲートとがセット端子T S E Tに接続され、ソースは接続点net Aに接続される。また、トランジスタN2は、ドレインが接続点net Aに、ゲートがクロック端子T C K端子に、ソースが出力端子T G o u tにそれぞれ接続される。また、容量C2は、一端が接続点net Aに、他端が出力端子T G o u tに接続される。また、トランジスタN3は、ドレインがクロック端子T C Kに、ゲートが接続点net Aに、ソースが出力端子T G o u tにそれぞれ接続される。また、トランジスタN4は、ドレインが出力端子T G o u tに、ゲートがリセット端子T Rにそれぞれ接続され、ソースが接地される。

[0034] このような構成により、従来のシフトレジスタにおける単位ステージは、シフトレジスタのシフト動作において、図15に示す動作を行う。

図15に示すように、トランジスタN1は、セット端子T S E Tに入力されるセット信号S E Tがクロック信号C Kの立下りに応じてHレベルになると（時刻t1）、接続点net Aを、セット信号のHレベルから閾地電圧V_t分下がった電位（以下、MHレベルとする）に充電する。次に、時刻t2においてクロック信号C Kが、LレベルからHレベルへ遷移すると、トランジスタN2は、オンし、容量C2の他端（出力端子T G o u t）を充電する

。

容量C 2は、その他端が充電されることにより、接続点n e t Aの電位を、クロック信号C KのHレベルより更にトランジスタN 3の閾値電圧分高い電位以上に昇圧する。トランジスタN 3は、出力端子T G o u tからクロック信号C K及びセット信号S E Tと同じ波高値であるHレベルのゲート信号G o u t（第1の出力信号）を出力する。

時刻t 2以降において、次段ステージにおいても、上述の動作が行われ、次段ステージは、クロック信号C Kの次のLレベルへの立下りに応じて（時刻t 3）、出力端子T G o u tから図15で示すリセット信号Rを出力する。トランジスタN 4は、このリセット信号RのHレベルへの変化に応じてオンし、出力端子T G o u tから出力するゲート信号G o u tをLレベル（接地レベル）へリセットする。

[0035] ここで、従来のシフトレジスタにおける単位ステージの特徴的な作用として、次の3つの作用が挙げられる。第1の作用は、クロック信号C Kにより、トランジスタN 3を介して、ゲート信号G o u tをHレベルにする構成であるので、ゲート信号G o u tにより駆動される負荷（ゲート線）の容量が大きい場合、クロック信号C Kの負荷が大きくなり、その波形に鈍り等が発生してしまうことである。

第2の作用は、クロック信号の振幅とゲート信号G o u tが同じとなるため、ステージに入力されるクロック信号の振幅を大きくする必要があり、各ステージがシフト動作においてHレベルのゲート信号G o u tを出力する際、トランジスタN 2、N 3のゲートに大きな印加電圧（昇圧電圧）が印加された状態でオンするため、a - S i T F Tの閾値電圧が劣化しやすい点である。

第3の作用は、シフトレジスタの転送動作期間の大部分、つまり、Hレベルのゲート信号G o u tを出力する以外の期間において、トランジスタN 2のゲートにはクロック信号C Kが繰り返し入力されることである。つまり、トランジスタN 2は、長期間高レベルの正極性電圧であるゲート - ソース間

電圧 V_{gs} が印加され、 $a-SiTFET$ のしきい電圧 V_{th} が変化してしまうことである。

[0036] 一方、本発明の第1の実施形態によるシフトレジスタにおける単位ステージは、シフトレジスタのシフト動作において、図2に示す動作を行う。

図2に示すように、トランジスタ $M3$ は、セット端子 $TSET$ に入力されるセット信号 SET がクロック信号 CK の立上りに応じて H レベルになると（時刻 t_1 ）、接続点 $net A$ を MH レベルに充電する。このとき、トランジスタ $M5$ はオンするが、クロック信号 CKB は L レベルであるので、出力端子 TQ の電位は L レベルである。また、トランジスタ $M7$ はオンするが、ゲートの電位が MH レベルであるので、出力端子 $TGout$ を、 MH レベルからさらにトランジスタ $M7$ の閾値電圧 V_{th} 低い電位（ ML レベルとする）に充電する。

[0037] 次に、時刻 t_2 においてクロック信号 CKB が、 L レベルから H レベルへ遷移すると、トランジスタ $M5$ はオンし、容量 $C1$ の他端（出力端子 TQ ）を充電する。容量 $C1$ は、その他端が充電されることにより、接続点 $net A$ の電位を、クロック信号 CKB の H レベルより更にトランジスタ $M7$ の閾値電圧分高い電位以上に、かつ、第1の電源電圧（ VDD ）より更にトランジスタ $M7$ の閾値電圧分高い電位以上に昇圧する。トランジスタ $M5$ は、出力端子 TQ から、各クロック信号及びセット信号 SET と同じ波高値である H レベルの転送信号 Q （第2の出力信号）を出力する。また、トランジスタ $M7$ は、ゲートがオーバードライブ（昇圧）されることにより、出力端子 $TGout$ から、第1の電源電圧と同じ波高値である H レベルのゲート信号 $Gout$ を出力する。

[0038] 時刻 t_2 以降において、次段ステージにおいても、上述の動作が行われ、次段ステージは、クロック信号 CK の次の L レベルへの立上りに応じて（時刻 t_3 ）、出力端子 TQ から図2で示すリセット信号 R を出力する。トランジスタ $M6$ は、このリセット信号 R の H レベルへの変化に応じてオンし、転送信号 Q を L レベル（第2の電源電圧のレベル）へ遷移させる。また、トラ

ンジスタM8は、このリセット信号RのHレベルへの変化に応じてオンし、出力端子T G o u t から出力するゲート信号G o u t をLレベル（第2の電源電圧のレベル）へ遷移させる。

[0039] 図3は、本発明の第1の実施形態によるシフトレジスタの効果（従来のシフトレジスタに対する優位性）を説明するための図である。図3においては、各クロック信号、セット信号S E T、接続点n e t A、出力端子T Qからの転送信号Q（第2の出力信号）、及び出力端子T G o u t からのゲート信号G o u t（第1の出力信号）の時間変化をそれぞれ示している。なお、図3において、実線で示す波形は本発明の第1の実施形態によるシフトレジスタにおける単位ステージの波形を示し、破線で示す波形は従来のシフトレジスタにおける単位ステージの波形を示している。

[0040] 従来のように、トランジスタN3のドレインにクロック信号を供給する構成とした場合、各クロック信号の負荷が大きくなり（ゲート線も駆動しなければならないため）、クロック信号C K及びC K Bの波形が破線で示すように鈍る。このため、ゲート線を駆動するゲート信号G o u t も、この鈍ったクロック信号をいわば電源供給源としているため、出力ゲート信号G o u t（第1の出力信号）の波形に、劣化、電圧降下が見られる。

このクロック信号は、ゲート線の負荷も駆動すると同時に、シフトレジスタのシフト動作において各ステージを駆動しているので、クロック信号を供給するデバイス（たとえば後述の表示制御回路）の電源にとって大きな負荷となる。

本発明の第1の実施形態によるシフトレジスタでは、上述の様に、ゲート線を駆動する電源供給源をクロック信号でなく、これと独立させた第1の電源電圧（V D D）を供給する電源とした。これにより、クロック信号の負荷を軽減し、クロック信号の劣化（鈍り、電圧降下）を防ぎ、ゲート線へのクロック信号劣化の影響を低減するとともに、クロック信号を供給するデバイスの電源負荷をも低減することができる。

[0041] また、ゲート線を駆動するゲート信号G o u t（第1の出力信号）の振幅

と、シフトレジスタのシフト動作に用いるクロック信号、及び転送される転送信号Q（第2の出力信号）との振幅を独立に設定できる。そのため、シフトレジスタのシフト動作に用いるクロック信号の振幅を可能な限り小さく、閾値電圧シフトの起こりにくいバイアス電位に設定することで、シフトレジスタにおいて、ステージがHレベルのゲート信号G o u t を出力する動作における a - S i T F T の閾値シフトを抑え、シフトレジスタの信頼性を向上させることができる。

また、シフトレジスタの転送動作期間の大部分、つまり、単位ステージにおいてHレベルのゲート信号G o u t を出力する以外の期間において、クロック信号が入力されるトランジスタM3及びM5は、従来のシフトレジスタのトランジスタN2の様に、ゲートにクロック信号が入力される構成ではない。そのため、トランジスタM3及びM5は、長期間高レベルの正極性電圧であるゲート - ソース間電圧V g s が印加されことはなく、a - S i T F T のしきい電圧V t h が変化することもない。

つまり、シフトレジスタにおいて、シフト動作における a - S i T F T の閾値シフトを抑えることができ、シフトレジスタの信頼性を向上させることができる。

[0042] [第2の実施形態]

続いて、本発明の第2の実施形態によるシフトレジスタを液晶表示装置のゲートドライバ（走査信号線駆動回路）に用いた場合の実施形態について説明する。

<表示装置の全体構成及び動作>

まず、液晶表示装置の全体的な構成および動作について説明する。図4 A は、液晶表示装置の構成を示すブロック図である。図4 B は、液晶表示装置の表示部の等価回路図である。この液晶表示装置は、映像信号線駆動回路としてのデータドライバ101と、走査信号線駆動回路としてのゲートドライバ102と、アクティブマトリクス形の表示部103と、データドライバ101およびゲートドライバ102を制御するための表示制御回路200とを

含む。

[0043] 図4 Aに示すように、表示部103は、データドライバ101に接続される複数の映像信号線L_s（データ線SL1、SL2、・・・）と、ゲートドライバ102に接続される複数の走査信号線L_g（ゲート線GL1、GL2、・・・）とを備える。当該複数の映像信号線L_sと当該複数の走査信号線L_gとは、各映像信号線L_sと各走査信号線L_gとが交差するように格子状に配設されている。そして、当該複数の映像信号線L_sと当該複数の走査信号線L_gとの交差点に対応して複数の画素形成部P_xがそれぞれ設けられている。各画素形成部P_xは、図4 Bに示すように、対応する交差点を通過する映像信号線L_sにドレイン端子が接続されたTFT10と、そのTFT10のソース端子に接続された画素電極E_pと、上記複数の画素形成部P_xに共通的に設けられた対向電極E_cと、上記複数の画素形成部P_xに共通的に設けられ画素電極E_pと対向電極E_cとの間に挟持された液晶層（不図示）とからなる。そして、画素電極E_pと対向電極E_cとそれらの間に挟持された液晶層とにより画素容量C_pが形成される。

このように、画素形成部P_xは、表示部103において、マトリクス状に配置されて画素アレイを構成する。また、図4 Aにおいて、各画素形成部P_xに付されている“R”、“G”または“B”は、当該画素形成部P_xにより形成される画素の色である赤、緑、または青を表している。なお、これらの色は典型的な3原色であるが、その他の3原色であってもよい。

[0044] 表示制御回路200は、外部の信号源等から、表示すべき画像を表すデジタルビデオ信号D_vと、当該デジタルビデオ信号D_vに対応する水平同期信号H_SYおよび垂直同期信号V_SYと、表示動作のモード等を制御するための制御信号D_cとを受け取る。表示制御回路200は、これらの信号D_v、H_SY、V_SY、D_cに基づき、そのデジタルビデオ信号D_vの表す画像を表示部103に表示させるための信号として、データドライバ用スタートパルス信号SSPと、データドライバ用クロック信号SCKと、表示すべき画像を表すデジタル画像信号DA（ビデオ信号D_vに相当する信号）とを生成

し、データドライバ101に出力する。また、表示制御回路200は、これらの信号Dv, HSY, VSY, Dcに基づき、ゲートドライバ用ゲートスタートパルス信号GSPと、ゲートドライバ用クロック信号GCKとを生成し、ゲートドライバ102に出力する。

[0045] より詳しくは、表示制御回路200は、ビデオ信号Dvを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして表示制御回路200から出力し、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータドライバ用クロック信号SCKを生成し、水平同期信号HSYに基づき1水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータドライバ用スタートパルス信号SSPを生成し、データドライバ101に出力する。また、表示制御回路200は、垂直同期信号VSYに基づき1フレーム期間（1垂直走査期間）毎に所定期間だけHレベルとなる信号としてゲートドライバ用ゲートスタートパルス信号GSPを生成し、水平同期信号HSYに基づきゲートドライバ用クロック信号としてゲートクロック信号GCKを生成し、ゲートドライバ102に出力する。

[0046] なお後述のように、第2の実施形態において、ゲートクロック信号GCKは、クロック信号（第1クロック信号CKおよび第2クロック信号CKB）であり、共に、本充電期間の2倍の期間を繰り返し周期とするパルス信号である。ここで、本充電期間とは、ゲート線の本来の選択期間（ゲート線が選択され、画素容量Cpにデジタル画像信号DAの表す画像における対応画素の値に相当する電圧が印加される期間）を言う。また、予備充電期間とは、その本来の選択期間（本充電期間）よりも前の期間における当該画素容量の予備的な充電（以下「予備充電」という）を行う期間を言う。

また、第2の実施形態において、第1クロック信号CKおよび第2クロック信号CKBは、互いに論理反転信号であり、いずれもHレベルの期間が周期に対して50%デューティ（duty）の信号となるように、表示制御回路200において生成される。

[0047] データドライバ101は、デジタル画像信号DAとデータドライバ用のスタートパルス信号SSPおよびクロック信号CLKとに基づき、デジタル画像信号DAの表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号S(1)、S(2)、・・・を1水平走査期間毎に順次生成する。また、データドライバ101は、これらのデータ信号S(1)、S(2)、・・・をデータ線SL1、SL2、・・・にそれぞれ印加する。第2の実施形態におけるデータドライバ101は、液晶層への印加電圧の極性が1フレーム期間毎に反転されると共に各フレーム内において1水平走査線毎にも反転されるようにデータ信号S(1)～S(n)が出力される駆動方式すなわちライン反転駆動方式を採用することができる。また、表示品質向上の観点から、これに加えて、1データ線毎（縦ライン毎）にも液晶層への印加電圧の極性を反転させる駆動方式すなわちドット反転駆動方式をも採用してもよい。すなわち、データドライバ101は、データ線SL1、SL2、・・・への印加電圧の極性がデータ線毎に反転するようにデータ信号S(1)、S(2)を出力する構成としてもよい。もっとも、これに代えて、データドライバ101がデータ線SL1、SL2、・・・に印加される電圧が同極性となるように、データ信号S(1)、S(2)、・・・を出力する構成としてもよい。

[0048] ゲートドライバ102は、ゲートスタートパルス信号GSPと、ゲートドライバ用の第1および第2クロック信号CK、CKBとを表示制御回路200から受け取る。ゲートドライバ102は、これらのゲートスタートパルス信号GSP、CK、CKBに基づき、デジタル画像信号DAの各フレーム期間（各垂直走査期間）において、ゲート線GL1、GL2、・・・を順次に選択し、選択したゲート線にアクティブなゲート信号（TFT10をオンさせる電圧）を印加する。

[0049] 上述したデータドライバ101およびゲートドライバ102により、表示部103において、データ線SL1、SL2、・・・には、データ信号S(1)、S(2)、・・・がそれぞれ印加される。また、ゲート線GL1、GL2

、・・・には、ゲート信号G o u t 1、G o u t 2がそれぞれ印加される。これにより、表示部103における各画素形成部P xの画素容量C pには、デジタル画像信号D Aの表す画像における対応画素の値に相当する電圧が、データ信号S(1)～S(n)による本充電あるいは、予備充電および本充電により与えられて保持され、液晶層には、デジタル画像信号D Aに応じて画素電極E pと共通電極E cとの電位差に相当する電圧が印加される。すなわち、各画素容量C pに保持された電圧がそれに対応する画素液晶への印加電圧となる。表示部103は、この印加電圧によって液晶層の光透過率を制御することにより、デジタル画像信号D Aの表す画像すなわち外部の信号源等から受け取ったデジタルビデオ信号の表す画像を表示する。

[0050] <ゲートドライバの構成及び動作>

図5は、上記のようなゲートドライバ102を実現するための一構成例を示すブロック図である。この構成例のゲートドライバ102は、図4Aに示す複数の走査信号線L g（ゲート線G L 1、G L 2、・・・）に対応するステージ（段）を有するシフトレジスタを含む。また、図6は、図5で示すシフトレジスタの単位ステージの回路図である。

[0051] 図6に示す単位ステージは、図1に示す単位ステージの主要部を含み、更に、トランジスタM 1、M 2、M 4を含む。

トランジスタM 1は、ドイレンが接続点n e t Aに、ゲートがクリア端子T C L Rに、ソースが第2の電源電圧（V S S）にそれぞれ接続される。また、トランジスタM 2は、ドレインが出力端子T Q（第2の出力端子）に、ゲートがクリア端子T C L Rに、ソースが第2の電源電圧（V S S）にそれぞれ接続される。これらのトランジスタは、シフト動作開始前、あるいは終了後に表示制御回路200から入力されるクリア信号C L Rにより、それぞれ接続点n e t A、出力端子T Qを第2の電源電圧まで放電し、初期化するためのトランジスタである。

また、トランジスタM 4は、ドイレンが接続点n e t Aに、ゲートがリセット端子T Rに、ソースが第2の電源電圧（V S S）にそれぞれ接続される

。トランジスタM4は、シフト動作期間中において、次段ステージが出力端子TQからHレベルの第2の出力信号を出力した時に、接続点net Aを第2の電源電圧まで放電し、初期化するためのトランジスタである。なお、第2の実施形態のシフトレジスタは、従来のシフトレジスタの様に、トランジスタM5及びM7のゲート電位がフローティング電位になることを防止するために、ゲートにクロック信号が入力されるトランジスタ（従来のシフトレジスタにおけるホールディング部150に対応するトランジスタQ5）が不要な構成となっている。

また、図6中（a）で示す部分は、トランジスタM3による接続点net Aの充電が、クロック端子TCKに入力されるクロック信号がHレベル、かつ、セット端子TSETに入力されるセット信号SETがHレベルのとき、行われることを示している。

[0052] 図5に示すように、初段ステージのセット端子TSETは、表示制御回路200に接続され、表示制御回路200からゲートスタートパルス信号GSP1が入力される。また2段目以降のステージにおいて、セット端子TSETは、前段ステージの出力端子TQ（第2の出力端子）に接続される。また、各ステージにおいて、リセット端子TRは、次段ステージの出力端子TQと接続される。また、奇数段目の各ステージにおいて、クロック端子TCKには、表示制御回路200からクロック信号CK（第1のクロック信号）が入力され、クロック端子TCKBには、表示制御回路200からクロック信号CKB（第2のクロック信号）が入力される。一方、偶数段目の各ステージにおいて、クロック端子TCKには、表示制御回路200からクロック信号CKB（第2のクロック信号）が入力され、クロック端子TCKBには、表示制御回路200からクロック信号CK（第1のクロック信号）が入力される。

[0053] 図7は、第2の実施形態におけるゲートドライバ102の動作を説明するための信号波形図である。表示制御回路200は、ゲートクロック信号GCKとして、本充電期間の2倍の期間を繰り返し周期とするパルス信号であり

、互いに論理反転の関係にあるクロック信号（第1クロック信号CKおよび第2クロック信号CKB）、ゲートスタートパルス信号GSP1を、ゲートドライバ102に供給する（図7において、1段目、2段目のクロック信号CK、CKB、時刻t1～t2における3段目のGSP1参照）。

[0054] 図7の最下段に示す符号A11は、本充電期間に対応するステージを示している。ゲートドライバ102は、ゲートスタートパルス信号GSP1とクロック信号CK、CKBとに基づき、ゲート線GL1、GL2、・・・のそれぞれが本充電期間に1回ずつ選択されるように当該ゲート線GL1、GL2、・・・を順次選択するためのゲート信号Gout1、Gout2、・・・を生成する。すなわち、ゲート線GL1、GL2、・・・にそれぞれ印加されるゲート信号Gout1、Gout2、・・・において、各ゲート信号Goutは、図7に示すように、各本充電期間に対応して、奇数番目の単位ステージの出力は、クロック信号CKBがHレベルである期間（時刻t2～t3、時刻t4～t5）にアクティブ（Hレベル）となる（最下段の本充電期間に対応する単位ステージR1からのゲート信号Gout1、単位ステージB1の出力信号（不図示）参照）。また、偶数番目の単位ステージの出力は、クロック信号CKがHレベルである期間（時刻t3～t4、時刻t5～t6）にアクティブ（Hレベル）となる（最下段の本充電期間に対応する単位ステージG1からのゲート信号Gout2、単位ステージR2の出力信号（不図示）参照）。また、ゲート信号Gout1、Gout2の各波形に示すように、各本充電期間の直前のゲートクロック信号GCK半周期分の期間は、ゲート信号Goutの電位が上述したMLレベルにあるので、この期間を予備充電期間とすることができる。

[0055] なお、第2の実施形態において、データドライバ101は、予備充電期間と本充電期間とに各データ信号線（映像信号線）に印加される電圧の極性が同一となるように、複数の映像信号としての電圧を所定期間（1垂直走査期間）毎に極性を反転させつつ複数のデータ信号線（複数の映像信号線）にそれぞれ印加している。これは、単位ステージ（例えばG1）に接続される画

素形成部 P_x の画素電極 E_p に本充電期間中において電圧を印加する場合、本充電期間に先行する画素電極 E_p の予備充電期間は、単位ステージ R_1 に接続される画素形成部 P_x の画素電極の本充電期間に当たるからである。

[0056] このように、ゲートドライバ 102 は、クロック信号 GCK （クロック信号 CK およびクロック信号 CKB ）およびゲートスタートパルス信号 GSP_1 に基づき、クロック信号 GCK のパルス幅（1 水平走査期間内の H レベル期間の長さ）に等しい幅のパルス（ GSP_1 ）を入力端から出力端まで順にシフトさせ、このパルス幅に対応する本充電期間中、ゲート線をステージ初段から順次選択していく。第 2 の実施形態の表示装置は、ゲートドライバを構成するシフトレジスタにおける単位ステージの回路構成が、ゲート線と接続される駆動部（トランジスタ M_7 、 M_8 ）と、次段ステージへゲートスタートパルス信号 GSP を転送する転送部（ M_5 ）とを分離する構成としている。そのため、上述の通り、クロック信号の振幅（波高値）とゲート線を駆動する出力信号の波高値とを、独立の値（例えば前者を後者に対して低く）できる。これにより、表示装置において、クロック信号が繰り返し入力されることによるゲートドライバの信頼性劣化、品質劣化を抑制できる。また、第 2 の実施形態では、さらに、表示装置において、ゲートドライバを上記シフトレジスタを含むことにより、画素電極の各本充電期間の直前に予備充電期間を設けることができ、選択される各画素電極の充電時間を増やすことができる。

[0057] [第 3 の実施形態]

続いて、本発明の第 3 の実施形態によるシフトレジスタを液晶表示装置のゲートドライバ（走査信号線駆動回路）に用いた場合の他の実施形態について説明する。

第 3 の実施形態におけるシフトレジスタは、単位ステージとして、上記第 1 の実施形態において用いた単位ステージと同じ回路（図 6 に示す単位ステージ）を用いて、シフトレジスタを構成する。

図 8 は、シフトレジスタにおける単位ステージの接続を示すブロック図で

ある。図8に示すように、シフトレジスタは、奇数段目の単位ステージ（R 1、B 1、G 2、R 3）からなる第1のシフトレジスタ部と、偶数段目の単位ステージ（G 1、R 2、B 2）からなる第2のシフトレジスタ部との2つのグループにグループ分けされる。

[0058] 第1のシフトレジスタ部においては、単位ステージのクロック端子TCKには、表示制御回路200からクロック信号CK1（第1のクロック信号）とクロック信号CK2（第2のクロック信号）が交互に入力される。

また、第1のシフトレジスタ部においては、単位ステージのクロック端子TCKBには、表示制御回路200からクロック信号CK2（第2のクロック信号）とクロック信号CK1（第1のクロック信号）が交互に入力される。

また、第1のシフトレジスタ部において、初段の単位レジスタのセット端子TSETには、表示制御回路200からゲートスタートパルス信号GSP1が入力される。

また、第1のシフトレジスタ部において、各単位ステージ（例えばR1）の出力端子TQ（第2の出力端子）は、次段の単位ステージ（例えばB1）のセット端子TSETに接続される。また、第1のレジスタ部において、各単位ステージ（例えばR1）のリセット端子TRは、次段の単位ステージ（例えばB1）の出力端子TQに接続される。

[0059] 第2のシフトレジスタ部においては、単位ステージのクロック端子TCKには、表示制御回路200からクロック信号CK3（第1のクロック信号）とクロック信号CK4（第2のクロック信号）が交互に入力される。

また、第2のシフトレジスタ部においては、単位ステージのクロック端子TCKBには、表示制御回路200からクロック信号CK4（第2のクロック信号）とクロック信号CK3（第1のクロック信号）が交互に入力される。

また、第2のシフトレジスタ部において、初段の単位レジスタのセット端子TSETには、ゲートスタートパルス信号GSP2が入力される。

また、第2のシフトレジスタ部において、各单位ステージ（例えばG1）の出力端子TQ（第2の出力端子）は、次段の単位ステージ（例えばR2）のセット端子TSETに接続される。また、第2のレジスタ部において、各单位ステージ（例えばG1）のリセット端子TRは、次段の単位ステージ（例えばR2）の出力端子TQに接続される。

[0060] 第3の実施形態では、表示制御回路200は、クロック信号CK1、CK2、CK3、CK4、ゲートスタートパルス信号GSP1、GSP2のH期間（デューティ期間）を、本充電期間の2倍に設定する。また、表示制御回路200は、クロック信号CK1、CK2、CK3、CK4を同一周期の信号とし、各信号のデューティを、それぞれの信号の周期に対して50%に設定する。また、表示制御回路200は、クロック信号CK1の位相を90度遅らせてクロック信号CK3を、クロック信号CK2の位相を90度遅らせてクロック信号CK4を、ゲートスタートパルス信号GSP1の位相を90度遅らせてゲートスタートパルス信号GSP2を、それぞれ生成し、第2のレジスタ部へ出力する。

[0061] 図9は、第3の実施形態におけるゲートドライバ102の動作を説明するための信号波形図である。表示制御回路200は、上述のように、ゲートクロック信号GCKとして、本充電期間の2倍の期間をパルス幅とし、互いに論理反転の関係にある2系統のクロック信号（クロック信号CK1、CK2とCK3、CK4）と、ゲートスタートパルス信号GSP1、GSP2とを、ゲートドライバ102に供給する（図7において、1段目～4段目のクロック信号CK1～CK4、時刻t1～t3における5段目のGSP1、時刻t2～t4における6段目のGSP2参照）。

[0062] 図9の最下段に示す符号A12は、本充電期間に対応するステージを示している。ゲートドライバ102は、ゲートスタートパルス信号GSP1、GSP2と上記クロック信号とに基づき、ゲート線GL1、GL2、・・・のそれぞれが本充電期間に1回ずつ選択されるように当該ゲート線GL1、GL2、・・・を順次選択するためのゲート信号Gout1、Gout2、・

・ ・ を生成する。すなわち、ゲート線 $GL\ 1$ 、 $GL\ 2$ 、・ ・ ・ にそれぞれ印加されるゲート信号 $Gout\ 1$ 、 $Gout\ 2$ 、・ ・ ・ において、各ゲート信号 $Gout$ は、図 7 に示すように、各本充電期間に対応して、クロック端子 $TCKB$ に入力されるクロック信号が H レベルである期間の後半において、アクティブ (H レベル) となる。たとえば、第 1 のシフトレジスタ部の初段ステージ ($R\ 1$) の出力は、クロック信号 $CK\ 2$ が H レベルである期間 (時刻 $t\ 3 \sim t\ 5$) の後半 (時刻 $t\ 4 \sim t\ 5$) にアクティブ (H レベル) となる (最下段の本充電期間に対応するステージ $R\ 1$ からのゲート信号 $Gout\ 1$ 参照)。また、第 2 のシフトレジスタ部の初段ステージ ($G\ 1$) の出力は、クロック信号 $CK\ 4$ が H レベルである期間 (時刻 $t\ 4 \sim t\ 6$) の後半 (時刻 $t\ 5 \sim t\ 6$) にアクティブ (H レベル) となる (最下段の本充電期間に対応するステージ $G\ 1$ からのゲート信号 $Gout\ 2$ 参照)。同様に、第 1 のシフトレジスタ部の 2 段目ステージ ($B\ 1$) の出力は、クロック信号 $CK\ 1$ が H レベルである期間 (時刻 $t\ 5 \sim t\ 7$) の後半 (時刻 $t\ 6 \sim t\ 7$) にアクティブ (H レベル) となる (最下段の本充電期間に対応するステージ $B\ 1$ の出力 (不図示))。

[0063] また、第 2 のシフトレジスタ部の 2 段目ステージ ($R\ 2$) の出力は、クロック信号 $CK\ 3$ が H レベルである期間 (時刻 $t\ 6 \sim t\ 8$) の後半 (時刻 $t\ 7 \sim t\ 8$) にアクティブ (H レベル) となる (最下段の本充電期間に対応するステージ $R\ 2$ の出力 (不図示))。

また、ゲート信号 $Gout\ 1$ 、 $Gout\ 2$ の各波形に示すように、各本充電期間 (ゲート信号 $Gout\ 1$ の場合、時刻 $t\ 4 \sim t\ 5$) の直前においてゲートクロック信号 GCK の $3/4$ 周期分の期間 (本充電期間の 3 倍の期間、ゲート信号 $Gout\ 1$ の場合時刻 $t\ 1 \sim t\ 4$) のうち、本充電の期間の 2 倍の期間 (ゲート信号 $Gout\ 1$ の場合、時刻 $t\ 1 \sim t\ 3$) においてゲート信号の電位が上述した ML レベルに、これに続く本充電の期間と同じ期間 (ゲート信号 $Gout\ 1$ の場合、時刻 $t\ 3 \sim t\ 4$) においてゲート信号の電位が H レベルにあるので、これらの期間を予備充電期間とすることができる。

[0064] このように、ゲートドライバ102は、クロック信号GCK（クロック信号CK1～CK4）およびゲートスタートパルス信号GSP1、GSP2に基づき、クロック信号GCKのパルス幅（1水平走査期間内のHレベル期間の倍の長さ）に等しい幅のパルス（ゲートスタートパルス信号GSP1、GSP2）各々を、入力端から出力端まで順にシフトさせ、このパルス幅の1/2の期間に対応する本充電期間中、ゲート線をステージ初段から順次選択していく。また、各本充電期間の直前に、上述の様に本充電期間の3倍に相当する予備充電期間を設けることができるので、第1の実施形態の効果を維持しつつ、第1の実施形態に比べて更に選択される各画素電極の充電時間を増やすことができる。

[0065] なお、第3の実施形態において、データドライバ101は、予備充電期間と本充電期間とに各データ信号線（映像信号線）に印加される電圧の極性が同一となるように、複数の映像信号としての電圧を所定期間（1垂直走査期間）毎に極性を反転させつつ複数のデータ信号線（複数の映像信号線）にそれぞれ印加している。これは、例えば単位ステージ（例えばR2）に接続される画素形成部Pxの画素電極Epに本充電期間中において電圧を印加する場合、本充電期間に先行する画素電極Epの予備充電期間は、単位ステージR1、G1、B1に接続される画素形成部Pxの画素電極の本充電期間に当たるからである。

[0066] [第4の実施形態]

続いて、本発明の第4の実施形態によるシフトレジスタを液晶表示装置のゲートドライバ（走査信号線駆動回路）に用いた場合の他の実施形態について説明する。

第4の実施形態におけるシフトレジスタは、単位ステージとして、上記第1及び第2の実施形態において用いた単位ステージ（図6に示す単位ステージ）にa-SiTFTを付加した単位ステージを用いて構成されるシフトレジスタである。

図10は、シフトレジスタにおける単位ステージの接続を示すブロック図

であり、図 11 は、単位ステージの回路図である。

図 11 において、図 6 と同じ部分は同一の符号を付し、その説明は省略する。なお、図 11 において、図 6 におけるクロック端子 TCK をクロック端子 TCK3、クロック端子 TCKB をクロック端子 TCK、セット端子 TSET をセット端子 TSET1 として示している。

[0067] 図 11 に示す単位ステージは、図 6 に示す単位ステージを含み、更に、トランジスタ M9、M10、M11 を含む。

トランジスタ M9 は、ドレインが出力端子 TQ（第 2 の出力端子）に、ゲートがクロック端子 TCK2 に、ソースが第 2 の電源電圧（VSS）にそれぞれ接続される。また、トランジスタ M10 は、ドレインが出力端子 TGo ut（第 1 の出力端子）に、ゲートがクロック端子 TCK2 に、ソースが第 2 の電源電圧（VSS）にそれぞれ接続される。また、トランジスタ M11 は、ドレインが出力端子 TGo ut（第 1 の出力端子）に、ゲートがクロック端子 TCK3 に、ソースが第 2 の電源電圧（VSS）にそれぞれ接続される。

[0068] トランジスタ M9 は、シフト動作期間中において、次段ステージが出力端子 TQ から H レベルの第 2 の出力信号を出力した時に、出力端子 TQ を、トランジスタ M6 とともに第 2 の電源電圧まで放電し、初期化するためのトランジスタである。また、トランジスタ M10 は、シフト動作期間中において、次段ステージが出力端子 TQ から H レベルの第 2 の出力信号を出力した時に、出力端子 TGo ut を、トランジスタ M8 とともに第 2 の電源電圧まで放電し、初期化するためのトランジスタである。また、トランジスタ M11 は、図 6 に示す単位ステージでは、接続点 net A がトランジスタ M3 により MH レベルまで充電されてトランジスタ M7 がオンした場合、ML レベルのゲート信号 Gout を出力端子 TGo ut から出力したが、その際このゲート信号 Gout を第 2 の電源電圧（VSS）に維持するためのトランジスタである。すなわち、このトランジスタにより、出力端子 TGo ut から出力される信号は、波高値が第 1 の電源電圧（VDD）と同じであって、パル

ス幅はクロック信号、及びゲートスタートパルス信号と同じ幅の信号となる。

[0069] 以上の単位ステージを接続したシフトレジスタを、図10に示す。図10に示すように、シフトレジスタにおいて、初段ステージから後段ステージにかけて、単位ステージのクロック端子TCCKは、表示制御回路200からクロック信号CK1（第2のクロック信号）、クロック信号CK2（第3のクロック信号）、及びクロック信号CK3（第1のクロック信号）が交互に入力される。

また、シフトレジスタにおいて、初段ステージから後段ステージにかけて、単位ステージのクロック端子TCCK2は、表示制御回路200からクロック信号CK2、クロック信号CK3、及びクロック信号CK1が交互に入力される。また、シフトレジスタにおいて、初段ステージから後段ステージにかけて、単位ステージのクロック端子TCCK3は、表示制御回路200からクロック信号CK3、クロック信号CK1、及びクロック信号CK2が交互に入力される。

[0070] また、シフトレジスタにおいて、初段の単位レジスタのセット端子TSET1には、表示制御回路200からゲートスタートパルス信号GSPが入力される。

また、シフトレジスタにおいて、各単位ステージ（例えばR1）の出力端子TQ（第2の出力端子）は、次段の単位ステージ（G1）のセット端子TSETに接続される。また、シフトレジスタにおいて、各単位ステージ（例えばR1）のリセット端子TRは、次段の単位ステージ（G1）の出力端子TQに接続される。

[0071] [第5の実施形態]

第5の実施形態において、表示制御回路200は、クロック信号CK1、CK2、CK3、ゲートスタートパルス信号GSPのH期間（デューティ期間）を、本充電期間と同じ期間に設定する。また、表示制御回路200は、クロック信号CK1、CK2、CK3を同一周期の信号とし、各信号のデ

ューティーを、それぞれの信号の周期に対して33%に設定する。また、表示制御回路200は、クロック信号CK1の位相を120度遅らせてクロック信号CK2を、クロック信号CK2の位相を120度遅らせてクロック信号CK3、ゲートスタートパルス信号GSPを、それぞれ生成し、シフトレジスタへ出力する。

[0072] 図12は、第5の実施形態におけるゲートドライバ102の動作を説明するための信号波形図である。表示制御回路200は、上述のように、ゲートクロック信号GCKとして、本充電期間と同じ期間のパルス幅のクロック信号（クロック信号CK1、CK2、CK3）と、ゲートスタートパルス信号GSPとを、ゲートドライバ102に供給する（図12において、1段目～3段目のクロック信号CK1～CK3、時刻t3～t4におけるゲートスタートパルス信号GSP参照）。

[0073] 図12の最下段に示す符号A13は、本充電期間に対応するステージを示している。ゲートドライバ102は、ゲートスタートパルス信号GSPと上記クロック信号とに基づき、ゲート線GL1、GL2、・・・のそれぞれが本充電期間に1回ずつ選択されるように当該ゲート線GL1、GL2、・・・を順次選択するためのゲート信号Gout1、Gout2、・・・を生成する。すなわち、ゲート線GL1、GL2、・・・にそれぞれ印加されるゲート信号Gout1、Gout2、・・・において、各ゲート信号Goutは、図12に示すように、各本充電期間に対応して、クロック端子TCKに入力されるクロック信号がHレベルである期間において、アクティブ（Hレベル）となる。たとえば、シフトレジスタの初段ステージ（R1）の出力は、クロック信号CK1がHレベルである期間（時刻t4～t5）にアクティブ（Hレベル）となる（最下段の本充電期間に対応するステージR1からのゲート信号Gout1（6段目）参照）。また、シフトレジスタの2段目ステージ（G1）の出力はクロック信号CK2がHレベルである期間（時刻t5～t6）にアクティブ（Hレベル）となる（最下段の本充電期間に対応するステージG1からのゲート信号Gout2（7段目）参照）。同様に、シ

フトレジスタの3段階目ステージ（B1）の出力はクロック信号CK3がHレベルである期間（時刻 $t_6 \sim t_7$ ）にアクティブ（Hレベル）となる（最下段の本充電期間に対応するステージB1からのゲート信号Gout3（8段階目）参照）。

[0074] また、表示制御回路200が、ゲートスタートパルス信号GSPを1周期前（本充電期間の3倍の期間前）にシフトレジスタに供給すると（破線で示す波形が1周期前に入力するゲートスタートパルス信号GSP）、走査信号線に接続される画素形成部Pxの画素電極Epを、3走査線前の画素電極Epを駆動するデータで駆動することができる。例えば、単位ステージ（R2）が駆動するゲート線GL4に接続される画素形成部Pxの画素電極Epに本充電期間中（時刻 $t_7 \sim t_8$ ）において電圧を印加する場合、本充電期間に先行する画素電極Epの予備充電期間は、単位ステージ（R1）が駆動するゲート線GL1に接続される画素形成部Pxの画素電極Epの本充電期間（時刻 $t_4 \sim t_5$ ）に当たる。

[0075] なお、上記の様に、ゲートスタートパルス信号GSPを1周期前に入れる場合、データドライバ101は、予備充電期間と本充電期間とに各データ信号線（映像信号線）に印加される電圧の極性が同一となるように、複数の映像信号としての電圧を所定期間（1垂直走査期間）毎に極性を反転させつつ複数のデータ信号線（複数の映像信号線）にそれぞれ印加している。これは、例えば単位ステージ（R2）が駆動するゲート線GL2に接続される画素形成部Pxの画素電極Epに本充電期間中において電圧を印加する場合、本充電期間に先行する画素電極Epの予備充電期間は、上記の通り、単位ステージR1が駆動するゲート線GL1に接続される画素形成部Pxの画素電極Epの本充電期間に当たるからである。

[0076] また、例えば、データドライバ101が、ライン反転駆動方式を採用する場合、予備充電期間と本充電期間とに各データ信号線（映像信号線）に印加される電圧の極性が同一となるように、複数の映像信号としての電圧を所定期間（1水平走査期間）毎に極性を反転させつつ複数のデータ信号線（複数

の映像信号線)にそれぞれ印加している。この場合、予備充電期間を設けるためには、ゲートスタートパルス信号GSPを2周期前に入れる構成として良い。例えば、単位ステージ(R3)が駆動するゲート線GL7に接続される画素形成部Pxの画素電極Epに本充電期間中(時刻t10~t11)において電圧を印加する場合、この本充電期間に先行する画素電極Epの予備充電期間は、単位ステージ(R1)が駆動するゲート線GL1に接続される画素形成部Pxの画素電極Epの本充電期間(時刻t4~t5)に当たる。つまり画素電極Epの予備充電を、この画素電極と同一極性、かつ、同色である画素電極の本充電期間に、実行することができる。

[0077] このように、ゲートドライバ102は、クロック信号GCK(クロック信号CK1~CK3)およびゲートスタートパルス信号GSPに基づき、クロック信号GCKのパルス幅(1水平走査期間内のHレベル期間の長さ)に等しい幅のパルス(ゲートスタートパルス信号GSP)を入力端から出力端まで順にシフトさせ、このパルス幅の期間に対応する本充電期間中、ゲート線をステージ初段から順次選択していく。

[0078] 第5の実施形態では、クロック信号GCKを3相(デューティー33%)で供給することにより、シフトレジスタのa-SiTFTに加わるストレスが、50%デューティーのクロック信号を使用する上述した実施形態1または実施形態2におけるシフトレジスタに比べて低減でき、さらにシフトレジスタの信頼性を向上することができる。

また、上述の様に、ゲートスタートパルス信号GSPの入力タイミングにより、予備充電に使うデータ(そのとき本充電期間として選択されているゲート線に接続される画素電極に書き込むデータ)を容易に変えることができる。また、ゲートスタートパルス信号GSPの入力個数により、更に選択される各画素電極の充電時間を増やすことができる。

[0079] 以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の変更等も含まれる。

産業上の利用可能性

[0080] 本発明は、信頼性、及び品質の向上したシフトレジスタ、及びこのシフトレジスタをデータドライバとして用いる表示装置などに適用できる。

符号の説明

[0081] M1, M2, M3, M4, M5, M6, M7, M8, M9, M10, M11, N1, N2, N3, N4, Q5, Q2・・・トランジスタ、C1, C2・・・容量、net A・・・接続点、TCK, TCKB, TCK2, TCK3・・・クロック端子、TSET, TSET1・・・セット端子、TR・・・リセット端子、TQ, TGout, TOUT・・・出力端子、CK, CKB, CK1, CK2, CK3, CK4, GCK, SCK・・・クロック信号、SET・・・セット信号、GSP, GSP1, GSP2・・・ゲートスタートパルス信号、R・・・リセット信号、Q・・・転送信号、Gout, Gout1, Gout2, Gout3・・・ゲート信号、101・・・データドライバ、102・・・ゲートドライバ、103・・・表示部、200・・・表示制御回路、Lg・・・走査信号線、GL1, GL2, GL4, GL7・・・ゲート線、Ls・・・映像信号線、SL1・・・データ線、Px・・・画素形成部、Cp・・・画素容量、Ep・・・画素電極

請求の範囲

[請求項1]

複数の単位ステージを備え、

前記単位ステージ各々は、

入力されるパルス信号を前記単位ステージ各々がクロック信号に基づいて第1の出力信号として順次に出力する第1の駆動部と、

前記第1の駆動部とは異なる第2の駆動部であって、前記パルス信号を第2の出力信号として次段のステージへ転送する第2の駆動部と、

を備えるシフトレジスタ。

[請求項2]

前記第2の出力信号の波高値は、前記第1の出力信号の波高値より低い請求項1に記載のシフトレジスタ。

[請求項3]

縦続接続される複数の単位ステージを備え、

前記各単位ステージはそれぞれ、

各単位ステージに対応する第1の出力信号を順次に出力する第1の出力端子に第1の電源電圧または第2の電源電圧を供給する駆動部と、

一端が前記駆動部に接続され、他端が第2の出力端子に接続された充電部と、

前段ステージの前記第2の出力端子からの第2の出力信号と、第1のクロック信号または前記第1のクロック信号の論理反転信号である第2のクロック信号のうち一方のクロック信号に応じて前記充電部の前記一端を充電する第1充電制御部と、

前記第1のクロック信号または前記第2のクロック信号のうち他方のクロック信号に応じて前記充電部の前記他端を駆動して前記充電部の前記一端を昇圧し、前記駆動部による前記第1の電源電圧の供給を制御する第2充電制御部と、

次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記駆動部による前記第2の電源電圧の供給を制御する第1放

電制御部と、

次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記充電部の他端を放電する第2放電制御部と、

を備えるシフトレジスタ。

[請求項4] 前記第1のクロック信号、及び前記第2のクロック信号は、それぞれデューティ50%の信号である請求項3に記載のシフトレジスタ。

[請求項5] さらに、

前記充電部の他端を、前記第1のクロック信号及び前記第2のクロック信号とは位相の異なる第3のクロック信号に応じて放電する第3放電制御部と、

前記第3のクロック信号に応じて、前記第1の出力端子に前記第2の電源電圧を供給する第4放電制御部と、

前記第1のクロック信号に応じて、前記第1の出力端子に前記第2の電源電圧を供給する第5放電制御部と、

を備える請求項3に記載のシフトレジスタ。

[請求項6] 前記第1のクロック信号、前記第2のクロック信号、及び第3のクロック信号は、互いにデューティが等しく、互いの位相が120度異なる信号である請求項5に記載のシフトレジスタ。

[請求項7] 縦続接続される複数の単位ステージを備え、

前記各単位ステージはそれぞれ、

各単位ステージに対応する第1の出力信号を順次に出力する第1の出力端子に第1の電源電圧または第2の電源電圧を供給する駆動部と、

一端が前記駆動部に接続され、他端が第2の出力端子に接続された充電部と、

前段ステージの前記第2の出力端子からの第2の出力信号と、第1のクロック信号または前記第1のクロック信号の論理反転信号である

第2のクロック信号の一方のクロック信号とに応じて前記充電部の前記一端を充電する第1充電制御部と、

前記第1のクロック信号または前記第2のクロック信号の他方のクロック信号に応じて前記充電部の前記他端を駆動して前記充電部の前記一端を昇圧し、前記駆動部による前記第1の電源電圧の供給を制御する第2充電制御部と、

次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記駆動部による前記第2の電源電圧の供給を制御する第1放電制御部と、

次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記充電部の他端を放電する第2放電制御部と、

を備え、

前記シフトレジスタは、奇数番目の単位ステージから構成される第1シフトレジスタ部と、偶数番目の単位ステージから構成される第2シフトレジスタ部とにグループ分けされるシフトレジスタ。

[請求項8]

前記第1シフトレジスタ部に入力される前記第1のクロック信号、及び前記第2のクロック信号、前記第2シフトレジスタ部に入力される前記第1のクロック信号、及び前記第2のクロック信号は、それぞれデューティ50%の信号であって、第1シフトレジスタ部に入力される各信号と第2シフトレジスタ部に入力される対応する信号とはそれぞれ互いに位相が90度異なる信号である請求項7に記載のシフトレジスタ。

[請求項9]

表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部と、

各走査信号線につき予め設定された本充電期間中及び当該本充電期

間中に先行する予備充電期間中は当該走査信号線を駆動するように、前記複数の走査信号線を選択する走査信号線駆動回路と、

前記予備充電期間と前記本充電期間とに各映像信号線に印加される電圧の極性が同一となるように、前記複数の映像信号としての電圧を所定期間毎に極性を反転させつつ前記複数の映像信号線にそれぞれ印加する映像信号線駆動回路とを備え、

前記走査信号線駆動回路は、複数の単位ステージが配置され、入力される前記本充電期間の長さに等しい幅のパルス信号を前記単位ステージ各々がクロック信号に基づいて、前記走査信号線を駆動する第1の出力信号として順次に出力するシフトレジスタであって、前記単位ステージ各々が、前記第1の出力信号を出力する第1の駆動部とは異なる第2の駆動部から、前記パルス信号を第2の出力信号として次段のステージへ転送するシフトレジスタを含む表示装置。

[請求項10] 前記第2の出力信号の波高値は前記第1の出力信号の波高値より低い請求項9に記載の表示装置。

[請求項11] 前記シフトレジスタは、
複数の単位ステージが縦続接続され、各単位ステージに対応する前記第1の出力信号を前記複数の走査信号線のひとつに順次に出力し、
前記各単位ステージはそれぞれ、

前記第1の出力信号を出力する第1の出力端子に第1の電源電圧または第2の電源電圧を供給する駆動部と、

一端が前記駆動部に接続され、他端が第2の出力端子に接続された充電部と、

前記本充電期間の長さに等しい幅のシフト動作開始を示す開始信号または前段ステージの前記第2の出力端子からの第2の出力信号と、
第1のクロック信号または前記第1のクロック信号の論理反転信号である第2のクロック信号のうち一方のクロック信号に応じて前記充電部の前記一端を充電する第1充電制御部と、

前記第 1 のクロック信号または前記第 2 のクロック信号のうち他方のクロック信号に応じて前記充電部の前記他端を駆動して前記充電部の前記一端を昇圧し、前記駆動部による前記第 1 の電源電圧の供給を制御する第 2 充電制御部と、

次段ステージの前記第 2 の出力端子からの前記第 2 の出力信号に応じて、前記駆動部による前記第 2 の電源電圧の供給を制御する第 1 放電制御部と、

次段ステージの前記第 2 の出力端子からの前記第 2 の出力信号に応じて、前記充電部の他端を放電する第 2 放電制御部と、

を有する請求項 9 に記載の表示装置。

[請求項12] 前記第 1 のクロック信号、及び前記第 2 のクロック信号は、それぞれデューティ 50% の信号である請求項 11 に記載の表示装置。

[請求項13] 前記シフトレジスタは、複数の単位ステージが縦続接続され、各単位ステージに対応する第 1 の出力信号を前記複数の走査信号線のひとつに順次に出し、

前記各単位ステージはそれぞれ、

前記第 1 の出力信号を出力する第 1 の出力端子に第 1 の電源電圧または第 2 の電源電圧を供給する駆動部と、

一端が前記駆動部に接続され、他端が第 2 の出力端子に接続された充電部と、

前記本充電期間の 2 倍の長さに等しい幅のシフト動作開始を示す開始信号または前段ステージの前記第 2 の出力端子からの第 2 の出力信号と、第 1 のクロック信号または前記第 1 のクロック信号の論理反転信号である第 2 のクロック信号の一方のクロック信号とに応じて前記充電部の前記一端を充電する第 1 充電制御部と、

前記第 1 のクロック信号または前記第 2 のクロック信号の他方のクロック信号に応じて前記充電部の前記他端を駆動して前記充電部の前記一端を昇圧し、前記駆動部による前記第 1 の電源電圧の供給を制御

する第2充電制御部と、

次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記駆動部による前記第2の電源電圧の供給を制御する第1放電制御部と、

次段ステージの前記第2の出力端子からの前記第2の出力信号に応じて、前記充電部の他端を放電する第2放電制御部と、

を備え、

前記シフトレジスタは、初段の単位ステージから数えて奇数番目の単位ステージから構成される第1シフトレジスタ部と、初段の単位ステージから数えて偶数番目の単位ステージから構成される第2シフトレジスタ部とにグループ分けされる請求項9に記載の表示装置。

[請求項14]

前記第1シフトレジスタ部に入力される前記第1のクロック信号、及び前記第2のクロック信号、前記第2シフトレジスタ部に入力される前記第1のクロック信号、及び前記第2のクロック信号は、それぞれデューティ50%の信号であって、第1シフトレジスタ部に入力される各信号と第2シフトレジスタ部に入力される対応する信号とはそれぞれ互いに位相が90度異なる信号である請求項13に記載の表示装置。

[請求項15]

前記シフトレジスタは、さらに、

前記充電部の他端を、前記第1のクロック信号及び前記第2のクロック信号とは位相の異なる第3のクロック信号に応じて放電する第3放電制御部と、

前記第3のクロック信号に応じて、前記第1の出力端子に前記第2の電源電圧を供給する第4放電制御部と、

前記第1のクロック信号に応じて、前記第1の出力端子に前記第2の電源電圧を供給する第5放電制御部と、

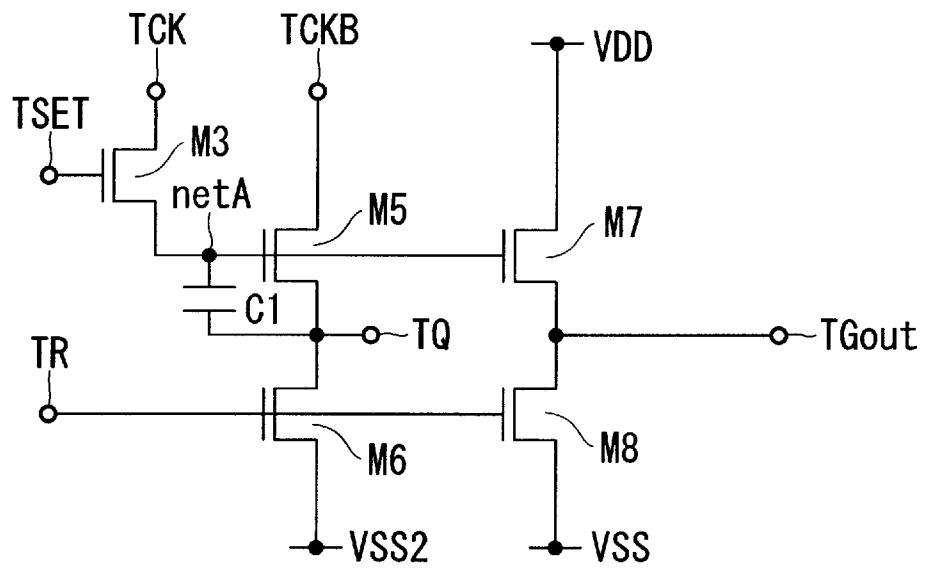
を備える請求項9に記載の表示装置。

[請求項16]

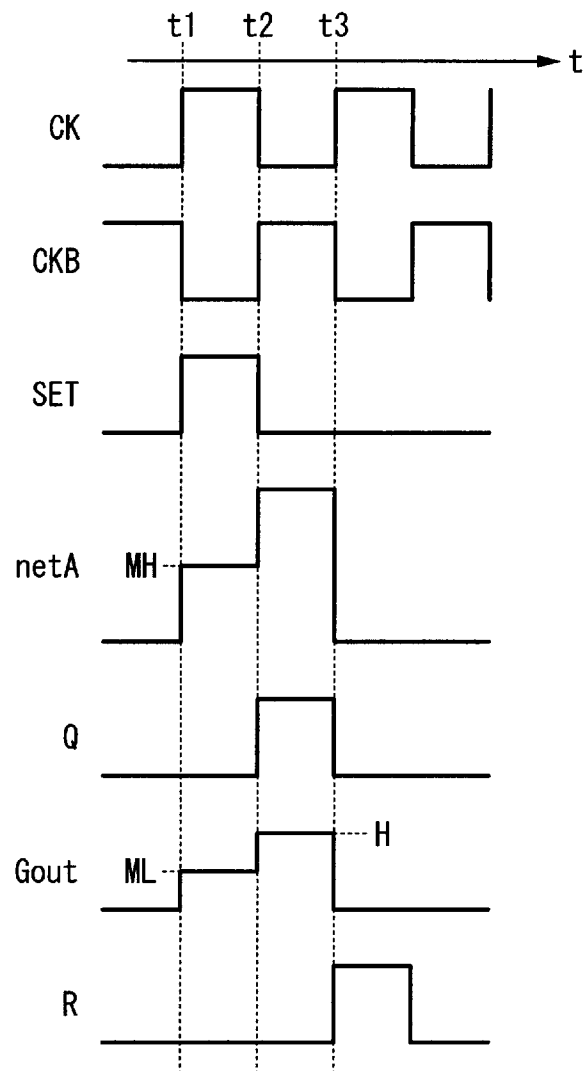
前記第1のクロック信号、前記第2のクロック信号、及び第3のク

ロック信号は、互いにデューティーが等しく、互いの位相が120度異なる信号である請求項15に記載の表示装置。

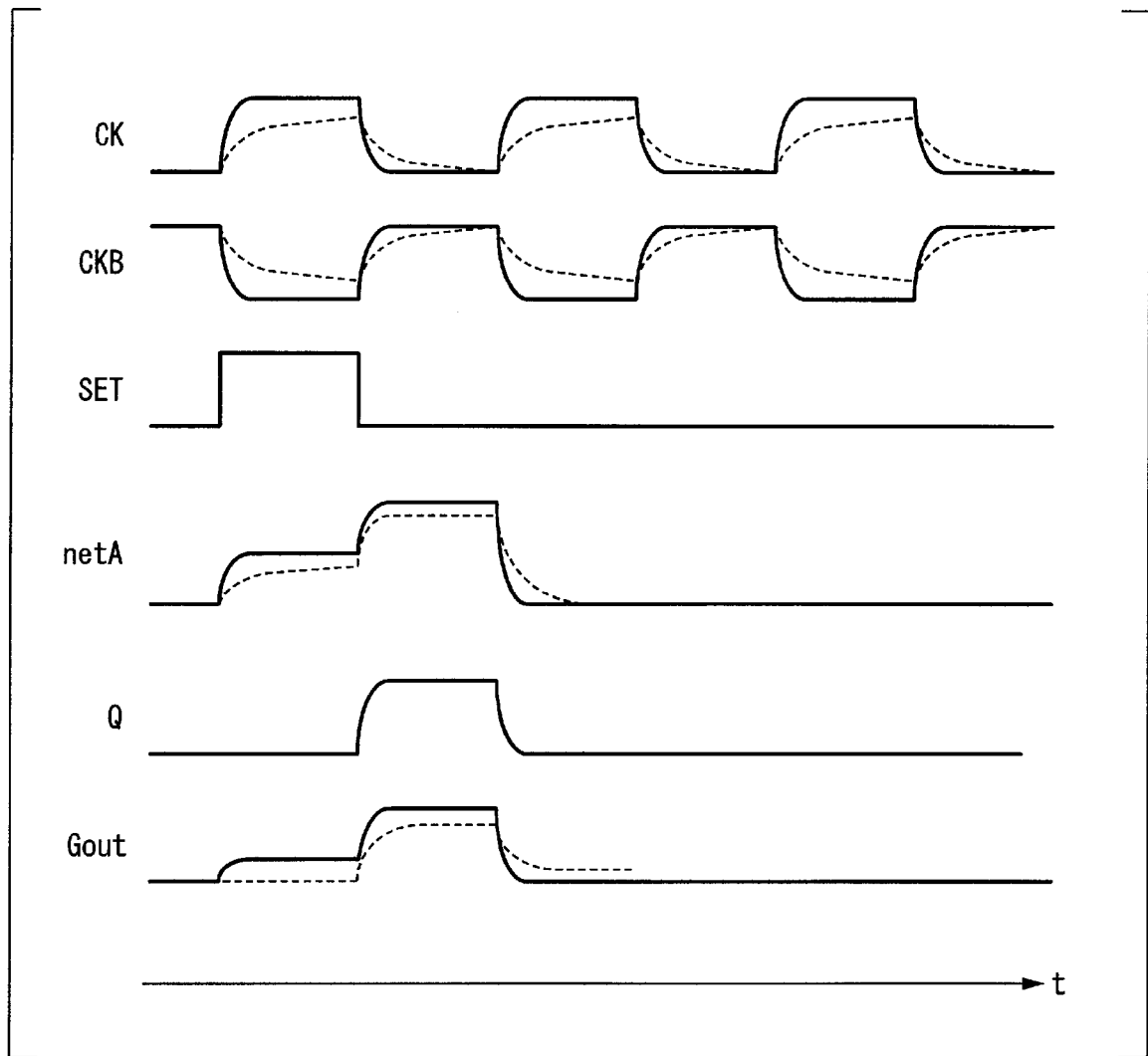
[図1]



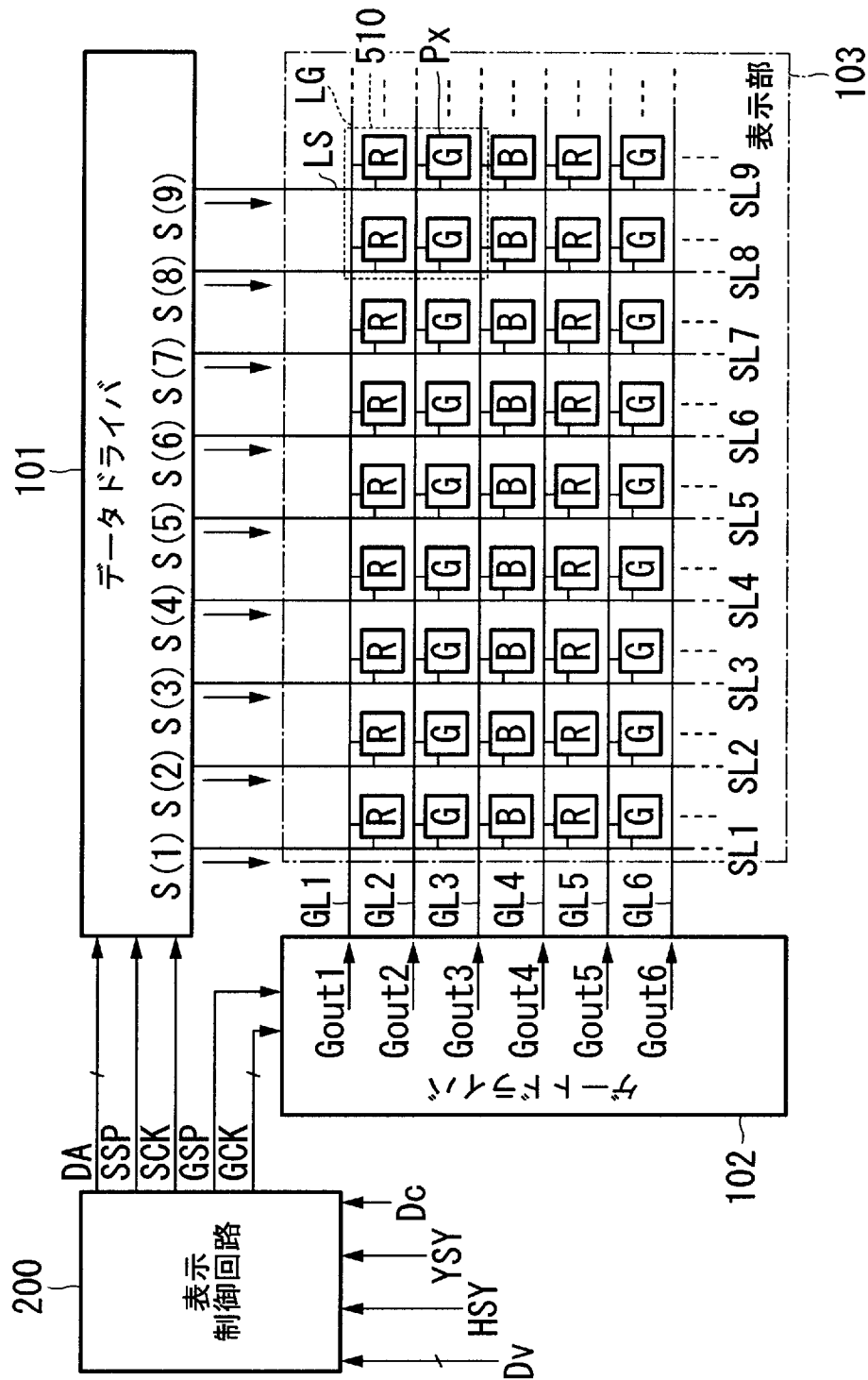
[図2]



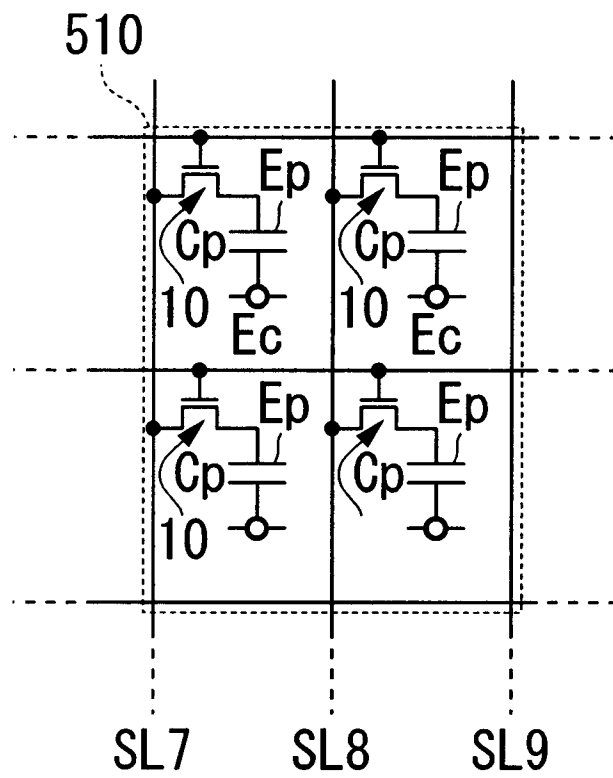
[図3]



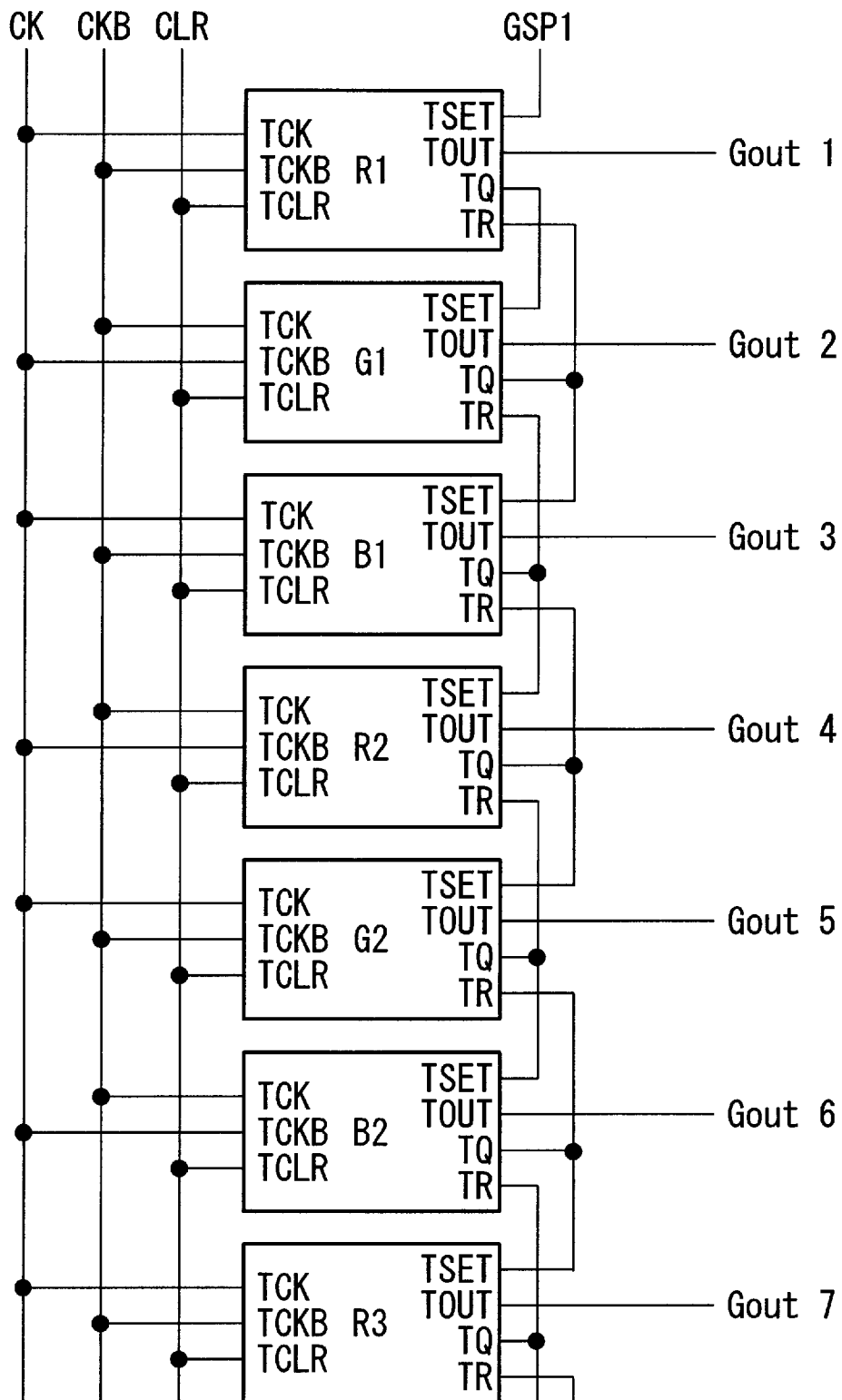
[図4A]



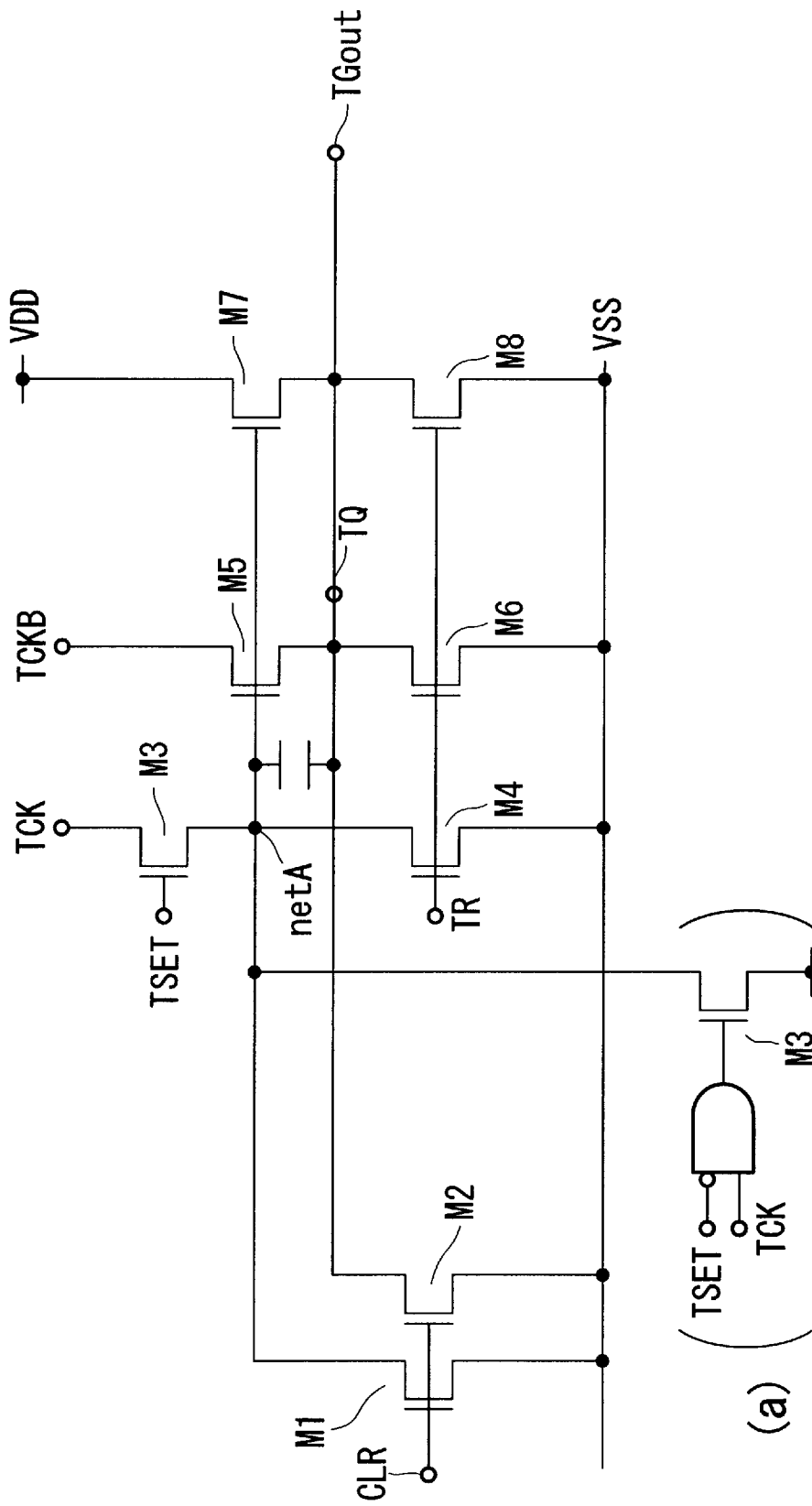
[図4B]



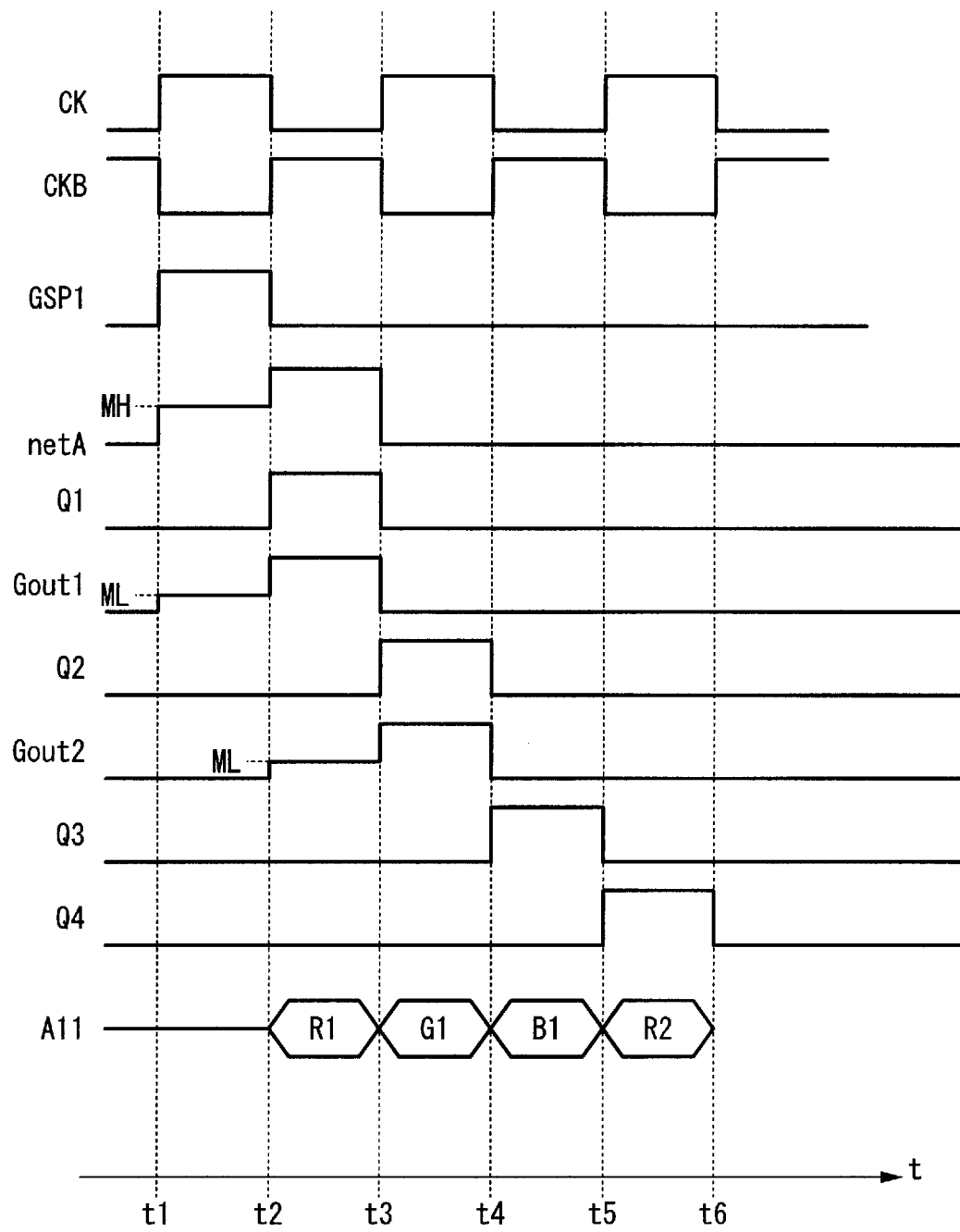
[図5]



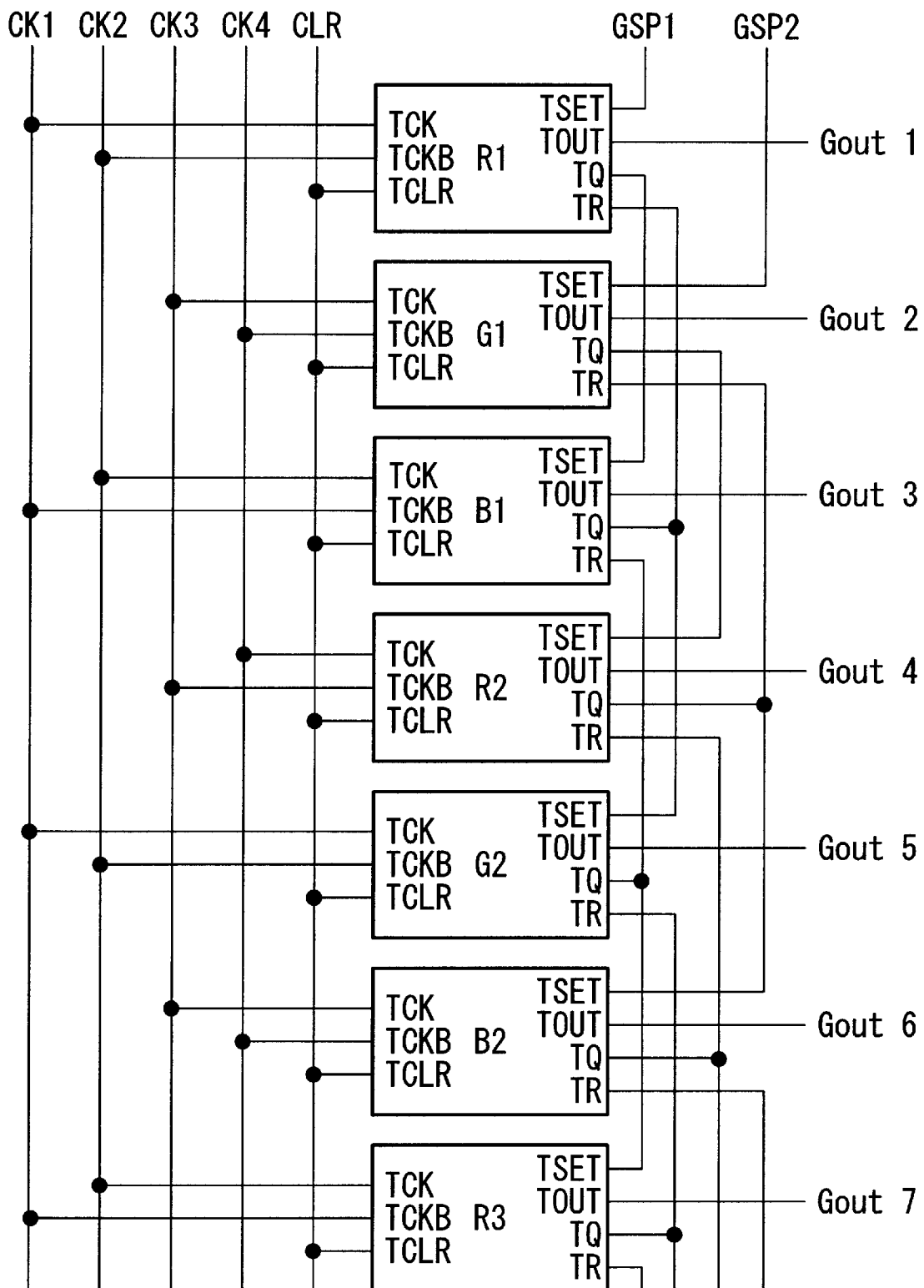
[図6]



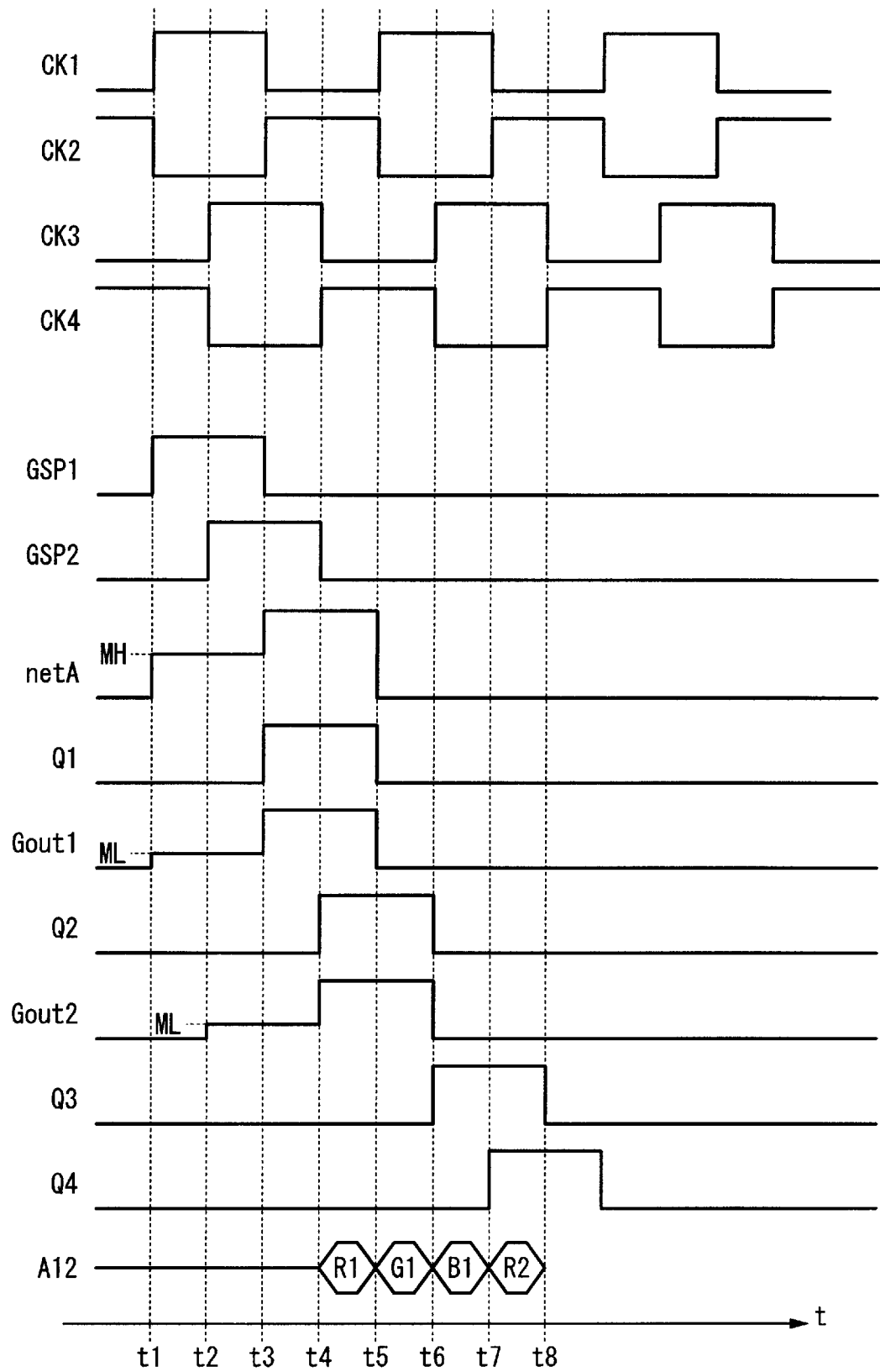
[図7]



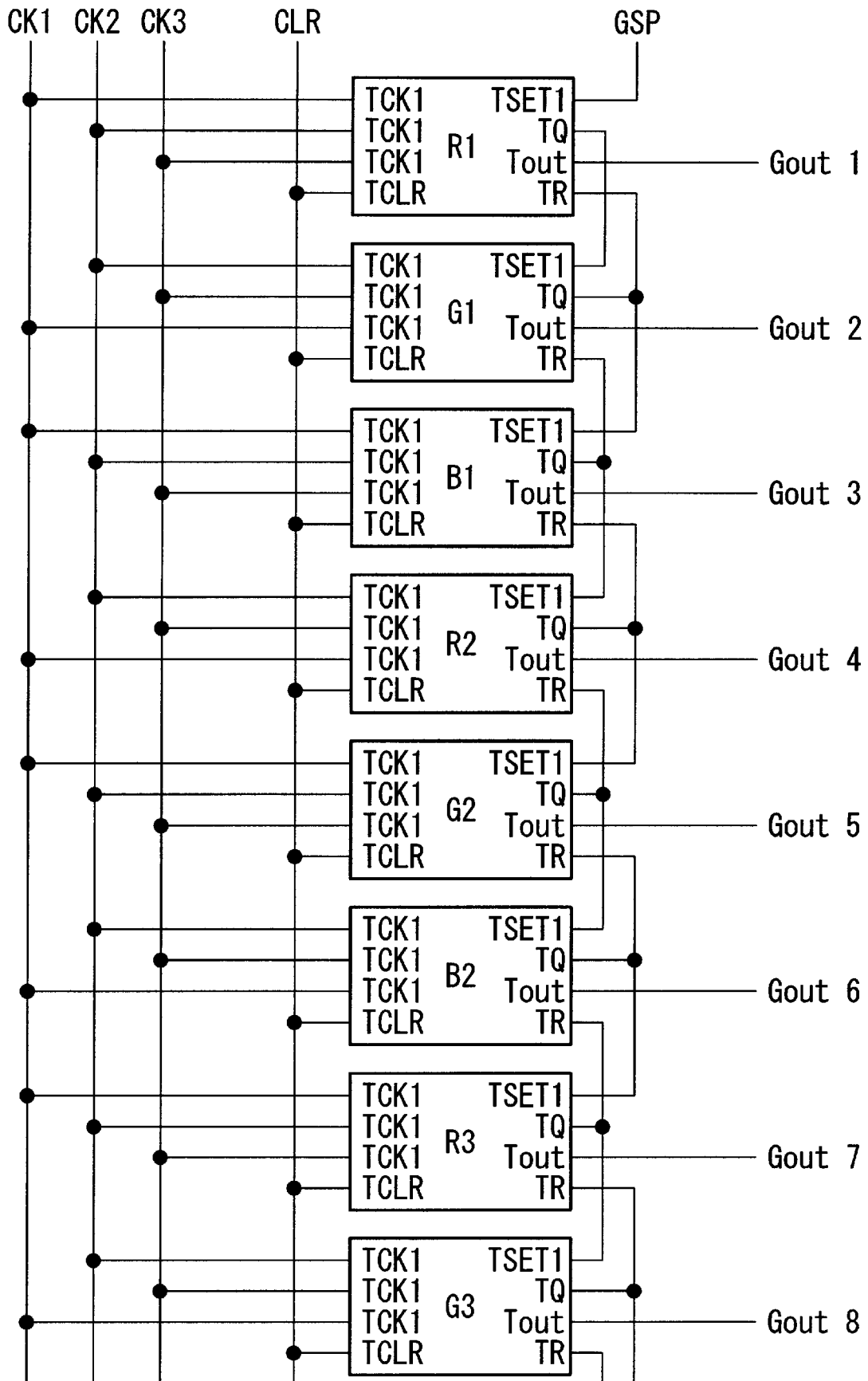
[図8]



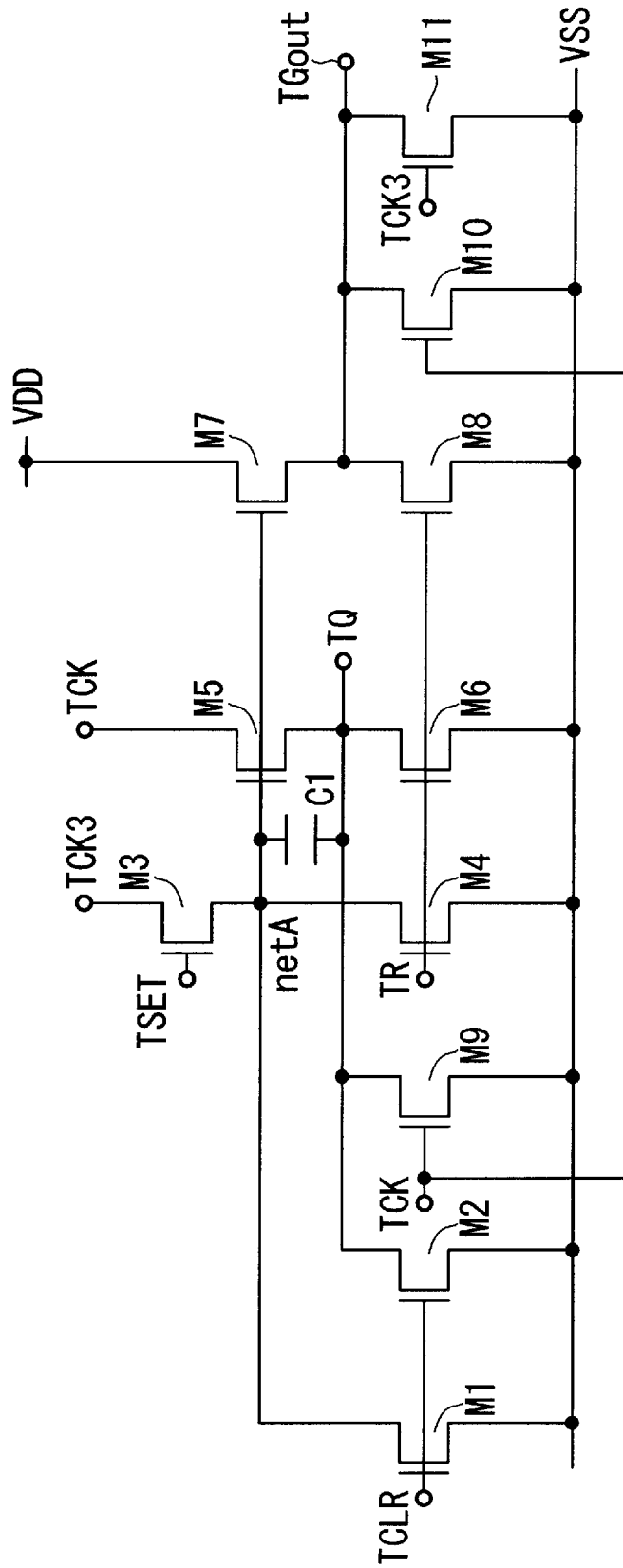
[図9]



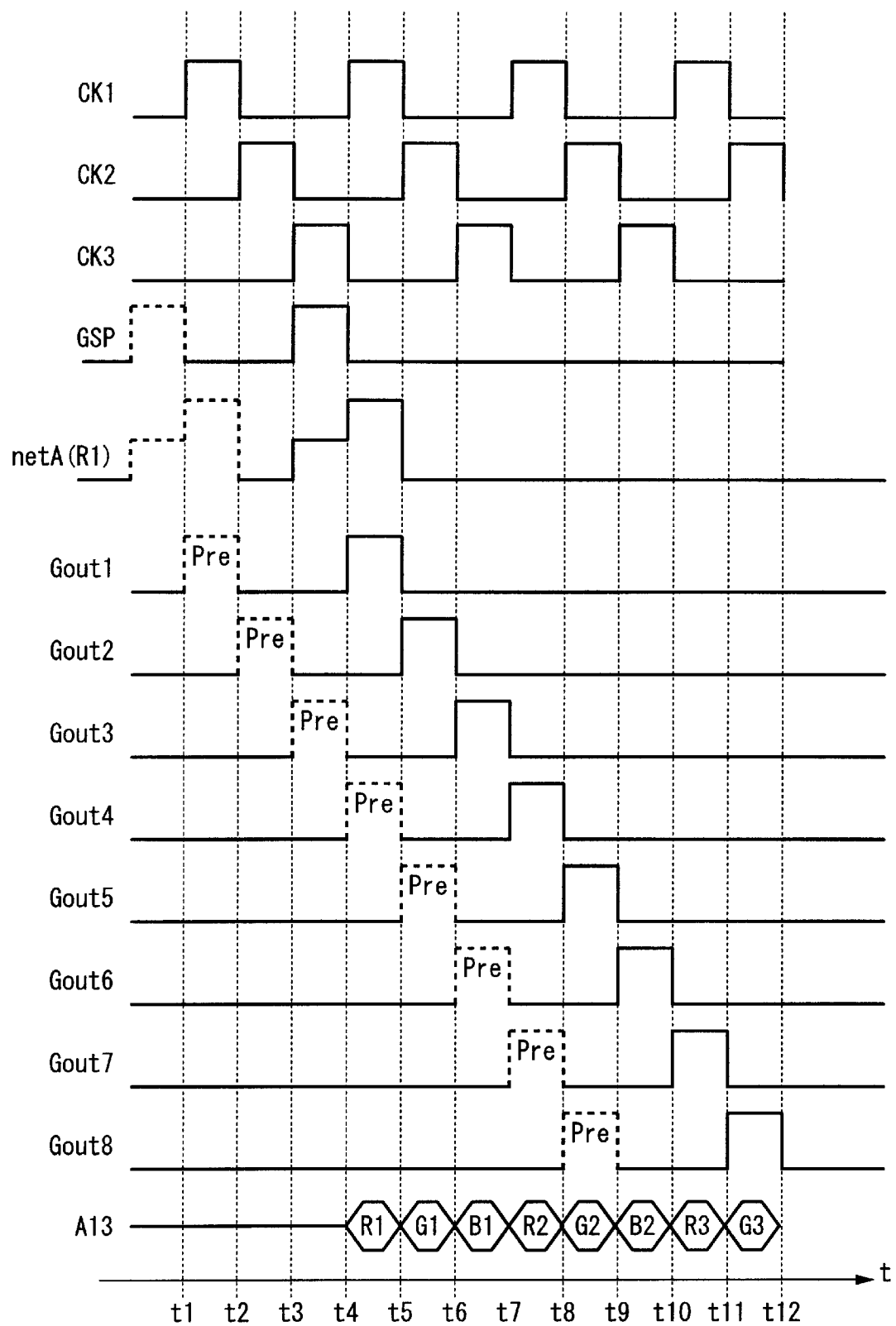
[図10]



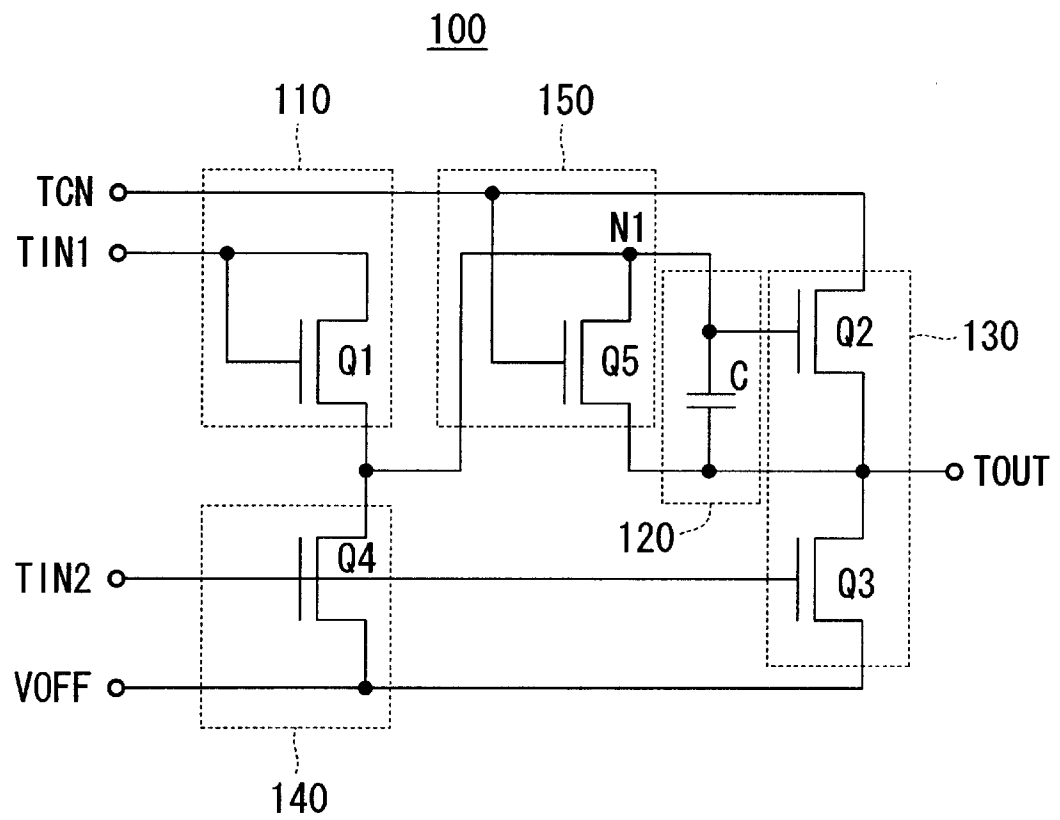
[図11]



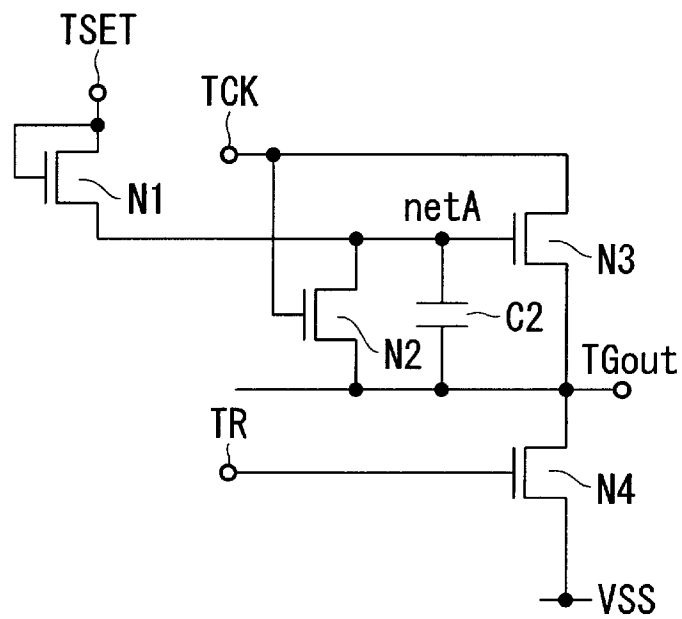
[図12]



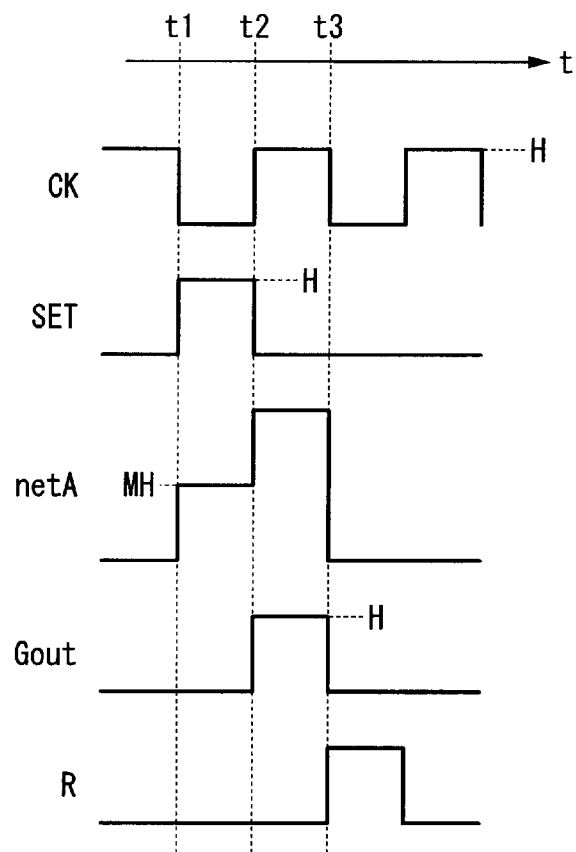
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064690

A. CLASSIFICATION OF SUBJECT MATTER

G11C19/28(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C19/28, G02F1/133, G09G3/20, G09G3/36, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2010/097986 A1 (Sharp Corp.), 02 September 2010 (02.09.2010), paragraphs [0165] to [0186]; fig. 15 to 17 (Family: none)	1-2, 9-10, 15-16 3-8, 11-14
Y A	WO 2009/104322 A1 (Sharp Corp.), 27 August 2009 (27.08.2009), paragraphs [0144] to [0146]; fig. 9, 10 & US 2010/0315403 A1 & CN 101952875 A	9-10, 15-16 3-8, 11-14
P, A	WO 2011/152138 A1 (Sharp Corp.), 08 December 2011 (08.12.2011), paragraphs [0045] to [0047]; fig. 9, 10 (Family: none)	9-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 July, 2012 (26.07.12)

Date of mailing of the international search report
07 August, 2012 (07.08.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064690

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	WO 2011/162057 A1 (Sharp Corp.), 29 December 2011 (29.12.2011), paragraphs [0083] to [0089]; fig. 1, 5 (Family: none)	1-16
P, A	WO 2011/114562 A1 (Sharp Corp.), 22 September 2011 (22.09.2011), paragraphs [0131] to [0138]; fig. 35 (Family: none)	1-16
P, A	WO 2011/114569 A1 (Sharp Corp.), 22 September 2011 (22.09.2011), paragraphs [0064] to [0068]; fig. 15 (Family: none)	1-16

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C19/28 (2006.01)i, G02F1/133 (2006.01)i, G09G3/20 (2006.01)i, G09G3/36 (2006.01)i,
G11C19/00 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C19/28, G02F1/133, G09G3/20, G09G3/36, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2010/097986 A1 (シャープ株式会社) 2010.09.02, 段落【0165】 - 【0186】, 第15-17図 (ファミリーなし)	1-2, 9-10, 15-16 3-8, 11-14
Y A	WO 2009/104322 A1 (シャープ株式会社) 2009.08.27, 段落【0144】 - 【0146】, 第9図, 第10図 & US 2010/0315403 A1 & CN 101952875 A	9-10, 15-16 3-8, 11-14

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 7 . 2 0 1 2

国際調査報告の発送日

0 7 . 0 8 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 3

5 U

8 8 4 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
PA	WO 2011/152138 A1 (シャープ株式会社) 2011. 12. 08, 段落【0045】 - 【0047】, 第9図, 第10図 (ファミリーなし)	9-16
PA	WO 2011/162057 A1 (シャープ株式会社) 2011. 12. 29, 段落【0083】 - 【0089】, 第1図, 第5図 (ファミリーなし)	1-16
PA	WO 2011/114562 A1 (シャープ株式会社) 2011. 09. 22, 段落【0131】 - 【0138】, 第35図 (ファミリーなし)	1-16
PA	WO 2011/114569 A1 (シャープ株式会社) 2011. 09. 22, 段落【0064】 - 【0068】, 第15図 (ファミリーなし)	1-16