

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 8 月 30 日 (30.08.2018)



(10) 国际公布号
WO 2018/153104 A1

(51) 国际专利分类号:
G09G 3/32 (2016.01) **G11C 19/28** (2006.01)

(21) 国际申请号: PCT/CN2017/105459

(22) 国际申请日: 2017 年 10 月 10 日 (10.10.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710106147.2 2017 年 2 月 24 日 (24.02.2017) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHENG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。

(72) 发明人: 王博(WANG, Bo); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号远大中心 B 座 1802, 1803, 1805, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(54) Title: SHIFT REGISTER UNIT AND DRIVING METHOD THEREFOR, GATE DRIVING CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

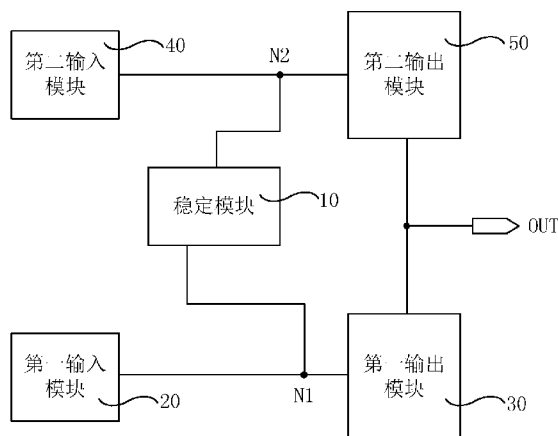


图 1

- 10 STABILIZATION MODULE
- 20 FIRST INPUT MODULE
- 30 FIRST OUTPUT MODULE
- 40 SECOND INPUT MODULE
- 50 SECOND OUTPUT MODULE

(57) Abstract: A shift register unit (RS1, RS2, ..., RS(n-1), RS_n) and a driving method therefor, a gate driving circuit and a display device, which relate to the technical field of display, so that when the demand of a user changes, the pulse width of a signal input to a pixel circuit does not need to be adjusted row by row, and signals output from the shift register unit to the pixel circuit are stable. The shift register unit comprises a first input circuit (20), a first output circuit (30), a second input circuit (40), a second output circuit (50), and a stabilization circuit (10). The stabilization circuit (10) is used for stabilizing the electric potential of a second node (N2) when the first output circuit (30) outputs a signal to a signal output end (OUT), so that no signal is output from the second output circuit (50), or is used for stabilizing the electric potential of a first node (N1) when the second output circuit (50) outputs a signal to the signal output end (OUT), so that no signal is output from the first output circuit (30).

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种移位寄存器单元(RS1,RS2……RS(n-1),RSn)及其驱动方法、栅极驱动电路、显示装置, 涉及显示技术领域, 能够当用户需求发生变化时, 无需逐行对输入至像素电路的信号脉宽进行调整, 且使得移位寄存器单元向该像素电路输出的信号稳定。该移位寄存器单元包括第一输入电路(20)、第一输出电路(30)、第二输入电路(40)、第二输出电路(50)、稳定电路(10)。该稳定电路(10)用于当第一输出电路(30)向信号输出端(OUT)输出信号时, 稳定第二节点(N2)的电位, 以使得第二输出电路(50)无信号输出; 或者, 用于当第二输出电路(50)向信号输出端(OUT)输出信号时, 稳定第一节点(N1)的电位, 以使得第一输出电路(30)无信号输出。

移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

交叉引用

本申请要求于 2017 年 2 月 24 日提交的申请号为 201710106147.2、名称为“移位寄存器单元及其驱动方法、栅极驱动电路、显示装置”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及显示技术领域，尤其涉及一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。

背景技术

AMOLED (Active Matrix Driving OLED, 有源矩阵驱动有机发光二极管) 显示装置具有低制造成本、高应答速度、省电、可用于便携式设备的直流驱动、工作温度范围大等等优点，而越来越多地被应用于高性能显示领域当中。

AMOLED 显示面板的像素中设置有用于发光的像素电路，然而在使用 AMOLED 显示器观看显示画面的过程中，不同的环境光线的亮度对人眼的感受程度不同。例如，当环境光线较亮时，需要调高显示器的亮度，以使得显示画面更加清晰；当环境光线较暗时，需要调低显示器的亮度，以避免亮度较高的显示画面带来刺眼的感觉，因此人们需要根据不同的观看环境对显示画面的亮度进行调节。

在此情况下，当用户需求发生变化时，现有技术中需要逐行对输入至上述像素电路的信号脉宽进行调整，以达到调整像素发光亮度的目的，然而逐行调整调节过程较复杂，导致生产效率降低。

发明内容

本公开的实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置，能够当用户需求发生变化时，无需逐行对输入至像素电路的信号脉宽进行调整，且使得移位寄存器单元向该像素电路输出的信号稳定。

为达到上述目的，本公开的实施例采用如下技术方案：

本公开实施例的一方面，提供一种移位寄存器单元，包括第一输入电路，与第一节点连接，用于向所述第一节点输出电位信号；第一输出电路，与信号输出端以及所述第一节点连接，用于在所述第一节点的控制下，向所述信号输出端输出电位信号；第二输入电路，与第二节点连接，所述第二输入电路用于向所述第二节点输出电位信号；第二输出电路，与所述信号输出端以及第二节点连接，

所述第二输出电路用于在所述第二节点的控制下，向所述信号输出端输出电位信号；所述稳定电路连接所述第一节点以及所述第二节点，所述稳定电路用于当所述第一输出电路向所述信号输出端输出电位信号时，稳定所述第二节点的电位，以使得第二输出电路无信号输出；或者，用于当所述第二输出电路向所述信号输出端输出电位信号时，稳定所述第一节点的电位，以使得所述第一输出电路无信号输出。

在一个实施方式中，所述稳定电路还连接第一电压端，所述稳定电路用于在所述第一节点的控制下，将所述第一电压端的信号输出至所述第二节点；或在所述第二节点的控制下，将所述第一电压端的信号输出至所述第一节点；所述稳定电路包括：第一晶体管和第二晶体管；其中，所述第一晶体管的宽长比大于所述第二晶体管的宽长比；所述第一晶体管的栅极连接所述第一节点，第一极连接所述第一电压端，第二极与所述第二节点相连接；所述第二晶体管的栅极连接所述第二节点，第一极连接所述第一电压端，第二极与所述第一节点相连接。

在一个实施方式中，所述第一输入电路还连接信号输入端，所述第一输入电路用于在所述信号输入端的控制下，将所述信号输入端的电位信号输出至所述第一节点；所述第一输入电路包括第三晶体管，所述第三晶体管的栅极和第一极连接所述信号输入端，第二极与所述第一节点相连接。

在一个实施方式中，所述第一输出电路还连接所述第一时钟信号端，所述第一输出电路用于在所述第一节点的控制下，将所述第一时钟信号端的信号输出至所述信号输出端；所述第一输出电路包括第四晶体管，所述第四晶体管的栅极连接所述第一节点，第一极连接所述第一时钟信号端，第二极与所述信号输出端相连接。

在一个实施方式中，所述第二输入电路还连接所述第二时钟信号端以及第二电压端，所述第二输入电路用于在所述第二时钟信号端的控制下，将所述第二电压端的信号输出至所述第二节点；所述第二输入电路包括第五晶体管，所述第五晶体管的栅极连接所述第二时钟信号端，第一极连接所述第二电压端，第二极与所述第二节点相连接。

在一个实施方式中，所述第二输出电路还连接所述第一电压端，所述第二输出电路用于在所述第二节点的控制下，将所述第一电压端的信号输出至所述信号输出端；所述第二输出电路包括第六晶体管和存储电容；所述第六晶体管的栅极连接所述第二节点，第一极连接所述第一电压端，第二极与所述信号输出端相连接；所述存储电容的一端连接第一电压端，另一端与所述第二节点相连接。

本公开实施例的另一方面，提供一种栅极驱动电路，包括多个级联的如上所述的任意一种移位寄存器单元；第一级移位寄存器单元的信号输入端与起始信号端相连接；除了第一级移位寄存器单元以外，上一级移位寄存器单元的信号输出端连接下一级移位寄存器单元的信号输入端。

本公开实施例的又一方面，提供一种显示装置包括如上所述的栅极驱动电路。

本公开实施例的再一方面，提供一种用于驱动上述任意一种移位寄存器单元的方法，一图像帧内所述移位寄存器单元的驱动方法包括：在第一阶段，第一输入电路向所述第一节点输出电位信号；在第一节点的控制下，所述第一输出电路向信号输出端输出第一信号；稳定电路对第二节点的电位进行稳定，以使得第二输出电路无信号输出；在第二阶段，第一输出电路保持开启状态，向所述信号输出端输出第二信号；所述稳定电路对第二节点的电位进行稳定，以使得第二输出电路无信号输出；在第三阶段，第二输入电路向第二节点输出电位信号；在所述第二节点的控制下，所述第二输出电路向所述信号输出端输出所述第一信号；所述稳定电路对第一节点的电位进行稳定，以使得第一输出电路无信号输出；所述第一信号与所述第二信号互为高低电平。

在一个实施方式中，当所述稳定电路还连接第一电压端时，所述稳定电路稳定所述第一节点或所述第二节点的电位包括：在所述第一节点的控制下，所述稳定电路将所述第一电压端的信号输出至所述第二节点；或在所述第二节点的控制下，所述稳定电路将所述第一电压端的信号输出至所述第一节点。

在一个实施方式中，当所述第一输入电路还连接信号输入端时，所述第一输入电路向所述第一节点输出电位信号包括：所述第一输入电路在所述信号输入端的控制下，将所述电位信号输入端的信号输出至所述第一节点。

在一个实施方式中，当所述第一输出电路还连接第一时钟信号端时，所述第一输出电路向信号输出端输出电位信号包括：在所述第一节点的控制下，所述第一输出电路将所述第一时钟信号端的电位信号输出至信号输出端。

在一个实施方式中，当所述第二输入电路还连接第二时钟信号端以及第二电压端时，所述第二输入电路向第二节点输出信号包括：所述第二输入电路在所述第二时钟信号端的控制下，将所述第二电压端的信号输出至第二节点。

在一个实施方式中，当所述第二输出电路还连接所述第一电压端时，所述第二输出电路向所述信号输出端输出信号包括：所述第二输出电路将所述第二节点的电位进行存储，并在所述第二节点的控制下，将第一电压端的信号输出至所述信号输出端。

在一个实施方式中，当所述稳定电路还连接第一电压端，所述第一输入电路还连接信号输入端，所述第一输出电路还连接第一时钟信号端，所述第二输入电路还连接第二时钟信号端以及第二电压端，所述第二输出电路还连接所述第一电压端时；且当所述稳定电路包括第一晶体管和第二晶体管，所述第一输入电路包括第三晶体管，所述第一输出电路包括第四晶体管，所述第二输入电路包括第五晶体管，所述第二输出电路包括第六晶体管和存储电容；且上述晶体管均为P型晶体管的情况下，一图像帧内所述移位寄存器单元的驱动方法包括：所述第二电压端输入低电平，所述第一电压端输入高电平；在第一阶段，所述信号输入端和

所述第二时钟信号端输入低电平，所述第一时钟信号端输入高电平；所述第四晶体管、所述第三晶体管、所述第五晶体管以及所述第一晶体管导通，其余晶体管截止；所述第一时钟信号端的信号通过所述第四晶体管输出至所述信号输出端；在第二阶段，所述信号输入端和所述第二时钟信号端输入高电平，所述第一时钟信号端输入低电平；所述第四晶体管、所述第一晶体管导通，其余晶体管截止；所述第一时钟信号端的信号通过所述第四晶体管输出至所述信号输出端；在第三阶段，所述信号输入端和所述第一时钟信号端输入高电平，所述第二时钟信号端输入低电平；所述第五晶体管、所述第二晶体管以及所述第六晶体管导通，其余晶体管截止；所述第一电压端的信号通过所述第六晶体管输出至所述信号输出端。

本公开实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。该移位寄存器单元包括第一输入电路、第一输出电路、第二输入电路、第二输出电路以及稳定电路。其中，第一输入电路连接第一节点，该第一输入电路用于在向第一节点输出信号。第一输出电路连接信号输出端以及第一节点，该第一输出电路用于向信号输出端输出信号。第二输入电路连接第二节点，该第二输入电路用于向第二节点输出信号。第二输出电路连接信号输出端以及第二节点，该第二输出电路用于向信号输出端输出信号。稳定电路连接第一电压端、第一节点以及第二节点，该稳定电路用于当第一输出电路向信号输出端输出信号时，稳定第二节点的电位，以使得第二输出电路无信号输出；或者，用于当第二输出电路向信号输出端输出信号时，稳定第一节点的电位，以使得第一输出电路无信号输出。

这样一来，一方面，在上述第一输入电路、第一输出电路、第二输入电路以及第二输出电路的作用下，上述移位寄存器单元可以将信号输入端的信号进行移位，并将移位后的信号通过信号输出端输出。基于此，在采用上述多个级联的移位寄存器构成栅极驱动电路的情况下，当第一级移位寄存器单元的信号输出端输出信号的脉宽发生变化后，其余移位寄存器单元的信号输出端输出的信号脉宽也会随之变化，从而使得每一行像素电路接收到的信号脉宽随之变化。因此，当用户对显示亮度的需求发生变化时，只需对第一级移位寄存器单元信号输出端输出信号的脉宽进行调整即可，从而简化了调整过程。

另一方面，由于该移位寄存器单元的稳定电路能够分别稳定第一节点和第二节点的电位，从而可以在第一输出电路开启时，对第二节点的电位进行稳定，以保证第二输出电路处于关闭状态，或者在第二输出电路开启时，对第一节点的电位进行稳定，以保证第一输出电路处于关闭状态，进而使得该移位寄存器单元的信号输出端输出的信号稳定。

附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的一种移位寄存器单元的结构示意图；

图 2 为本公开实施例提供的另一种移位寄存器单元的结构示意图；

图 3 为图 2 中各个电路的具体结构示意图；

图 4 为用于控制图 3 所示的移位寄存器单元的各个控制信号的时序图；

图 5 为采用如图 2 或图 3 所示的多个移位寄存器单元构成的栅极驱动电路的结构示意图。

附图标记：

10-稳定电路；20-第一输入电路；30-第一输出电路；40-第二输入电路；50-第二输出电路。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

本公开实施例提供一种移位寄存器单元，如图 1 所示，包括稳定电路 10、第一输入电路 20、第一输出电路 30、第二输入电路 40 以及第二输出电路 50。

其中，第一输入电路 20 连接第一节点 N1。该第一输入电路 20 用于向第一节点 N1 输出电位信号。

可选的，例如，如图 2 所示，当第一输入电路 20 还连接信号输入端 INT 时，该第一输入电路 20 用于在信号输入端 INT 的控制下，将信号输入端 INT 的信号输出至第一节点 N1。

第一输出电路 30 连接信号输出端 OUT 以及第一节点 N1。该第一输出电路 30 用于在第一节点 N1 的控制下，向信号输出端 OUT 输出电位信号。

可选的，例如，如图 2 所示，当第一输出电路 30 还连接第一时钟信号端 CK1 时，该第一输出电路 30 用于在第一节点 N1 的控制下，将第一时钟信号端 CK1 的信号输出至信号输出端 OUT。

第二输入电路 40 连接第二节点 N2。该第二输入电路 40 用于向第二节点 N2 输出信号。

可选的，例如，如图 2 所示，当第二输入电路 40 还连接第二时钟信号端 CK2、第二电压端 VGL 时，该第二输入电路 40 用于在第二时钟信号端 CK2 的控制下，将第二电压端 VGL 的信号输出至第二节点 N2。

第二输出电路 50 连接信号输出端 OUT 以及第二节点 N2。该第二输出电路 50 用于在第二节点 N2 的控制下，向信号输出端 OUT 输出电位信号。

可选的，例如，如图 2 所示，当第二输出电路 50 还连接第一电压端 VGH 时，该第二输出电路 50 用于在第二节点 N2 的控制下，将第一电压端 VGH 的信号输出至信号输出端 OUT。

稳定电路 10 连接第一节点 N1 以及第二节点 N2。该稳定电路 10 用于当第一输出电路 30 向信号输出端 OUT 输出电位信号时，稳定第二节点 N2 的电位，以使得第二输出电路 50 无信号输出；或者，用于当第二输出电路 50 向信号输出端 OUT 输出电位信号时，稳定第一节点 N1 的电位，以使得第一输出电路 30 无信号输出。

可选的，例如，如图 2 所示，当稳定电路 10 还连接第一电压端 VGH 时，该稳定电路 10 用于在第一节点 N1 的控制下，将第一电压端 VGH 的信号输出至第二节点 N2；或在第二节点 N2 的控制下，将第一电压端 VGH 的信号输出至第一节点 N1。

这样一来，一方面，在上述第一输入电路 20、第一输出电路 30、第二输入电路 40 以及第二输出电路 50 的作用下，上述移位寄存器单元可以将信号输入端 INT 的信号进行移位，并将移位后的信号通过信号输出端 OUT 输出。基于此，当采用上述多个级联的移位寄存器构成栅极驱动电路时，当第一级移位寄存器单元的信号输出端 OUT 输出信号的脉宽发生变化后，其余移位寄存器单元的信号输出端 OUT 输出的信号脉宽也会随之变化，从而使得每一行像素电路接收到的信号脉宽随之变化。因此，当用户对显示亮度的需求发生变化时，只需对第一级移位寄存器单元信号输出端 OUT 输出信号的脉宽进行调整即可，从而简化了调整过程。

另一方面，由于该移位寄存器单元的 stable 电路 10 能够稳定第一节点 N1 和第二节点 N2 的电位，而第一节点 N1 可以控制第一输出电路 30 向信号输出端 OUT 输出信号，第二节点 N2 可以控制第二输出电路 50 向信号输出端 OUT 输出信号。这样一来，当第一输出电路 30 开启时，通过该 stable 电路 10 可以稳定第二节点 N2 的电位，从而确保第二输出电路 50 无信号输出，或者在第二输出电路 50 开启时，通过该 stable 电路 10 可以稳定第一节点 N1 的电位，从而确保第一输出电路 30 无信号输出，进而使得信号输出端 OUT 输出的信号稳定。

以下对如图 2 中各个电路的具体结构进行详细的说明。

具体的，如图 3 所示，该 stable 电路 10 包括：第一晶体管 T1 和第二晶体管 T2。

其中，第一晶体管 T1 的栅极连接第一节点 N1，第一极连接第一电压端 VGH，第二极与第二节点 N2 相连接。

第二晶体管 T2 的栅极连接第二节点 N2，第一极连接第一电压端 VGH，第二极与第一节点 N1 相连接。

在此情况下，第一晶体管 T1 与第二晶体管 T2 能够互锁。以第一晶体管 T1

和第二晶体管 T2 均为 P 型晶体管，且第一电压端 VGH 输出高电平为例，当第一晶体管 T1 导通时，上述第一电压端 VGH 输出的高电平通过所述第一晶体管 T1 输出至所述第二晶体管 T2 的栅极，从而使得该第二晶体管 T2 处于截止状态。或者当第二晶体管 T2 导通时，上述第一电压端 VGH 输出的高电平通过该第二晶体管 T2 输出至第一晶体管 T1 的栅极，从而使得第一晶体管 T1 处于截止状态。

此外，第一晶体管 T1 的宽长比大于第二晶体管 T2 的宽长比。这样一来，第一晶体管 T1 的输出能力大于第二晶体管 T2 的输出能力，从而在第一晶体管 T1 和第二晶体管 T2 的栅极均为低电平时，第一晶体管 T1 能够先于第二晶体管 T2 导通。

此外，第一输入电路 20 包括第三晶体管 T3，第三晶体管 T3 的栅极和第一极连接信号输入端 INT，第二极与第一节点 N1 相连接。

第一输出电路 30 包括第四晶体管 T4，该第四晶体管 T4 的栅极连接第一节点 N1，第一极连接第一时钟信号端 CK1，第二极与信号输出端 OUT 相连接。

第二输入电路 40 包括第五晶体管 T5，该第五晶体管 T5 的栅极连接第二时钟信号端 CK2，第一极连接第二电压端 VGL，第二极与第二节点 N2 相连接。

第二输出电路 50 包括第六晶体管 T6 和存储电容 C。

其中，第六晶体管 T6 的栅极连接第二节点 N2，第一极连接第一电压端 VGH，第二极与信号输出端 OUT 相连接。

存储电容 C 的一端连接第一电压端 VGH，另一端与第二节点 N2 相连接。

需要说明的是，上述晶体管可以为 P 型晶体管，在此情况下，上述第二电压端 VGL 输入恒定的低电平，第一电压端 VGH 输入恒定的高电平。其余信号端输入的信号如图 4 所示。或者，上述也可以为 N 型晶体管，在此情况下，需要对如图 4 中的各个信号端输入的信号进行翻转。

此外，上述晶体管的第一极为源极，第二极为漏极。或者第一极为漏极，第二极为源极。

以下，以图 3 中的各个晶体管均为 P 型晶体管为例，结合图 4 对上述各个晶体管在一图像帧内各个阶段的通断状态进行详细的举例说明。其中，本公开中，第一电压端 VGH 输出恒定的高电平，例如 7V，第二电压端 VGL 输出恒定的低电平，例如 -7V。且与该移位寄存器单元相连接的像素电路的晶体管通常为 P 型晶体管。

在一图像帧的第一阶段 P1，INT=0，CK1=1，CK2=0，OUT=1。其中本申请中“1”表示高电平，“0”表示低电平。

在此情况下，信号输入端 INT 输入低电平，第三晶体管 T3 导通，信号输入端 INT 的低电平通过上述第三晶体管 T3 输出至第一节点 N1。在该第一节点 N1 的控制下，第四晶体管 T4 导通，并将第一时钟信号端 CK1 输出的高电平输出至信号输出端 OUT。

此外，第二时钟信号端 CK2 输入低电平，第五晶体管 T5 导通，第二电压端 VGL 的低电平通过上述第五晶体管 T5 输出至第二节点 N2。在此情况下，第一晶体管 T1 和第二晶体管 T2 的栅极均为低电平，由于第一晶体管 T1 的宽长比大于第二晶体管 T2 的宽长比，因此第一晶体管 T1 优先于第二晶体管 T2 导通。这样一来，当第一晶体管 T1 导通时，第一电压端 VGH 的高电平通过该第一晶体管 T1 输出至第二节点 N2，以使得该第二节点 N2 为高电平。此时在该第二节点 N2 的控制下，第六晶体管 T6 和第二晶体管 T2 保持截止状态。

这样一来，通过上述第一晶体管 T1 和第二晶体管 T2 的互锁作用使得第六晶体管 T6 截止，从而使得信号输出端 OUT 只接收第一时钟信号端 CK1 输出的信号。

在一图像帧的第二阶段 P2，INT=1，CK1=0，CK2=1，OUT=0。

在此情况下，信号输入端 INT 输入高电平，第三晶体管 T3 截止。通常第四晶体管 T4 的宽长比较大，因此该第四晶体管 T4 自身的寄生电容将继续保持上一阶段存储的低电平，而使第一节点 N1 为低电平。基于此，该第四晶体管 T4 可以保持开启状态，将第一时钟信号端 CK1 的低电平输出至信号输出端 OUT。

此时与该移位寄存器单元的信号输出端 OUT 相连接的栅线接收到上述低电平，并将该低电平作为栅极驱动信号将该栅线相连接的像素电路中的晶体管导通。

在此基础上，在第一节点 N1 的控制下，第一晶体管 T1 导通，将第一电压端 VGH 的高电平输出至第二节点 N2。此时第二节点 N2 控制第二晶体管 T2 和第六晶体管 T6 截止。从而可以通过第一晶体管 T1 在该阶段稳定第二节点 N2 的电位，避免第二节点 N2 的电位不稳定使得，第六晶体管 T6 导通，将第一电压端 VGH 的高电平误输出至信号输出端 OUT。

在一图像帧的第三阶段 P3，INT=1，CK1=1，CK2=0，OUT=1。

在此情况下，第二时钟信号端 CK2 输入低电平，第五晶体管 T5 导通，将第二电压端 VGL 的低电平输出至第二节点 N2，并通过存储电容 C 进行存储。此时该第六晶体管 T6 和第二晶体管 T2 导通。基于此，第一电压端 VGH 的高电平通过第六晶体管 T6 输出至信号输出端 OUT。此外，第二晶体管 T2 导通，将第一电压端 VGH 的高电平输出至第一节点 N1，此时第一晶体管 T1 和第四晶体管 T4 截止。从而可以通过第二晶体管 T2 在该阶段稳定第一节点 N1 的电位。

综上所述，只有在第二阶段 P2，上述移位寄存器单元的信号输出端输出低电平，从而将像素电路中与该移位寄存器单元的信号输出端 OUT 相连接的晶体管导通。

此外，在下一图像帧到来之前，即信号输入端 INT 再次输出低电平之前，在存储电容 C 的放电作用以及第二时钟信号端 CK2 的控制下，第六晶体管 T6 保持开启状态，使得信号输出端 OUT 保持高电平输出的状态。

本公开实施例提供一种栅极驱动电路，如图 5 所示，包括多个级联的如上所述的任意一种移位寄存器单元（RS1、RS2……RS（n-1）、RSn），分别连接栅

线 (G1、G2……G (n-1)、Gn)。其中, n 为大于 2 的正整数。

第一级移位寄存器单元 RS1 的信号输入端 INT 与起始信号端 STV 相连接。其中, 第一级移位寄存器单元 RS1 的信号输入端连接起始信号端 STV。其中该起始信号端 STV 用于输入起始信号, 从而使得接收该起始信号的栅极驱动电路开始工作。

除了第一级移位寄存器单元 RS1 以外, 上一级移位寄存器单元的信号输出端 OUT 连接下一级移位寄存器单元的信号输入端 INT。

需要说明的是, 构成上述栅极驱动电路的移位寄存器单元具有与前述实施例提供的移位寄存器单元相同的结构和有益效果。由于前述实施例已经对移位寄存器单元的结构和有益效果进行了详细的描述, 此处不再赘述。

本公开实施例提供一种显示装置, 包括如上所述的任意一种栅极驱动电路, 具有与前述实施例提供的栅极驱动电路相同的结构和有益效果。由于前述实施例已经对栅极驱动电路的结构和有益效果进行了详细的描述, 此处不再赘述。

在本公开实施例中, 显示装置具体至少可以包括液晶显示装置和有机发光二极管显示装置, 例如该显示装置可以为液晶显示器、液晶电视、数码相框、手机或平板电脑等任何具有显示功能的产品或者部件。其中, 阵列基板的详细结构已在前述实施例中做了详细的描述, 此处不再赘述。

本公开实施例提供一种移位寄存器单元的驱动方法, 一图像帧内该移位寄存器单元的驱动方法包括:

在一图像帧的第一阶段 P1, 第一输入电路 20 向第一节点 N1 输出信号。在第一节点 N1 的控制下, 第一输出电路 30 向信号输出端 OUT 输出第一信号。该稳定电路 10 对第二节点 N2 的电位进行稳定, 以使得第二输出电路 50 无信号输出。其中, 上述第一信号和第二信号互为高低电平。当与该移位寄存器单元相连接的像素电路的晶体管为 P 型晶体管时, 上述第一信号为高电平, 第二信号为低电平。以下为了方便说明, 均是以与该移位寄存器单元相连接的像素电路的晶体管为 P 型晶体管为例。

可选的, 例如, 如图 2 所示, 当第一输入电路 20 还连接信号输入端 INT 时, 该第一输入电路 20 向第一节点 N1 输出信号包括: 第一输入电路 20 在信号输入端 INT 的控制下, 将信号输入端 INT 的信号输出至第一节点 N1。

此外, 当第一输出电路 30 还连接第一时钟信号端 CK1 时, 该第一输出电路 30 向信号输出端 OUT 输出信号包括: 第一输出电路 30 将第一时钟信号端 CK1 的信号输出至信号输出端 OUT。

具体的, 当该稳定电路 10 如图 3 所示包括第一晶体管 T1 和第二晶体管 T2。第一输入电路 10 包括第三晶体管 T3, 所述第一输出电路包括第四晶体管。第二输入电路 40 包括第五晶体管 T5。第二输出电路 50 包括第六晶体管 T6 和存储电容 C, 且上述晶体管均为 P 型晶体管情况下, 在上述第一阶段 P1:

信号输入端 INT 输入低电平，第三晶体管 T3 导通，信号输入端 INT 的低电平通过上述第三晶体管 T3 输出至第一节点 N1。在该第一节点 N1 的控制下，第四晶体管 T4 导通，并将第一时钟信号端 CK1 输出的高电平输出至信号输出端 OUT。

此外，第二时钟信号端 CK2 输入低电平，第五晶体管 T5 导通，第二电压端 VGL 的低电平通过上述第五晶体管 T5 输出至第二节点 N2。在此情况下，第一晶体管 T1 和第二晶体管 T2 的栅极均为低电平，由于第一晶体管 T1 的宽长比大于第二晶体管 T2 的宽长比，因此第一晶体管 T1 优先于第二晶体管 T2 导通。这样一来，当第一晶体管 T1 导通时，第一电压端 VGH 的高电平通过该第一晶体管 T1 输出至第二节点 N2，以使得该第二节点 N2 为高电平。此时在第二节点 N2 的控制下，第六晶体管 T6 和第二晶体管 T2 保持截止状态。

这样一来，通过上述第一晶体管 T1 和第二晶体管 T2 的互锁作用使得第六晶体管 T6 截止，从而使得信号输出端 OUT 只接收第一时钟信号端 CK1 输出的信号。

在一图像帧的第二阶段 P2，第一输出电路 30 保持开启状态，向信号输出端 OUT 输出第二信号。稳定电路 10 对第二节点 N2 的电位进行稳定，以使得第二输出电路 50 无信号输出。

具体的，信号输入端 INT 输入高电平，第三晶体管 T3 截止。通常第四晶体管 T4 的宽长比较大，因此该第四晶体管 T4 自身的寄生电容将继续保持上一阶段存储的低电平，而使第一节点 N1 为低电平。基于此，该第四晶体管 T4 可以保持开启状态，将第一时钟信号端 CK1 的低电平输出至信号输出端 OUT。此时，与该移位寄存器单元的信号输出端 OUT 相连接的栅线接收到上述低电平，从而将像素电路中与该栅线相连接的晶体管导通。

在此基础上，在第一节点 N1 的控制下，第一晶体管 T1 导通，将第一电压端 VGH 的高电平输出至第二节点 N2。此时第二节点 N2 控制第二晶体管 T2 和第六晶体管 T6 截止。从而可以通过第一晶体管 T1 在该阶段稳定第二节点 N2 的电位，避免第二节点 N2 的电位不稳定使得，第六晶体管 T6 导通，将第一电压端 VGH 的高电平误输出至信号输出端 OUT。

在一图像帧的第三阶段 P3，第二输入电路 40 向第二节点 N2 输出信号。在第二节点 N2 的控制下，第二输出电路 50 向信号输出端 OUT 输出第一信号。稳定电路 10 对第一节点 N1 的电位进行稳定，以使得第一输出电路 30 无信号输出。

可选的，例如，如图 2 所示，当第二输入电路 40 还连接第二时钟信号端 CK2 以及第二电压端 VGL 时，第二输入电路 40 向第二节点 N2 输出信号包括：第二输入电路 40 在第二时钟信号端 CK2 的控制下，将第二电压端 VGL 的信号输出至第二节点 N2。

当第二输出电路 50 还连接第一电压端 VGH 时，该第二输出电路 50 向信号输出端 OUT 输出信号包括：第二输出电路 50 将第二节点 N2 的电位进行存储，

并在第二节点 N2 的控制下，将第一电压端 VGH 的信号输出至信号输出端 OUT。

此外，当稳定电路 10 还连接第一电压端 VGH 时，稳定电路 10 稳定第一节点 N1 或第二节点 N2 的电位包括：在第一节点 N1 的控制下，稳定电路 10 将第一电压端 VGH 的信号输出至第二节点 N2；或在第二节点 N2 的控制下，稳定电路 10 将第一电压端 VGH 的信号输出至第一节点 N1。

此外，第二时钟信号端 CK2 输入低电平，第五晶体管导通，将第二电压端 VGL 的低电平输出至第二节点 N2，并通过存储电容 C 进行存储。此时，该第六晶体管 T6 和第二晶体管 T2 导通。基于此，第一电压端 VGH 的高电平通过第六晶体管 T6 输出至信号输出端 OUT。此外，第二晶体管 T2 导通，将第一电压端 VGH 的高电平输出至第一节点 N1，此时第一晶体管 T1 和第四晶体管 T4 截止。从而可以通过第二晶体管 T2 在该阶段稳定第一节点 N1 的电位。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求要求的保护范围为准。

权利要求

1、一种移位寄存器单元，包括：

第一输入电路，与第一节点连接，用于向所述第一节点输出电位信号；

第一输出电路，与信号输出端以及所述第一节点连接，用于在所述第一节点的控制下，向所述信号输出端输出电位信号；

第二输入电路，与第二节点连接，所述第二输入电路用于向所述第二节点输出电位信号；

第二输出电路，与所述信号输出端以及第二节点连接，所述第二输出电路用于在所述第二节点的控制下，向所述信号输出端输出电位信号；

所述稳定电路连接所述第一节点以及所述第二节点，所述稳定电路用于当所述第一输出电路向所述信号输出端输出电位信号时，稳定所述第二节点的电位，以使得第二输出电路无信号输出；或者，用于当所述第二输出电路向所述信号输出端输出电位信号时，稳定所述第一节点的电位，以使得所述第一输出电路无信号输出。

2、根据权利要求1所述的移位寄存器单元，其中，所述稳定电路还连接第一电压端，所述稳定电路用于在所述第一节点的控制下，将所述第一电压端的信号输出至所述第二节点；或在所述第二节点的控制下，将所述第一电压端的信号输出至所述第一节点；

所述稳定电路包括：第一晶体管和第二晶体管；其中，所述第一晶体管的宽长比大于所述第二晶体管的宽长比；

所述第一晶体管的栅极连接所述第一节点，第一极连接所述第一电压端，第二极与所述第二节点相连接；

所述第二晶体管的栅极连接所述第二节点，第一极连接所述第一电压端，第二极与所述第一节点相连接。

3、根据权利要求1所述的移位寄存器单元，其中，所述第一输入电路还连接信号输入端，所述第一输入电路用于在所述信号输入端的控制下，将所述信号输入端的电位信号输出至所述第一节点；

所述第一输入电路包括第三晶体管，所述第三晶体管的栅极和第一极连接所述信号输入端，第二极与所述第一节点相连接。

4、根据权利要求1所述的移位寄存器单元，其中，所述第一输出电路还连接所述第一时钟信号端，所述第一输出电路用于在所述第一节点的控制下，将所述第一时钟信号端的信号输出至所述信号输出端；

所述第一输出电路包括第四晶体管，所述第四晶体管的栅极连接所述第一节点，第一极连接所述第一时钟信号端，第二极与所述信号输出端相连接。

5、根据权利要求1所述的移位寄存器单元，其中，所述第二输入电路还连接所述第二时钟信号端以及第二电压端，所述第二输入电路用于在所述第二时钟信

号端的控制下，将所述第二电压端的信号输出至所述第二节点；

所述第二输入电路包括第五晶体管，所述第五晶体管的栅极连接所述第二时钟信号端，第一极连接所述第二电压端，第二极与所述第二节点相连接。

6、根据权利要求1所述的移位寄存器单元，其中，所述第二输出电路还连接所述第一电压端，所述第二输出电路用于在所述第二节点的控制下，将所述第一电压端的信号输出至所述信号输出端；

所述第二输出电路包括第六晶体管和存储电容；

所述第六晶体管的栅极连接所述第二节点，第一极连接所述第一电压端，第二极与所述信号输出端相连接；

所述存储电容的一端连接第一电压端，另一端与所述第二节点相连接。

7、一种栅极驱动电路，其中，包括多个级联的如权利要求1-6任一项所述的移位寄存器单元；

第一级移位寄存器单元的信号输入端与起始信号端相连接；

除了第一级移位寄存器单元以外，上一级移位寄存器单元的信号输出端连接下一级移位寄存器单元的信号输入端。

8、一种显示装置，其中，包括如权利要求7所述的栅极驱动电路。

9、一种驱动如权利要求1-6任一项所述的移位寄存器单元的方法，其中，一图像帧内所述移位寄存器单元的驱动方法包括：

在第一阶段，第一输入电路向所述第一节点输出电位信号；在第一节点的控制下，所述第一输出电路向信号输出端输出第一信号；稳定电路对第二节点的电位进行稳定，以使得第二输出电路无信号输出；

在第二阶段，第一输出电路保持开启状态，向所述信号输出端输出第二信号；所述稳定电路对第二节点的电位进行稳定，以使得第二输出电路无信号输出；

在第三阶段，第二输入电路向第二节点输出电位信号；在所述第二节点的控制下，所述第二输出电路向所述信号输出端输出所述第一信号；所述稳定电路对第一节点的电位进行稳定，以使得第一输出电路无信号输出；

所述第一信号与所述第二信号互为高低电平。

10、根据权利要求9所述的移位寄存器单元的驱动方法，其中，当所述稳定电路还连接第一电压端时，所述稳定电路稳定所述第一节点或所述第二节点的电位包括：在所述第一节点的控制下，所述稳定电路将所述第一电压端的信号输出至所述第二节点；或在所述第二节点的控制下，所述稳定电路将所述第一电压端的信号输出至所述第一节点。

11、根据权利要求9所述的移位寄存器单元的驱动方法，其中，当所述第一输入电路还连接信号输入端时，所述第一输入电路向所述第一节点输出电位信号包括：所述第一输入电路在所述信号输入端的控制下，将所述电位信号输入端的信号输出至所述第一节点。

12、根据权利要求 9 所述的移位寄存器单元的驱动方法，其中，当所述第一输出电路还连接第一时钟信号端时，所述第一输出电路向信号输出端输出信号包括：在所述第一节点的控制下，所述第一输出电路将所述第一时钟信号端的信号输出至信号输出端。

13、根据权利要求 9 所述的移位寄存器单元的驱动方法，其中，当所述第二输入电路还连接第二时钟信号端以及第二电压端时，所述第二输入电路向第二节点输出信号包括：所述第二输入电路在所述第二时钟信号端的控制下，将所述第二电压端的信号输出至第二节点。

14、根据权利要求 9 所述的移位寄存器单元的驱动方法，其中，当所述第二输出电路还连接所述第一电压端时，所述第二输出电路向所述信号输出端输出信号包括：所述第二输出电路将所述第二节点的电位进行存储，并在所述第二节点的控制下，将第一电压端的信号输出至所述信号输出端。

15、根据权利要求 9 所述的移位寄存器单元的驱动方法，其中，当所述稳定电路还连接第一电压端，所述第一输入电路还连接信号输入端，所述第一输出电路还连接第一时钟信号端，所述第二输入电路还连接第二时钟信号端以及第二电压端，所述第二输出电路还连接所述第一电压端时；且当所述稳定电路包括第一晶体管和第二晶体管，所述第一输入电路包括第三晶体管，所述第一输出电路包括第四晶体管，所述第二输入电路包括第五晶体管，所述第二输出电路包括第六晶体管和存储电容；且上述晶体管均为 P 型晶体管的情况下，一图像帧内所述移位寄存器单元的驱动方法包括：所述第二电压端输入低电平，所述第一电压端输入高电平；

在第一阶段，所述信号输入端和所述第二时钟信号端输入低电平，所述第一时钟信号端输入高电平；

所述第四晶体管、所述第三晶体管、所述第五晶体管以及所述第一晶体管导通，其余晶体管截止；所述第一时钟信号端的信号通过所述第四晶体管输出至所述信号输出端；

在第二阶段，所述信号输入端和所述第二时钟信号端输入高电平，所述第一时钟信号端输入低电平；

所述第四晶体管、所述第一晶体管导通，其余晶体管截止；所述第一时钟信号端的信号通过所述第四晶体管输出至所述信号输出端；

在第三阶段，所述信号输入端和所述第一时钟信号端输入高电平，所述第二时钟信号端输入低电平；

所述第五晶体管、所述第二晶体管以及所述第六晶体管导通，其余晶体管截止；所述第一电压端的信号通过所述第六晶体管输出至所述信号输出端。

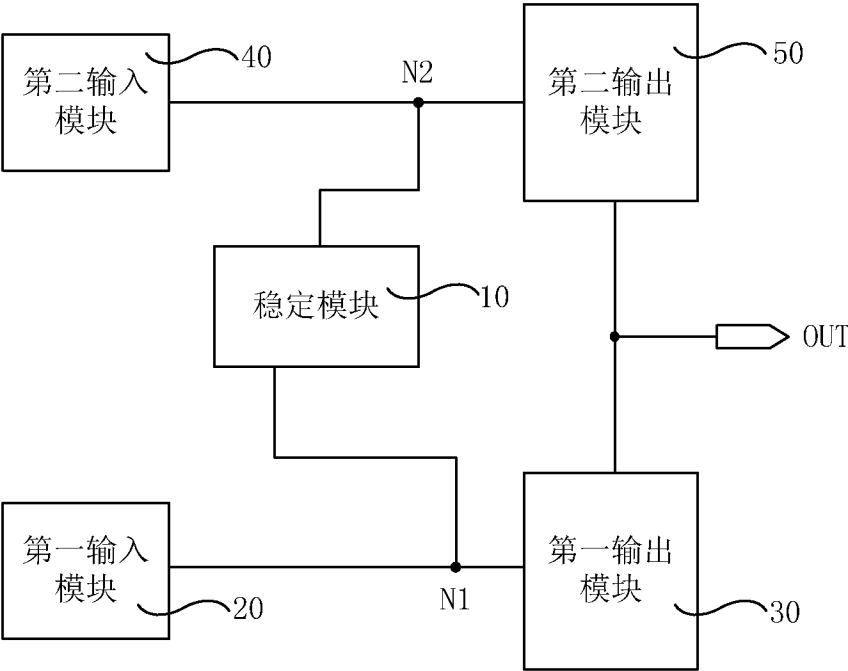


图 1

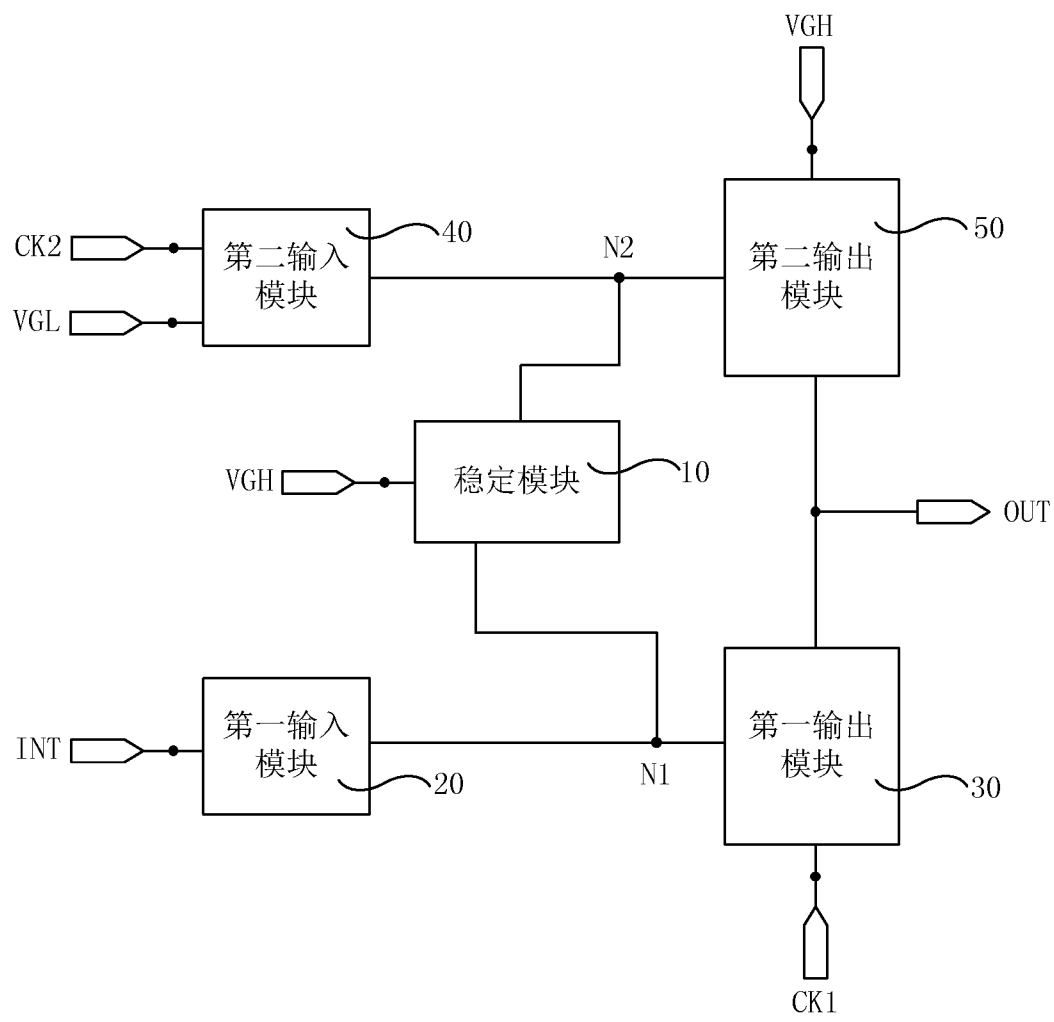


图 2

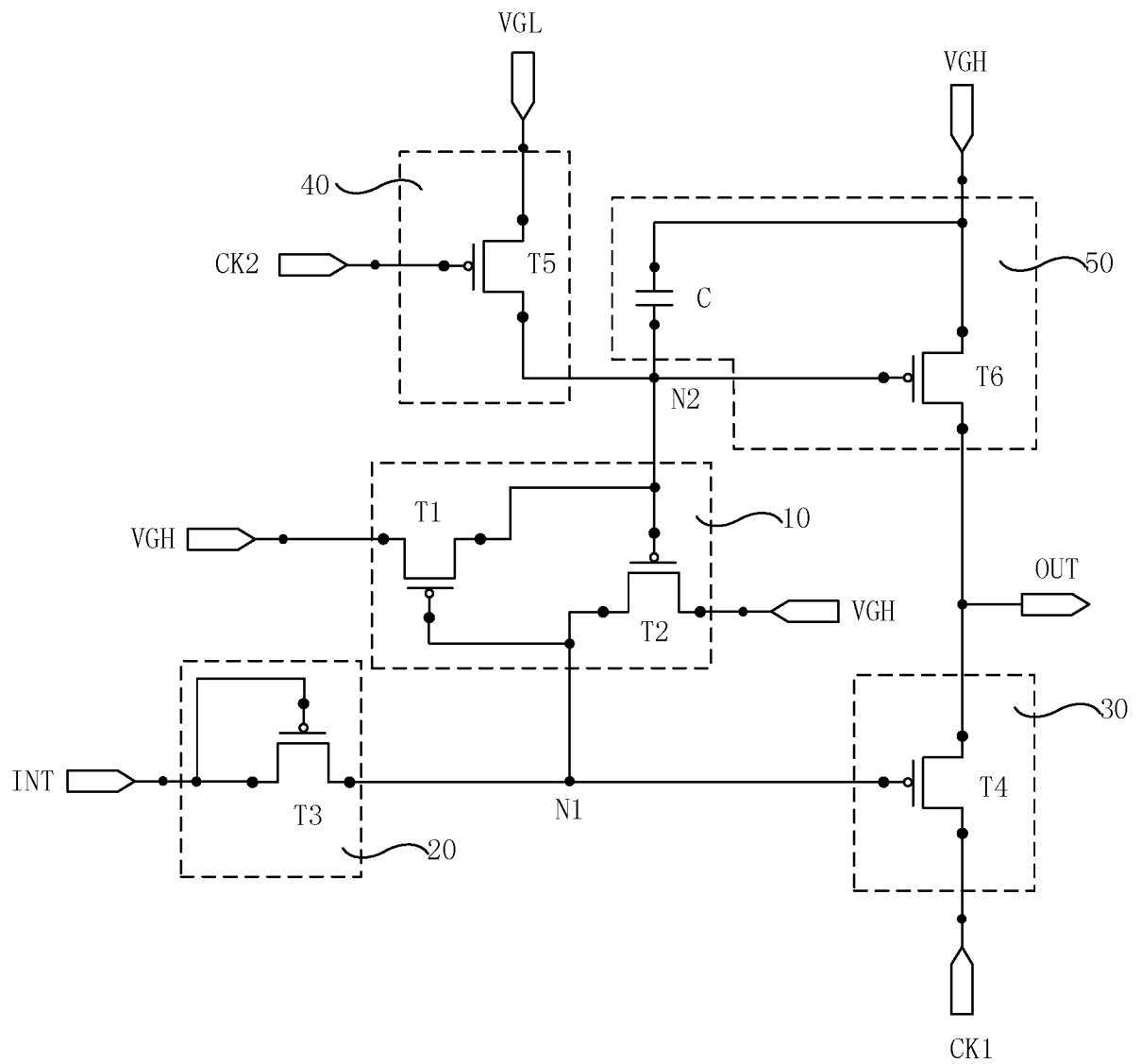


图 3

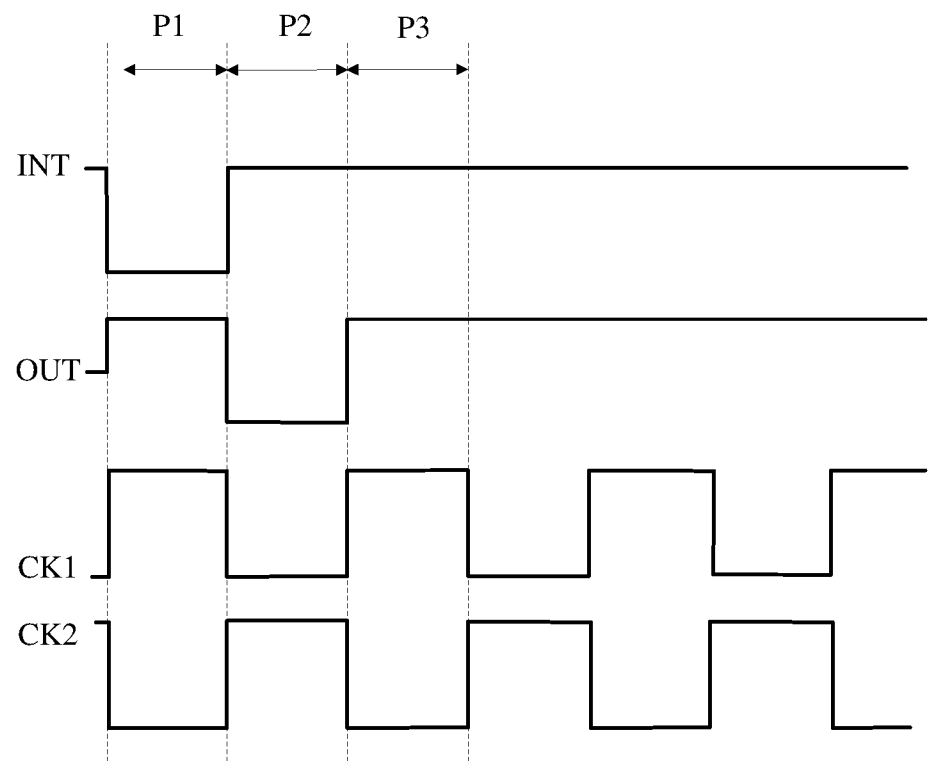


图 4

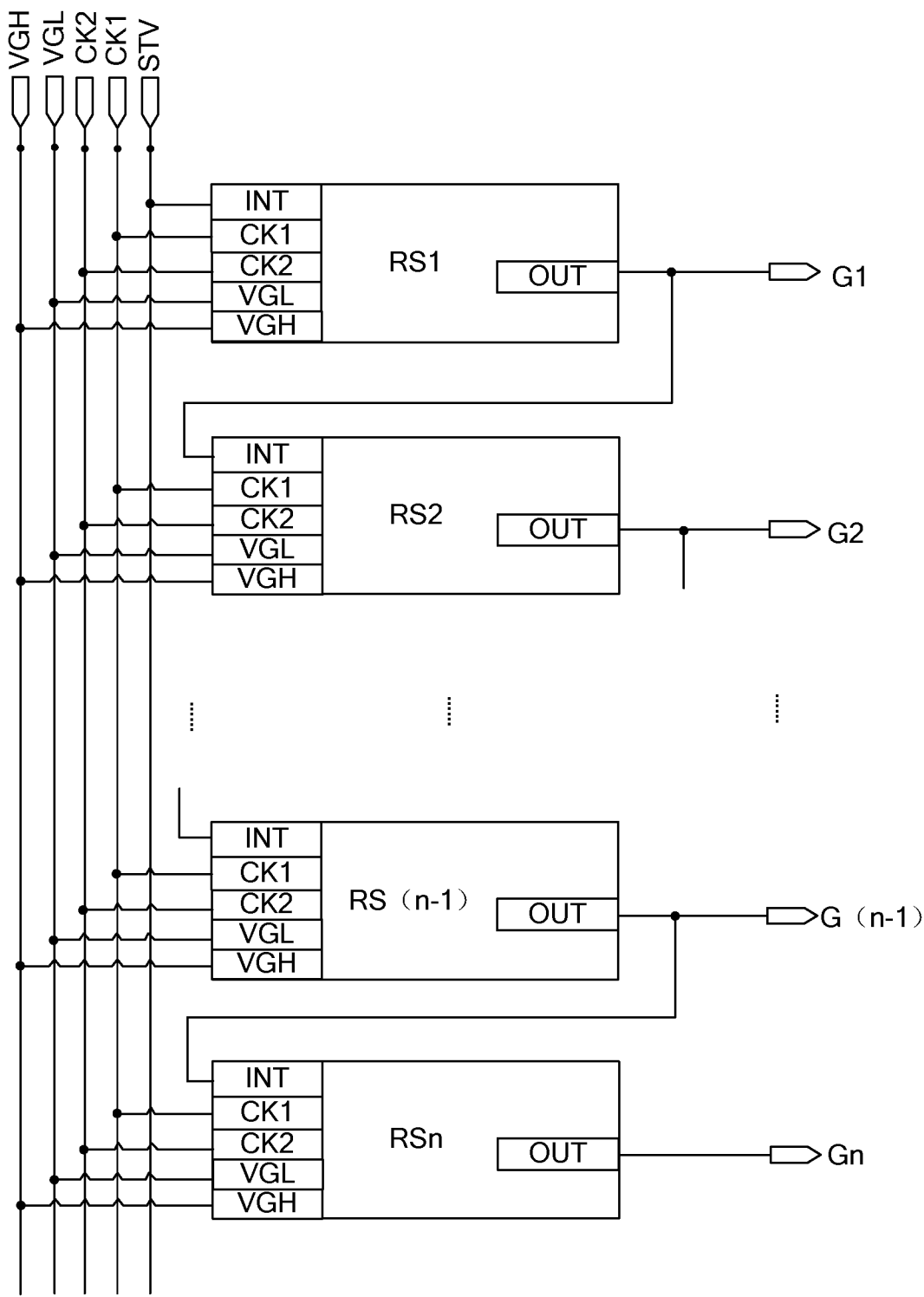


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/105459

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2016.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 移位, 寄存器, 输入, 输出, 第二, 节点, 稳定, 无, 不, 电压, 晶体管, 宽长比, 时钟, 电容, 开启, 脉宽, 互置, 竞争, 冲突, shift, register, input, output, second, secondary, node, stabilize, clock

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106782338 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 31 May 2017 (31.05.2017), description, paragraphs [0034]-[0095], and figures 1-5	1-15
X	CN 105719599 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 29 June 2016 (29.06.2016), description, paragraphs [0042]-[0098], and figures 1-6	1-14
X	CN 105632444 A (BOE TECHNOLOGY GROUP CO., LTD.) 01 June 2016 (01.06.2016), description, paragraphs [0040]-[0104], and figures 1-5	1-8
A	CN 104485086 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 April 2015 (01.04.2015), entire document	1-15
A	CN 105609041 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 May 2016 (25.05.2016), entire document	1-15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19 December 2017	Date of mailing of the international search report 11 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WEI, Yanyan Telephone No. (86-10) 62414004

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2017/105459

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102750898 A (LG DISPLAY CO., LTD.) 24 October 2012 (24.10.2012), entire document	1-15
A	US 2005220262 A1 (LG PHILIPS LCD CO., LTD.) 06 October 2005 (06.10.2005), entire document	1-15
A	US 2013027377 A1 (YANG JIN-WOOK et al.) 31 January 2013 (31.01.2013), entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/105459

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106782338 A	31 May 2017	None	
CN 105719599 A	29 June 2016	None	
CN 105632444 A	01 June 2016	WO 2017156909 A1	21 September 2017
CN 104485086 A	01 April 2015	US 2016372063 A1	22 December 2016
		EP 3242289 A1	08 November 2017
		WO 2016107096 A1	07 July 2016
CN 105609041 A	25 May 2016	None	
CN 102750898 A	24 October 2012	KR 20120119298 A	31 October 2012
		US 2012269316 A1	25 October 2012
		US 8867697 B2	21 October 2014
		US 2013243150 A1	19 September 2013
		US 8422621 B2	16 April 2013
		KR 101768485 B1	31 August 2017
		CN 102750898 B	08 April 2015
US 2005220262 A1	06 October 2005	KR 101023726 B1	25 March 2011
		US 7120221 B2	10 October 2006
		KR 20050096568 A	06 October 2005
US 2013027377 A1	31 January 2013	US 9013390 B2	21 April 2015
		KR 20130013766 A	06 February 2013

国际检索报告

国际申请号

PCT/CN2017/105459

A. 主题的分类

G09G 3/32(2016.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI: 移位, 寄存器, 输入, 输出, 第二, 节点, 稳定, 无, 不, 电压, 晶体管, 宽长比, 时钟, 电容, 开启, 脉宽, 互置, 竞争, 冲突, shift, register, input, output, second, secondary, node, stabilize, clock

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106782338 A (京东方科技集团股份有限公司 等) 2017年 5月 31日 (2017 - 05 - 31) 说明书第[0034]-[0095]段, 图1-5	1-15
X	CN 105719599 A (京东方科技集团股份有限公司 等) 2016年 6月 29日 (2016 - 06 - 29) 说明书第[0042]-[0098]段, 图1-6	1-14
X	CN 105632444 A (京东方科技集团股份有限公司) 2016年 6月 1日 (2016 - 06 - 01) 说明书第[0040]-[0104]段, 图1-5	1-8
A	CN 104485086 A (京东方科技集团股份有限公司 等) 2015年 4月 1日 (2015 - 04 - 01) 全文	1-15
A	CN 105609041 A (京东方科技集团股份有限公司 等) 2016年 5月 25日 (2016 - 05 - 25) 全文	1-15
A	CN 102750898 A (乐金显示有限公司) 2012年 10月 24日 (2012 - 10 - 24) 全文	1-15

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 12月 19日

国际检索报告邮寄日期

2018年 1月 11日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

卫研研

电话号码 (86-10)62414004

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2005220262 A1 (LG PHILIPS LCD CO., LTD.) 2005年 10月 6日 (2005 - 10 - 06) 全文	1-15
A	US 2013027377 A1 (YANG JIN-WOOK 等) 2013年 1月 31日 (2013 - 01 - 31) 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/105459

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106782338	A	2017年 5月 31日	无			
CN	105719599	A	2016年 6月 29日	无			
CN	105632444	A	2016年 6月 1日	WO	2017156909	A1	2017年 9月 21日
CN	104485086	A	2015年 4月 1日	US	2016372063	A1	2016年 12月 22日
				EP	3242289	A1	2017年 11月 8日
				WO	2016107096	A1	2016年 7月 7日
CN	105609041	A	2016年 5月 25日	无			
CN	102750898	A	2012年 10月 24日	KR	20120119298	A	2012年 10月 31日
				US	2012269316	A1	2012年 10月 25日
				US	8867697	B2	2014年 10月 21日
				US	2013243150	A1	2013年 9月 19日
				US	8422621	B2	2013年 4月 16日
				KR	101768485	B1	2017年 8月 31日
				CN	102750898	B	2015年 4月 8日
US	2005220262	A1	2005年 10月 6日	KR	101023726	B1	2011年 3月 25日
				US	7120221	B2	2006年 10月 10日
				KR	20050096568	A	2005年 10月 6日
US	2013027377	A1	2013年 1月 31日	US	9013390	B2	2015年 4月 21日
				KR	20130013766	A	2013年 2月 6日

表 PCT/ISA/210 (同族专利附件) (2009年7月)