(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 104579346 B
(45)授权公告日 2018.04.10

(21)申请号 201410528327.6

(22)申请日 2014.10.09

(65)同一申请的已公布的文献号
申请公布号 CN 104579346 A

(43)申请公布日 2015.04.29

(30)优先权数据
13187912.4 2013.10.09 EP

(73)专利权人 恩智浦有限公司
地址 荷兰艾恩德霍芬

(72)发明人 哈恩·马丁内斯·斯胡尔曼斯

(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 王波波

(51)Int.Cl.
H03M 1/12(2006.01)

审查员 李敏

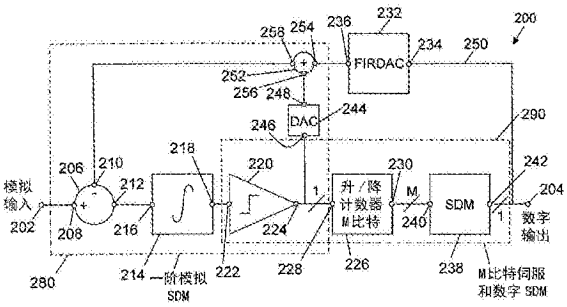
权利要求书2页 说明书6页 附图2页

(54)发明名称

模数转换器

(57)摘要

本发明提供了一种模数转换器，包括：输入端子，配置为接收模拟输入信号；输出端子，配置为提供输出数字信号；主加法器，具有加法输入、减法输入和加法输出，加法输入与输入端子相连；模拟滤波器，具有滤波器输入和滤波器输出，滤波器输入与加法输出相连；量化器，具有量化器输入和量化器输出，量化器输入与滤波器输出相连；数字积分器，具有数字积分器输入和数字积分器输出，数字积分器输出配置为提供多比特输出信号，数字积分器输入与量化器输出相连，并且数字积分器输出与输出端子相连；以及主反馈数模转换器，具有主反馈转换器输入和主反馈转换器输出，主反馈转换器输入与数字积分器输出相连，主反馈转换器输出与主加法器的减法输入相连。



CN 104579346 B

1.一种模数转换器,包括:

输入端子,被配置为接收模拟输入信号;

输出端子,被配置为提供输出数字信号;

主加法器,具有加法输入、减法输入和加法输出,其中所述加法输入与所述输入端子相连;

模拟滤波器,具有滤波器输入和滤波器输出,其中所述滤波器输入与所述加法输出相连;

量化器,具有量化器输入和量化器输出,其中所述量化器输入与滤波器输出相连;

数字积分器,具有数字积分器输入和数字积分器输出,其中所述数字积分器输出被配置为提供多比特输出信号,所述数字积分器输入与所述量化器输出相连,并且所述数字积分器输出与输出端子相连;

主反馈数模转换器,具有主反馈转换器输入和主反馈转换器输出,其中所述主反馈转换器输入与数字积分器输出相连,所述主反馈转换器输出与主加法器的减法输入相连;

第一数字sigma-delta调制器块,具有第一数字调制器输入和第一数字调制器输出,其中所述第一数字调制器输入与数字积分器输出相连,所述第一数字调制器输出与主反馈转换器输入相连;以及

第二数字sigma-delta调制器块,具有第二数字调制器输入和第二数字调制器输出,其中所述第二数字调制器输入与数字积分器输出相连,所述第二数字调制器输出与输出端子相连。

2.根据权利要求1所述的模数转换器,其中所述主反馈数模转换器被配置为从所述数字积分器输出接收多比特输出信号。

3.根据权利要求1或2所述的模数转换器,还包括:数字sigma-delta调制器块,具有数字调制器输入和数字调制器输出,其中所述数字调制器输入与所述数字积分器输出相连,所述数字调制器输出与所述输出端子和所述主反馈转换器输入二者相连。

4.根据权利要求1或2所述的模数转换器,其中所述主反馈数模转换器是有限脉冲响应数模转换器。

5.根据权利要求1或2所述的模数转换器,还包括:

中间反馈数模转换器,具有中间反馈转换器输入和中间反馈转换器输出,其中所述中间反馈转换器输入与所述量化器输出相连;以及

中间加法器,具有第一中间加法输入、第二中间加法输入和中间加法输出,其中

所述第一中间加法输入与主反馈转换器输出相连;

所述第二中间加法输入与中间反馈转换器输出相连;以及

所述中间加法输出与主加法器的减法输入相连。

6.根据权利要求1所述的模数转换器,其中所述第一数字sigma-delta调制器块的阶次低于第二数字sigma-delta调制器块的阶次。

7.根据权利要求1或6所述的模数转换器,其中所述第一数字sigma-delta调制器块被配置为以过采样频率进行操作,所述过采样频率高于第二数字sigma-delta调制器块被配置为进行操作的过采样频率。

8.根据权利要求1或2所述的模数转换器,其中所述数字积分器是多比特升/降计数器。

9.根据权利要求5所述的模数转换器，其中所述中间反馈数模转换器是1比特数模转换器，所述主反馈数模转换器是多比特数模转换器。

10.一种sigma-delta模数转换器，包括：

正向路径，在输入端子和输出端子之间；以及

反馈路径，在输出端子和输入端子之间，

其中所述正向路径包括模拟滤波器和被配置为接收来自所述模拟滤波器的输出信号并提供多比特输出信号的数字元件；

第一数字sigma-delta调制器块，具有第一数字调制器输入和第一数字调制器输出，其中所述第一数字调制器输入与数字积分器输出相连，所述第一数字调制器输出与主反馈转换器输入相连；以及

第二数字sigma-delta调制器块，具有第二数字调制器输入和第二数字调制器输出，其中所述第二数字调制器输入与数字积分器输出相连，所述第二数字调制器输出与输出端子相连。

11.根据权利要求10所述的sigma-delta模数转换器，其中所述数字元件包括多比特量化器。

12.根据权利要求10或11所述的sigma-delta模数转换器，其中所述数字元件包括与数字积分器串联的量化器。

13.根据权利要求10或11所述的sigma-delta模数转换器，还包括：数字sigma-delta调制器块，被配置为接收多比特输出信号，并向输出端子提供数字调制器输出信号。

14.一种便携式电子设备，包括根据权利要求1-13中任一权项所述的ADC。

模数转换器

技术领域

[0001] 本公开涉及模数转换器(ADC),具体地(但是并非排它性地)涉及ADC,包括sigma-delta ADC,被配置为以低输出采样速率进行操作以便实现低功率抽取。

背景技术

[0002] Sigma-delta模数转换器(ADC)和数模转换器(DAC)可以被统称为sigma-delta转换器,广泛地应用于高精度的、低频带至中频带的应用。可以将Sigma-delta调制(SDM)用于将模拟信号编码为数字信号。使用误差反馈来实现所述转换,在所述误差反馈中,测量两个信号之间的差值并用于改善转换。

发明内容

[0003] 根据本发明的第一方面,提供了一种模数转换器,包括:

[0004] 输入端子,被配置为接收模拟输入信号;

[0005] 输出端子,被配置为提供输出数字信号;

[0006] 主加法器,具有加法输入、减法输入和加法输出,其中将所述加法输入与输入端子相连;

[0007] 模拟滤波器,具有滤波器输入和滤波器输出,其中所述滤波器输入与加法输出相连;

[0008] 量化器,具有量化器输入和量化器输出,其中所述量化器输入与滤波器输出相连;

[0009] 数字积分器,具有数字积分器输入和数字积分器输出,其中所述数字积分器输出被配置为提供多比特输出信号,所述数字积分器输入与量化器输出相连,并且所述数字积分器输出与输出端子相连;以及

[0010] 主反馈数模转换器,具有主反馈转换器输入和主反馈转换器输出,其中所述主反馈转换器输入与数字积分器输出相连,所述主反馈转换器输出与主加法器的减法输入相连。

[0011] 可以认为ADC的正向(非反馈)分支包括模拟滤波器、量化器和数字积分器。将该正向分支拆分为模拟部分(包括滤波器)和数字部分(包括量化器和数字积分器)可以允许在保持稳定性的同时改善可缩放性。数字部分的参数可以随着采样速率缩放,因此,允许使用不同采样率而不需要重新配置。模拟部分在不同采样速率下可以是稳定的。对于ADC,有利地在不同频率下是稳定的,使得可以在不同应用中使用,例如,用于语言/语音频带处理(通常在8kHz左右操作)和高端音频应用(通常在48kHz左右操作)二者。

[0012] 有利地,可以减少在这种ADC中对模拟电路的使用/数量。例如,ADC中的模拟电路可以是模拟滤波器(例如,一阶滤波器),模拟滤波器之后是量化器。为了提供足够的分辨率(也就是说,低等级的量化噪声和高动态范围),在ADC中包括数字积分器以及数字积分器之后的主反馈DAC(可以是多比特DAC),以便用多比特增加电路的分辨率。整体ADC回路可以是二阶的。

[0013] 数字积分器可以是多比特升/降计数器。

[0014] 主反馈数模转换器可以被配置为从数字积分器输出接收多比特输出信号。

[0015] 模数转换器还可以包括:数字sigma-delta调制器块,具有数字调制器输入和数字调制器输出。数字调制器输入可以与数字积分器输出相连,数字调制器输出可以与输出端子和主反馈转换器输入二者相连。

[0016] 主反馈数模转换器可以是有限脉冲响应数模转换器(FIRDAC)。

[0017] 使用数字sigma-delta调制器块和有限脉冲响应数模转换器可以允许具有足够分辨率的多等级反馈信号,也就是说,整体ADC可以满足所需的产品规格,具有足以提供可接受的低等级量化噪声和足够高的动态范围来进行实际使用的分辨率。

[0018] 模数转换器可以包括:中间反馈数模转换器,具有中间反馈转换器输入和中间反馈转换器输出。中间反馈转换器输入可以与量化器输出相连。模数转换器还可以包括:中间加法器,具有第一中间加法输入、第二中间加法输入和中间加法输出。第一中间加法输入可以与主反馈转换器输出相连。第二中间加法输入可以与中间反馈转换器输出相连。中间加法输出可以与主加法器的减法输入相连。

[0019] 在量化器的输出处的拆分/分支产生回路(包括模拟滤波器、量化器和中间反馈DAC),所述回路可以是一阶回路。一阶回路在ADC中提供稳定性。ADC的其余数字部分(包括数字积分器、数字SDM块和主反馈DAC)可以为ADC提供较大的动态范围。

[0020] 中间反馈数模转换器可以是1比特数模转换器。主反馈数模转换器可以是多比特数模转换器。

[0021] 模数转换器还可以包括第一和第二数字sigma-delta调制器块。第一数字sigma-delta调制器块可以具有第一数字调制器输入和第一数字调制器输出。第一数字调制器输入可以与数字积分器输出相连,第一数字调制器输出可以与主反馈转换器输入相连。第二数字sigma-delta调制器块可以具有第二数字调制器输入和第二数字调制器输出。第二数字调制器输入可以与数字积分器输出相连,第二数字调制器输出可以与输出端子相连。

[0022] 第一数字sigma-delta调制器块的阶次可以低于第二数字sigma-delta调制器块。例如,第一数字sigma-delta调制器块可以是三阶调制器块,第二数字sigma-delta调制器块可以是五阶调制器块。通过使用在反馈回路中连接的第二数字sigma-delta调制器块,输出采样速率可以低于所需的采样速率,以便实现低功率抽取,其中所述第二数字sigma-delta调制器块与输出端子相连并且阶次高于第一数字sigma-delta调制器块。

[0023] 第一数字sigma-delta调制器块可以被配置为以过采样频率进行操作,所述过采样频率是高于第二数字sigma-delta调制器块被配置为进行操作的过采样频率。

[0024] 较高的过采样比率可以导致在ADC输出处抽取器的较高功耗。通过使用具有较高采样频率的第一数字sigma-delta调制器块和具有较低采样频率的第二数字sigma-delta调制器块,可以将第一数字调制器输出和主加法器的减法输入之间的反馈回路运行在较高采样速率下,同时来自第二较高阶数字sigma-delta调制器块的第二数字调制器输出的输出过采样比率还可以是较低的过采样比率,以便降低抽取器的功耗。

[0025] 根据本发明的第二方面,提供了一种sigma-delta模数转换器,包括:正向路径,在输入端子和输出端子之间;以及反馈路径,其中所述正向路径包括模拟滤波器和被配置为从模拟滤波器接收输出信号并提供多比特输出信号的数字元件。

[0026] 数字元件可以包括多比特量化器。数字元件可以包括与数字积分器串联的量化器。

[0027] Sigma-delta模数转换器还可以包括数字sigma-delta调制器块，被配置为接收多比特输出信号，并向输出端子提供数字调制器输出信号。

附图说明

[0028] 现参考附图示例性地描述实施例，在附图中：

[0029] 图1示出了ADC的电路图，所述ADC包括被配置为用作多比特量化器的多比特伺服ADC；

[0030] 图2a示出了另一ADC的电路图，所述ADC包括SDM和1比特中间DAC；以及

[0031] 图2b示出了另一ADC的电路图，所述ADC包括SDM、1比特中间DAC以及在ADC输出处的较高阶SDM。

具体实施方式

[0032] 本文所公开的实施例涉及数模转换器(ADC)，具有与模拟滤波器相连的主加法器。模拟滤波器与量化器相连，所述量化器继而与数字积分器相连。通过主反馈数模转换器(DAC)将来自数字积分器的输出信号连接回到主加法器，并且还连接到ADC的输出。ADC可以在宽带频率范围上是稳定的。ADC可以在需要采样速率灵活性的应用中使用，并且可以适合于在低功耗应用中使用，例如，移动电话和头戴式耳机的麦克风应用。ADC也可以适用于在更复杂的编解码系统和应用处理器中使用。ADC以及ADC主要包括数字电路的示例的简要性意味着ADC是高度稳定的，可以适合于在高级处理中使用。

[0033] 在移动应用和传感器中中可以找到ADC。有利地，这种设备可以具有较低的功耗，以便具有足够长的电池寿命来进行实际使用。音频ADC可以使用在麦克风应用中。尽管不认为麦克风是高性能设备，然而需要较大的动态范围来捕获麦克风能够检测的大范围声压级。

[0034] 可以用时间连续的sigma-delta调制器(TC SDM)来实现较低功耗和高动态范围，而不是切换电容器的sigma-delta调制器(SC SDM)。由于SC SMD需要执行具有大电流的快速切换，因此SC SDM比TD SDM消耗更多功率。然而，TD SDM的缺点在于由于它具有固定回路滤波器，而导致它的使用受限于单个采样速率。也就是说，如果采样速率改变，则滤波器系数由于是固定的而保持不变。对于不同采样速率，回路滤波器系数需要自适应调整以便保持回路稳定性和高噪声整形。TC SDM也可以对时钟抖动敏感。

[0035] 需要在不同应用中使用不同采样速率。例如，对于高端音频应用和移动应用，可以需要48kHz的采样频率，而对于电话呼叫和其它语音频带应用，采样频率可以是低得多的，大约8kHz。

[0036] 有利地，ADC可以用于高端频带和语音频带应用二者，使得改变滤波器系数以便针对不同采样速率保持回路稳定性。此外，有利地，ADC对时钟抖动不敏感，例如，比使用TD SDM的ADC更不敏感。在结合的模拟/数字电路中，低抖动可以是令人感兴趣的，在该结合的模拟/数字电路中无法保证与稳定时钟的直接关系。此外，通过ADC保持低功耗可以是在诸如移动电话和音频系统等移动设备中特别有利的。

[0037] 图1示出了模数转换器(ADC)100的图。输入端子102被配置为接收模拟输入信号。输出端子104被配置为提供输出数字信号。

[0038] ADC100包括:主加法器106,具有加法输入108、减法输入110和加法输出112。加法输入108与ADC100的输入端子102相连。

[0039] ADC100还包括:模拟滤波器114,具有滤波器输入116和滤波器输出118。在该示例中,模拟滤波器114是一阶滤波器。滤波器输入116与主加法器106的加法输出112相连。可以将模拟滤波器114认为是回路滤波器或积分器。模拟滤波器114可以具有0Hz或更高的极点(pole)。在一些示例中,滤波器114可以是电容器。

[0040] ADC还包括量化器120,具有量化器输入122和量化器输出124。量化器输入122与模拟滤波器114的滤波器输出118相连。量化器120可以是比较器,在一些示例中,可以是1比特量化器。

[0041] ADC100还包括:数字积分器,具有数字积分器输入和提供多比特输出的数字积分器输出。在该示例中,数字积分器是多比特升/降计数器126,将计数器输入128作为数字积分器输入,将计数器输出130作为数字积分器输出。

[0042] 计数器输出130被配置为提供多比特输出信号150。计数器输入128与量化器120的量化器输出124相连。计数器输出130与ADC 100的输出端子104相连。将1比特信号从量化器120的输出124输入到多比特升/降计数器126。此后,多比特升/降计数器126输出多比特信号。

[0043] 可以将量化器120和多比特升/降计数器126共同认为是跟踪ADC。在一些示例中,将量化器120多比特升/降计数器126共同替换为多比特量化器。多比特升/降计数器126可以连续时钟记录的,多比特升/降计数器126的输入源自量化器120的输出。

[0044] 量化器120和多比特升/降计数器126(跟踪ADC)的共同的比特数目以及由模拟滤波器114执行的一阶噪声整形确定可实现的量化噪声。

[0045] ADC100还包括:主反馈DAC132,具有主反馈转换器输入134和主反馈转换器输出136。主反馈转换器输入134与多比特升/降计数器126的计数器输出130相连。主反馈转换器输出136与主加法器106的减法输入110相连。在反馈回路中,主反馈DAC132在计数器输出130和主加法器的减法输入110之间执行模拟转换。可以将主反馈DAC132设置为任何类型的DAC,与量化器120、多比特升/降计数器126以及模拟滤波器114(ADC100的正向路径)的组合分辨率相比,所述DAC具有可比较的或更好的频带内分辨率。

[0046] 对于如图1所示的ADC100,主反馈DAC132被配置为从计数器输出130接收多比特输出信号150。

[0047] 图2a示出了模数转换器(ADC)200的图,所述ADC具有与图1所示ADC相同的元件。附图之间的相似元件具有相似的附图标记,将不再结合图2a详细讨论已结合图1描述过的相同元件。

[0048] ADC200包括:数字sigma-delta调制器(SDM)块238,具有数字调制器输入240和数字调制器输出242。数字调制器输入240与数字积分器226的数字积分器输出/计数器输出230相连,在该示例中,所述数字积分器226是多比特升/降计数器226。数字调制器输出242与输出端子204和主反馈DAC232的主反馈转换器输入234二者相连。可以将量化器220、多比特升/降计数器226和数字SDM238共同认为是M比特伺服和数字SDM290。

[0049] 如图1所示，将1比特信号从量化器220的输出224输入到多比特升/降计数器226。此后，多比特升/降计数器226向数字SDM块238输出多比特信号。将来自数字SDM块238的数字调制器输出242与主反馈DAC232的主反馈转换器输入234相连。数字SDM块238接收多比特输入，并输出具有特定顺序和过采样比率的1比特SDM信号，以便针对ADC200提供特定频带分辨率。

[0050] 在该示例中，主反馈DAC232是有限脉冲响应数模转换器(FIRDAC)。特别适合的FIRDAC232的示例是1比特32抽头的FIRDAC，具有本质上较低的失真和可缩放的架构。有利地，适合的FIRDAC可以是简单的组件，例如，包括32个触发器(flip-flop)和电阻器，所述组件不会发生信号失真或发生较小的信号失真。在其它示例中，例如可以将FIRDAC替换为多比特DAC。

[0051] 由于1比特输出的电压电平不需要与其它输出比特相匹配，因此提供给输出端子204的1比特输出可以允许其他组件与ADC200容易地接口连接，并可以提供低失真的输出信号。

[0052] 图2a的ADC200还包括中间反馈DAC244，具有中间反馈转换器输入246和中间反馈转换器输出248。中间反馈转换器输入246与量化器220的量化器输出224相连。ADC200还包括：中间加法器252，具有第一中间加法输入254、第二中间加法输入246和中间加法输出258。第一中间加法输入254与主反馈转换器输出236相连。第二中间加法输入256与中间反馈转换器输出248相连。中间加法输出258与主加法器206的减法输入210相连。

[0053] 中间反馈DAC244从量化器输出224接收1比特信号。有利地，中间反馈DAC244可以是小型的，例如，仅具有两个值的1比特DAC(也就是说，1抽头DAC)，以便足够稳定性。因此，对于较低频率信号，相较于中间反馈路径上的信号，通过数字电路(多比特升降计数器226、数字SDM块238和主反馈DAC232)的反馈路径上的信号具有更大的反馈效果。在较高频率下，ADC200的组件可以添加相位延迟。因此，在较高频率下，相较于经由通过数字电路的反馈路径传递的信号，经由中间反馈DAC244传递的信号具有更强的反馈作用。这样，高效地旁路掉(较高阶)数字电路，保留一阶传递函数。一阶传递函数默认是稳定的。

[0054] 可以将模拟滤波器214、量化器222和中间反馈DAC244共同认为是一阶模拟sigma-delta调制器(SDM)280。由一阶模拟SDM280来确定ADC200对时钟抖动的敏感性。然而，在本文所述的电路中，一阶模拟SDM280在低幅度下进行操作，因此它对时钟抖动的敏感性也是较低的。

[0055] 在该示例中，ADC200仅具有一个模拟组件，所述模拟组件是模拟滤波器214。ADC200中较少数目的模拟组件可以帮助在较宽的频率采样范围上保持稳定性，例如，从8kHz(语音信号)到48kHz(移动电话信号)。通常，如果使用较低的采样速率，则SDM可以是不稳定的。然而，本文所公开的ADC包括模拟滤波器214，所述模拟滤波器214本质上是稳定的。此外，将较高阶积分移至数字域，从而允许ADC在较低的采样速率下并因此在较低功率下充分操作，而不损失稳定性。

[0056] 在一些示例中，量化器220和多比特升/降计数器226的过采样比率应是采样频率的512倍(512*fs)，以便实现110dB动态范围以供32抽头的FIRDAC232在音频频带内使用。要求过采样比率具有特定值的另一考虑在于：多比特升/降计数器226受到其转换速率的限制。如果输入信号频率或幅度太高，则多比特升/降计数器226不能足够快速地起作用，以便

有效地跟随在其输入处接收到的信号。为了解决该问题，可以增加过采样比率，同时也增加多比特升/降计数器226的转换速率。对于全标度幅度的频率高达20kHz的输入信号，可以使用是采样频率1024倍的过采样比率(1024*fs)。输出204处较高的过采样比率可以导致下游抽取器(未示出)的高功耗。通过使用如图2b所示的ADC200，来缓解这种效果。

[0057] 图2b示出了模数转换器(ADC)200的图，所述ADC与图1和2a所示的ADC具有相同元件。将附图之间的相似元件表示为相似的附图标记，将不再结合图2b详细讨论已结合图2a描述过的相同元件。

[0058] 图2b的ADC200构建在图2a所示的ADC200之上，并且包括：第一数字sigma-delta调制器块260，具有第一数字调制器输入262和第一数字调制器输出264。第一数字调制器输入262与计数器输出230相连，第一数字调制器输出264与主反馈转换器输入234相连。ADC200还包括：第二数字sigma-delta调制器块266，具有第二数字调制器输入268和第二数字调制器输出270。第二数字调制器输入268与计数器输出230相连，第二数字调制器输出270与输出端子204相连。

[0059] 在图2b中，第一数字sigma-delta调制器块260是三阶sigma-delta调制器，而第二数字sigma-delta调制器块266是五阶sigma-delta调制器。因此，第一数字sigma-delta调制器块260的阶数低于第二数字sigma-delta调制器块266。可以将量化器220、多比特升/降计数器226和三阶数字SDM238共同认为是M比特伺服和三阶数字SDM290。

[0060] 第一数字sigma-delta调制器块260所应用的采样频率可以高于第二数字sigma-delta调制器块266所应用的采样频率。

[0061] 考虑到消除较高过采样比率导致下游抽取器的较高功耗的影响，除了第一数字SDM块260之外，还可以使用较高阶的第二数字SDM块266。相较于第一数字SDM块260，较高阶的第二数字SDM块266可以以较较低的过采样比率运行。例如，第一数字SDM块260可以以是采样频率512倍的过采样频率(512*fs)进行操作，而同时较高阶的第二数字SDM块266可以以是采样频率64、128、256或512倍的过采样频率(64、128、256或512*fs)进行操作。这样，第一数字调制器输出264和主加法器206的减法输入210之间的回路可以运行在较高过采样比率下，以符合结合图2a所讨论的动态范围和转换速率需要，而同时较高阶的第二数字SDM块266的第二数字调制器输出270的输出过采样比率可以仍然在较低过采样比率(例如，64倍的采样频率(64*fs))下。这样，由于在输出端子204处可能的较低过采样比率，降低了与ADC的输出204相连的抽取器的功耗(而同时，可以在反馈回路中保持较高的过采样比率)。抽取器可以与ADC200的输出相连，并被配置为将采样速率降回到采样频率(fs)。

[0062] 本文描述为“相耦接”或“相连接”的任何组件可以是直接或间接耦接或连接。也就是说，可以将一个或多个组件置于所述相耦接或相连接的两个组件之间，与此同时，仍然支持实现所需功能。

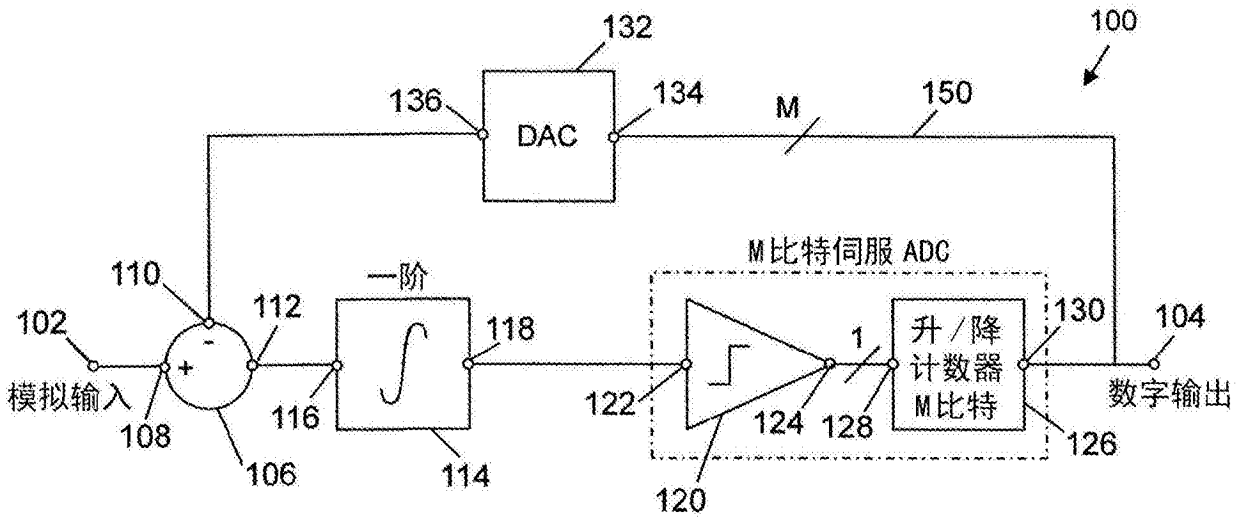

100
132
DAC
136
134
M
150
M比特伺服 ADC
110
一阶
112
102
118
模拟输入
108
116
106
114
122
124
128
1
升/降
计数器
M比特
130
104
126
数字输出
120

图1

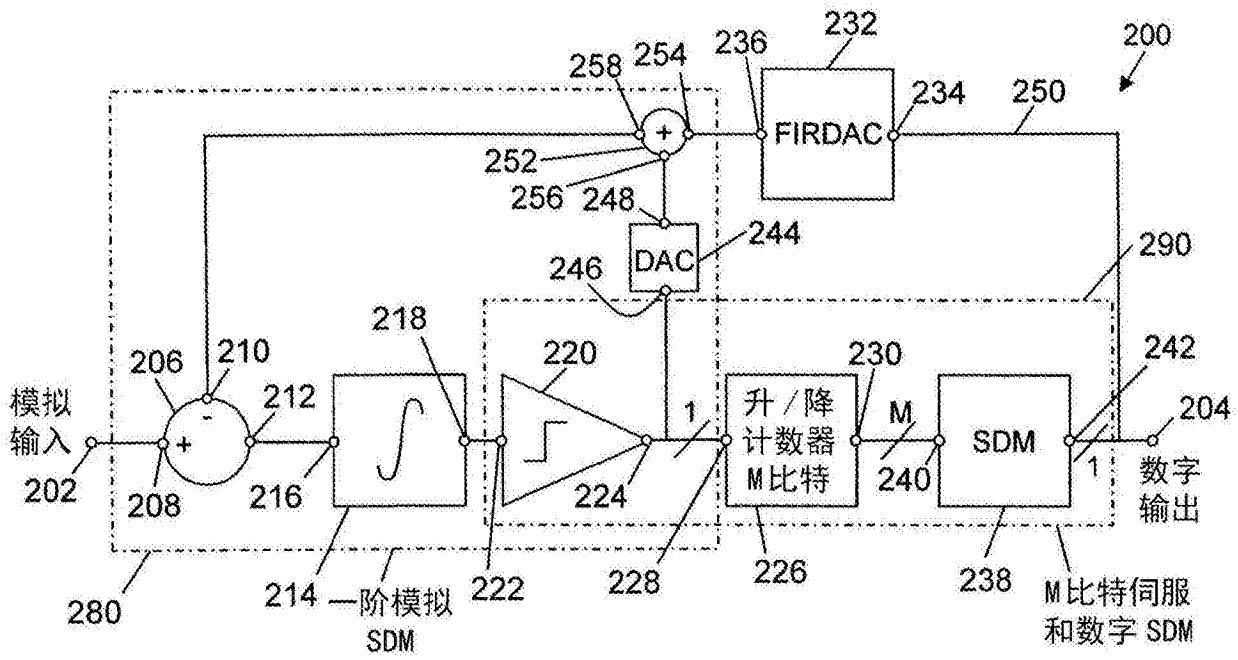

200
232
236
258
254
234
250
FIRDAC
252
256
248
DAC
244
246
290
218
220
230
242
206
210
212
1
升/降
计数器
M比特
M
SDM
204
模拟
输入
202
208
216
224
240
1
数字
输出
280
214
一阶模拟
SDM
222
228
226
238
M比特伺服
和数字 SDM

图2a

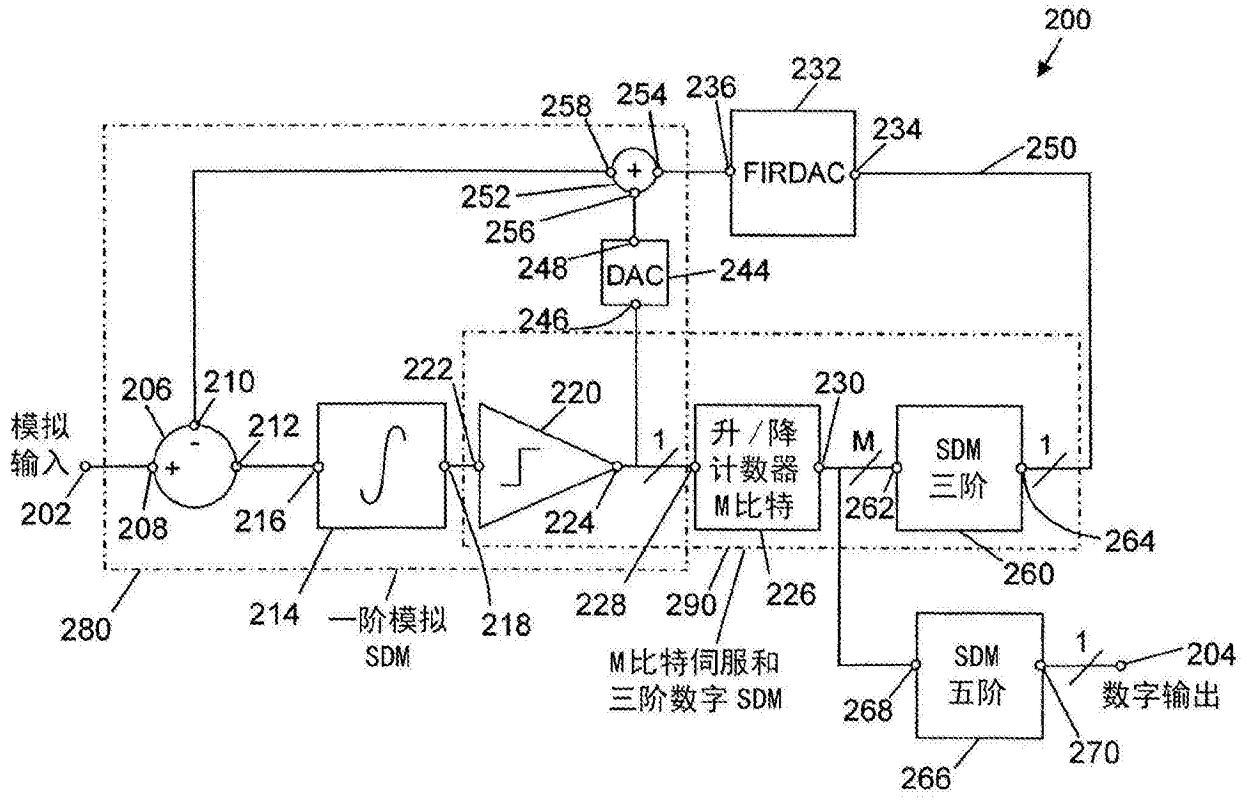

200
232
236
254
258
234
250
FIRDAC
252
256
248
DAC
244
246
222
220
230
206
210
212
模拟
输入
202
208
216
224
1
升/降
计数器
M比特
M
SDM
三阶
1
262
264
260
280
214
一阶模拟
SDM
218
228
290
226
M比特伺服和
三阶数字 SDM
SDM
五阶
1
204
数字输出
268
270
266

图2b