(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 699 32 135 T2** 2006.11.09

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 999 587 B1**
(21) Deutsches Aktenzeichen: **699 32 135.2**
(96) Europäisches Aktenzeichen: **99 308 578.6**
(96) Europäischer Anmeldetag: **29.10.1999**
(97) Erstveröffentlichung durch das EPA: **10.05.2000**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **28.06.2006**
(47) Veröffentlichungstag im Patentblatt: **09.11.2006**

(51) Int Cl.[8]: ***H01L 23/31*** (2006.01)
H01L 21/68 (2006.01)

(30) Unionspriorität:
31473898 **05.11.1998** **JP**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Shinko Electric Industries Co., Ltd., Nagano, JP

(74) Vertreter:
WUESTHOFF & WUESTHOFF Patent- und Rechtsanwälte, 81541 München

(72) Erfinder:
Yonemochi, Shinko Electric Ind., Kazuto, Nagano-shi, Nagano 380-0921, JP; Yonemochi, Shinko Electric Ind., Masahiro, Nagano-shi, Nagano 380-0921, JP

(54) Bezeichnung: **Herstellungsverfahren einer Halbleiteranordnung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer Halbleitervorrichtung mit Harzvorsprüngen, welche als externe Verbindungsanschlüsse dienen und die einstückig mit einem harzversiegelten Abschnitt ausgebildet sind, der einen Halbleiterchip versiegelt, sowie ein Metallsubstrat, welches hierbei anwendbar ist. Ein solches Verfahren und ein solches Metallsubstrat, welche nachfolgend näher beschrieben sind, sind in der Veröffentlichung EP-A-0773584 offenbart.

[0002] Fig. 1 ist eine Schnittdarstellung, welche eine Halbleitervorrichtung zeigt, die externe Verbindungsanschlüsse hat, welche mittels Harzvorsprüngen gebildet sind, die einstückig an einem harzversiegelten Abschnitt ausgebildet sind. In der Zeichnung bezeichnet Bezugszeichen **10** einen Halbleiterchip, **12** einen harzversiegelten Abschnitt und **14** einen externen Verbindungsanschluss. Die externen Verbindungsanschlüsse **14** werden gebildet durch Bereitstellung von Metallfilmen **18** zum Beschichten der Harzvorsprünge **16**, die so gebildet sind, dass sie von der Bodenfläche des harzversiegelten Abschnittes **12** an der Chipanordnungsfläche der Halbleitervorrichtung vorstehen. Elektroden des Halbleiterchips **10** und die Metallfilme **18** werden mittels Bondierungsdrähten **20** elektrisch verbunden. Bezugszeichen **22** bezeichnet ein Harz, welches die rückseitige Fläche des Halbleiterchips schützt, indem verhindert wird, dass die Bodenfläche des Halbleiterchips **10** aus dem harzversiegelten Abschnitt **12** heraus frei liegt.

[0003] Fig. 2 ist eine Ansicht von unten auf die Halbleitervorrichtung. Die externen Verbindungsanschlüsse **14** sind an Positionen angeordnet, welche den Halbleiterchip **10** umgeben, wobei der Metallfilm **18** eines jeden der externen Verbindungsanschlüsse **14** elektrisch mit der Elektrode des Halbleiterchips **10** durch Drahtbondierung verbunden ist. Wenn der Halbleiterchip **10** und der Metallfilm **18** der externen Verbindungsanschlüsse **14** direkt mit dem Bondierungsdraht **20** verbunden werden, wird ein Verdrahtungsmuster zur elektrischen Verbindung der externen Verbindungsanschlüsse und der Bondierungsdrähte unnötig und es ist auch unnötig, einen Raum zur Anordnung des Verdrahtungsmusters sicher zu stellen, so dass es möglich wird, die Größe der Halbleitervorrichtung zu verringern.

[0004] Die Fig. 3(a) bis Fig. 3(e) zeigen ein Verfahren zur Herstellung der oben beschriebenen Halbleitervorrichtung. Zunächst wird ein Photoresist auf die Oberfläche eines Metallsubstrates **30**, beispielsweise einer Kupferfolie, aufgebracht, Licht ausgesetzt und entwickelt, so dass ein Photoresistmuster **32** mit Öffnungen gebildet wird, wo die externen Verbindungsanschlüsse **14** auszubilden sind (Fig. 3(a)). Dann wird das Metallsubstrat **30** unter Verwendung des Photoresistmusters **32** als Maske halbgeätzt, um eine Vertiefung **34** zu bilden (Fig. 3(b)). Die innere Oberfläche der Vertiefung **34** wird dann mit einer Platierung aus Palladium oder dergleichen beschichtet, um einen Metallfilm **18** zu bilden (Fig. 3(c)). Dann wird der Halbleiterchip **10** auf dem Metallsubstrat **30** über das Chipbefestigungsharz **22** angeordnet und die Elektroden des Halbleiterchips **10** und die Metallfilme **18**, die an den Bodenflächen der Vertiefungen **34** ausgebildet sind, werden durch Drahtbondieren verbunden (Fig. 3(d)).

[0005] Dann wird eine Seite des Metallsubstrates **30**, worauf der Halbleiterchip **10** angeordnet ist, mittels einer Harzversiegelungsvorrichtung durch ein Harz versiegelt. Fig. 3(e) zeigt den Zustand, in welchem der Halbleiterchip **10** mit dem Harz versiegelt ist. Die Halbleitervorrichtung wird erhalten, indem das Metallsubstrat **30** durch Ätzen des Halbleiterchips **10**, der in dem Harz versiegelt ist, gelöst und entfernt wird. Es gibt ein anderes Verfahren zur Herstellung der Halbleitervorrichtung, bei dem die Metallfilme **18**, der harzversiegelte Abschnitt **12** etc. derart gebildet werden, als dass von dem Metallsubstrat **30** abgezogen wird und der harzversiegelte Abschnitt **12** wird von dem Metallsubstrat **30** abgezogen, so dass eine Trennung nach der Versiegelung mit dem Harz erfolgt.

[0006] Die oben beschriebene Halbleitervorrichtung zeichnet sich durch die Tatsache aus, dass die Halbleitervorrichtung als ein Produkt mit geringer Größe bereitgestellt werden kann. Da jedoch der Harzvorsprung **16** einstückig mit dem Harzversiegelungsabschnitt **12** ausgebildet wird, wenn mit dem Harz versiegelt wird, ist es notwendig, die Vertiefung **34** in dem Metallsubstrat **30** auszubilden. Da weiterhin die Bodenfläche der Vertiefung **34** als Bondierkissen dient, muss ein Bereich, der für das Bondieren notwendig ist, an der Bodenfläche der Vertiefung **34** sicher gestellt werden, was es unmöglich macht, die externen Verbindungsanschlüsse **14** mit hoher Dichte anzuordnen.

[0007] Die Fig. 4(a) und Fig. 4(b) sind vergrößerte Ansichten der Anordnung von Verbindungen zwischen externen Verbindungsanschlüssen **14** und dem Anordnungssubstrat. Bei der Halbleitervorrichtung nach dem Stand der Technik ist ein Bondierkissen zur Verbindung der externen Verbindungsanschlüsse **14** mit dem Anordnungssubstrat rechteckig mit einer Abmessung von ungefähr 0,6 × 0,3 mm mit Abständen von ungefähr 0,65 mm zwischen den Anschlüssen. Das Bondierungskissen zur Verbindung des externen Verbindungsanschlusses **14** hat eine Rechteckform, da eine gewisse Größe der Fläche für das Bondierungskissen notwendig ist und da die Bodenfläche der Vertiefung **34** eine gewisse Größe der Fläche haben muss, um zu verhindern, dass ein Bon-

dierungswerkzeug oder der Bondierungsdraht **20** Kontakt mit einer Kante der Vertiefung **34** machen, wenn das Bondierungswerkzeug sich in Richtung der Bodenfläche der Vertiefung **34** bewegt. Die Vertiefung **34** muss auch eine Tiefe von ungefähr 0,3 mm haben, um eine Höhe der externen Verbindungsanschlüsse **14** sicher zu stellen.

[0008] Wenn ein Produkt mit einer Mehrzahl von Stiften hergestellt wird, wobei die Halbleitervorrichtung Harzvorsprünge **16** hat, welche als externe Verbindungsanschlüsse **14** dienen, die einstückig mit dem harzversiegelten Abschnitt **12** ausgebildet sind, der den Halbleiterchip versiegelt, ist das Layout der externen Verbindungsanschlüsse **14** bei der Verbindungskonstruktion nach dem Stand der Technik begrenzt und es ist schwierig, eine Befestigung mit hoher Dichte effektiv durchzuführen.

[0009] Aufgabe der vorliegenden Erfindung ist es, ein bevorzugtes Verfahren zur Herstellung der Halbleitervorrichtung zu schaffen, mit einem Verbindungsaufbau, der es wirksamer möglich macht, eine Mehrfachstiftkonstruktion zu machen, sowie ein Metallsubstrat, welches für das Verfahren anwendbar ist.

[0010] Zur Lösung der obigen Aufgabe ist gemäß der vorliegenden Erfindung ein Verfahren nach Anspruch 1 und ein Metallsubstrat nach Anspruch 10 geschaffen. Vorteilhafte zusätzliche Merkmale sind in den abhängigen Ansprüchen angegeben.

[0011] Bestimmte Ausführungsformen gemäß dieser Erfindung werden nun unter Bezugnahme auf die beigefügte Zeichnung beschrieben, in der:

[0012] Fig. 1 eine schematische Darstellung ist, welche den Aufbau der Halbleitervorrichtung mit Harzvorsprüngen zeigt;

[0013] Fig. 2 eine Draufsicht ist, die eine Verbindungsebene der Halbleitervorrichtung zeigt, welche mit einem Verpackungssubstrat verbunden ist;

[0014] Fig. 3(a) bis Fig. 3(e) Schnittdarstellungen sind, welche ein Verfahren zur Herstellung der Halbleitervorrichtung nach dem Stand der Technik unter Verwendung eines Metallsubstrats zeigen;

[0015] Fig. 4(a) und Fig. 4(b) eine Draufsicht bzw. eine Schnittdarstellung sind, welche den Aufbau der Bondierkissen zeigen, die an dem Metallsubstrat zur Verwendung in dem Verfahren zur Herstellung der Halbleitervorrichtung nach dem Stand der Technik vorgesehen sind;

[0016] Fig. 5 eine Draufsicht auf das Metallsubstrat ist, welches beim Verfahren zur Herstellung der Halbleitervorrichtung nach der vorliegenden Erfindung verwendet wird;

[0017] Fig. 6(a) und Fig. 6(b) eine Draufsicht bzw. Schnittdarstellung sind, welche die Bondierkissen und die Vertiefung für eine externe Verbindung zeigen, welche auf dem Metallsubstrat ausgebildet sind;

[0018] Fig. 7(a) bis Fig. 7(f) Schnittdarstellungen sind, welche den Schritt zur Ausbildung der Bondierkissen und Vertiefungen für eine externe Verbindung an dem Metallsubstrat zeigen;

[0019] Fig. 8(a) und Fig. 8(b) Schnittdarstellungen sind, welche die Schritte zur Anordnung des Halbleiterchips auf dem Metallsubstat und das Versiegeln mit Harz zeigen;

[0020] Fig. 9 eine Schnittdarstellung ist, welche die Halbleitervorrichtung zeigt, die durch Lösen und Entfernen des Metallsubstrats erhalten wird;

[0021] Fig. 10(a) bis Fig. 10(g) andere Schritte zur Ausbildung der Bondierkissen und der Vertiefungen für eine externe Verbindung zeigen, die auf dem Metallsubstrat ausgebildet werden;

[0022] Fig. 11 eine Draufsicht ist, welche die Ebenenanordnung der Vertiefungen, die auf dem Metallsubstrat ausgebildet sind, und freiliegende Abschnitte zeigt;

[0023] Fig. 12(a) bis Fig. 12(d) Draufsichten sind, welche eine andere Ebenenanordnung der Vertiefungen, die auf dem Metallsubstrat ausgebildet sind und freiliegende Abschnitte zeigen;

[0024] Fig. 13(a) und Fig. 13(b) Draufsichten sind, welche ein Beispiel einer Ebenenanordnung der Bondierkissen und der Vertiefungen, ausgebildet auf dem Metallsubstrat, zeigen;

[0025] Fig. 14(a) und Fig. 14(b) eine Draufsicht bzw. eine Schnittdarstellung sind, welche ein Beispiel zur Ausbildung der Bondierkissen und der Vertiefungen durch einen Stanzdruckschritt zeigen.

[0026] Zuerst wird eine Ausführungsform des Verfahrens zur Herstellung der Halbleitervorrichtung beschrieben, welches den Schritt des Stanzpressens des Metallsubstrats enthält.

[0027] Das Verfahren zur Herstellung der Halbleitervorrichtung gemäß dieser Ausführungsform ist im wesentlichen gleich wie das Verfahren zur Herstellung der Halbleitervorrichtung nach dem voranstehend beschriebenen Stand der Technik. Das heißt, ein Halbleiterchip wird auf einer Seite des Metallsubstrates angeordnet, Elektroden des Halbleiterchips und Bondierkissen an dem Metallsubstrat werden durch Drahtbondieren verbunden, besagte eine Seite des Metallsubstrates, worauf der Halbleiterchip angeordnet ist, wird mit einem Harz versiegelt, und

dann wird das Metallsubstrat durch Ätzen gelöst und entfernt, um damit die Halbleitervorrichtung zu erhalten.

[0028] Diese Ausführungsform ist gekennzeichnet durch den Schritt des Ausbildens einer externen Verbindungsanschluss-Ausbildungsvertiefung in dem Metallsubstrat, so dass die externen Verbindungsanschlüsse **14** von der Chipanordnungsoberfläche des harzversiegelten Abschnittes **12** der Halbleitervorrichtung vorstehen und den Schritt des Ausbildens der Bondierkissen an Positionen nahe der Mündung der Vertiefung, wo es einfach ist, eine Drahtbondierung der Elektroden des Halbleiterchips für die elektrische Verbindung mit externen Verbindungsanschlüssen **14** durchzuführen.

[0029] Fig. 5 zeigt Bondierkissen **42a** und externe Verbindungsanschluss-Ausbildungsvertiefungen **42b**, die auf einem Metallsubstrat **40** ausgebildet sind. Das Metallsubstrat **40** ist eine dünne Schicht in Rechteckform oder langer Streifenform und Chipanordnungsabschnitte **10a**, auf denen die Halbleiterchips **10** anzuordnen sind, sind in bestimmten Intervallen auf dem Metallsubstrat **40** angeordnet. Die Bondierkissen **42a** und die Vertiefungen **42b** sind um diese Chipanordnungsabschnitte **10a** herum ausgebildet. Obgleich in dieser Ausführungsform als Metallsubstrat **40** eine Kupferfolie verwendet wird, kann das Metallsubstrat **40** aus einem anderen Material sein, welches durch Ätzen einfach zu lösen und zu entfernen ist.

[0030] Die Fig. 6(a) und Fig. 6(b) sind vergrößerte Ansichten des Bondierkissens **42a** und der Vertiefung **42b**, die auf dem Metallsubstrat **40** ausgebildet sind. Fig. 6(a) ist eine Draufsicht auf das Bondierkissen **42a** und die Vertiefung **42b** und Fig. 6(b) ist eine Schnittdarstellung hiervon.

[0031] Die Bondierkissen **42a** werden gebildet durch Stanzpressen der Bodenflächen der Vertiefung, welche vorab in dem Metallsubstrat **40** ausgebildet worden sind, von einer Seite des Metallsubstrats gegenüber derjenigen her, wo die Vertiefungen ausgebildet sind, so dass die Oberfläche im wesentlichen fluchtend mit der anderen Seite des Metallsubstrates **40** wird. Die Vertiefung hat an ihrer inneren Oberfläche einen Metallfilm **46** ausgebildet und die Bondierkissen **42a** werden durch Stanzpressen des Metallsubstrats **40** so gebildet, dass der Metallfilm **46** nach oben gedrängt wird.

[0032] Die Vertiefung **42b**, welche der Rest der Vertiefung ist, welche vorab in dem Metallsubstrat **40** ausgebildet wurde, hat an ihrer inneren Oberfläche den Metallfilm **46** ausgebildet und eine elektrische Verbindung mit dem Bondierkissen **42a** erfolgt über den Metallfilm **46**. Die Vertiefung **42b** wird ein Harzvorsprung **16**, wenn sie mit Harz versiegelt wurde und liegt zur Außenseite als externer Verbindungsanschluss **14** vor.

[0033] In dieser Ausführungsform sind gemäß Fig. 6(a) die Bondierkissen **40a** und die Vertiefungen **42b** durch Ausbildung langer Rechtecke und durch Unterteilen des Rechtecks in im wesentlichen zwei Hälften gebildet; eine, welche das Bondierkissen **42a** sein soll und die andere, welche die Vertiefung **42b** sein soll. Die Breite des Bondierkissens **42a** und der Vertiefung **42b** beträgt 0,10 mm, die Gesamtlänge aus Bondierkissen **42a** und Vertiefung **42b** beträgt 0,60 mm und die Unterteilung P beträgt 0,3 mm.

[0034] Verbindungen mit dem Anordnungssubstrat, welche aus der Vertiefung **42b** dieser Ausführungsform gebildet werden, sind mit weitaus geringerer Unterteilung angeordnet als die Verbindungen bei einer Halbleitervorrichtung nach dem Stand der Technik und folglich ist die Anordnung von höherer Dichte. Die Verbindungen mit dem Anordnungssubstrat können mit einer derart hohen Dichte angeordnet werden, da es keine Notwendigkeit einer Drahtbondierung an der inneren Bodenfläche der Vertiefung gibt und es ausreichend ist, lediglich eine Drahtbondierung an dem Bondierkissen **42a** durchzuführen, welche an besagter Oberfläche des Metallsubstrats **40** ausgebildet ist. Somit ist es unnötig geworden, einen großen Bondierbereich sicher zu stellen, was es möglich macht, die Bondierkissen **42a** und die Vertiefungen **42b** mit hoher Dichte anzuordnen.

[0035] Ein spezielles Verfahren zur Ausbildung der Bondierkissen **42a** und der Vertiefungen **42b** auf dem Metallsubstrat **40** wird nachfolgend unter Bezugnahme auf die Fig. 7(a) bis Fig. 7(f) beschrieben.

[0036] Zuerst wird das Metallsubstrat **40**, welches eine dünne Metallschicht, beispielsweise eine Kupferfolie ist, mit einem Photoresist **50** bedeckt, welches auf beiden Seiten hiervon aufgebracht wird (Fig. 7(a)). Das Metallsubstrat **40** dient als Trägerkörper beim Anordnen des Halbleiterchips **10** und der Versiegelung mit Harz und somit sollten das Material und die Dicke hiervon so gewählt werden, dass die benötigte Festigkeit erhalten wird.

[0037] Das Photoresist **50** auf einer Seite des Metallsubstrates **40** wird einer Bestrahlung ausgesetzt und entwickelt, um ein Photoresistmuster **50a** zu bilden, welches diejenigen Abschnitt, wo die Vertiefungen auszubilden sind, belichtet hat (Fig. 7(b)). Gemäß Fig. 5 sind die Bondierkissen **42a** und die Vertiefungen **42b** zur Ausbildung der externen Verbindungsanschlüsse in einer Mehrzahl in einer bestimmten Anordnung auf dem Metallsubstrat **40** ausgebildet. Obgleich nur der Zustand einer ausgebildeten Vertiefung in Fig. 7(b) dargestellt ist, ist das Photoresistmuster **50a** von einem derartigen Aufbau, dass die Oberfläche des Metallsubstrates **40** an Positio-

nen frei liegt, wo das Bondierkissen **42a** und die Ausbildungsvertiefung **42b** für den externen Verbindungsanschluss ausgebildet werden.

[0038] Dann wird das Metallsubstrat **40** unter Verwendung des Photoresistmusters **40a** als Maske geätzt, um Vertiefungen **52** zu bilden (Fig. 7(c)). Da die Vertiefung **52** die Vorsprungsform des externen Verbindungsanschlusses **14** bestimmt, wird die Vertiefung **52** durch Steuern des Ätzschritts gebildet, so dass die benötigte Vorsprungshöhe erhalten wird.

[0039] Dann wird das Photoresistmuster **50a** entfernt, beide Seiten des Metallsubstrats **40** werden mit einem Platierungsresist bedeckt und das Resist wird Licht ausgesetzt und entwickelt, um ein Maskenmuster **54** zu bilden, in welchem die Vertiefung **52** frei liegt.

[0040] Fig. 7(d) zeigt das Metallsubstrat **40**, das mit dem Platierungsmaskenmuster **54** maskiert ist, unter Verwendung des Metallsubstrats **40** als Energiezufuhrschicht elektroplatiert, wodurch der Platierungsfilm **56** an der inneren Oberfläche der Vertiefung **52** gebildet wird.

[0041] Der Platierungsfilm **56** würde der Metallfilm **46** zur Ausbildung an dem Bondierabschnitt **42a** und der inneren Oberfläche der Vertiefung **42b** werden, wie voranstehend beschrieben. Da der Metallfilm **56**, der aus dem Platierungsfilm **56** gebildet wird, das Bondierkissen **42a** und den Leiter des externen Verbindungsanschlusses **14** bildet, ist es notwendig, das Platierungsmetall auszuwählen, wobei Faktoren mit berücksichtigt werden wie Lötbarkeit zur Anordnung der Halbleitervorrichtung, Drahtbondierbarkeit zur Verbindung des Halbleiterchips und des Bondierkissens **42a**.

[0042] Bei dieser Ausführungsform sind gute Lötbarkeit und Drahtbondierbarkeit sichergestellt durch Platieren von Palladium, Nickel und Gold in dieser Reihenfolge von der Außenseite des externen Verbindungsanschlusses **14** her. Die Platierung kann auch in der Reihenfolge von Nickel, Palladium und Gold von der Außenseite des externen Verbindungsanschlusses **14** her durchgeführt werden.

[0043] Da weiterhin das Metallsubstrat **40** in einem nachfolgenden Schritt durch Ätzen aufgelöst und entfernt wird, ist es notwendig, ein Material für den Platierungsfilm **56** zu wählen, welches durch die Ätzlösung nicht angegriffen wird, die das Metallsubstrat **40** löst.

[0044] Der Grund zur Verwendung der Kupferfolie für das Metallsubstrat **40** und die mehrschichtige Platierung mit der Palladiumplatierungsschicht, der Nickelplatierungsschicht und der Goldplatierungsschicht zur Ausbildung des Platierungsfilms **56** in dieser Ausführungsform ist, zu verhindern, dass der Platierungsfilm **56** durch die Ätzlösung angeätzt wird, welche die Kupferfolie ätzt.

[0045] Dann wird das Platierungsmaskenmuster **54** entfernt (Fig. 7(e)) und das Metallsubstrat **40** wird stanzgepresst. Fig. 7(f) zeigt einen Zustand, in welchem die Bodenfläche der Vertiefung **52**, die auf dem Metallsubstrat **40** gebildet worden ist, von einer Seite des Metallsubstrats **40** gegenüber derjenigen der, wo die Vertiefung **52** ausgebildet ist, stanzgepresst wurde, so dass der Platierungsfilm **56**, der auf der Bodenfläche der Vertiefung **52** ausgebildet ist, im wesentlichen fluchtend mit der Oberfläche des Metallsubstrates **40** wird.

[0046] Bei diesem Schritt des Stanzpressens wird einer der beiden Teile der Vertiefung **52** von unterhalb des Metallsubstrats **40** her stanzgepresst, so dass der andere Teil der Vertiefung **52** vertieft verbleibt. Bezugszeichen **44** bezeichnet eine stanzgepresste Vertiefung, die auf dem Boden des Metallsubstrats **40** durch den Schritt des Stanzpressens ausgebildet wurde.

[0047] Durch diesen Schritt des Stanzpressens wird der Metallfilm **56** so gebildet, dass er sich von der Vertiefung **42b** über die Oberfläche des Metallsubstrats **40** auf einer Seite der Vertiefung **52** erstreckt, so dass der Metallfilm **46** des sich erstreckenden Abschnittes und der Metallfilm **46** an der inneren Oberfläche der Vertiefung **42b** durchgängig sind. Der Metallfilm **46**, der sich über die Oberfläche des Metallsubstrats **40** erstreckt, wird das Bondierkissen **42a** und der Metallfilm **46** auf der inneren Oberfläche der Vertiefung **42b** wird der Leiter, der die externen Verbindungsanschlüsse **14** bildet.

[0048] Die Fig. 8(a) und Fig. 8(b) zeigen ein Verfahren zur Herstellung der Halbleitervorrichtung unter Verwendung des Metallsubstrats **40**, auf dem die Bondierkissen **42a** und die Vertiefungen **42b** wie oben beschrieben ausgebildet wurden.

[0049] Fig. 8(a) zeigt den Halbleiterchip **10**, der mit einem Chipbefestigungsharz **22** in dem Chipanordnungsabschnitt **10a** des Metallsubstrats **40** angeordnet ist, wobei die Elektroden des Halbleiterchips **10** und die Bondierkissen **42a** miteinander durch Bondierdrähte aus Gold verbunden sind. Da bei dieser Ausführungsform die Bondierkissen **42a** auf der Oberfläche des Metallsubstrates **40** ausgebildet sind, kann eine Drahtbondierung der Elektroden des Halbleiterchips **10** und der Bondierungskissen **42a** sehr einfach und zuverlässig erfolgen.

[0050] Nach der Drahtbondierung der Elektroden des Halbleiterchips **10** und der Bondierkissen **22a** wird die einzelne Seite des Metallsubstrats **40**, auf der der Halbleiterchip **10** angeordnet ist, unter Ver-

wendung einer Harzversiegelungsvorrichtung mit einem Harz versiegelt (Fig. 8(b)). Ein Bereich des Metallsubstrats **40**, der den Anordnungsbereich des Halbleiterchips **10** abdeckt, der Bondierdraht **20** und der Metallfilm **46** werden mit dem Harz versiegelt. In dem Abschnitt, wo die Vertiefung **42b** ausgebildet ist, wird die Vertiefung **42b** mit dem Harz gefüllt, um einen Harzvorsprung zu bilden. Bezugszeichen **12** bezeichnet den harzversiegelten Abschnitt.

[0051] Nach der Versiegelung mit dem Harz wird das Metallsubstrat **40** durch Ätzen aufgelöst und entfernt, um somit die Halbleitervorrichtung zu erhalten. Beim Ätzen des Metallsubstrates **40** kann der harzversiegelte Abschnitt **12** mit einem Harzfilm oder dergleichen geschützt werden, um den harzversiegelten Abschnitt **12** vor einem Angriff durch das Ätzmittel zu schützen.

[0052] Da der Metallfilm **46** nicht beim Ätzen des Metallsubstrats **40** angegriffen wird, wird nur das Metallsubstrat **40** gelöst und entfernt. Im Ergebnis wird eine Halbleitervorrichtung, erhalten als Metallfilm **46**, zur Außenseite des Harzvorsprungs **16** freigelegt, wobei die externen Verbindungsanschlüsse **14** hieran ausgebildet sind, wie in Fig. 9 gezeigt. Bei dieser Halbleitervorrichtung wird der Abschnitt, wo die Vertiefung **42b** ausgebildet ist, der externe Verbindungsanschluss **14**, der vorsprungsartig vorsteht und der Metallfilm **46** erstreckt sich von dem externen Verbindungsanschluss **14** in Richtung des Bondierkissens **42a** und steht zur Außenseite des harzversiegelten Abschnitts **12** vor.

[0053] Die Fig. 10(a) bis Fig. 10(g) zeigen eine andere Ausführungsform eines Verfahrens zur Herstellung der Halbleitervorrichtung, bei dem das Bondierkissen **42a** und die Vertiefung **42b** zur Ausbildung des externen Verbindungsanschlusses auf dem Metallsubstrat **40** ausgebildet sind. Diese Ausführungsform ist gekennzeichnet durch die Verwendung nur eines Ätzvorgangs ohne Stanzpressen des Metallsubstrats **50**.

[0054] Fig. 10(a) zeigt die Oberfläche des Metallsubstrats **40**, abgedeckt durch ein Photoresist **50** zum Ätzen.

[0055] Das Photoresist **50** wird einer Strahlung ausgesetzt und entwickelt, um ein Photoresistmuster **50a** zu bilden, in welchem das Metallsubstrat **40** an den Positionen freiliegt, wo die externen Verbindungsanschlüsse **14** auszubilden sind (Fig. 10(b)).

[0056] Dann wird das Metallsubstrat **40** unter Verwendung des Photoresists **50a** als Maske geätzt, um die Vertiefung **58** zu bilden (**Fig.** 10c)). Während die Vertiefung **52** über eine Bereich hinweg ausgebildet wird, wo die Bondierkissen **52a** und die Vertiefungen **42b** zur Ausbildung der externen Verbindungsanschlüsse bei dem Verfahren gemäß voranstehender Beschreibung gemäß Fig. 7(c) ausgebildet werden, werden die Vertiefungen **58** bei dieser Ausführungsform nur in Bereichen ausgebildet, wo die externen Verbindungsanschlüsse **14** auszubilden sind.

[0057] Sodann wird das Photoresist **50a** entfernt, die Oberfläche des Metallsubstrats **40** wird mit einem Photoresist **60** für eine Platierung bedeckt (Fig. 10(d)) und das Photoresist **60** wird einer Strahlung ausgesetzt und entwickelt, um ein Maskenmuster **60a** zur Platierung zu bilden, in welchem das Metallsubstrat **40** an Positionen frei liegt, wo der Metallfilm **46** auszubilden ist (Fig. 10(b)). Das Maskenmuster **60a** bewirkt nicht nur, dass die Vertiefung **58** frei liegt, sondern auch der Umfang der Vertiefung liegt fortlaufend mit der Vertiefung **58** frei.

[0058] Bei dieser Ausführungsform ist die Vertiefung **58** angeordnet, um den Chipanordnungsabschnitt **10a** zu umgeben, wie in Fig. 11 gezeigt. Wobei ein frei liegender Abschnitt **59** an einer Seite der Vertiefung **58** angeordnet ist, wo das Metallsubstrat **40** zur Ausbildung des Bondierkissens **42a** frei liegt.

[0059] Es ist selbstverständlich möglich, die Bondierkissen **42a** in einem gewünschten Layout am Umfang der Vertiefung anzuordnen, in dem die passende Anordnung der externen Verbindungsanschlüsse **14** gewählt wird.

[0060] Die Fig. 12(a) bis Fig. 12(d) zeigen Beispiele zur Ausbildung des Maskenmusters **60a** zur Bildung der Bondierkissen **42a** und der Vertiefungen **42b**. Fig. 12(a) zeigt ein Beispiel, bei dem die Vertiefung **58** in Kreisform ausgebildet ist und der frei liegende Abschnitt **59** ist vorgesehen, das Bondierkissen **42a** an der Seite näher des Chipanordnungsabschnittes **10a** zu bilden. Die Fig. 12(b) und Fig. 12(c) zeigen Beispiele, bei denen der freiliegende Abschnitt **59** entlang des Umfangs der Mündung der Vertiefung **58** angeordnet ist. Fig. 12(d) zeigt ein Beispiel, bei dem der frei liegende Abschnitt **59** auf der Seite der Vertiefung **58** gegenüber dem Chipanordnungsabschnitt **10a** angeordnet ist.

[0061] Dann wird eine Elektroplatierung unter Verwendung des Metallsubstrates **40** als Leistungszufuhrschicht durchgeführt, um damit einen Platierungsfilm **56** in den frei liegenden Abschnitten **59** zu bilden, wo die innere Oberfläche der Vertiefung **58** und das Bondierkissen **42a** auszubilden sind (Fig. 10(f)).

[0062] Zuletzt wird das Maskenmuster **60a** entfernt, um somit das Metallsubstrat **40** zu erhalten, auf dem die Platierungsfilme **56** an der Bondierungskissenposition **42a** und an der inneren Oberfläche der Vertiefung **42b** ausgebildet sind (Fig. 10(g)). Die an der Bondierungskissenposition **42a** und an der inneren

Oberfläche der Vertiefung **42b** ausgebildetenen Platierungsfilme **56** sind Metallfilme **46** und sind elektrisch mit dem Bondierungskissen **42a** und den inneren Oberflächen der Vertiefungen **42b** verbunden. Es liegt der gleiche Fall vor wie bei der Ausführungsform gemäß obiger Beschreibung, dass der Platierungsfilm **56** aus mehreren Schichten gebildet werden kann. Das sich ergebende Metallsubstrat **40** hat keine eingestanzte Vertiefung **44**, die auf der Rückseite des Metallsubstrats **40** ausgebildet ist.

[0063] Das Verfahren zur Herstellung der Halbleitervorrichtung unter Verwendung des Metallsubstrats **40**, welches durch das Verfahren dieser Ausführungsform erhalten wird, ist exakt das gleiche wie das Verfahren zur Herstellung der Halbleitervorrichtung, welches voranstehend beschrieben wurde.

[0064] Genauer gesagt, der Halbleiterchip **10** wird auf der Seite des Metallsubstrats **40** angeordnet, auf der die Bondierkissen **42a** und die Vertiefungen **42b** ausgebildet sind, der Halbleiterchip **10** und die Bondierkissen **42a** werden durch Drahtbondieren verbunden, ein Bereich einschließlich des Halbleiterchips **10**, der Bondierungsdrähte, der Bondierkissen **42a** und der Vertiefungen **42b** wird mit dem Harz versiegelt und das Metallsubstrat **40** wird durch Ätzen gelöst und entfernt, um so die Halbleitervorrichtung zu erhalten.

[0065] Da die Bondierkissen **42a** im wesentlichen fluchtend mit der Oberfläche des Metallsubstrates **40** während des Drahtbondierens werden, ist es möglich, das Drahtbondieren so einfach wie im Fall der voranstehend beschriebenen Ausführungsformen durchzuführen und die Bondierkissen **42a** und die Vertiefungen **42b** mit hoher Dichte anzuordnen.

[0066] Bevorzugte Ausführungsformen zur Herstellung der Halbleitervorrichtung wurden beschrieben. Die Erfindung kann aber bei anderen Verfahren als bei denjenigen dieser Ausführungsformen angewendet werden.

[0067] Die Vertiefungen **52** und **58** sind in dem Metallsubstrat **40** durch Ätzen des Metall substrats **40** in den oben beschriebenen Ausführungsformen ausgebildet, obgleich die Vertiefungen **52** und **58** anstelle von Ätzen auch durch Pressen ausgebildet werden können. In diesem Fall ist es nicht notwendig, das Photoresist **50** auf die Oberfläche des Metallsubstrats **40** aufzubringen. Wenn bei diesem Schritt ein Pressvorgang verwendet wird, können auch die Vertiefungen **52** und **58** mit merklich hoher Genauigkeit hinsichtlich der Tiefe und anderer Abmessungen gebildet werden.

[0068] Die Bondierkissen **42a** und die Vertiefungen **42b** zur Ausbildung auf dem Metallsubstrat **40** können in einem gewünschten Layout angeordnet werden, welches für das Produkt geeignet ist. Obgleich es üblich ist, die Bondierkissen **42a** und die Vertiefungen **42b** so anzuordnen, dass sie den Chipanordnungsabschnitt **10a** umgeben, um eine Packung mit hoher Dichte zu erhalten, können die Bondierkissen **42a** und die Vertiefungen **42b** auch in jeglicher Anordnung angeordnet werden, beispielsweise in einem Kreis, um den Chipanordnungsabschnitt **10a** herum oder in einem radialen Aufbau, sowie entlang jeder Seite des Chipanordnungsabschnitts **10a**. **Fig.** 13a zeigt ein Beispiel der Anordnung der Bondierkissen **42a** und der Vertiefungen **42b** in einem Kreis.

[0069] Weiterhin sind die Bondierkissen **42a** auf einer Seite nahe des Chipanordnungsabschnitts **10a** angeordnet, um den Abstand zwischen dem Halbleiterchip **10** und dem Bondierkissen **42a** kürzer zu machen; gleichwohl können die Bondierkissen **42a** auch an Positionen entfernter von dem Chipanordnungsabschnitt **10a** angeordnet sein. Die Bondierkissen **42a** und die Vertiefungen **42b** können auch in zwei oder mehr Linien in einer gestaffelten Anordnung um den Chipanordnungsabschnitt **10a** herum angeordnet sein, wie in **Fig.** 13b gezeigt, und nicht in einer Anordnung in einer einzelnen Linie um den Chipanordnungsabschnitt **10a** herum.

[0070] Obgleich das Bondierkissen **42a** bei der Ausführungsform, wo der Einstanzschritt verwendet wird, durch Stanzen in einem der beiden Teile der Vertiefung **52** gebildet wird, ist es auch möglich, die Bondierkissen **42a** durch Stanzen in einem Zwischenbereich an der Bodenfläche der Vertiefung **52** auszubilden. **Fig.** 14a und **Fig.** 14b zeigen ein Beispiel der Ausbildung des Bondierkissens **42a** und der Vertiefung **42b** zur Ausbildung des externen Verbindungsanschlusses durch Stanzen in einem mittleren Abschnitt der Vertiefung **52**, die in Kreisform ausgebildet ist. Wenn auf diese Weise ein Einstanzschritt verwendet wird, können die Bondierkissen **42a** durch Stanzen in einem Abschnitt der Bodenfläche der Vertiefung **52** gebildet werden.

[0071] Gemäß den Verfahren zur Herstellung der Halbleitervorrichtung der vorliegenden Erfindung, wie es oben beschrieben wurde, ist es möglich, einfach die Halbleitervorrichtung mit den externen Verbindungsanschlüssen **14** zu erhalten, welche in einer hohen Dichte angeordnet sind und es zu ermöglichen, die Anzahl von Stiften bei der Halbleitervorrichtung zu erhöhen, indem der Halbleiterchip auf dem Metallsubstrat angeordnet ist, auf welchem das Bondierkissen **42a** und die Vertiefung zur Ausbildung des externen Verbindungsanschlusses ausgebildet sind, durch Verbinden der Elektroden des Halbleiterchips und der Bondierkissen durch Drahtbondieren, durch Versiegeln des Halbleiterchips mit dem Harz, und durch Lösen und Entfernen des Metallsubstrats, um so die Halbleitervorrichtung herzustellen. Da insbe-

sondere die Bondierkissen im wesentlichen fluchtend mit der Oberfläche des Metallsubstrates ausgebildet sind, wird es unnötig, eine Drahtbondierung an der Bodenfläche der Vertiefung zur Ausbildung des externen Verbindungsanschlusses durchzuführen, was es möglich macht, die Bondierkissen und die Vertiefungen für eine externe Verbindung mit hoher Dichte anzuordnen. Es ist auch möglich gemacht, komplizierte Schritte zu beseitigen, so dass sich Vorteile ergeben, wie Produkte mit hoher Zuverlässigkeit, welche ohne hohe Herstellungskosten hergestellt werden können.

Patentansprüche

1. Ein Verfahren zur Herstellung einer Halbleiteranordnung, aufweisend die Schritte:
Ausbilden einer Vertiefung (**52**) auf einer Seite eines Metallsubstrats (**40**);
Bereitstellen eines Metallfilms (**56**) aus einem Metall, welches durch eine Ätzlösung, welche das Metallsubstrat (**40**) auflöst, nicht aufgelöst wird, auf der inneren Oberfläche der Vertiefung (**52**) und auf einem Abschnitt des Substrats (**40**), der mit der einen Seite des Metallsubstrats (**40**) im Wesentlichen fluchtet, um ein Bondierkissen (**42a**) zu bilden;
Anordnen eines Halbleiterchips (**10**) auf der einen Seite des Metallsubstrats (**40**);
Drahtbondieren (**20**) einer Elektrode des Halbleiterchips an den Metallfilm (**46**), der das Bondierungskissen (**42a**) bildet;
Versiegeln der einen Seite des Metallsubstrats (**40**), welche den Halbleiterchip (**10**), den Bondierungsdraht (**20**) und den Metallfim (**46**) enthält, mit einem Harz; und
Auflösen und Entfernen des Metallsubstrats (**40**) durch Ätzen, um den Metallfilm (**46**), der auf der inneren Oberfläche der Vertiefung ausgebildet ist, freizulegen.

2. Ein Verfahren zur Herstellung eines Halbleiters, nach Anspruch 1, bei dem der Schritt des Bereitstellens des Metallfilms aufweist:
Ausbilden des Metallfilms (**56**) aus einem Metall, welches durch eine Ätzlösung, welche das Metallsubstrat auflöst, nicht aufgelöst wird, auf der inneren Oberfläche der Vertiefung (**52**); und
Stanzpressen eines Bereichs (**44**) des Metallsubstrats (**40**), der einem Bereich des Metallfilms (**46**) entspricht, von der anderen Seite des Metallsubstrats (**40**) her, so dass der Bereich des Metallfilms (**46**), der auf der Bodenfläche der Vertiefung (**52**) ausgebildet ist, im wesentlichen fluchtend mit der einen Seite des Metallsubstrats (**40**) wird, um somit das Bondierkissen (**42a**) von einem sich erstreckenden Abschnitt des Metallfilms aus zu bilden, der sich von der Bodenfläche der Vertiefung (**52**) über die Oberfläche des Metallsubstrats (**40**) erstreckt.

3. Ein Verfahren zur Herstellung eines Halbleiters, nach Anspruch 2, wobei der Bereich (**44**), wo der auf der Bodenfläche der Vertiefung ausgebildete Metallfilm stanzgepresst wird, so festgelegt wird, dass er derjenige Abschnitt ist, wo der Halbleiterchip (**10**) anzuordnen ist.

4. Ein Verfahren zur Herstellung eines Halbleiters, nach Anspruch 2 oder 3, wobei ein Resistmuster (**50a**) ausgebildet wird, welches die Abschnitte des Metallsubstrats (**40**) freilässt, wo die Vertiefungen (**52**) auszubilden sind, wobei die Vertiefungen durch Ätzen des Metallsubstrates (**40**) unter Verwendung des Resistmusters (**50a**) als Maske gebildet werden, wonach dann ein Platierungsschritt verwendet wird, um so den Metallfilm (**46**) auf der inneren Oberfläche der Vertiefung (**52**) auszubilden.

5. Ein Verfahren zur Herstellung eines Halbleiters, nach Anspruch 1, wobei der Schritt des Bereitstellens des Metallfilms (**46**) aufweist:
Ausbilden eines Metallfilms (**56**) aus einem Metall, welches durch eine Ätzlösung, welche das Metallsubstrat (**40**) auflöst, nicht aufgegelöst wird, auf der inneren Oberfläche und dem Umfang der Vertiefung (**52**), wobei der Film (**46**) auf dem Umfang die Bondierkissen (**42a**) bildet.

6. Ein Verfahren zur Herstellung eines Halbleiters, nach Anspruch 5, wobei die Bondierkissen (**42a**) an Abschnitten auf dem Umfang der Vertiefung (**52**) angeordnet sind, welche dem Abschnitt benachbart sind, wo der Halbleiterchip (**10**) anzuordnen ist.

7. Ein Verfahren zur Herstellung eines Halbleiters, nach Anspruch 5 oder 6, aufweisend:
Ausbilden eines Resistmusters (**50a**), welches die Abschnitte des Metallsubstrats (**40**) freilässt, wo die Vertiefungen (**52**) auszubilden sind, und Ausbilden der Vertiefungen (**52**) durch Ätzen des Metallsubstrates (**40**) unter Verwendung des Resistmusters (**50a**) als Maske;
Entfernen des Resistmusters (**50a**);
Ausbilden eines Platierungsmaskenmusters (**60a**) auf dem Metallsubstrat (**40**), so dass die innere Oberfläche der Vertiefung (**52**) und der Umfang (**59**) der Vertiefung (**52**) freiliegen; und
Platieren des Metallsubstrats (**40**) unter Verwendung des Maskenmusters (**60a**), um so den Metallfilm (**46**) auf der inneren Oberfläche der Vertiefung (**52**) und auf dem Umfang (**59**) der Vertiefung (**52**) auszubilden.

8. Ein Verfahren zur Herstellung eines Halbleiters, nach einem der vorhergehenden Ansprüche, wobei der Metallfilm (**46**) durch Platieren von Palladium, Nickel und Gold in dieser Reihenfolge gebildet wird, und/oder wobei das Metallsubstrat (**40**) eine Kupferfolie aufweist.

9. Ein Verfahren zur Herstellung eines Halblei-

ters, nach einem der vorhergehenden Ansprüche, wobei die Vertiefung (**52**) auf dem Umfang des Chipanordnungsabschnitts des Metallsubstrats (**40**) ausgebildet wird.

10. Ein Metallsubstrat (**40**) mit einer Vertiefung (**52**) in einer seiner Seiten, wobei ein Metallfilm (**46**) aus einem Metall, welches durch eine Ätzlösung, welche das Metallsubstrat (**40**) auflöst, nicht augegelöst wird, auf dem Metallsubstrat (**40**) auf der inneren Oberfläche der Vertiefung ausgebildet ist und sich vom Boden der Vertiefung (**52**) zu und auf einem Abschnitt des Metallsubstrats erstreckt, welcher im wesentlichen in Fluchtung mit der einen Seite des Metallsubstrats ist, und wobei der sich erstreckende Abschnitt des Metallfilms (**46**) ein Bondierkissen (**42a**) bildet, wo eine Elektrode eines Halbleiterchips mittels Drahtbondierung anschließbar ist.

Es folgen 12 Blatt Zeichnungen

Anhängende Zeichnungen

Fig.1

STAND DER TECHNIK

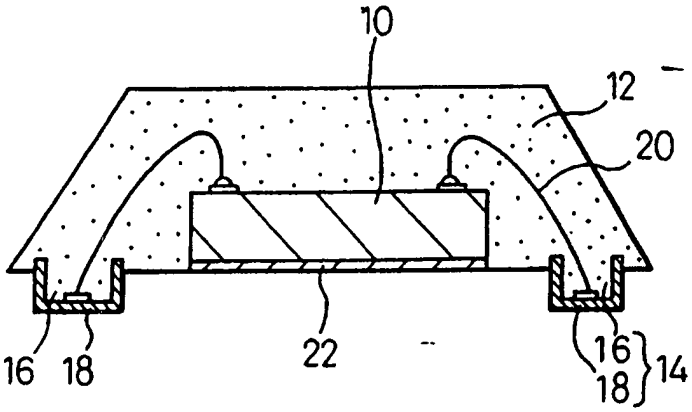

Fig.2

STAND DER TECHNIK

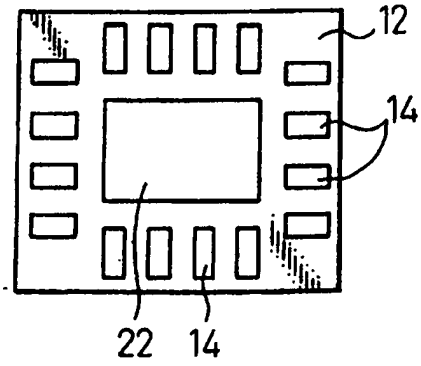

Fig.3(a)

STAND DER TECHNIK

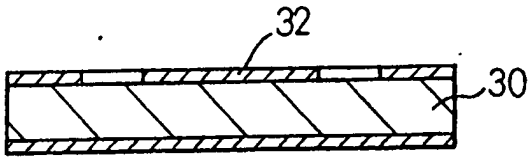

Fig.3(b)

STAND DER TECHNIK

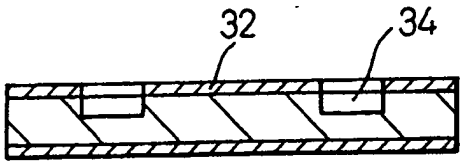

Fig.3(c)

STAND DER TECHNIK

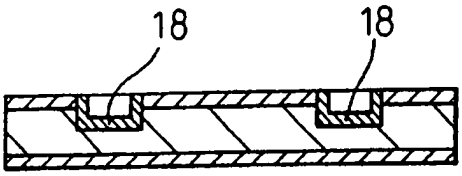

Fig.3(d)

STAND DER TECHNIK

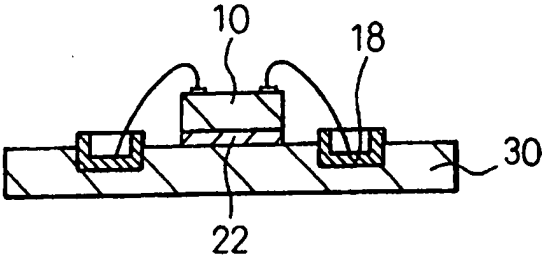

Fig.3(e)

STAND DER TECHNIK

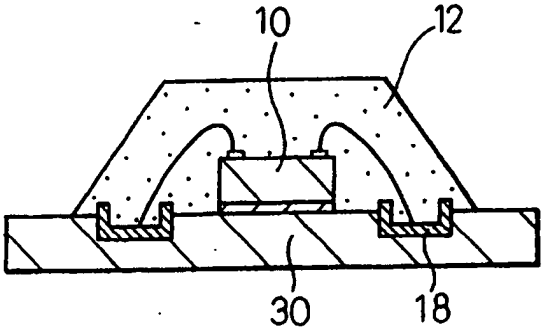

Fig.4(a)

STAND DER TECHNIK

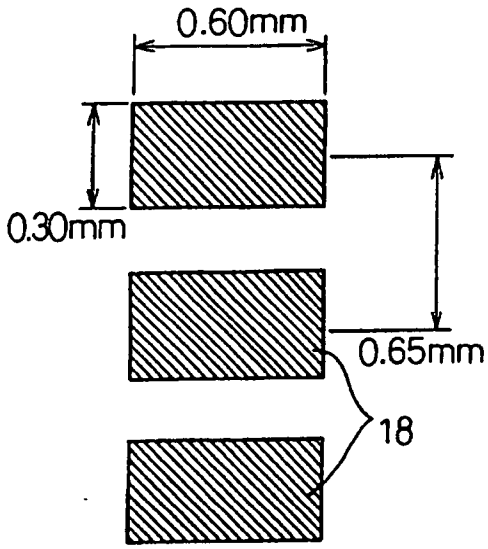

Fig.4(b)

STAND DER TECHNIK

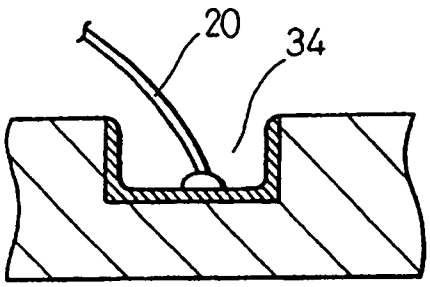

Fig.5

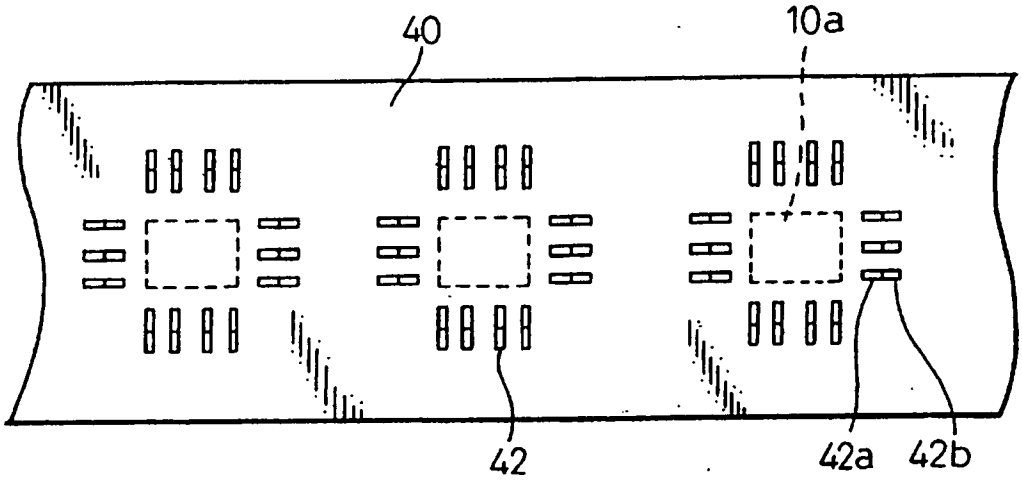

Fig.6(a)

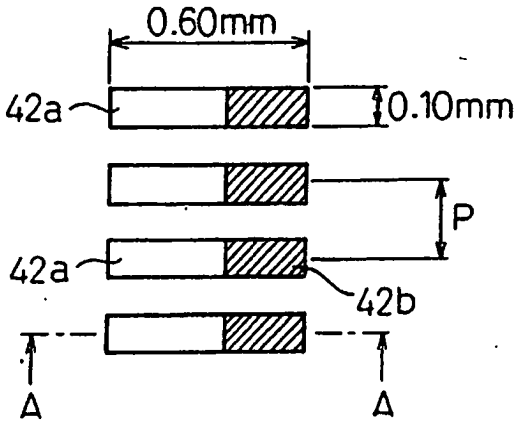

Fig.6(b)

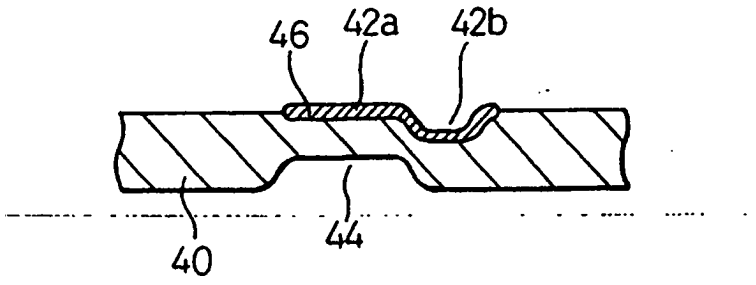

Fig.7(a)

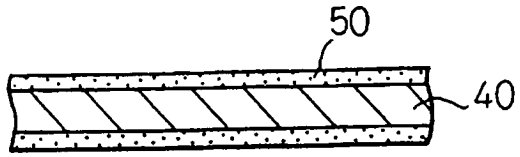

Fig.7(b)

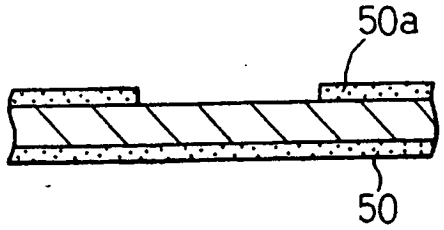

Fig.7(c)

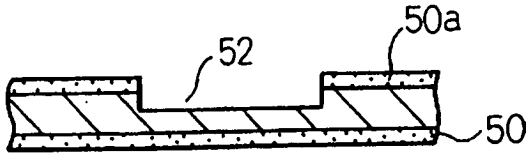

Fig.7(d)

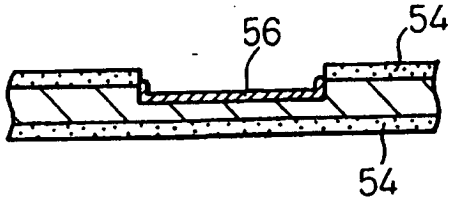

Fig.7(e)

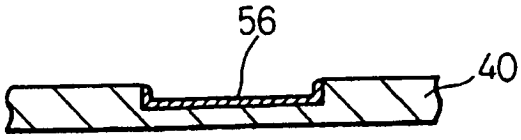

Fig.7(f)

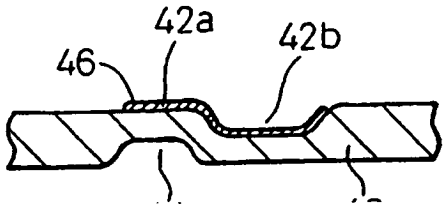

Fig.8(a)

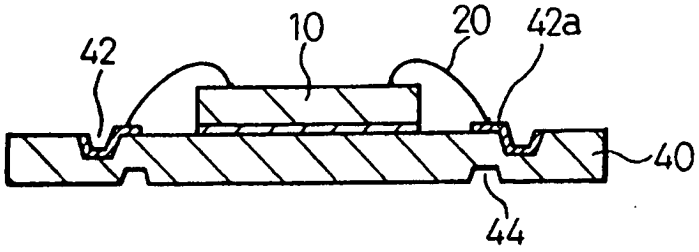

Fig.8(b)

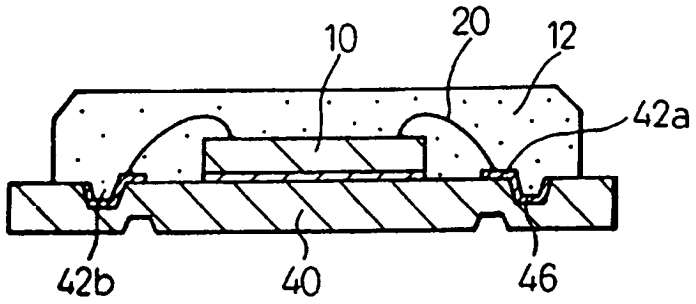

Fig.9

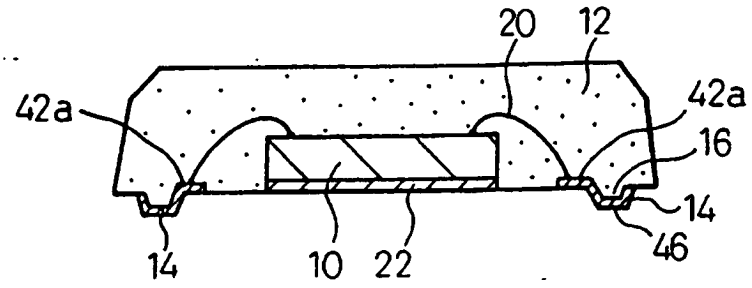

Fig.10(a)

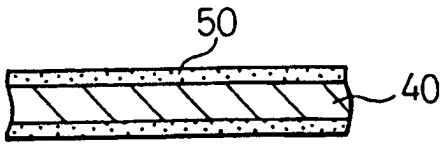

Fig.10(b)

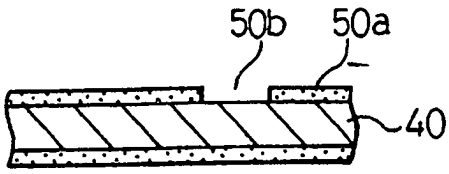

Fig.10(c)

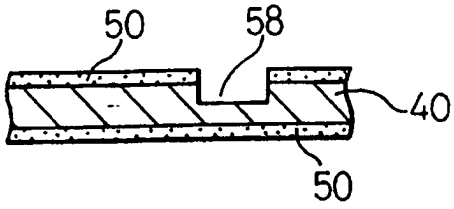

Fig.10(d)

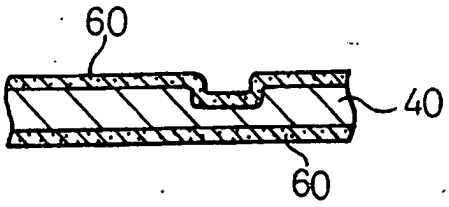

Fig.10(e)

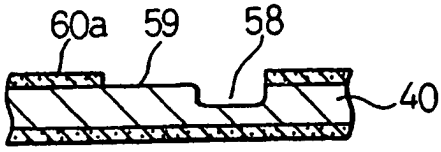

Fig.10(f)

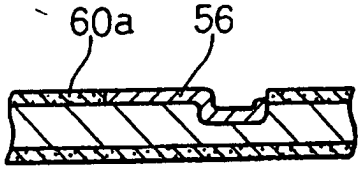

Fig.10(g)

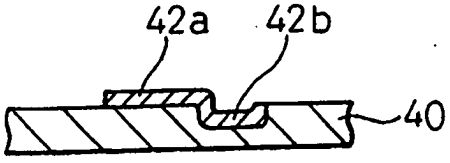

Fig.11

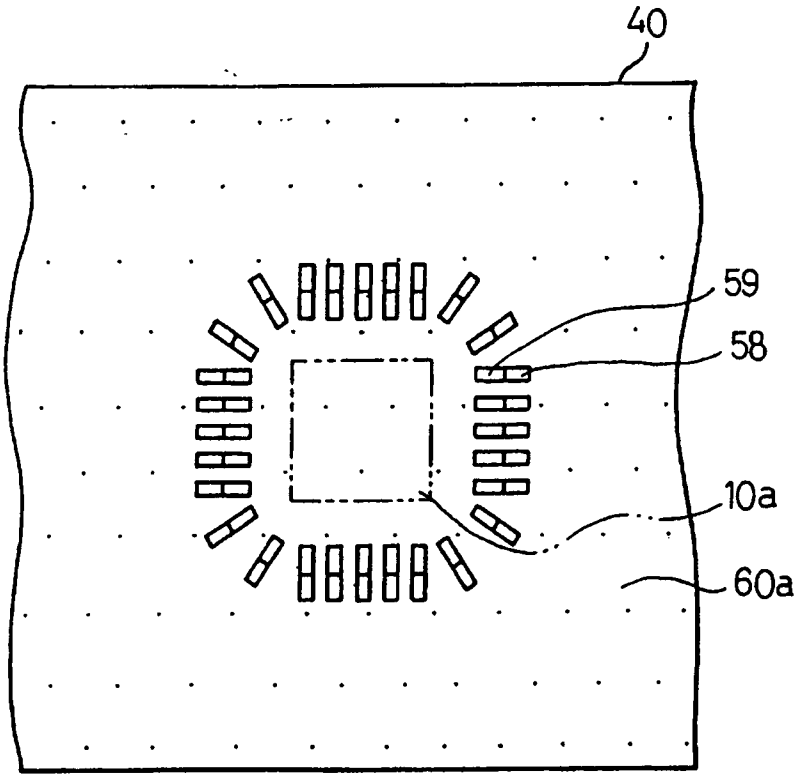

Fig.12(a)

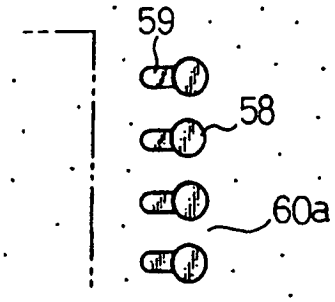

Fig.12(c)

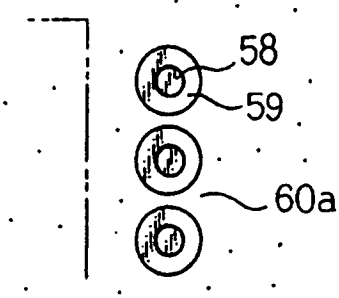

Fig.12(b)

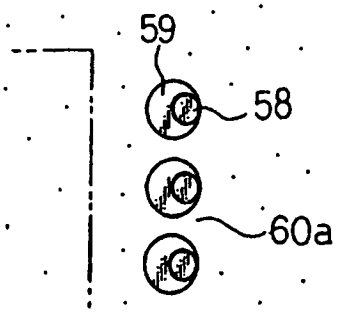

Fig.12(d)

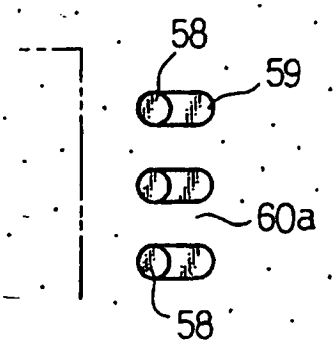

Fig.13(a)

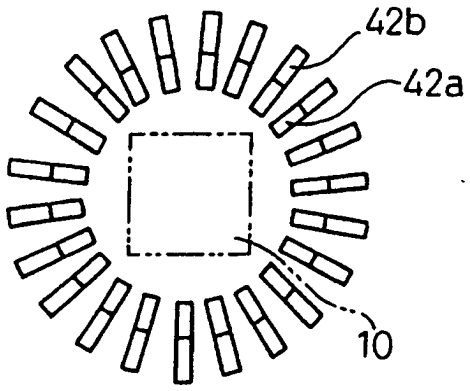

Fig.13(b)

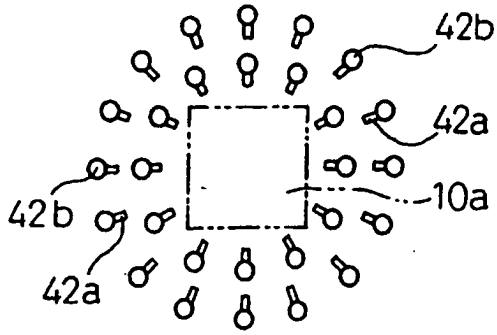

Fig.14(a)

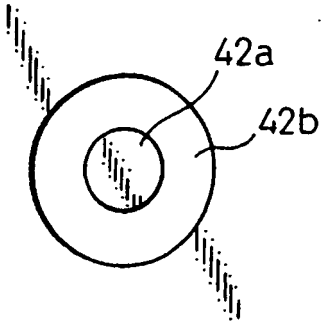

Fig.14(b)

