

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年5月6日(06.05.2010)

PCT

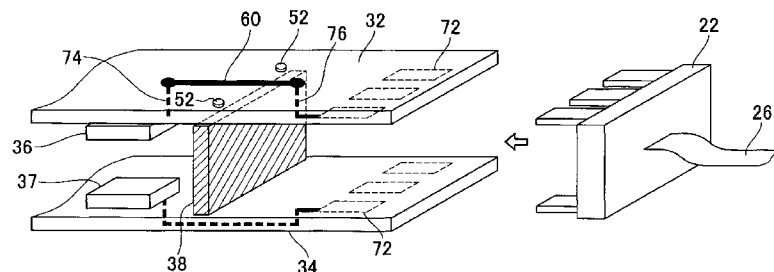
(10) 国際公開番号
WO 2010/050132 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01)
- (21) 国際出願番号: PCT/JP2009/005393
- (22) 国際出願日: 2009年10月15日(15.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-276899 2008年10月28日(28.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番1号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 安高 剛 (ATAKA, Tsuyoshi) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番1号 株式会社アドバンテスト内 Tokyo (JP). 小島 昭二(KOJIMA, Shoji) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番1号 株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 龍華明裕(RYUKA, Akihiro); 〒1631105 東京都新宿区西新宿6-22-1 新宿スクエアタワー5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: TESTING DEVICE AND CIRCUIT MODULE

(54) 発明の名称: 試験装置および回路モジュール

[図2]



(57) Abstract: The device is provided with a first testing substrate and a second testing substrate that are disposed face-to-face, a first testing circuit that is provided on the surface of the first testing substrate that faces the second testing substrate in order to test a device under test, a second testing circuit that is provided on the surface of the second testing substrate that faces the first testing substrate in order to test the device under test, and a sealed part that seals off a space between the first testing substrate and the second testing substrate so as to seal the first testing circuit and the second testing circuit inside a common space, and wherein the common space is filled with a cooling material.

(57) 要約: 向かい合わせて配置された第1の試験基板および第2の試験基板と、第1の試験基板において第2の試験基板に対向する面に設けられ、被試験デバイスを試験する第1の試験回路と、第2の試験基板において第1の試験基板に対向する面に設けられ、被試験デバイスを試験する第2の試験回路と、第1の試験基板および第2の試験基板の間の空間を密閉することで、第1の試験回路および第2の試験回路を共通の空間に密閉し、且つ、共通の空間に冷却材が充填される密閉部を設ける。

WO 2010/050132 A1

明 細 書

発明の名称：試験装置および回路モジュール

技術分野

[0001] 本発明は、試験装置および回路モジュールに関する。

背景技術

[0002] 電子回路を構成する半導体デバイスは、動作に伴って発熱する。近年の半導体デバイスの動作速度の高速化、あるいは、回路の集積化等に伴い、半導体デバイスの発熱量は増大している。その結果、多数の半導体デバイスを実装した試験基板においては、半導体デバイスを冷却することが不可欠になってきている。たとえば、半導体試験装置においては、半導体デバイス等の電気回路素子を搭載した多層試験基板に流体ケースをかぶせた上で、流体ケースの中に冷却材を流通させることによって、試験基板上の半導体デバイスを冷却している（特許文献１参照）。

[0003] 図１２は、半導体デバイス等の電気回路素子が実装された試験基板を冷却する従来の方法を示す。同図に示すように、多層の試験基板１００は、エポキシ樹脂等の複数の絶縁板１０２、１０３が、ガラス繊維基材等のプリプレグ１０４で貼り合せられている。試験基板１００の両面には、半導体デバイス１０６を始めとする電気回路素子が実装されている。また、試験基板１００は、コネクタ１０８を介して他の試験基板と接続される。半導体デバイス１０６の発熱による温度上昇を緩和するために、試験基板１００には流体ケース１１０が装着されており、半導体デバイス１０６は、試験基板１００と流体ケース１１０との間の密閉空間１１２に充填されたフッ素系液体などの冷却材により冷却される。

[0004] 図１３は、図１２のコネクタ１０８付近を拡大した図である。同図において、半導体デバイス１０６は、絶縁板１０２の表層に銅箔などで形成された第１の配線１１６、貫通スルーホール１２０、絶縁板１０２の内層に形成された第２の配線１１８、貫通スルーホール１２１、絶縁板１０２の表層に形

成された第3の配線117、および、接続端子122を経由して、コネクタ108の端子114に接続される。同様に、絶縁板103の内層にも、配線119が形成される。配線118と配線119とが近接していると、配線118と配線119との間でクロストークが生じる。そこで、配線118と配線119が近接しないことを目的として、配線118および配線119は絶縁板102および絶縁板103とプリプレグ104との境界面ではなく、絶縁板102および絶縁板103の内部に形成されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2002-280507号公報

発明の開示

発明が解決しようとする課題

[0006] ところが、配線118を絶縁板102の内部に形成すると、貫通スルーホール120と配線118との交点、および、貫通スルーホール120とプリプレグ104との接点の間にスタブが形成されることになる。スタブが形成されると、貫通スルーホール120の端部で生じる反射の影響により信号波形が歪むという問題が生じる。

[0007] また、歪みにより生じる高周波成分が、試験基板100の外部にノイズとして放射されるという問題も生じる。特に、伝送する信号の周波数が2GHz以上になると、スタブによって生じる上記問題は顕著になる。表面ビアホール（SVH）、内部ビアホール（IVH）を使うことで、クロストークの発生を防ぐと共に、スタブの発生も解消することができる。しかし、SVH、IVHを用いると試験基板のコストが増大するという問題が生じる。

[0008] そこで本発明の1つの側面においては、上記の課題を解決することのできる試験装置および回路モジュールを提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

[0009] 本発明の第 1 の態様によると、向かい合わせて配置された第 1 の試験基板および第 2 の試験基板と、前記第 1 の試験基板において前記第 2 の試験基板に対向する面に設けられ、前記被試験デバイスを試験する第 1 の試験回路と、前記第 2 の試験基板において前記第 1 の試験基板に対向する面に設けられ、前記被試験デバイスを試験する第 2 の試験回路と、前記第 1 の試験基板および前記第 2 の試験基板の間の空間を密閉することで、前記第 1 の試験回路および前記第 2 の試験回路を共通の空間に密閉し、且つ、前記共通の空間に冷却材が充填される密閉部を備える試験装置を提供する。

[0010] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したのではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0011] [図1]試験装置の実施形態の一つである半導体デバイス試験装置 1 の構成の一例である。

[図2]回路モジュール 30 の一部の斜視図である。

[図3]回路モジュール 30 の一部の側面視図である。

[図4]回路モジュール 30 の構成の一例である。

[図5]回路モジュール 30 の側面視図である。

[図6]回路モジュール 30 のネジ留め部を拡大した図である。

[図7]回路モジュール 30 の第 2 の実施の形態を示す側面視図である。

[図8]回路モジュール 30 の第 3 の実施の形態を示す側面視図である。

[図9]回路モジュール 30 の第 4 の実施の形態を示す側面視図である。

[図10]回路モジュール 30 の第 5 の実施の形態を示す側面視図である。

[図11]回路モジュール 30 の第 6 の実施の形態を示す側面視図である。

[図12]従来の回路モジュール 30 の側面視図である。

[図13]従来の回路モジュール 30 の拡大図である。

発明を実施するための形態

[0012] 以下、発明の実施の形態を通じて本発明の（一）側面を説明するが、以下

の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0013] 図1は、試験装置の実施形態の一つである半導体デバイス試験装置1の構成の一例である。半導体デバイス試験装置1は、ハンドラ10、テストヘッド15、および、制御部20を備える。ハンドラ10は、被試験デバイスを搭載するソケット14を実装したソケット基板12を有している。ソケット基板12は、第1のケーブル16を介して、テストヘッド15に接続される。テストヘッド15は、パフォーマンスボード21および第1のケーブル16を介してハンドラ10と接続されると共に、バックボード23および第2のケーブル19を介して制御部20と接続される。テストヘッド15には、複数の回路モジュール30が収容されている。

[0014] それぞれの回路モジュール30は、電気回路を構成する半導体デバイス等の素子が実装された第1の試験基板32および第2の試験基板34の2枚の試験基板を有しており、コネクタ22、接続ケーブル26、パフォーマンスボード21、および、第1のケーブル16を介して、ハンドラ10に接続される。また、回路モジュール30は、コネクタ24、バックボード23、および、第2のケーブル19を介して、制御部20に接続される。制御部20は、第2のケーブル19を介して、試験基板に含まれる試験回路を制御する。なお、図1に示す例では、テストヘッド15の中に6枚の回路モジュール30を収納しているが、ハンドラ10内のソケット14の数に応じて、枚数を増減してもよい。

[0015] 図2は、回路モジュール30のコネクタ22周辺部の斜視図である。図3は、図2に示す領域の側面視図である。図2および図3において、第1の試験基板32および第2の試験基板34には、第1の試験回路36および第2の試験回路37が設けられる面の裏面に、裏面配線60が設けられている。また、第1の試験基板32には、試験回路が設けられる面から裏面配線60が設けられる面まで貫通する、第1のスルーホール74が形成されている。

第１のスルーホール７４は、第１の試験回路３６および裏面配線６０を電氣的に接続する。第２の試験基板３４においても、同様の裏面配線６１および第１のスルーホール７５が形成されている。なお、第１の試験回路３６および第２の試験回路３７は、被試験デバイスに信号を入力すると共に、被試験デバイスが応答する信号を計測する。第１の試験回路３６および第２の試験回路３７は、パターン発生器、フォーマッタ、コンパレータ、論理回路を有してもよい。

[0016] 第１の試験基板３２および第２の試験基板３４の端部は、密閉部３８により囲まれる領域の外側まで延伸して形成されている。裏面配線６０および裏面配線６１は、第１の試験基板３２および第２の試験基板３４の裏面において、密閉部３８の内側に対応する領域から、密閉部３８の外側に対応する領域まで延伸して設けられる。なお、密閉部３８の内側に対応する領域には、第１の試験回路３６および第２の試験回路３７が設けられており、密閉部３８の外側に対応する領域には、コネクタ２２が設けられている。密閉部３８は、ネジ５２により、第１の試験基板３２および第２の試験基板３４に固定される。

[0017] 第１の試験基板３２には、第１の試験回路３６が設けられる面のうち、密閉部３８の外側に、外部の回路と電氣的に接続される接続端子７２が設けられる。また、第１の試験基板３２には、接続端子７２が設けられる面から裏面配線６０が設けられる面まで貫通する、第２のスルーホール７６が形成されている。第２のスルーホール７６は、接続端子７２と裏面配線６０とを電氣的に接続する。第２の試験基板３４にも、第１の試験基板３２と同様に、接続端子７３および第２のスルーホール７７が形成されており、第２のスルーホール７７は、接続端子７３と裏面配線６１とを電氣的に接続する。

[0018] 第１の試験基板３２および第２の試験基板３４の端部においては、第１の試験基板３２および第２の試験基板３４の間にコネクタ２２が挿入される。コネクタ２２の端子５６および端子５７が、第１の試験基板３２および第２の試験基板３４に設けられた接続端子７２および接続端子７３に接触するこ

とにより、第１の試験回路３６および第２の試験回路３７が、回路モジュール３０の外部の回路と電氣的に接続される。

[0019] 図４は、回路モジュール３０の構成の一例である。図４（ａ）は、回路モジュール３０を有する試験基板に対して垂直方向から回路モジュール３０を見た場合の透視図である。図４（ｂ）は、回路モジュール３０をハンドラ１０または制御部２０の向きから見た断面図である。図４（ｃ）は、回路モジュール３０をテストヘッド１５の手前側または奥側から見た断面図である。

[0020] 図４に示すように、回路モジュール３０においては、第１の試験基板３２および第２の試験基板３４が、向かい合わせて配置される。第１の試験基板３２において第２の試験基板３４に対向する面には、被試験デバイスを試験する第１の試験回路３６が設けられる。また、第２の試験基板３４において第１の試験基板３２に対向する面には、被試験デバイスを試験する第２の試験回路３７が設けられる。図４の例においては、第１の試験回路３６は、第１の試験基板３２にマトリクス状に配置された半導体デバイスを有する。第２の試験回路３７も同様に、第２の試験基板３４にマトリクス状に配置された半導体デバイスを有する。

[0021] また、第１の試験基板３２と第２の試験基板３４との間には、コネクタ２２、密閉部３８が設けられる。密閉部３８は、第１の試験基板３２および第２の試験基板３４の間に設けられ、第１の試験基板３２側の端部および第２の試験基板３４側の端部において開口が設けられた筒形状を有している。

[0022] さらに、回路モジュール３０は、密閉部３８を第１の試験基板３２と第２の試験基板３４とによって挟むことにより形成する、冷却材を充填する冷却材流路空間４０を有している。つまり、第１の試験基板３２および第２の試験基板３４の間を密閉部３８により密閉することにより、第１の試験回路３６および第２の試験回路３７を共通の冷却材流路空間４０に密閉する。

[0023] 密閉部３８の内側には、第１の試験基板３２から第２の試験基板３４まで延伸して設けられ、冷却材流路空間４０に充填される冷却材の流路を形成する隔壁３９が設けられている。隔壁３９は、密閉部３８の水平方向（バック

ボード 23 と平行な方向) の一つの面から他方の面に向けて、他方の面に到達する手前まで延伸される。さらに、密閉部 38 の垂直方向 (バックボード 23 と垂直な方向) の辺から奇数番目の隔壁 39 と偶数番目の隔壁 39 とは、互い違いに異なる水平方向の一つの面から延伸される。

[0024] 隔壁 39 は、マトリクス状に配置された半導体デバイスの配置間隔ごとに配置されてもよい。このような配置にすることにより、互い違いに延伸されて形成される流路の幅方向に 1 個以上の半導体デバイスを配置することが可能になり、図 4 (a) の矢印が示す冷却材の流路が形成される。

[0025] また、隔壁 39 は、第 1 の試験基板 32 および第 2 の試験基板 34 と、後述するネジ等の部材を有する固定部によって固定されてもよい。第 1 の試験基板 32 および第 2 の試験基板 34 が固定部により隔壁 39 に固定されることにより、第 1 の試験基板 32 および第 2 の試験基板 34 におけるたわみの発生が防止される。なお、密閉部 38 および隔壁 39 とは、金属などの導電性材料により構成してよい。

[0026] 共通の冷却材流路空間 40 には冷却材が充填されており、図 4 (a) に示すように、冷却材流入口 42 から冷却材流出口 44 に向かって冷却材が流れる。密閉部 38 と隔壁 39 により形成される冷却材流路空間 40 に沿って、第 1 の試験回路 36 と第 2 の試験回路 37 との間を冷却材が流通することにより、第 1 の試験回路 36 および第 2 の試験回路 37 に含まれる半導体デバイス等の素子が冷却される。

[0027] 冷却材の流通は、たとえば、冷却材流入口 42 および冷却材流出口 44 に冷却材循環装置を取り付けることによって行うことができる。冷却材循環装置は、冷却材流入口 42 から冷却材を流入させ、冷却材流出口 44 から冷却材を流出させることができる装置であり、その構成は特に限定されるものではない。

[0028] 図 5 は、回路モジュール 30 の断面図を拡大した図であり、密閉部 38 の固定方法を示す。第 1 の試験基板 32 と第 2 の試験基板 34 は、第 1 の試験回路 36 と第 2 の試験回路 37 とが冷却材流路空間 40 に収まる向きに配置

された上で、コネクタ 22、コネクタ 24、および、密閉部 38 を挟んで対向している。密閉部 38 は、ネジ 52 により、第 1 の試験基板 32 および第 2 の試験基板 34 に固定される。

[0029] 図 6 は、第 1 の試験基板 32 と密閉部 38 とを接続する固定部を拡大した図である。密閉部 38 の冷却材流路空間 40 側とコネクタ 22 側の間に隙間が生じないように、密閉部 38 と第 1 の試験基板 32 の間にはパッキン 54 が設けられ、第 1 の試験基板 32、パッキン 54、および、密閉部 38 をネジ 52 で共締めする構造になっている。第 2 の試験基板 34 と密閉部 38 との接続部も同様の構造としてよい。また、隔壁 39 と第 1 の試験基板 32、および、隔壁 39 と第 2 の試験基板 34 との接続部も同様の構造としてよい。

[0030] なお、パッキン 54 として導電性を有する材料を使用してもよい。さらに、第 1 の試験基板 32 と第 2 の試験基板 34 とにおいては、密閉部 38 および隔壁 39 と接触する領域に、銅箔等の金属箔を形成してもよい。このような構成にすることにより、導電性のパッキン 54 を介して、第 1 の試験基板 32 と第 2 の試験基板 34 とは、密閉部 38 および隔壁 39 と電氣的に結合される。その結果、第 1 の試験回路 36 および第 2 の試験回路 37 で生じる電磁波が、回路モジュール 30 の外部に漏れにくくなる。

[0031] 以上説明したように、本実施の形態においては、第 1 の試験回路 36 と第 2 の試験回路 37 とを対向して配置したので、裏面配線 60 と裏面配線 61 とが近接しない。その結果、裏面配線 60 と裏面配線 61 との間のクロストークを防ぐことができる。さらに、第 1 の試験基板 32 および第 2 の試験基板 34 の中間層に配線を形成しなくともよいので、第 1 の試験回路 36 と裏面配線 60、および、第 2 の試験回路 37 と裏面配線 61 とを貫通スルーホールで接続しても、スタブが生じないという効果を奏する。

[0032] 図 7 は、第 2 の実施形態に係る回路モジュール 30 の構成例を示す。第 1 の試験基板 32 は、裏面配線が形成される面に、裏面配線を覆う絶縁層 80 が設けられている。図 2 および図 3 に示した構成においては、第 1 の試験基

板 3 2 の裏面配線 6 0 が表面に露出している。その結果、裏面配線に流れる電流によって生じる電磁波が、ノイズとして第 1 の試験基板 3 2 の周囲に放射される。

[0033] ノイズが放射されると、テストヘッド 1 5 に收容されている他の回路モジュール 3 0 内の電気回路上の信号波形が歪み、データ誤りが生じる可能性がある。これに対して、図 7 に示すように、裏面配線を覆う絶縁層 8 0 を形成すれば、電磁波の放射を低減することができる。絶縁層 8 0 の表面に、接地電位が与えられる接地電極層を形成することにより、電磁波の放射をさらに低減してもよい。

[0034] なお、絶縁層 8 0 は、第 1 の試験基板 3 2 および第 2 の試験基板 3 4 の全面を覆ってよく、一部を覆ってもよい。たとえば、第 1 の試験基板 3 2 は、裏面配線 6 0 と第 1 のスルーホール 7 4 との接続点から一定の範囲内に、絶縁層 8 0 を形成しない領域を有してもよい。このように絶縁層 8 0 を形成しない領域を設けることにより、測定器等のプロープを用いて、裏面配線 6 0 上の信号の波形を観測することができる。

[0035] また、絶縁層 8 0 を形成しない領域に、コネクタ 2 2 の端子 5 6 と第 1 の試験基板 3 2 とを接続する接続端子 7 2 を設けてもよい。第 1 の試験回路 3 6 は、第 1 のスルーホール 7 4、裏面配線 6 0、接続端子 7 2、端子 5 6、および、コネクタ 2 2 を介することにより、外部の電気回路に接続される。

[0036] 第 2 の試験回路 3 7 も、同様の構成により、外部の電気回路に接続される。たとえば、第 1 の試験回路 3 6 および第 2 の試験回路 3 7 は、第 1 のケーブル 1 6 およびパフォーマンスボード 2 1 を経由して、ハンドラ 1 0 に接続されてもよい。さらに、コネクタ 2 4 の端子 5 6 は、第 1 の試験基板 3 2 または第 2 の試験基板 3 4 における、第 1 の試験回路 3 6 または第 2 の試験回路 3 7 が搭載されている面に接触してもよい。

[0037] 図 8 は、第 3 の実施形態に係る回路モジュール 3 0 の構成例を示す。本例の第 1 の試験回路 3 6 は、第 1 のスルーホール 7 4、裏面配線 6 0、第 2 のスルーホール 7 6、接続端子 7 2、端子 5 6、および、コネクタ 2 2 を介し

て、外部の電気回路に接続されてもよい。第２の試験回路３７も、同様の構成により、外部の電気回路に接続されてよい。

[0038] 図９は、第４の実施形態に係る回路モジュール３０の構成例を示す。第１の試験基板３２には第１の試験回路３６が載置されている。第１の試験回路３６が載置されている回路載置層８４の表面には、第１の試験回路３６の端子と電氣的に接続される表面配線８２が形成されており、表面配線８２は、マイクロストリップライン層を形成する。

[0039] これに対して、第１の試験回路３６が形成されない領域においては、回路載置層８４の上層に、表面配線８２を覆うように接地層８６が形成される。つまり、表面配線８２は、ストリップライン層を形成し、ストリップライン層は密閉部３８の内側から外側まで延伸される。なお、接地層８６は、表面配線８２に接しない面に金属箔を有する誘電体を含み、金属箔は接地される。

[0040] さらに、表面配線８２は、第２のスルーホール７６を介して第１の試験基板３２の裏面に設けられる接続端子７２に接続されてもよい。このような構成により、回路載置層８４上に実装される第１の試験回路３６は、接地層８６に覆われた表面配線８２、第２のスルーホール７６、接続端子７２、端子５６、および、コネクタ２２を経由して、外部の電気回路と接続される。なお、接続端子７２とコネクタ２２の端子５６とを半田付けにより接続してもよい。

[0041] なお、接地層８６は、第１の試験基板３２の全面を覆ってよく、一部を覆ってもよい。たとえば、表面配線８２と第２のスルーホール７６との接点を中心とする一定の領域には、接地層８６を設けなくてもよい。表面配線８２と第２のスルーホール７６との接点を接地層８６で覆う場合、スタブの発生を防ぐには高価な内部ビアホール（IVH）を使用する必要がある。そこで、接地層８６を設けなくて表面配線８２を露出させることにより、内部ビアホール（IVH）を使用することなく、表面配線８２が接続端子７２と接続される。

[0042] 図９の構成をとる場合には、第１の試験回路３６を載置する回路載置層８

4と接地層86との間に段差が生じる。このような段差が生じている状態で第1の試験回路36を実装するためには、COB（Chip on Board）マスク技術を利用してもよい。COBマスク技術を利用することにより、第1の試験基板32および第2の試験基板34の凹凸に合わせて凹凸のあるメタルマスクを生成した上で、ソルダーペーストを印刷することができる。

[0043] なお、第1の試験基板32の裏面における、接続端子72周辺部の高さ方向の位置は、第1の試験基板32の裏面におけるその他の領域の高さ方向の位置との間で段差を有している。第1の試験基板32が裏面に段差を有することにより、第1の試験基板32の裏面位置とコネクタ22端部の位置とを略等しくすることができる。

[0044] 図10は、第5の実施形態に係る回路モジュール30の構成例を示す。本例においては、第1の試験基板32は第2のスルーホール76を有しておらず、表面配線82の端部に接続端子72が形成される。コネクタ22の端子56が、接続端子72に接触することにより、第1の試験回路36は、外部の電気回路と接続される。

[0045] 図11は、第6の実施形態に係る回路モジュール30の構成例を示す。第1の実施形態においては、第1の試験基板32と第2の試験基板34とが、密閉部38を挟むことにより、冷却材を充填する冷却材流路空間40を形成するものであった。

[0046] これに対して、図11における密閉部38は、貫通孔の断面の形状が、第1の試験基板32および第2の試験基板34の外形と略同一となる筒形状を有している。第1の試験基板32と第2の試験基板34とは、第1の試験回路36と第2の試験回路37とが冷却材流路空間40に収まる向きに、それぞれの試験基板が対向して配される。さらに、第1の試験基板32および第2の試験基板34の端部は、密閉部38の貫通孔の内壁に、パッキン92とネジ94とによって固定される。以上の構成によっても、第1の試験基板32および第2の試験基板34に設けられた試験回路を、冷却材により冷却することができる。

[0047] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0048] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0049] １・・・半導体デバイス試験装置、１０・・・ハンドラ、１２・・・ソケット基板、１４・・・ソケット、１５・・・テストヘッド、１６、１９・・・ケーブル、２０・・・制御部、２１・・・パフォーマンスボード、２２・・・コネクタ、２３・・・バックボード、２４・・・コネクタ、２６・・・接続ケーブル、３０・・・回路モジュール、３２・・・第１の試験基板、３４・・・第２の試験基板、３６・・・第１の試験回路、３７・・・第２の試験回路、３８・・・密閉部、３９・・・隔壁、４０・・・冷却材流路空間、４２・・・冷却材流入口、４４・・・冷却材流出口、５２・・・ネジ、５４・・・パッキン、５６・・・端子、５７・・・端子、６０・・・裏面配線、６１・・・裏面配線、７２・・・接続端子、７３・・・接続端子、７４・・・第１のスルーホール、７５・・・第１のスルーホール、７６・・・第２のスルーホール、７７・・・第２のスルーホール、８０・・・絶縁層、８２・・・表面配線、８４・・・回路載置層、８６・・・接地層、９２・・・パッキン、９４・・・ネジ、１００・・・試験基板、１０２、１０３・・・絶縁板、１０４・・・プリプレグ、１０６・・・半導体デバイス、１０８・・・コネ

クタ、１１０・・・流体ケース、１１２・・・密閉空間、１１４・・・端子
、１１６、１１７、１１８、１１９・・・配線、１２０、１２１・・・貫通
スルーホール、１２２・・・接続端子

請求の範囲

- [請求項1] 被試験デバイスを試験する試験装置であって、
 向かい合わせて配置された第1の試験基板および第2の試験基板と、
 、
 前記第1の試験基板において前記第2の試験基板に対向する面に設けられ、前記被試験デバイスを試験する第1の試験回路と、
 前記第2の試験基板において前記第1の試験基板に対向する面に設けられ、前記被試験デバイスを試験する第2の試験回路と、
 前記第1の試験基板および前記第2の試験基板の間の空間を密閉することで、前記第1の試験回路および前記第2の試験回路を共通の空間に密閉し、且つ、前記共通の空間に冷却材が充填される密閉部とを備える試験装置。
- [請求項2] 前記密閉部は、前記第1の試験基板および前記第2の試験基板の間に設けられ、前記第1の試験基板側の端部および前記第2の試験基板側の端部において開口が設けられた筒形状を有し、
 前記第1の試験基板および前記第2の試験基板は、前記密閉部を挟むように設けられる
 請求項1に記載の試験装置。
- [請求項3] 前記密閉部は、貫通孔の断面の形状が、前記第1の試験基板および前記第2の試験基板の外形と略同一となる筒形状を有し、
 前記第1の試験基板および前記第2の試験基板は、それぞれの基板の端部が、前記貫通孔の内壁に固定される
 請求項1に記載の試験装置。
- [請求項4] 前記第1の試験基板および前記第2の試験基板のそれぞれの試験基板には、
 前記第1の試験回路および前記第2の試験回路のうち、対応する試験回路が設けられる面の裏面に形成された裏面配線と、
 前記試験回路が設けられる面から前記裏面配線が設けられる面まで

貫通して形成され、前記試験回路および前記裏面配線を電氣的に接続する第1のスルーホールと

が形成される請求項1または2に記載の試験装置。

[請求項5]

前記第1の試験基板および前記第2の試験基板の端部は、前記密閉部により囲まれる領域の外側まで延伸して形成され、

前記裏面配線は、前記裏面において、前記密閉部の内側に対応する領域から、前記密閉部の外側に対応する領域まで延伸して設けられ、

前記試験基板には、

前記試験回路が設けられる面のうち前記密閉部の外側に設けられ、外部の回路と電氣的に接続される接続端子と、

前記接続端子が設けられる面から前記裏面配線が設けられる面まで貫通して形成され、前記接続端子および前記裏面配線を電氣的に接続する第2のスルーホールと

が形成される請求項4に記載の試験装置。

[請求項6]

前記第1の試験基板および前記第2の試験基板の端部において、前記第1の試験基板および前記第2の試験基板の間に挿入されることで、前記接続端子と電氣的に接続されるコネクタを更に備える

請求項5に記載の試験装置。

[請求項7]

それぞれの前記試験基板には、前記裏面配線が形成される面に、前記裏面配線を覆う絶縁層が形成される

請求項5または6に記載の試験装置。

[請求項8]

前記絶縁層の表面には、接地電位が与えられる接地電極層が形成される

請求項7に記載の試験装置。

[請求項9]

前記第1の試験基板および前記第2の試験基板のそれぞれの試験基板は、

前記第1の試験回路および前記第2の試験回路のうち、対応する試験回路が載置され、前記試験回路の端子と電氣的に接続される表面配

線が表面に形成される回路載置層と、

前記試験回路が形成されない領域において、前記回路載置層の上層に、前記表面配線を覆うように形成され、表面に接地層が形成されるストリップライン層と

を有する請求項 1 に記載の試験装置。

[請求項10] 前記ストリップライン層は、前記密閉部の内側から外側まで延伸して形成される

請求項 9 に記載の試験装置。

[請求項11] 前記密閉部の内側において、前記第 1 の試験基板から前記第 2 の試験基板まで延伸して設けられ、前記冷却材の流路を形成する隔壁と、
前記隔壁、および、前記第 1 の試験基板および前記第 2 の試験基板のそれぞれを固定する固定部と

を更に備える請求項 1 から 10 のいずれかに記載の試験装置。

[請求項12] 前記第 1 の試験回路および前記第 2 の試験回路のそれぞれの試験回路を制御する制御部を更に備える

請求項 1 から 11 のいずれかに記載の試験装置。

[請求項13] 入力信号に応じた出力信号を出力する回路モジュールであって、
向かい合わせて配置された第 1 の回路基板および第 2 の回路基板と、

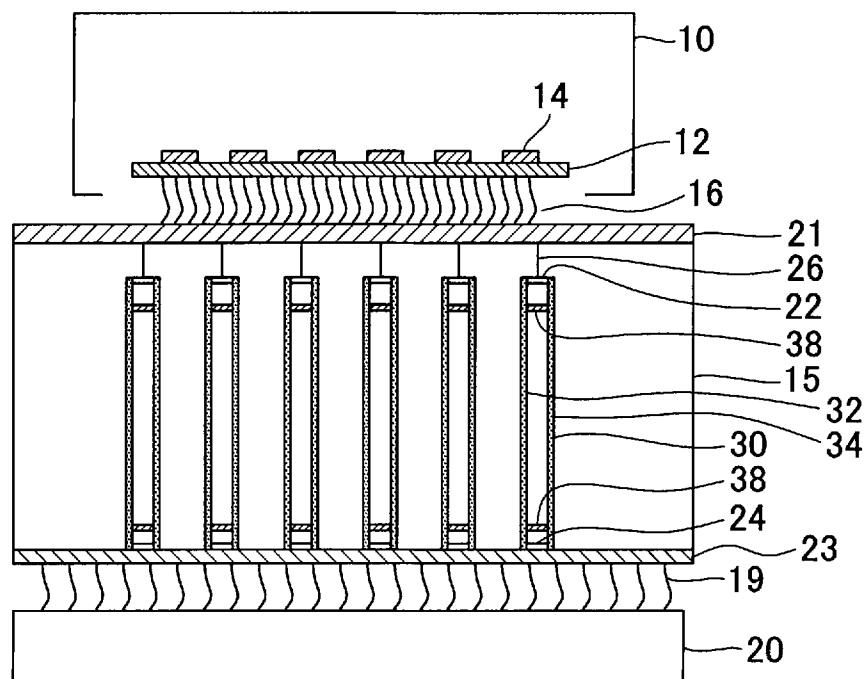
前記第 1 の回路基板において前記第 2 の回路基板に対向する面に設けられ、前記入力信号に応じた前記出力信号を出力する第 1 の動作回路と、

前記第 2 の回路基板において前記第 1 の回路基板に対向する面に設けられ、前記入力信号に応じた前記出力信号を出力する第 2 の動作回路と、

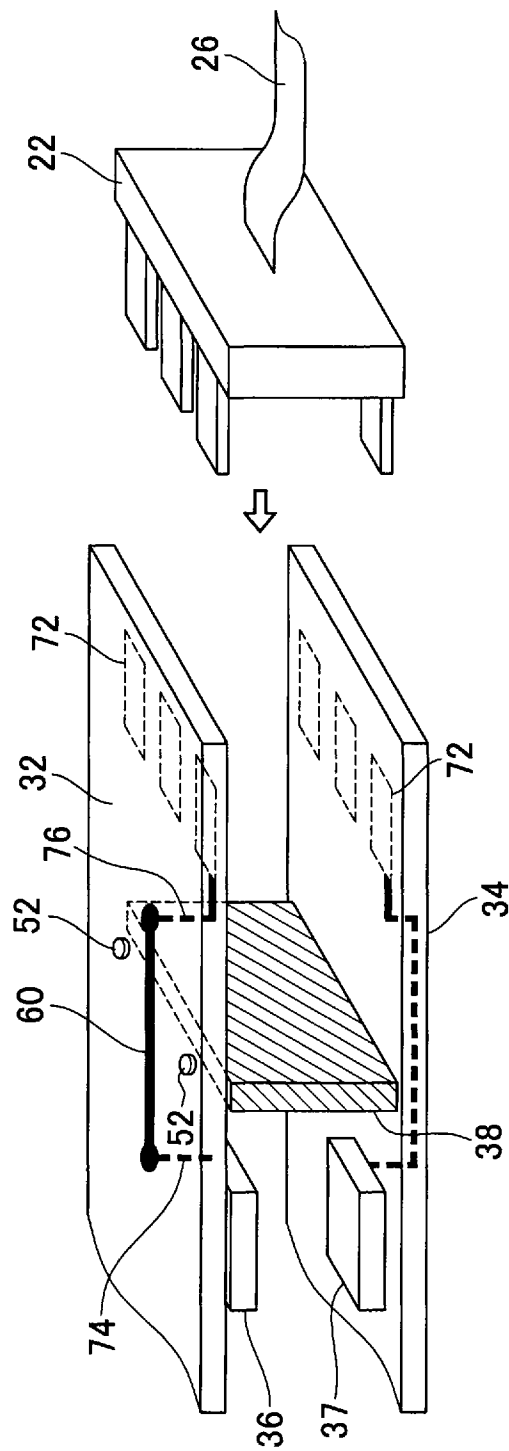
前記第 1 の回路基板および前記第 2 の回路基板の間の空間を密閉することで、前記第 1 の動作回路および前記第 2 の動作回路を共通の空間に密閉し、且つ、前記共通の空間に冷却材が充填される密閉部と

を備える回路モジュール。

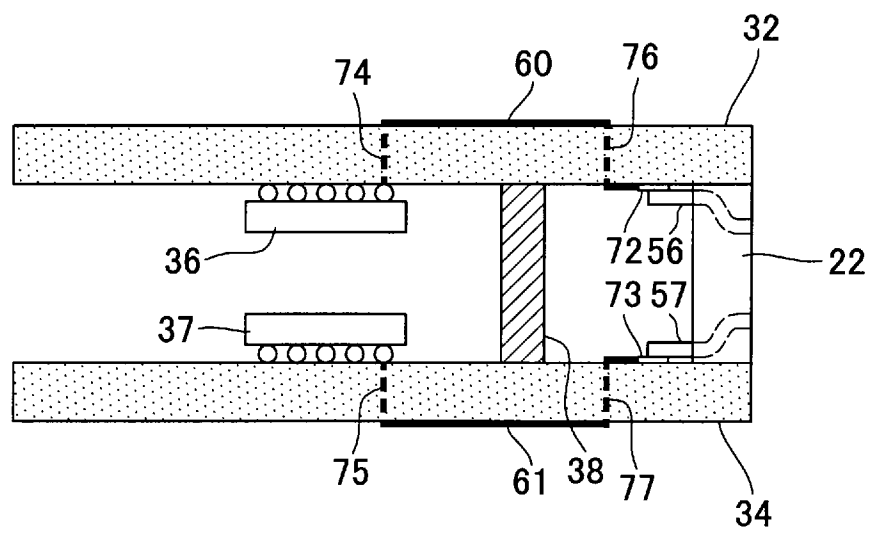
[図1]

1

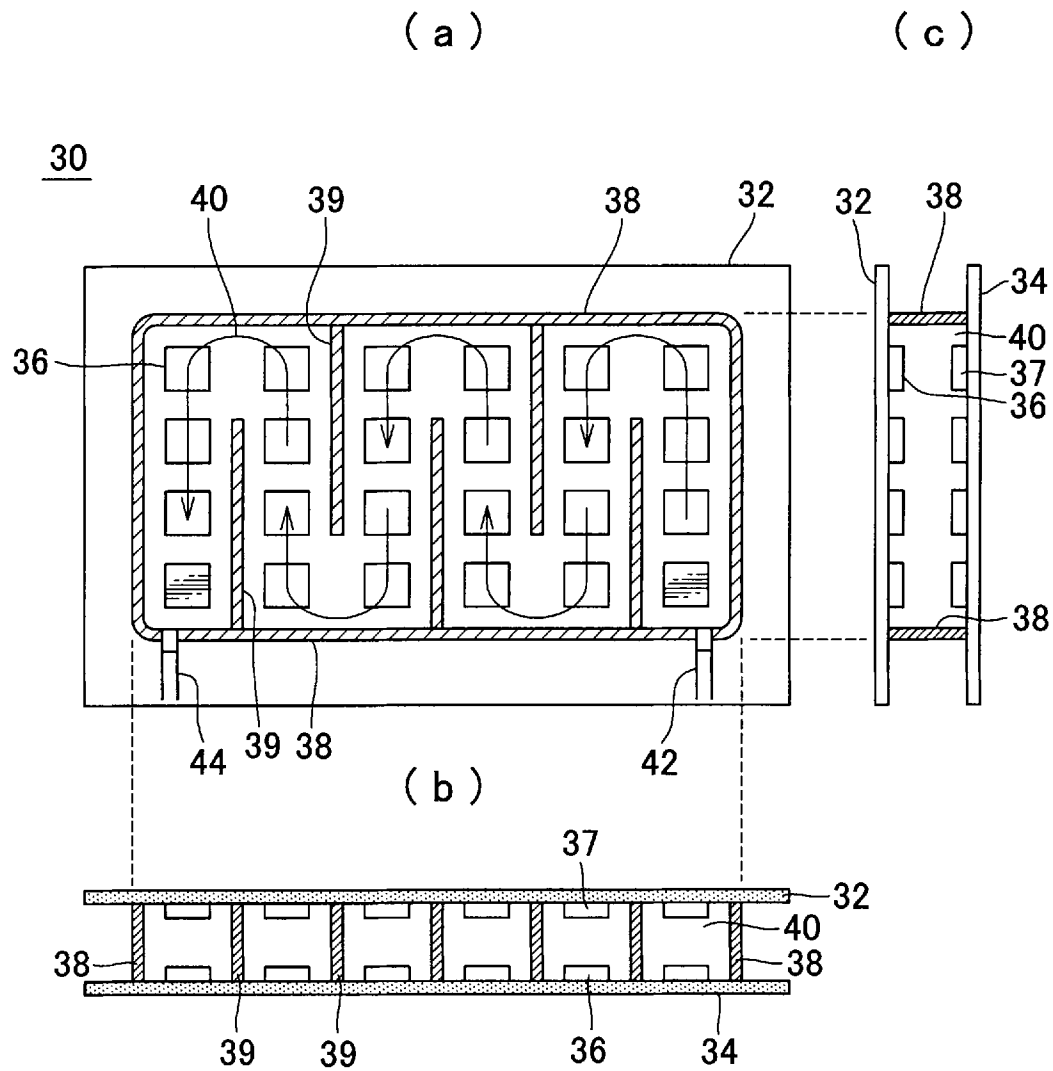
[図2]



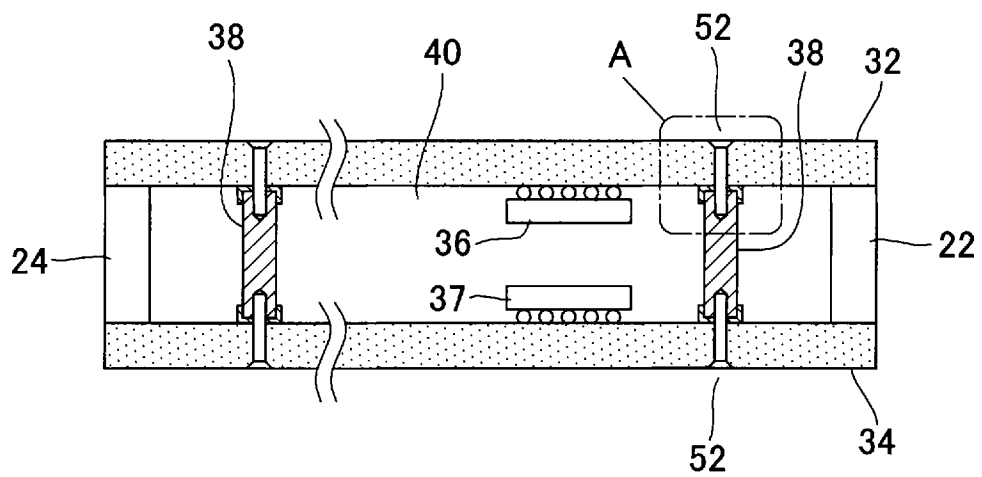
[図3]



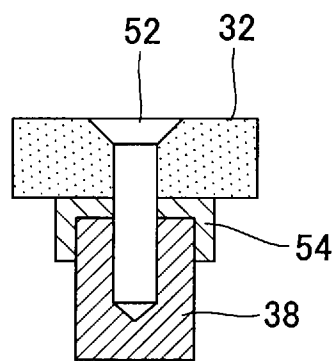
[図4]



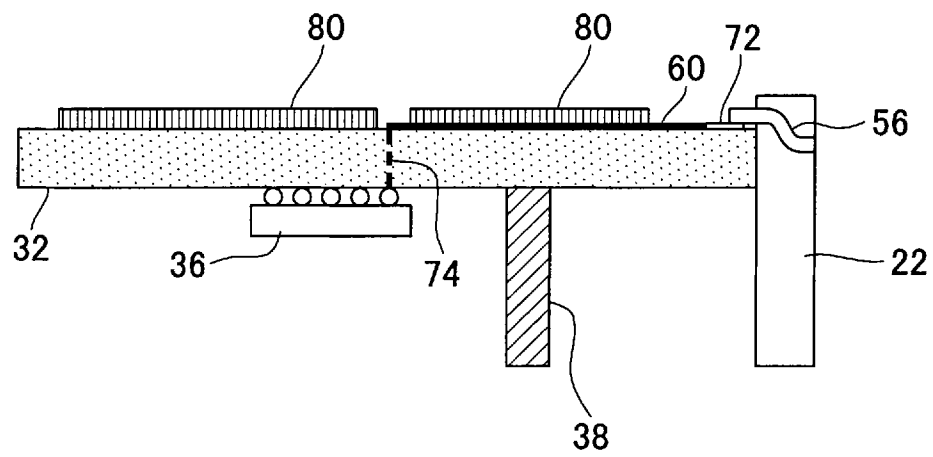
[図5]



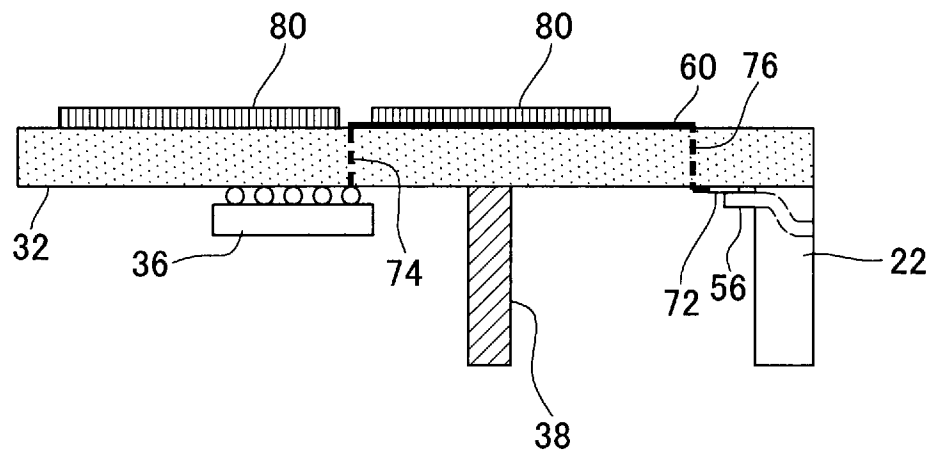
[図6]

A

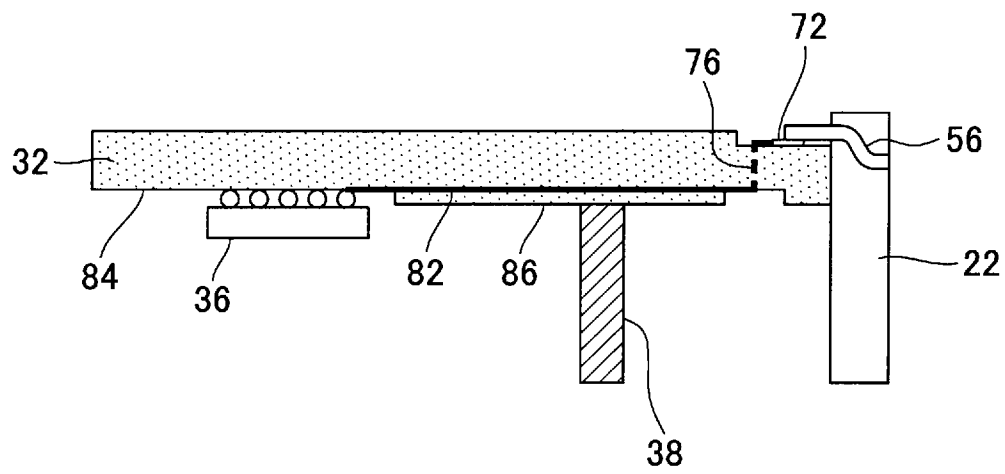
[図7]



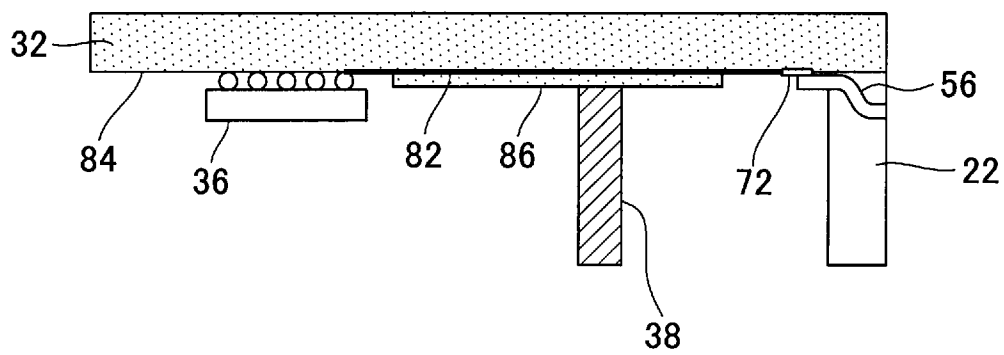
[図8]



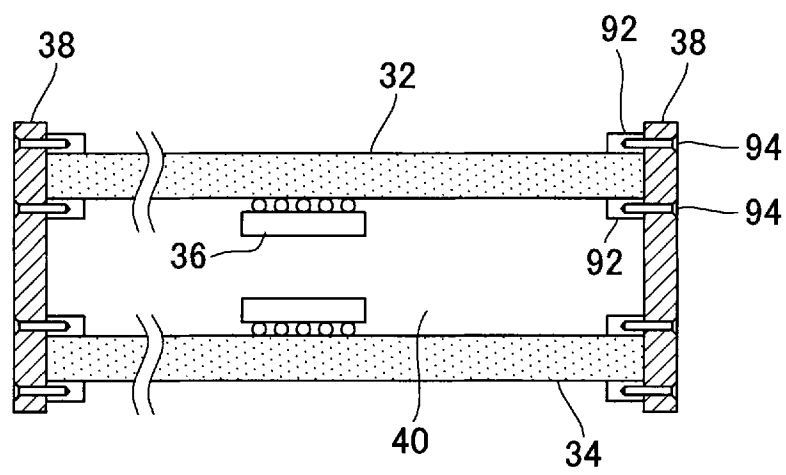
[図9]



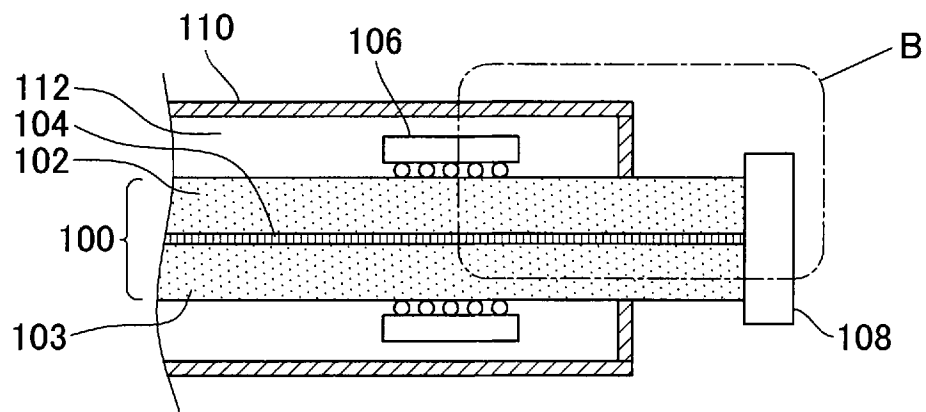
[図10]



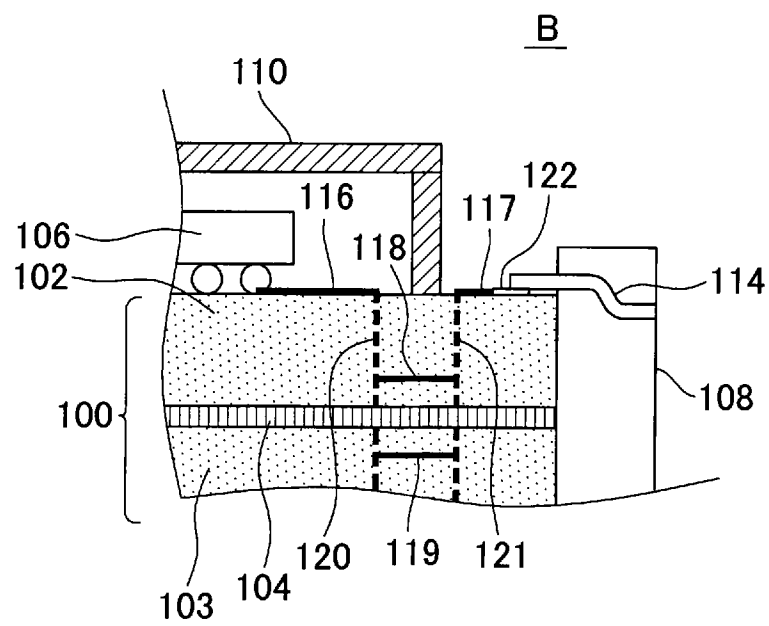
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005393

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-31/3193, H01L21/64-21/66, H05K7/20, H01L23/34-23/473

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009

Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-139899 A (Fujitsu Ltd.), 14 June 1991 (14.06.1991), page 2, lower left column, line 20 to page 4, upper left column, line 10; fig. 1 to 2 (Family: none)	1-13
A	JP 2002-43488 A (Advantest Corp.), 08 February 2002 (08.02.2002), paragraphs [0002] to [0029]; fig. 1 to 5 (Family: none)	1-13
A	JP 2002-280507 A (Advantest Corp.), 27 September 2002 (27.09.2002), paragraphs [0021] to [0045]; fig. 1 to 5 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 December, 2009 (25.12.09)Date of mailing of the international search report
12 January, 2010 (12.01.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005393

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-265859 A (Hitachi, Ltd.), 29 September 2005 (29.09.2005), paragraphs [0008], [0043] to [0060]; fig. 5 to 12 & US 2005/67579 A1	1-13
A	JP 2003-79593 A (GE Medical Systems Global Technology Co., L.L.C.), 18 March 2003 (18.03.2003), paragraphs [0038] to [0053]; fig. 1 (Family: none)	1-13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G01R31/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R31/28-31/3193, H01L21/64-21/66, H05K7/20, H01L23/34-23/473

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 3-139899 A（富士通株式会社）1991.06.14, 第2ページ左下欄 第20行-第4ページ左上欄第10行, 第1-2図（ファミリーなし）	1-13
A	JP 2002-43488 A（株式会社アドバンテスト）2002.02.08, 段落【0002】-【0029】, 図1-5（ファミリーなし）	1-13
A	JP 2002-280507 A（株式会社アドバンテスト）2002.09.27, 段落【0021】-【0045】, 図1-5（ファミリーなし）	1-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 1 2 . 2 0 0 9

国際調査報告の発送日

1 2 . 0 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

吉田 久

2 S

3 9 0 2

電話番号 03-3581-1101 内線 3258

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-265859 A (株式会社日立製作所) 2005.09.29, 段落【0008】、【0043】－【0060】、図5－12 & US 2005/67579 A1	1-13
A	JP 2003-79593 A (ジーイー・メディカル・システムズ・グローバル・ テクノロジー・カンパニー・エルエルシー) 2003.03.18, 段落【0038】－【0053】、図1 (ファミリーなし)	1-13