



(12) 发明专利申请

(10) 申请公布号 CN 118435352 A

(43) 申请公布日 2024. 08. 02

(21) 申请号 202280085652.2

(22) 申请日 2022.12.15

(30) 优先权数据

FR2114336 2021.12.23 FR

(85) PCT国际申请进入国家阶段日

2024.06.24

(86) PCT国际申请的申请数据

PCT/EP2022/086191 2022.12.15

(87) PCT国际申请的公布数据

W02023/117703 FR 2023.06.29

(71) 申请人 原子能与替代能源委员会

地址 法国

(72) 发明人 弗朗索瓦·阿耶尔

奥利维尔·萨克斯奥德

塞德里克·吉鲁-加朗波

(74) 专利代理机构 北京品源专利代理有限公司

11332

专利代理师 谭营营 胡彬

(51) Int.Cl.

H01L 27/146 (2006.01)

H04N 25/705 (2006.01)

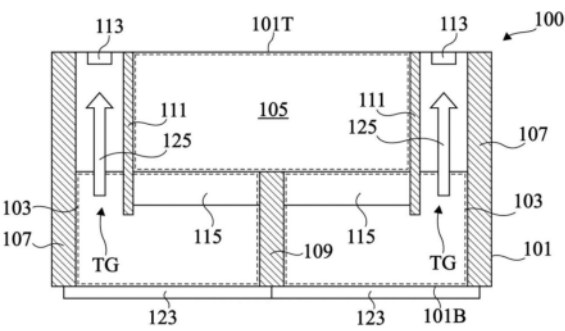
权利要求书2页 说明书9页 附图4页

(54) 发明名称

图像传感器

(57) 摘要

本公开涉及一种图像传感器,其包括形成在半导体衬底(101)中和之上的多个像素(100),每个像素具有:-形成在衬底(101)中的至少一个第一光敏区域(103);-形成在衬底(101)中的与所述至少一个第一光敏区域(103)成垂线的第二光敏区域(105);-至少一个电荷收集区域(113),其被布置在衬底(101)的与所述至少一个第一光敏区域(103)相对的一侧(101T)上;-从所述至少一个第一光敏区域(103)延伸到所述至少一个电荷收集区域(113)的至少一个转移区;以及-与所述至少一个转移区横向邻接的至少一个竖直转移栅极(TG)。



1. 一种图像传感器, 所述图像传感器包括形成在半导体衬底 (101) 中和半导体衬底 (101) 上的多个像素 (100;200), 每个像素包括:

- 至少一个第一光敏区域 (103), 其被形成在所述半导体衬底 (101) 中并且适于收集第一波长范围内的光;

- 第二光敏区域 (105), 其与所述至少一个第一光敏区域 (103) 成垂线地被形成在所述半导体衬底 (101) 中, 并且适于收集与所述第一波长范围不同的第二波长范围内的光;

- 至少一个电荷收集区域 (113), 其被设置在所述衬底 (101) 的与所述至少一个第一光敏区域 (103) 相对的一侧 (101T) 上;

- 外围绝缘沟槽 (107), 其从所述第二光敏区域 (105) 的所述一侧 (101T) 竖直延伸到所述半导体衬底 (101) 中, 并横向界定所述至少一个第一光敏区域 (103) 和所述第二光敏区域 (105);

- 至少一个转移区, 其从所述至少一个第一光敏区域 (103) 延伸到所述至少一个电荷收集区域 (113); 以及

- 至少一个转移栅极 (TG), 其在所述至少一个转移区和所述第二光敏区域之间竖直延伸, 并且与所述至少一个转移区横向邻接,

其中, 每个转移栅极通过所述外围绝缘沟槽 (107) 和转移栅极 (TG) 的内侧壁邻接。

2. 根据权利要求1所述的传感器, 其中, 每个转移栅极 (TG) 还包括第一绝缘沟槽 (111), 其从所述衬底 (101) 的与所述至少一个第一光敏区域 (103) 相对的所述一侧 (101T) 延伸到所述半导体衬底 (101) 中, 并且部分地进入所述至少一个第一光敏区域 (103) 的厚度。

3. 根据权利要求2所述的传感器, 其中, 每个电荷收集区域 (113) 在所述外围绝缘沟槽 (107) 和所述第一绝缘沟槽 (111) 或所述第一绝缘沟槽 (111) 中的一个之间横向延伸。

4. 根据权利要求1至3中任一项所述的传感器, 其中, 每个转移栅极 (TG) 被第二绝缘沟槽 (201) 包围, 所述第二绝缘沟槽 (201) 从所述衬底 (101) 的与所述至少一个第一光敏区域 (103) 相对的所述一侧 (101T) 竖直延伸到所述衬底 (101) 中。

5. 根据权利要求1至4中任一项所述的传感器, 其中, 每个像素 (100;200) 还包括至少一个另外的转移栅极 (121) 和至少一个另外的电荷收集区域 (119), 所述至少一个另外的转移栅极 (121) 在所述衬底 (101) 的与所述至少一个第一光敏区域 (103) 相对的所述一侧 (101T) 上横向延伸。

6. 根据权利要求1至5中任一项所述的传感器, 其中, 每个像素 (100;200) 包括四个第一光敏区域 (103)。

7. 根据权利要求6所述的传感器, 其中, 所述第一光敏区域通过第三绝缘沟槽 (109) 彼此隔离。

8. 根据权利要求1至7中任一项所述的传感器, 其中, 所述第二光敏区域 (105) 在所述第一光敏区域 (103) 上并与所述第一光敏区域 (103) 接触。

9. 根据权利要求1至8中任一项所述的传感器, 还包括控制电路, 所述控制电路被配置为在所述至少一个转移栅极 (TG) 上交替地施加:

- 第一电势, 其适于阻挡电荷从所述至少一个第一光敏区域 (103) 转移到所述至少一个电荷收集区域 (113); 以及

- 第二电势, 其不同于所述第一电势, 适于允许电荷从所述至少一个第一光敏区域

(103) 转移到所述至少一个电荷收集区域 (113)。

10. 根据权利要求1至9中任一项所述的传感器, 其中, 所述传感器像素 (100; 200) 的第一光敏区域 (103) 旨在捕获2D图像, 并且所述传感器像素的第二光敏区域 (105) 旨在捕获深度图像。

图像传感器

[0001] 本申请基于2021年12月23日提交的标题为“Capteur d’images”的法国专利申请号2114336并要求其优先权,该专利申请在法律规定的范围内被认为是本说明书的组成部分。

技术领域

[0002] 本说明书一般涉及图像采集设备领域。本说明书更具体地涉及适于获取场景的2D图像和深度图像的图像采集设备。

背景技术

[0003] 能够采集场景的2D图像和深度图像的图像采集设备是已知的。特别地,具有集成在同一图像传感器上的像素阵列中的2D图像子像素和深度子像素的设备是已知的。

发明内容

[0004] 存在对改进现有的用于采集场景的2D图像和深度图像的设备的需要。将期望产生在同一像素阵列中集成2D图像子像素和深度子像素的图像传感器,特别是具有比已知传感器更高的深度图像采集效率的传感器。

[0005] 一个实施例的一个目的是克服用于采集场景的2D图像和深度图像的已知设备的一些或全部缺点。

[0006] 为此,一个实施例提供了一种图像传感器,其包括在半导体衬底中和半导体衬底上形成的多个像素,每个像素包括:

[0007] -至少一个第一光敏区域,其被形成在半导体衬底中并且适于收集第一波长范围内的光;

[0008] -第二光敏区域,其与所述至少一个第一光敏区域成垂线地被形成在半导体衬底中,并且适于收集不同于第一波长范围的第二波长范围内的光;

[0009] -至少一个电荷收集区域,其被设置在衬底的与所述至少一个第一光敏区域相对的一侧上;

[0010] -至少一个转移区,其从所述至少一个第一光敏区域延伸到所述至少一个电荷收集区域;以及

[0011] -至少一个转移栅极,其在所述至少一个转移区和第二光敏区域之间竖直延伸,并且与所述至少一个转移区横向邻接。

[0012] 根据一个实施例,每个像素还包括外围绝缘沟槽,其从第二光敏区域的所述一侧竖直延伸到半导体衬底内并横向地界定所述至少一个第一光敏区域和第二光敏区域。

[0013] 根据一个实施例,每个转移栅极包括第一绝缘沟槽,其从衬底的与所述至少一个第一光敏区域相对的所述一侧延伸进入半导体衬底中,并且部分地进入所述至少一个第一光敏区域的厚度。

[0014] 根据一个实施例,每个电荷收集区域在外围绝缘沟槽和第一绝缘沟槽或第一绝缘

沟槽中的一个之间横向延伸。

[0015] 根据一个实施例,每个转移栅极被第二绝缘沟槽包围,该第二绝缘沟槽从衬底的与所述至少一个第一光敏区域相对的所述一侧竖直延伸到衬底中。

[0016] 根据一个实施例,每个像素还包括至少一个另外的转移栅极和至少一个另外的收集区域,该至少一个另外的转移栅极在衬底的与所述至少一个第一光敏区域相对的所述一侧上横向延伸。

[0017] 根据一个实施例,每个像素包括四个第一光敏区域。

[0018] 根据一个实施例,第一光敏区域通过第三绝缘沟槽彼此隔离。

[0019] 根据一个实施例,第二光敏区域在第一光敏区域上并与第一光敏区域接触。

[0020] 根据一个实施例,传感器还包括控制电路,该控制电路被配置为向所述至少一个转移栅极交替地施加:

[0021] -第一电势,其适于阻挡电荷从所述至少一个第一光敏区域转移到所述至少一个电荷收集区域;以及

[0022] -第二电势,其不同于第一电势,适于允许电荷从所述至少一个第一光敏区域转移到所述至少一个电荷收集区域。

[0023] 根据一个实施例,传感器的像素的第一光敏区域旨在捕获2D图像,而传感器的像素的第二光敏区域旨在捕获深度图像。

附图说明

[0024] 前述特征和优点以及其他将在以下参照附图通过说明而非限制的方式给出的具体实施例的描述中详细描述,其中:

[0025] 图1是根据一个实施例的图像传感器像素的示意性、局部俯视图;

[0026] 图2是图1中所示像素沿图1所示平面AA的横截面视图;

[0027] 图3是图1中所示像素沿图1所示平面BB的横截面视图;

[0028] 图4是根据另一实施例的图像传感器像素的示意性、局部俯视图;

[0029] 图5是图4中所示像素沿图4所示平面AA的横截面视图;

[0030] 图6是用于制造图1所示像素的方法的步骤沿图1所示平面AA的横截面视图;

[0031] 图7是用于制造图1所示像素的方法的步骤沿图1所示平面AA的横截面视图;

[0032] 图8是用于制造图1所示像素的方法的步骤沿图1所示平面BB的横截面视图;

[0033] 图9是用于制造图1所示像素的方法的步骤沿图1所示平面AA的横截面视图;以及

[0034] 图10是用于制造图1所示像素的方法的步骤沿图1所示平面BB的横截面视图。

具体实施方式

[0035] 在各个附图中,类似的特征已经通过类似的参考指定。特别地,在各个实施例中共有的结构和/或功能特征可以具有相同的附图标记并且可以具有相同的结构、尺寸和材料属性。

[0036] 为了清楚起见,仅对有助于理解本文所描述的实施例的操作和元件进行了图示和详细描述。特别地,像素电路(晶体管和连接件)没有被详细描述,因为所描述的实施例和变型与常规像素电路兼容。此外,感测电路、或列解码器、控制电路或行解码器以及其中可以

提供图像传感器的应用没有被详细描述,所描述的实施例和变型与常规图像传感器的感测电路和控制电路以及实施图像传感器的常规应用兼容。

[0037] 除非另有说明,当提及连接在一起的两个元件时,这表示除了导体之外没有任何中间元件的直接连接,而当提及耦合在一起的两个元件时,这表示这两个元件可以被连接,或者它们可以经由一个或多个其它元件耦合。

[0038] “层的透射率”是指离开该层的辐射的强度与进入该层的辐射的强度之间的比率。在下面的描述中,当辐射穿过层或膜的透射率小于10%时,层或膜被称为对辐射不透明。在下面的描述中,当辐射穿过层或膜的透射率大于10%时,层或膜被称为对辐射是透明的。

[0039] 在下面的描述中,“可见光”是指波长在380nm至780nm之间的电磁辐射,而“红外辐射”是指波长在780nm至15 μ m之间的电磁辐射。另外,“近红外辐射”更具体地指波长在780nm至1.7 μ m之间的电磁辐射。

[0040] 在以下公开内容中,除非另有说明,否则当提及绝对位置限定符时,诸如术语“前”、“后”、“顶”、“底”、“左”、“右”等,或相对位置限定符,诸如术语“上方”、“下方”、“较高”、“较低”等,或者取向的限定符,诸如“水平”、“垂直”等,参考图中所示的取向。

[0041] 除非另外指明,否则表述“约”、“大约”、“基本上”和“大概”表示在10%以内,并且优选地在5%以内。

[0042] 图1是根据一个实施例的图像传感器像素100的示意性、局部俯视图。图2和图3是图1所示的像素100分别沿图1所示的平面AA和BB的横截面视图。

[0043] 在所示的示例中,像素100被形成在半导体衬底101中和半导体衬底101上,例如由硅制成。通过示例的方式,衬底101具有5 μ m至20 μ m之间的厚度。

[0044] 在所示的示例中,像素100包括形成在半导体衬底101中的第一光敏区域103。如图2所示,每个光敏区域103从衬底101的底面101B竖直延伸穿过半导体衬底101的厚度直至小于衬底101厚度的深度。更确切地,在图示的示例中,像素100包括四个第一光敏区域103。当从上方观察时,每个光敏区域103具有大致正方形的外围。在所示的示例中,四个光敏区域103共面并且当从上方观察时被布置成呈大致正方形的整体形状。光敏区域103例如被形成在衬底101的掺杂有第一类型导电性(诸如n型)的区域中。

[0045] 在所示的示例中,像素100还包括形成在半导体衬底101中的第二光敏区域105。第二光敏区域105位于与第一光敏区域103成垂线的位置(在第一光敏区域103上方,以图2和图3所示的取向)。如在图2和图3中示出的,光敏区域105从衬底101的顶面101T(与底面101B相对)竖直延伸穿过半导体衬底101的厚度。当从上方观察时,光敏区域105具有大致正方形的外围。在此示例中,光敏区域105具有基本上等于由四个光敏区域103形成的正方形的横向尺寸的横向尺寸。光敏区域105例如被形成在衬底101的掺杂有与第一导电类型相反的第二导电类型(在此示例中为p型)的区域中。通过示例的方式,在形成光敏区域105的区域中,衬底101具有在 1×10^{10} 至 1×10^{17} at./cm³之间的掺杂水平。在此示例中,第二光敏区域105经由其底面与下面的第一光敏区域103的顶面接触。

[0046] 每个光敏区域103、105例如旨在像素100所属的图像传感器的照明阶段期间收集光子,并且旨在将这些光子转换成电子-空穴对。在此示例中,第一光敏区域103适于收集第一波长范围内的光,并且第二光敏区域105适于收集不同于第一波长范围的第二波长范围内的光。第一光敏区域103旨在例如捕获2D图像,而第二光敏区域105旨在例如捕获深度

图像。通过示例的方式,像素100的光敏区域103适于捕获可见光,例如蓝光,并且像素100的光敏区域105适于捕获红外辐射,例如近红外辐射。

[0047] 在所示的示例中,其中第一光敏区域和第二光敏区域由相同的材料制成,例如硅,可见光和红外辐射主要在衬底101中从其底面101B的不同深度处被吸收。在此示例中,可见光的大部分吸收深度小于红外辐射的吸收深度。通过举例的方式,第二光敏区域具有比第一光敏区域更大的厚度,以便优化第二光敏区域中红外辐射的吸收。可替代地,第一光敏区域可以由第一材料制成,诸如硅,并且第二光敏区域可以由不同于第一材料的第二材料制成,诸如锗或硅-锗合金。第一材料和第二材料然后分别适于主要吸收红外和可见辐射。

[0048] 在所示的示例中,像素100还包括外围绝缘沟槽107,例如电容性绝缘沟槽,其横向界定第二光敏区域105和由第一光敏区域103形成的布置。更具体地,在此示例中,外围绝缘沟槽107完全包围光敏区域105并且当从上方观察时,其具有基本上正方形的轮廓。

[0049] 外围绝缘沟槽107将像素100的光敏区域103和105与相邻像素的光敏区域电隔离,图1至图3中未示出。外围绝缘沟槽107被形成在衬底101中。在图2和图3所示的取向中,外围绝缘沟槽107从衬底101的顶面101T竖直延伸穿过衬底101的厚度直至衬底101的底面101B。换句话说,在此示例中,外围绝缘沟槽107竖直延伸穿过衬底101的整个厚度并且在衬底101的顶面101T和底面101B的一侧上开口。

[0050] 例如,外围绝缘沟槽107具有在200nm至600nm之间的宽度,以及在 $1\mu\text{m}$ 至 $20\mu\text{m}$ 之间的深度。在图2和图3所示的示例中,外围绝缘沟槽107具有等于衬底101的厚度的深度。

[0051] 尽管在图1至图3中未详细示出,外围绝缘沟槽107包括例如导电区,其侧壁涂覆有电绝缘层。电绝缘层将沟槽107的导电区与衬底101电隔离。通过示例的方式,沟槽107的导电区由多晶硅、金属(诸如铜)或金属合金制成,并且沟槽107的电绝缘层由介电材料(诸如氧化硅)制成。通过示例的方式,外围绝缘沟槽107是CDTI(Capacitive Deep Trench Isolation,电容性深沟槽隔离)型的沟槽。

[0052] 在所示的示例中,像素100的第一光敏区域103通过绝缘沟槽109彼此分开,例如电容性绝缘沟槽,例如CDTI型。在此示例中,像素100更精确地包括绝缘沟槽109,当从上方观察时,该绝缘沟槽109具有相对于像素100基本上居中的大致十字形状。如图2和图3所示出的,绝缘沟槽109从衬底101的底面101B竖直延伸穿过半导体衬底101的厚度直至光敏区域105,然而在衬底101的顶面101T的一侧上没有开口,例如如图2和图3所示出的,绝缘沟槽109具有基本上等于第一光敏区域103的厚度的高度。在所示的示例中,每个第一光敏区域103因此由外围绝缘沟槽107和由绝缘沟槽109横向地邻接。通过示例的方式,沟槽109具有与沟槽107类似的结构。更具体地,沟槽109可以例如具有导电区(例如金属区),或带电区(例如带电多晶硅),其侧面涂覆有电绝缘层。可替代地,沟槽109是带电绝缘沟槽,例如为DTI(Deep Trench Isolation,深沟槽隔离)型。在这种情况下,沟槽109例如不具有导电区。

[0053] 在图1至图3所示的示例中,像素100还包括四个竖直转移栅极TG,每个竖直转移栅极TG包括绝缘沟槽111,例如电容性绝缘沟槽。在此示例中,每个绝缘沟槽111当从上方观察时通常为L形。如图2和图3所示,每个绝缘沟槽111从衬底101的顶面101T竖直延伸穿过半导体衬底101的厚度直至第一光敏区域103中的一个,并且部分地进入光敏区域103直至小于外围绝缘沟槽107的深度的深度。换句话说,每个绝缘沟槽111在衬底101的厚度内被中断并且在衬底101的底面101B侧上不开口。通过示例的方式,每个绝缘沟槽111具有在 $3\mu\text{m}$ 至 $18\mu\text{m}$

之间的深度。

[0054] 在此示例中,当从上方观察时,绝缘沟槽111位于由外围绝缘沟槽107形成的正方形的四个角处。更确切地,绝缘沟槽111被布置为以便界定衬底101的区域,当从上方观察时,该区域具有基本上正方形的形状。在图1所示的示例中,衬底101的部分被插入在由每个绝缘沟槽111形成的L的端部和外围绝缘沟槽107的面对壁之间。

[0055] 每个绝缘沟槽111例如具有类似于外围绝缘沟槽107的结构的结构。更具体地,尽管在图1至图3中没有详细示出,每个绝缘沟槽111包括例如由多晶硅、金属(例如铜)或金属合金制成的导电区。每个绝缘沟槽111的导电区例如由与外围绝缘沟槽107的导电区相同的材料制成。另外,每个沟槽111包括例如涂覆导电区的侧壁和底面的电绝缘层。电绝缘层将沟槽111的导电区与衬底101电隔离。通过示例的方式,每个沟槽111的电绝缘层由介电材料制成,例如氧化硅。每个绝缘沟槽111的电绝缘层例如具有与外围绝缘沟槽107的电绝缘层相同的材料。

[0056] 每个绝缘沟槽111的导电区例如与外围绝缘沟槽107的导电区电隔离。这允许例如每个绝缘沟槽111的导电区独立于外围绝缘沟槽107的导电区而被极化。

[0057] 在所示的示例中,像素100还包括被布置在衬底的与第一光敏区域103相对的一侧上的电荷收集区域113,即在衬底的面101T的一侧上。在图2所示的取向中,电荷收集区域113从其顶面101T竖直延伸穿过衬底101的厚度,直至小于绝缘沟槽111的深度。在此示例中,每个电荷收集区域113由绝缘沟槽111中的一个并由外围绝缘沟槽107包围。通过示例的方式,每个电荷收集区域113在从上方观察时具有大致正方形的形状。每个电荷收集区域113例如比光敏区域105更重地掺杂有第二导电类型,在此示例中为p型(p⁺)。通过示例的方式,衬底101在形成每个电荷收集区域113的点处具有在 1×10^{16} 至 5×10^{20} at./cm³之间的掺杂水平。

[0058] 在所示的示例中,每个第一光敏区域103包括掺杂有第二导电类型的区域115,在此示例中为p型。区域115例如是重掺杂有p型(p⁺)。在此示例中,区域115从光敏区域105的一侧处的光敏区域103的面竖直延伸穿过衬底101的厚度直至小于光敏区域103的厚度的深度。在每个第一光敏区域103内,区域115与衬底101的掺杂有第一导电类型(在从示例中为n型)的一部分形成光电二极管。区域115进一步允许阻挡电荷从像素101的光敏区域103转移到光敏区域105。可替代地,可以省略区域115,例如在竖直转移栅极TG接近绝缘沟槽109的情况下。

[0059] 在所示的示例中,光敏区域105包括掺杂有第一类型导电性的区117,在此示例中为n型。在此示例中,区117从其衬底101的顶表面101T竖直延伸穿过衬底101的厚度直至小于第二光敏区域105的厚度的深度。在图1所示的示例中,区117具有基本上正方形的形状,并且相对于像素100的外围绝缘沟槽107基本上居中。在第二光敏区域105内,区117与掺杂有第二导电类型(在此示例中为p型)的衬底101的一部分一起形成光电二极管。

[0060] 在所示的示例中,像素100还包括在衬底的与第一光敏区域103相对的一侧(即衬底的顶面101T的一侧)上布置的电荷收集区域119。在图2所示的取向中,电荷收集区域119从衬底101的顶表面101T竖直延伸穿过衬底101的厚度直至小于区117厚度的深度。具体地,在此示例中,像素100具有三个电荷收集区域119,每个位于区117的一侧和外围绝缘沟槽107的一侧之间。

[0061] 在所示的示例中,像素100还包括转移栅极121,例如平面转移栅极,其位于衬底101的顶面101T上并与之接触。每个转移栅极121例如在区117和电荷收集区域119中的一个之间与衬底101的一部分成垂线地定位。可替代地,可以提供与所示的那些不同数量的转移栅极121和电荷收集区域119,例如分别与四个转移栅极121相关联的四个电荷收集区域119。

[0062] 在此示例中,光敏区域103和105旨在从衬底101的底面101B被照亮。如在图2和图3中所示出的,像素100可以进一步包括位于衬底101的底面101B上并与之接触的滤色器123。在所示的示例中,每个滤色器123位于与第一光敏区域103之一成垂线的位置。每个滤色器123例如仅对可见光谱的一部分(例如蓝光)透明,并且对红外光谱的至少一部分(例如近红外辐射)透明。尽管在图1至图3中未示出,像素100可以进一步包括一个或多个钝化层,例如其被插在衬底101的底面101B和滤色器123之间,以及诸如一个或多个微透镜的其它光学元件。

[0063] 尽管没有图示,至少一个导电焊盘可以位于外围绝缘沟槽107的导电区上并与之接触。这种导电焊盘允许沟槽107的导电区被极化。通过示例的方式,外围绝缘沟槽107的导电区被带到固定电势,例如负电势,例如等于约-2V。这倾向于致使空穴沿外围绝缘沟槽107的侧壁的累积。特别地,空穴的这种积累允许防止光敏区域105中光生的空穴被困在衬底101和外围绝缘沟槽107之间的连接处,并进一步提供适合于每个2D图像像素的光电二极管的操作的电势。

[0064] 此外,尽管图1至图3中未示出,可以提供进一步的导电焊盘,其位于衬底101的顶表面101T上并与之接触,例如在电荷收集区域119之一附近,并且第二导电类型的重掺杂区(在此示例中为p+区)在衬底101的顶表面101T下方与导电焊盘成垂线地延伸。第二导电类型的重掺杂区例如通过导电焊盘经受基本为零的电势。这允许提供沿着外围绝缘沟槽107的侧壁累积的空穴。

[0065] 像素100可以进一步包括位于每个绝缘沟槽111的导电区上并与之接触的至少一个其它导电焊盘。这些导电焊盘旨在例如使沟槽111的导电区极化。

[0066] 在像素100的曝光的阶段期间,例如,在每个光敏区域103内创建电子-空穴对。在此阶段期间,每个绝缘沟槽111的导电区通过控制电路(未示出)被带到固定电势,例如负电势,例如等于约-1.5V。在传感器曝光阶段期间,将该电势施加到每个沟槽111的导电区允许在位于每个竖直转移栅极TG内部的转移区中、在光敏区域103和收集区域113之间形成势垒。在所示的示例中,转移区通过外围绝缘沟槽107和绝缘沟槽111的内侧壁邻接,并且在收集区域113之下竖直延伸穿过衬底101的厚度。

[0067] 在转移区中的势垒的存在允许在曝光阶段期间阻挡光生电子从光敏区域103到收集区域113的转移。在此示例中,此势垒是由于沿着绝缘沟槽107和111的侧壁存在吸引空穴的反转层而产生的。

[0068] 在曝光阶段之后的读取阶段中,每个绝缘沟槽111的导电区例如被控制电路(未示出)带到高于曝光阶段期间所施加的电势的电势,例如正电势,例如等于约0.5V。将该电势施加到每个沟槽111的导电区允许降低甚至消除光敏区域103和电荷收集区域113之间的转移区中的势垒。势垒的消失允许在读取阶段期间,光生电子125从光敏区域103到收集区域113的转移。通过示例的方式,电荷收集区域113各自在曝光和读取阶段期间被带到固定电

势,例如正电势,例如等于约2.5V。这允许光生电子在读取阶段被吸引朝向区域113。

[0069] 另外,在像素100的曝光阶段期间,例如在光敏区域105内创建电子-空穴对。在此阶段期间,在区域105中光生的电子例如依次朝向像素100的各个电荷收集区域119转移。为此,平面转移栅极121之一例如被带到允许光生电子从区域105到区域119之一的转移的第一电势,而其它栅极121被带到允许阻挡电子到其它区域119的转移的第二电势。然后,另一栅极121被带到第一电势,其他栅极然后被带到第二电势,依此类推,直到所有栅极121相继被带到第一电势为止。在同一曝光阶段期间,像素100的栅极121按顺序打开,例如通过向这些栅极施加彼此异相的控制信号,以便允许光生电子从光敏区域105同时转移到单个收集区域119。这种打开转移栅极121的顺序例如在曝光阶段期间被重复多次。这允许例如飞行时间距离测量(例如间接飞行时间(indirect time-of-flight,iToF)测量)由像素100实施。通过示例的方式,每个转移栅极121的打开频率在10MHz至300MHz之间,并且每个曝光阶段包括转移栅极121在一万和一百万之间的多个打开周期。

[0070] 在曝光阶段期间,被带到第二电势的栅极121在位于光敏区域105的区117和与这些栅极相关联的收集区域119之间的转移区中强制势垒。在此示例中,此势垒是由于以第二电势带来的平面转移栅极121下方存在空穴吸引反转层而产生的。相反地,处于第一电势的栅极121降低或甚至消除了区117和与此栅极相关联的电荷收集区域119之间的转移区中的势垒。通过示例的方式,第一电势是正的,例如等于约0.5V,并且第二电势低于第一电势,例如负的,例如等于约-2V。

[0071] 通过示例的方式,在曝光阶段之前,电荷收集区域119各自被带到固定的起始电势,例如正电势,例如等于约2.5V。这允许光生电子在曝光阶段期间被吸引朝向区域119。在曝光阶段期间,每个区域119的电势根据从光敏区域105转移到此区域119的多个电子而降低。在曝光阶段结束时,区域119的电势被测量,例如,以确定在曝光阶段期间已经由每个区域119合并的电荷的总量。一旦测量完成,电荷收集区域例如在下一曝光阶段之前被带回到它们的起始电势。

[0072] 在像素100包括分别与三个电荷收集区域119相关联的三个平面转移栅极121的所示示例中,平面转移栅极121和与此栅极相关联的电荷收集区域119中的一个可以充当抗闪烁器件。更具体地,可以控制平面转移栅极之一,以便在像素100处于读取阶段时允许过量的光生电荷被放电。

[0073] 以上关于图1至图3所述的像素100的一个优点在于,第一半导体光敏区域103和第二半导体光敏区域105叠加而没有中间层,第二光敏区域105在第一光敏区域上并与第一光敏区域接触。特别地,这允许在从第一光敏区域103到第二光敏区域105的光传输期间的损失受到限制,例如与其中光敏区域103和105各自先前已经在不同的衬底上产生的像素相比,这些衬底然后一个被转移到另一个上。特别地,在第一光敏区域和第二光敏区域之间不存在互连结构,例如在通过绝缘层彼此隔开的金属化层级中形成的互连结构,其允许传输损耗受到限制。

[0074] 图4是根据另一实施例的图像传感器的像素200的示意性、局部俯视图。图5是图4中所示的像素200沿图4所示的平面AA的横截面视图。

[0075] 图4和图5所示的像素200具有与图1至图3所示的像素100共同的元件。这些共同的元件在下文中将不再进行详细描述。图4和图5所示的像素200与图1至图3所示的像素100的

不同之处在于,像素200进一步包括包围绝缘沟槽111的绝缘沟槽201,例如电容性绝缘沟槽。

[0076] 在此示例中,像素100更确切地包括四个绝缘沟槽201,当从上方观察时,其中的每一个通常为L形。如图5所示出的,每个绝缘沟槽201从衬底101的顶面101T竖直延伸穿过半导体衬底101的厚度直至基本上等于第二光敏区域105的厚度的深度。在此示例中,绝缘沟槽201不穿透第一光敏区域103内部。通过示例的方式,每个绝缘沟槽201具有在 $3\mu\text{m}$ 至 $18\mu\text{m}$ 之间的深度。

[0077] 在此示例中,当从上方观察时,绝缘沟槽201位于由外围绝缘沟槽107形成的正方形的四个角处。更确切地,绝缘沟槽201被布置成界定衬底101的区,该区在从上方观察时基本上为正方形形状。在图4所示的示例中,衬底101的部分被插入在由每个绝缘沟槽201形成的L的端部和外围绝缘沟槽107的面对壁之间。

[0078] 每个绝缘沟槽201例如具有类似于外围绝缘沟槽107的结构的结构。更具体地,尽管在图4和图5中没有详细示出,每个绝缘沟槽201包括例如由多晶硅、金属(例如铜)或金属合金制成的导电区。每个绝缘沟槽201的导电区例如由与外围绝缘沟槽107的导电区相同的材料制成。另外,每个沟槽201包括例如涂覆导电区的侧壁和底面的电绝缘层。电绝缘层将沟槽201的导电区与衬底101电隔离。通过示例的方式,每个沟槽201的电绝缘层由介电材料制成,诸如氧化硅。每个绝缘沟槽201的电绝缘层例如由与外围绝缘沟槽107的电绝缘层相同的材料制成。

[0079] 每个绝缘沟槽201的导电区例如与外围绝缘沟槽107的导电区电隔离。这允许例如每个绝缘沟槽201的导电区独立于外围绝缘沟槽107的导电区而被极化。可替代地,绝缘沟槽201的导电区可以与外围绝缘沟槽107的导电区接触。

[0080] 在像素200的曝光和读取阶段期间,每个绝缘沟槽201的导电区被带到固定电势,例如负电势,例如等于约-2V。这往往使得沿着沟槽201的侧壁累积空穴。特别地,空穴的这种累积允许在第一光敏区域103的读取阶段期间防止第二光敏区域105中的光生空穴被困在衬底101和绝缘沟槽111之间的连接处。在像素200的情况下,由于绝缘沟槽201的存在,也可以省略区115。

[0081] 以上关于图4和图5描述的像素200的优点是绝缘沟槽201允许与第一光敏区域103相关联的竖直TG栅极被控制,同时防止光生电荷被困在衬底101和绝缘沟槽111之间的连接处。这有利地允许像素200在同一时间采集2D图像和深度图像。

[0082] 图6至图10是示出根据一个实施例的用于制造像素100的示例方法中的连续步骤的示意性的、局部横截面视图。

[0083] 图6是沿着图1所示的AA平面的横截面视图,示出了在半导体衬底601的顶面601T的一侧上的离子注入步骤以及层603涂覆半导体衬底601的顶面601T的外延步骤之后获得的结构。

[0084] 半导体衬底601例如是晶片或一片晶片,图6仅示出了其部分。通过示例的方式,衬底601由半导体材料制成,诸如硅。例如,衬底601掺杂有第一导电类型,在此示例中为n型。

[0085] 在所示的示例中,在离子注入步骤期间,形成阱605,该阱605从衬底601的顶表面601T竖直延伸穿过衬底601的厚度直至小于衬底601的厚度的深度。通过示例的方式,在半导体衬底601由硅制成的情况下,经由注入硼离子(B^{3+})实施阱605从而实现p型掺杂。

[0086] 层603然后通过半导体衬底601的顶面601T上外延生长并与其接触而形成。层603掺杂有第二导电类型,在此示例中为p型。通过示例的方式,层603由与半导体衬底601相同的材料制成。

[0087] 例如,半导体衬底601和层603共同形成图1至图3所示的像素100的半导体衬底100。

[0088] 图7是沿图1所示的平面AA的横截面视图,其示出了用于制造外围绝缘沟槽107和绝缘沟槽111的后续步骤。在图7所示的示例中,绝缘沟槽111与阱605邻接。

[0089] 图8是沿图1所示的平面BB的横截面视图,其示出了在衬底101的顶面101T的一侧处的后续离子注入步骤。

[0090] 特别地,在所示的示例中,在离子注入步骤期间,形成与从衬底101的顶面101T竖直延伸穿过衬底101的厚度的区117相对应的阱。更确切地,在此示例中,区117从面101T竖直延伸直至小于层603的厚度的深度。

[0091] 图9是根据图1所示的平面AA的用于实施电荷收集区域113和119(在图9中不可见)的后续步骤的横截面视图。

[0092] 电荷收集区域113和119例如通过位于衬底101的顶面101T的一侧上的离子注入来实施。

[0093] 图10是沿图1所示的平面BB的用于实施转移栅极121的后续步骤的横截面视图。

[0094] 例如,栅极121是沉积涂覆衬底101的顶面101T的一层的步骤结束时获得的,随后是光刻和蚀刻的步骤。

[0095] 已经描述了各种实施例和变型。本领域技术人员将理解,这些实施例的某些特征可以被组合并且本领域技术人员将容易地想到其它变型。特别地,本领域技术人员将能够根据本公开将所描述的实施例适配到像素,该像素每个包括与图1至图5中所示的数量不同数量的第一光敏区域。特别地,本领域技术人员将能够实施每个包括叠加在单个第一光敏区域上的第二光敏区域的像素。在这种情况下,可以省略绝缘沟槽109,并且可以提供单个竖直转移栅极。本领域技术人员将进一步能够实施每个包括叠加在两个第一光敏区域上的第二光敏区域的像素,该两个第一光敏区域在这种情况下通过例如单个绝缘沟槽隔开。

[0096] 此外,实施例不限于上述示例几何形状。特别地,像素、光敏区域和绝缘沟槽可以具有不同于本描述中所示的几何形状。

[0097] 此外,尽管上面已经描述了其中像素包括与三个电荷收集区域119相关联的三个平面栅极121的实施例,本领域技术人员将能够取决于应用提供许多栅极121和区域119,例如旨在采集深度图像的一个栅极121和一个区域119,和旨在抗闪烁的一个栅极121和一个区域119。

[0098] 最后,本文描述的实施例和变型的实际实施方式在本领域技术人员基于本文所提供的功能描述的能力范围内。特别地,本领域技术人员将能够根据上述指示将关于图6至图10描述的方法适配为实施实施图4和图5的像素200。

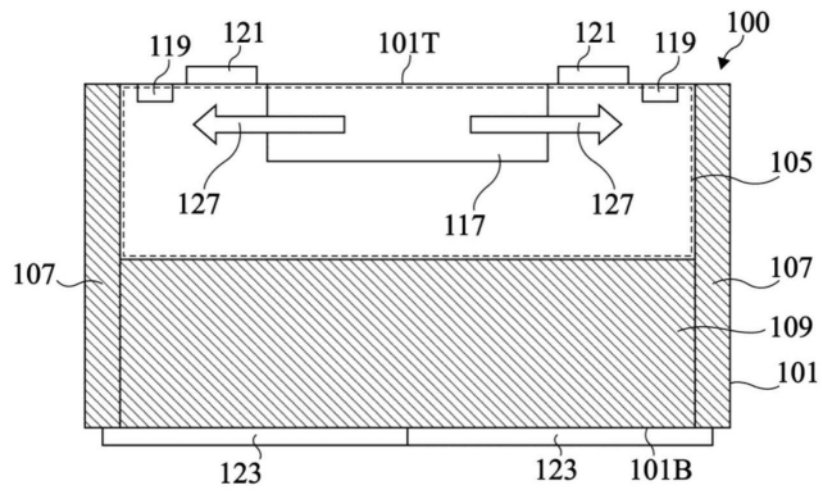


图3

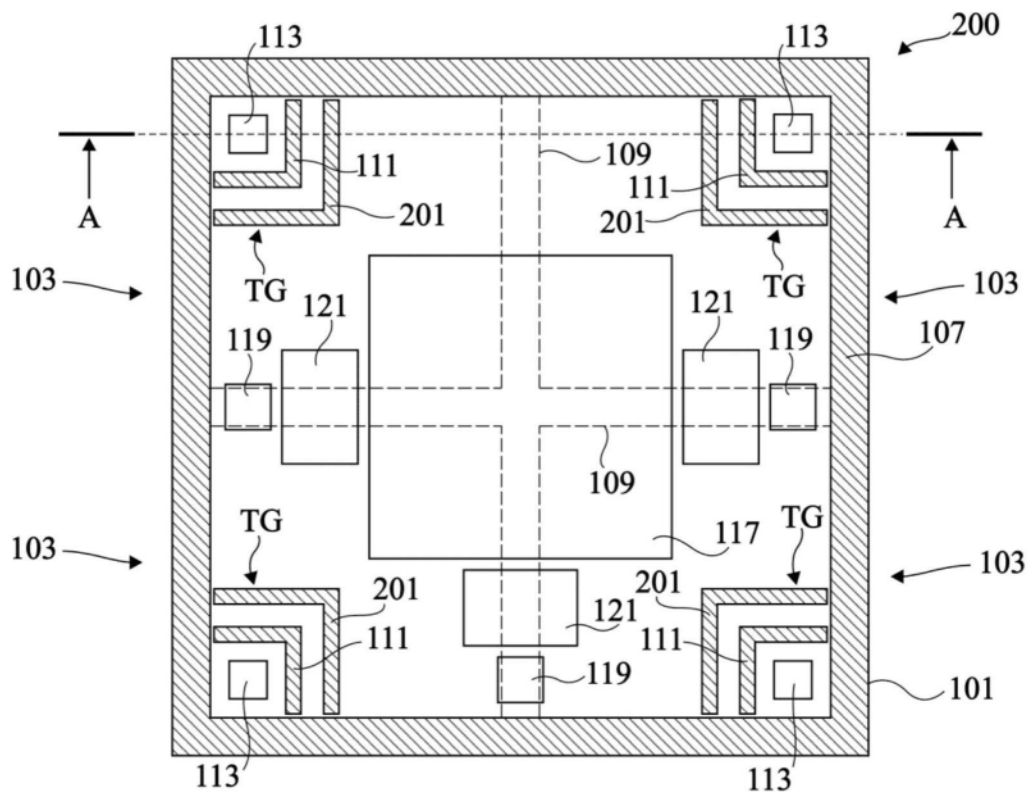


图4

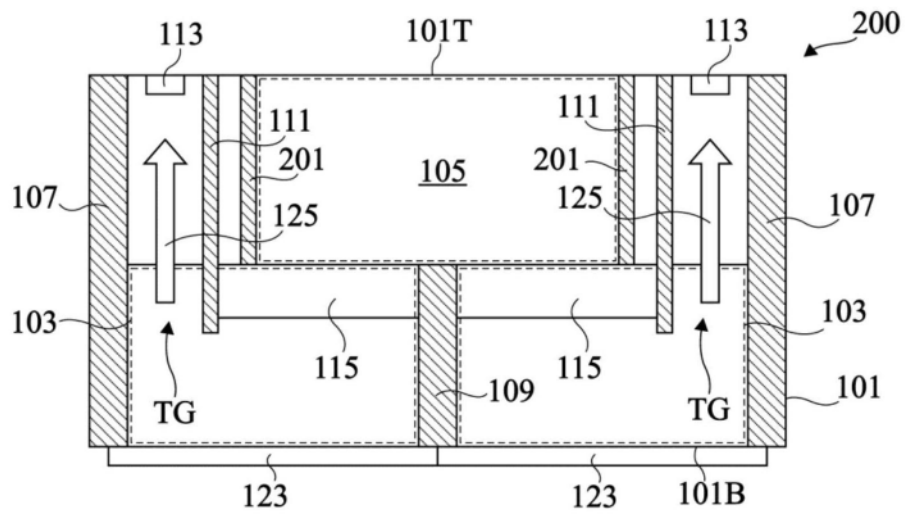


图5

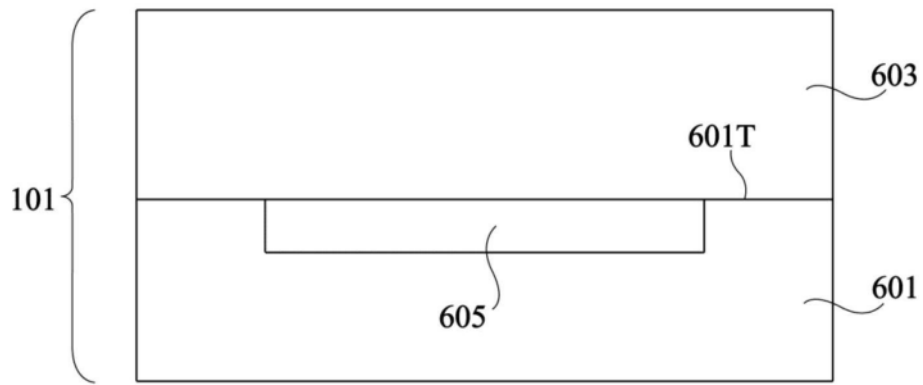


图6

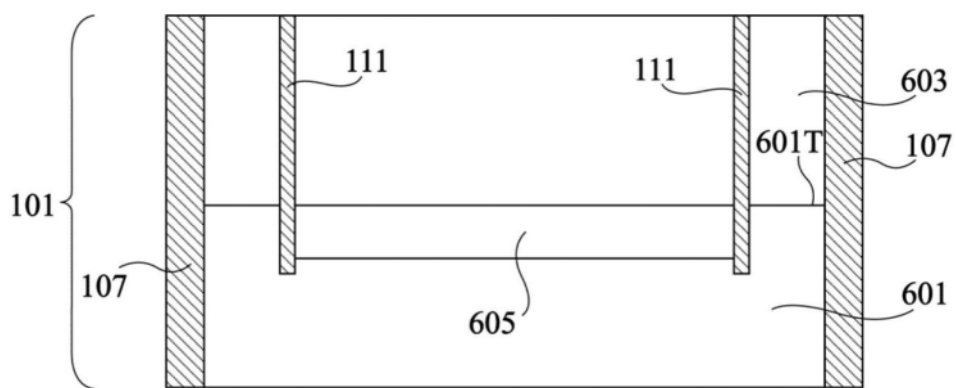


图7

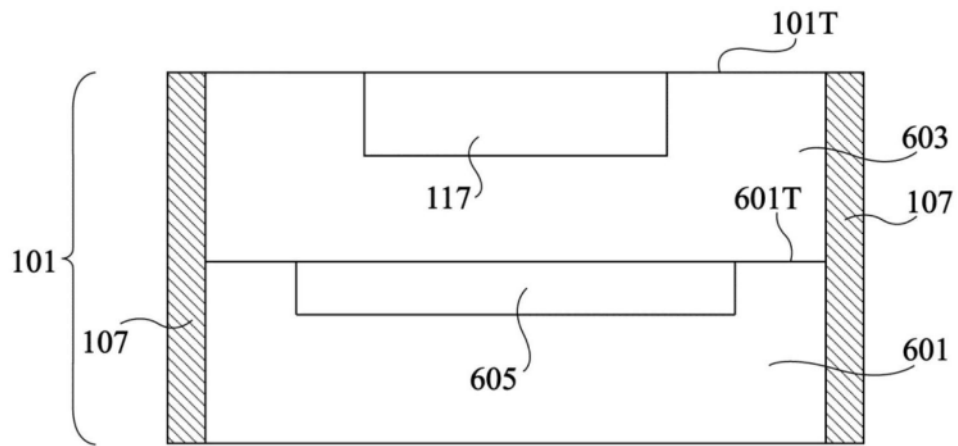


图8

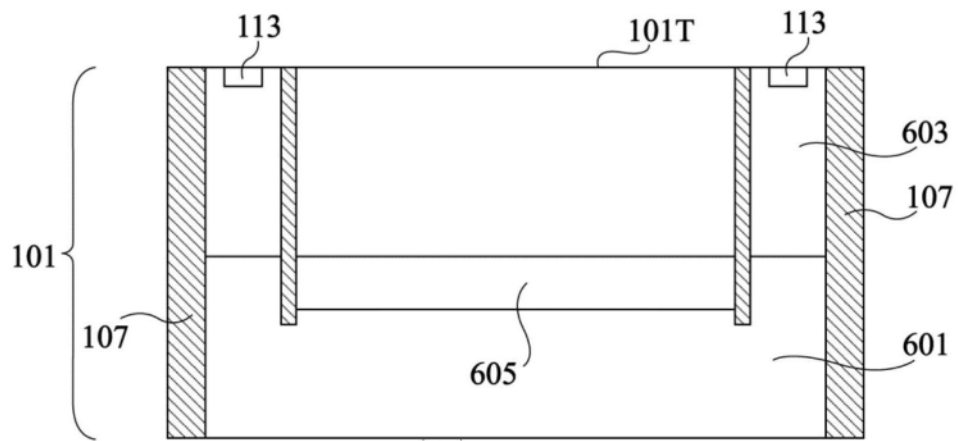


图9

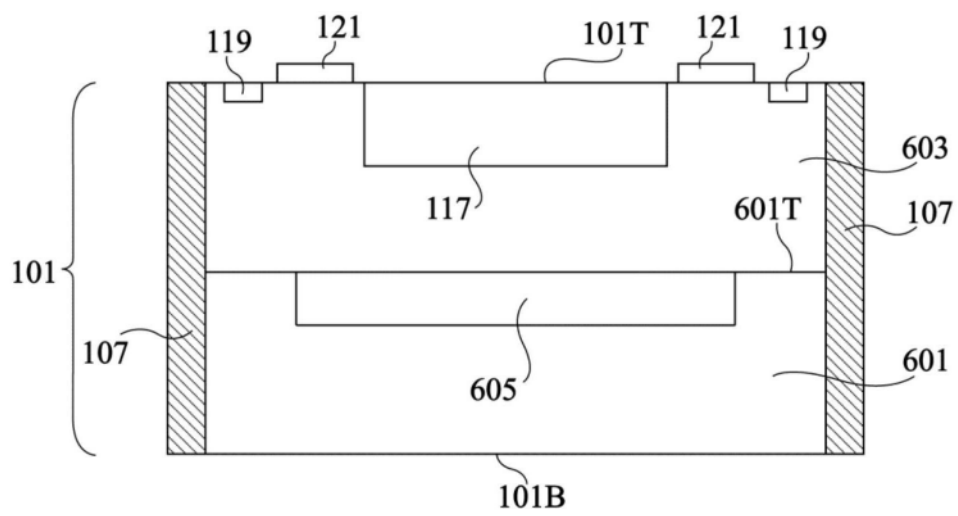


图10