

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2021年12月16日(16.12.2021)

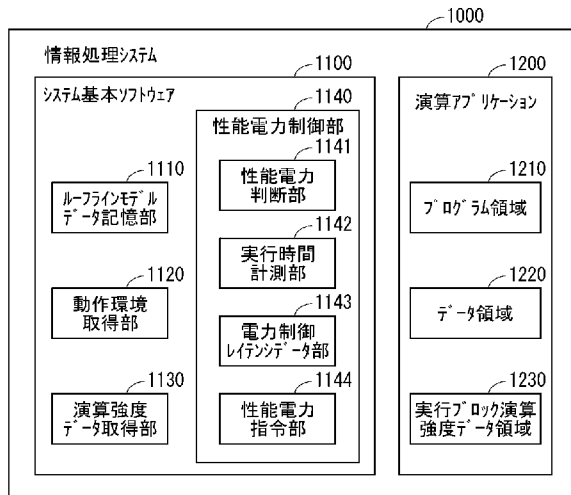


(10) 国際公開番号  
**WO 2021/250737 A1**

- (51) 国際特許分類:  
*G06F 9/50* (2006.01)
- (21) 国際出願番号: PCT/JP2020/022517
- (22) 国際出願日: 2020年6月8日(08.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 北川 涼太 (KITAGAWA Ryota); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小笠
- 原 克久 (OGASAWARA Katsuhisa); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 吉竹 英俊, 外 (YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: INFORMATION PROCESSING SYSTEM AND INFORMATION PROCESSING SYSTEM CONTROL METHOD

(54) 発明の名称: 情報処理システム及び情報処理システムの制御方法



- 1000 Information processing system
- 1100 System basic software
- 1110 Roofline model data storage unit
- 1120 Operating environment acquisition unit
- 1130 Computational intensity data acquisition unit
- 1140 Performance power control unit
- 1141 Performance power determination unit
- 1142 Execution time measurement unit
- 1143 Power control latency data unit
- 1144 Performance power command unit
- 1200 Computational application
- 1210 Program region
- 1220 Data region
- 1230 Execution block computational intensity data region

(57) Abstract: The present invention enables performance power control adapted to the algorithms of computational applications, and prevents delays in performance power control. This information processing system comprises an execution block computational intensity data region, a roofline model data storage unit, a computational intensity data acquisition unit, and a performance power control unit. The execution block computational intensity data region retains computational intensity data of each execution block constituting a computational application that runs in the operating environment of a computer system provided with a main storage device and a processor equipped with a power-saving mechanism. The roofline model data storage unit retains a roofline model that matches the operating frequency and the number of cores of the processor and the operating frequency of the main storage device. The computational intensity data acquisition unit acquires the computational intensity data of each execution block. The performance power control unit controls the

WO 2021/250737 A1

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

— 国際調査報告 (条約第21条(3))

---

operating frequency and the number of cores of the processor and the operating frequency of the main storage device on the basis of the roofline model and the computational intensity data of each execution block.

(57) 要約 : 演算アプリケーションのアルゴリズムに適応した性能電力制御を可能にし、性能電力制御の遅れを防ぐ。情報処理システムは、実行ブロック演算強度データ領域、ルーフラインモデルデータ記憶部、演算強度データ取得部及び性能電力制御部を備える。実行ブロック演算強度データ領域は、省電力機構を備えるプロセッサ及び主記憶装置を備える計算機システムの動作環境で動作する演算アプリケーションを構成する各実行ブロックの演算強度データを保持する。ルーフラインモデルデータ記憶部は、プロセッサの動作周波数及びコア数並びに主記憶装置の動作周波数に対応するルーフラインモデルを保持する。演算強度データ取得部は、各実行ブロックの演算強度データを取得する。性能電力制御部は、ルーフラインモデル及び各実行ブロックの演算強度データに基づいてプロセッサの動作周波数及びコア数並びに主記憶装置の動作周波数を制御する。

## 明 細 書

発明の名称： 情報処理システム及び情報処理システムの制御方法

### 技術分野

[0001] 本開示は、情報処理システム及び情報処理システムの制御方法に関する。

### 背景技術

[0002] 近年、組込みシステムに実装されたプロセッサにおいては、アプリケーションの複雑化及び高速化への需要の高まりに伴い、ひとつのコアあたりの動作周波数を高くすること、マルチコア化、グラフィックス処理ユニット（GPU；Graphics Processing Unit）、専用アクセラレータの内蔵等により複数の演算器を搭載すること等により、性能の向上が図られている。

[0003] また、消費電力を減らす仕組みのひとつである動的電圧周波数制御（DVFS；Dynamic Voltage and Frequency Scaling）機能を有するプロセッサも開発されている。DVFS機能は、数種類の動作周波数及び動作電圧をプロセッサに持たせてプロセッサの動作周波数及び動作電圧をプロセッサの負荷状況に応じて変更する省電力機構により実現される。

[0004] 組込みシステムに実装されたプロセッサの進化に伴って、スループットは大きくなってきている。一方で、組込みシステムにおいては、放熱制御及び装置の小型化が要件として求められる。このため、アプリケーションの性能要件を満たしながらプロセッサの省電力制御を行うことが求められている。

[0005] 従来から、プロセッサの省電力制御として、プロセッサの負荷状況を監視し、プロセッサの負荷状況が高負荷である場合には高い周波数でプロセッサを動作させ、プロセッサの負荷状況が低負荷である場合には低い周波数でプロセッサを動作させる制御方法が知られている。特許文献1は、メモリ性能に関する統計情報に基づいて、メモリ帯域幅が性能面において支配的である場合に演算能力を下げる制御を行う方法を提案する。特許文献2は、中央処理ユニット（CPU；Central Processing Unit）の演算量とキャッシュメモリへのアクセス量とを比較し、後者が支配的である場合にプロセッサの省電

力機構を有効にする方法を提案する。

## 先行技術文献

## 特許文献

[0006] 特許文献1：国際公開第2008/120274号

特許文献2：特開2008-40734号公報

## 発明の概要

### 発明が解決しようとする課題

[0007] 特許文献1により提案される方法には、メモリアクセスに関する統計情報がプロセッサの内部のみにおいて利用されるため、演算アプリケーションのアルゴリズムに適応した高い精度を有する電力性能制御を行うことができないという問題点がある。また、当該方法には、演算アプリケーションの演算強度が利用されないため、省電力制御に遅れが生じ、特に、高い演算性能が必要である場合にプロセッサの周波数が低いままとなるという問題点がある。また、当該方法には、プロセッサの動作周波数及び命令発行幅の制御が行われるに留まるため、マルチコアのオン／オフ制御及び主記憶装置の動作周波数の制御が行われず、十分な省電力制御を行うことができないという問題点がある。

[0008] 特許文献2により提案される方法には、計算機により実行される実行コードに関して、CPUの実行比率が高い領域においては性能電力制御が行われないため、主記憶装置において必要以上の電力が消費されるという問題点がある。

[0009] 本開示は、これらの問題点に鑑みてなされた。本開示は、演算アプリケーションのアルゴリズムに適応した性能電力制御を可能にすることを目的とする。また、本開示は、性能電力制御の遅れを防ぐことを目的とする。

### 課題を解決するための手段

[0010] 本開示は、情報処理システムに関する。

[0011] 情報処理システムは、実行ブロック演算強度データ領域と、ルーフライン

モデルデータ記憶部と、演算強度データ取得部と、性能電力制御部と、を備える。

[0012] 実行ブロック演算強度データ領域は、省電力機構を備えるプロセッサ及び主記憶装置を備える計算機システムの動作環境で動作する演算アプリケーションを構成する各実行ブロックの演算強度データを保持する。

[0013] ルーフラインモデルデータ記憶部は、プロセッサの動作周波数及びコア数並びに主記憶装置の動作周波数に対応するルーフラインモデルを保持する。

[0014] 演算強度データ取得部は、実行ブロック演算強度データ領域から各実行ブロックの演算強度データを取得する。

[0015] 性能電力制御部は、ルーフラインモデル及び各実行ブロックの演算強度データに基づいてプロセッサの動作周波数及びコア数並びに主記憶装置の動作周波数の制御を行う。

[0016] 本開示は、情報処理システムの制御方法にも向けられる。

### 発明の効果

[0017] 本開示によれば、演算アプリケーションを構成する各実行ブロックの演算強度データに基づいて性能電力制御が行われる。これにより、演算アプリケーションのアルゴリズムに適応した性能電力制御が可能になる。また、予め定義された演算強度データに基づいてフィードフォワード的に性能電力制御が行われる。これにより、性能電力制御の遅れを防ぐことができる。

[0018] 本開示の目的、特徴、局面及び利点は、以下の詳細な説明と添付図面とによって、より明白となる。

### 図面の簡単な説明

[0019] [図1]実施の形態1の情報処理システムのハードウェア構成を模式的に図示するブロック図である。

[図2]実施の形態1の情報処理システムの機能構成を模式的に図示するブロック図である。

[図3]実施の形態1の情報処理システムにインストールされたシステム基本ソフトウェアの動作の流れを図示するフローチャートである。

[図4]実施の形態1の情報処理システムに備えられるルーフライン記憶部に保持されるルーフラインモデルの例を図示する図である。

[図5]実施の形態1の情報処理システムに備えられるルーフライン記憶部に保持されるルーフラインモデルを構成する、プロセッサの選択可能な動作周波数及びコア数の組み合わせと浮動小数点演算の性能の上限値との関係を図示する図である。

[図6]実施の形態1の情報処理システムに備えられるルーフライン記憶部に保持されるルーフラインモデルを構成する、主記憶装置の選択可能な動作周波数と帯域幅との関係を図示する図である。

[図7]実施の形態1の情報処理システムに備えられる実行ブロック演算強度データ領域に保持される情報の例を図示する図である。

[図8]実施の形態1の情報処理システムに備えられる性能電力判断部の動作の流れを図示するフローチャートである。

[図9]実施の形態1の情報処理システムにより行われる、実行ブロックがメモリインテンシブである場合の省電力制御の方針の例を図示する図である。

[図10]実施の形態1の情報処理システムにより行われる、実行ブロックが演算インテンシブである場合の省電力制御の方針の例を図示する図である。

[図11]実施の形態1の情報処理システムにおける、各制御を行うのにかかるオーバヘッド時間の例を図示する図である。

[図12]実施の形態1の情報処理システムに備えられる電力制御レイテンシデータ部及び性能電力指令部の動作の手順を図示する図である。

[図13]実施の形態2の情報処理システムに備えられる性能電力判断部の動作の流れを図示するフローチャートである。

[図14]実施の形態2の情報処理システムにより行われる、実行ブロックがメモリインテンシブである場合の省電力制御の方針の例を図示する図である。

[図15]実施の形態2の情報処理システムにより行われる、実行ブロックがメモリインテンシブである場合の省電力制御の方針の例を図示する図である。

[図16]実施の形態2の情報処理システムにより行われる、実行ブロックが演

算インテンシブである場合の省電力制御の方針の例を図示する図である。

[図17]実施の形態2の情報処理システムにより行われる、実行ブロックが演算インテンシブである場合の省電力制御の方針の例を図示する図である。

### 発明を実施するための形態

[0020] <実施の形態1>

図1は、実施の形態1の情報処理システムのハードウェア構成を模式的に図示するブロック図である。

[0021] 図1に図示されるように、実施の形態1の情報処理システム1000は、計算機システム10を備える。

[0022] 図1に図示されるように、計算機システム10には、プロセッサ11、主記憶装置12及び補助記憶装置13を備える。

[0023] プロセッサ11は、中央処理ユニット(CPU; Central Processing Unit)、グラフィックス処理ユニット(GPU; Graphics Processing Unit)、デジタル信号プロセッサ(DSP; Digital Signal Processor)等を含む。プロセッサ11は、省電力機構を備える。省電力機構は、プロセッサ11の動作周波数及び/又はコア数を動的に変更する。

[0024] 主記憶装置12は、ランダムアクセスメモリ(RAM; Random Access Memory)等である。

[0025] 補助記憶装置13は、ハードディスクドライブ、ソリッドステートドライブ、RAMディスク等である。

[0026] 図2は、実施の形態1の情報処理システムの機能構成を模式的に図示するブロック図である。

[0027] 図2に図示されるように、情報処理システム1000には、システム基本ソフトウェア1100及び演算アプリケーション1200がインストールされる。

[0028] システム基本ソフトウェア1100及び演算アプリケーション1200は、計算機システム10の動作環境で動作する。システム基本ソフトウェア1100は、オペレーティング・システムであってもよい。演算アプリケーション

ョン1200のアルゴリズムには制約が存在しない。当該アルゴリズムは、定周期で実行される自動運転車の車両制御を行うアルゴリズム等である。

- [0029] 図2に図示されるように、情報処理システム1000は、ルーフラインモデルデータ記憶部1110、動作環境取得部1120、演算強度データ取得部1130及び性能電力制御部1140を備える。これらの要素は、補助記憶装置13から主記憶装置12にロードされたシステム基本ソフトウェア1100をプロセッサ1が実行することにより構成される。
- [0030] ルーフラインモデルデータ記憶部1110は、計算機システム10に関する性能情報を保持する。
- [0031] 動作環境取得部1120は、計算機システム10の現在の動作環境を取得する。
- [0032] 演算強度データ取得部1130は、下述する実行ブロック演算強度データ領域1230から演算アプリケーション1200を構成する各実行ブロックの演算強度データを取得する。
- [0033] 性能電力制御部1140は、保持された性能情報及び取得された各実行ブロックの演算強度データに基づいて性能電力制御を行う。
- [0034] 実施の形態1においては、保持された計算機システム10に関する性能情報は、プロセッサ11の動作周波数及びコア数並びに主記憶装置12の動作周波数に対応するルーフラインモデルを含む。また、取得された計算機システム10の現在の動作環境は、プロセッサ11の現在の動作周波数及びコア数並びに主記憶装置12の現在の動作周波数を含む。また、性能情報及び各実行ブロックの演算強度データに基づいて性能電力制御を行うことは、性能情報に含まれるルーフラインモデル及び各実行ブロックの演算強度データに基づいてプロセッサ11の動作周波数及びコア数並びに主記憶装置12の動作周波数の制御を行うことを含む。計算機システム10の現在の動作環境を用いることは、計算機システム10の現在の動作環境に含まれるプロセッサ11の現在の動作周波数及びコア数並びに主記憶装置12の現在の動作周波数を用いることを含む。

- [0035] 性能電力制御部 1 1 4 0 は、性能電力判断部 1 1 4 1、実行時間計測部 1 1 4 2、電力制御レイテンシデータ部 1 1 4 3 及び性能電力指令部 1 1 4 4 を備える。
- [0036] 性能電力判断部 1 1 4 1 は、保持されるループラインモデル及び各実行ブロックの演算強度データから性能電力制御の方針を決定する。
- [0037] 実行時間計測部 1 1 4 2 は、各実行ブロックの実行時間を計測する。
- [0038] 電力制御レイテンシデータ部 1 1 4 3 は、性能電力制御を性能電力指令部 1 1 4 4 に行わせた場合にかかるオーバヘッド時間から性能電力制御を性能電力指令部 1 1 4 4 に行わせるか否かを判定する。
- [0039] 性能電力指令部 1 1 4 4 は、決定された性能電力制御の方針に従って制御指令を出力する。性能電力指令部 1 1 4 4 は、電力制御レイテンシデータ部 1 1 4 3 により性能電力制御を性能電力指令部 1 1 4 4 に行わせると判定された場合に、制御指令を出力する。
- [0040] 実施の形態 1 においては、決定される性能電力制御の方針は、プロセッサ 1 1 の動作周波数及びコア数並びに主記憶装置 1 2 の動作周波数を含む。また、決定された性能電力制御の方針に従うことは、決定された性能電力制御の方針に含まれるプロセッサ 1 1 の動作周波数及びコア数並びに主記憶装置 1 2 の動作周波数に従うことを含む。また、制御指令を出力することは、プロセッサ 1 1 の動作周波数及びコア数並びに主記憶装置 1 2 の動作周波数の制御を行うために行われる。
- [0041] 図 2 に図示されるように、情報処理システム 1 0 0 0 は、プログラム領域 1 2 1 0、データ領域 1 2 2 0 及び実行ブロック演算強度データ領域 1 2 3 0 を備える。これらの要素は、主記憶装置 1 2 及び補助記憶装置 1 3 の少なくとも一方に確保される。
- [0042] プログラム領域 1 2 1 0 は、演算アプリケーション 1 2 0 0 を構成するプログラムを保持する。
- [0043] データ領域 1 2 2 0 は、演算アプリケーション 1 2 0 0 を構成する変数、配列等を保持する。

- [0044] 実行ブロック演算強度データ領域1230は、演算アプリケーション1200を構成する各実行ブロックの演算強度データ及び各実行ブロックのデッドライン時間を保持する。各実行ブロックのデッドライン時間は、各実行ブロックの処理を終了しなければならない時間を示す。
- [0045] 情報処理システム1000においては、演算アプリケーション1200を構成する各実行ブロックの演算強度データに基づいて性能電力制御が行われる。これにより、演算アプリケーション1200のアルゴリズムに適応した性能電力制御が可能になる。
- [0046] また、情報処理システム1000においては、予め定義された演算強度データに基づいてフィードフォワード的に性能電力制御が行われる。これにより、性能電力制御の遅れを防ぐことができる。
- [0047] また、情報処理システム1000においては、主記憶装置12の動作周波数の制御が行われる。これにより、主記憶装置12により必要以上の電力が消費されることを抑制することができる。
- [0048] 図3は、実施の形態1の情報処理システムにインストールされたシステム基本ソフトウェアの動作の流れを図示するフローチャートである。
- [0049] システム基本ソフトウェア1100は、図3に図示されるステップS100からS105までを実行する。
- [0050] ステップS100においては、動作環境取得部1120が、計算機システム10の現在の動作環境を取得する。動作環境取得部1120は、その際に、プロセッサ11の現在の動作周波数及びコア数並びに主記憶装置12の現在の動作周波数を取得する。
- [0051] 続くステップS101においては、動作環境取得部1120が、取得した計算機システム10の現在の動作環境に対応するルーフラインモデルを選択する。
- [0052] ステップS100及びS101によれば、計算機システム10の現在の動作環境に対応するルーフラインモデルを参照することができるようになる。
- [0053] 続くステップS102においては、演算強度データ取得部1130が、次

に実行される実行ブロックの演算強度データを取得する。

[0054] 続くステップS103においては、性能電力制御部1140が、選択されたルーフラインモデルと取得された実行ブロックの演算強度データとを照合する。また、性能電力制御部1140が、計算機システム10の動作環境を選択する。性能電力制御部1140は、その際に、プロセッサ11の動作周波数及びコア数並びに主記憶装置12の動作周波数を選択する。

[0055] 続くステップS104においては、性能電力制御部1140が、計算機システム10の動作環境を現在の動作環境からステップS103において選択された動作環境に変更した場合に制御遅延により実行ブロックの実行時間がデッドライン時間を超過するか否かを判定する。当該制御遅延は、計算機システム10の動作環境を現在の動作環境から選択された動作環境に変更した場合に発生するオーバヘッド時間により発生する。

[0056] 性能電力制御部1140は、実行ブロックの実行時間がデッドライン時間を超過すると判定した場合は、ステップS105を実行せずに動作を終了する。一方、性能電力制御部1140は、実行ブロックの実行時間がデッドライン時間を超過しないと判定した場合は、ステップS105を実行してから動作を終了する。

[0057] ステップS105においては、性能電力制御部1140が、性能電力制御を行う。性能電力制御部1140は、その際に、プロセッサ11の動作周波数及びコア数並びに主記憶装置12の動作周波数を、選択されたそれらに設定する。

[0058] 図4は、実施の形態1の情報処理システムに備えられるルーフライン記憶部に保持されるルーフラインモデルの例を図示する図である。当該図においては、演算強度が横軸にとられている。また、浮動小数点演算の性能が縦軸にとられている。

[0059] ルーフラインモデルは、ひとつの計算機システム10に対してひとつ存在し、ひとつの計算機システム10に備えられるプロセッサ11及び主記憶装置12に応じた内容を有する。ルーフラインモデルは、プロセッサ11の選

択可能な演算性能の各々及び主記憶装置 1 2 の選択可能なメモリ性能の各々について、演算強度に対する浮動小数点演算の性能の上限値を規定する。ルーフラインモデルが、浮動小数点演算の性能以外の性能の上限値を規定してもよい。プロセッサ 1 1 の演算性能は、プロセッサ 1 1 の動作周波数及びコア数の組み合わせ等である。主記憶装置 1 2 のメモリ性能は、主記憶装置 1 2 の動作周波数等である。プロセッサ 1 1 の演算性能がプロセッサ 1 1 の動作周波数及びコア数の組み合わせであり、主記憶装置 1 2 のメモリ性能が主記憶装置 1 2 の動作周波数である場合は、プロセッサ 1 1 の動作周波数及びコア数の組み合わせ並びに主記憶装置 1 2 の動作周波数に対応するルーフラインデータを参照することができる。図 4 に図示される例においては、ルーフラインモデルは、プロセッサ 1 1 の選択可能な動作周波数「2.6GHz」、「2.4GHz」、「1.8GHz」及び「1.0GHz」の各々並びに主記憶装置 1 2 の選択可能な動作周波数に対応する帯域幅「25.4GB/s」、「16.4GB/s」及び「10.6GB/s」の各々について、演算強度に対する浮動小数点演算の性能の上限値を規定する。ルーフラインモデルによれば、演算アプリケーション 1 2 0 0 を構成する実行ブロックの演算強度から、当該実行ブロックが実行される際の浮動小数点演算の性能においてプロセッサ 1 1 の演算性能及び主記憶装置 1 2 のメモリ性能のいずれが支配的であるのかを視覚的に判別することができる。ルーフラインモデルの詳細は、Samuel Williams, Andrew Waterman and David Patterson, "Roofline: An Insightful Visual Performance Model for Floating-Point Programs and Multicore, (2009)"に記載されている。

[0060] 図 5 は、実施の形態 1 の情報処理システムに備えられるルーフライン記憶部に保持されるルーフラインモデルを構成する、プロセッサの選択可能な動作周波数及びコア数の組み合わせと浮動小数点演算の性能の上限値との関係を図示する図である。

[0061] 上述したように、ルーフラインモデルは、プロセッサ 1 1 の選択可能な演算性能の各々について、演算強度に対する浮動小数点演算の性能の上限値を規定する。ただし、プロセッサ 1 1 の選択可能な演算性能の各々について規

定される演算強度に対する浮動小数点演算の性能の上限値においては、浮動小数点演算の性能の上限値が演算強度に依存しない。このため、プロセッサ 1 1 の選択可能な演算性能の各々について浮動小数点演算の性能の上限値を規定することにより、プロセッサ 1 1 の選択可能な演算性能の各々について演算強度に対する浮動小数点演算の性能の上限値を規定することができる。例えば、図 5 に図示される、プロセッサ 1 1 の選択可能な動作周波数及びコア数の組み合わせと浮動小数点演算の性能の上限値との関係により、プロセッサ 1 1 の選択可能な動作周波数及びコア数の組み合わせの各々について演算強度に対する浮動小数点演算の性能の上限値を規定することができる。

[0062] 図 6 は、実施の形態 1 の情報処理システムに備えられるルーフライン記憶部に保持されるルーフラインモデルを構成する、主記憶装置の選択可能な動作周波数と帯域幅との関係を図示する図である。

[0063] 上述したように、ルーフラインモデルは、主記憶装置 1 2 の選択可能なメモリ性能の各々について、演算強度に対する浮動小数点演算の性能の上限値を規定する。ただし、主記憶装置 1 2 の帯域幅は、主記憶装置 1 2 の動作周波数と 1 対 1 の関係を有する。このため、選択可能な帯域幅の各々について演算強度に対する浮動小数点演算の性能の上限値を規定し、図 6 に図示される、主記憶装置の選択可能な動作周波数と帯域幅との関係を準備することにより、主記憶装置 1 2 の選択可能な動作周波数の各々について演算強度に対する浮動小数点演算の性能の上限値を規定することができる。

[0064] 図 7 は、実施の形態 1 の情報処理システムに備えられる実行ブロック演算強度データ領域に保持される情報の例を図示する図である。

[0065] 図 7 に図示されるように、実行ブロック演算強度データ領域 1 2 3 0 は、各実行ブロックの実行アドレス、各実行ブロックの演算強度データ及び各実行ブロックのデッドライン時間を保持する。

[0066] 図 7 に図示される情報によれば、より細かい粒度で性能及び消費電力を考慮した性能電力制御を行うことができる。また、ユーザが演算アプリケーション 1 2 0 0 のソースコード・ファイルに手を加えることなく、所望の実行

ブロックの演算強度データを取得することができる。

- [0067] 図7に図示される情報が作成される際には、予め、実行ブロックを特定することができる情報と演算強度データ及びデッドライン時間とが対をなすデータを含むファイルが作成される。当該ファイルは、演算アプリケーション1200のソースコード・ファイルとは別のファイルとして作成される。実行ブロックを特定することができる情報は、実行ブロックに相当する関数の名称等である。
- [0068] 続いて、コンパイルが行われて演算アプリケーション1200のソースコード・ファイル及び作成されたファイルから演算アプリケーション1200の実行形式ファイルが作成される。作成される実行形式ファイルに実行可能及びリンク可能フォーマット（ELF；Executable and Linkable Format）が採用される場合は、各実行ブロックの演算強度データ専用のセクションが実行形式ファイルに実行ブロック演算強度データ領域1230として新設されてもよい。この場合は、新設されたセクションの情報がELF・ヘッダ及びセクション・ヘッダに追加される。
- [0069] コンパイルが行われる際には、実行ブロックを特定することができる情報からプログラム領域1210内の対応する機械語部分が特定され、特定された機械語部分にソフトウェア割込みを発生させる命令が挿入される。ソフトウェア割込みを発生させる命令は、プロセッサ11がx86系プロセッサである場合は、INT3命令等である。ソフトウェア割込みを発生させる命令は、元の命令の最初のバイトをブレークポイントとして置き換えることができる。また、特定された機械語部分の実行アドレスが取得され、取得された実行アドレスが実行ブロック演算強度データ領域1230に追加される。
- [0070] これらとは別に、演算アプリケーション1200が実行される前に、性能電力制御部1140に含まれる一連の処理を実行する割込みハンドラが、割込み記述子テーブル内の対応する割込み番号に登録される。
- [0071] これらにより、システム基本ソフトウェア1100により演算アプリケーション1200が主記憶装置12にロードされプロセッサ11により実行さ

れると、各ブロックに差し掛かるたびにソフトウェア割込みが発生する。演算アプリケーション1200のロード及び実行は、UNIX（登録商標）環境においてはexecメモリにより開始される。例えば、ソフトウェア割込みが発生させる命令がINT3命令である場合は、SIGTRAPシグナルがシステム基本ソフトウェア1100に通知される。システム基本ソフトウェア1100においては、ソフトウェア割込みが発生するのに連動して、予め割込み記述子テーブル内に登録されていた割込みハンドラが起動させられ、性能電力制御部1140に含まれる一連の処理が実行される。このとき、演算強度データ取得部1130は、各実行ブロックの実行アドレスに基づいて各実行ブロックの演算強度データ及び各実行ブロックのデッドライン時間を取得する。演算強度データ取得部1130は、その際に、現在実行されているアドレスから、主記憶装置12にロードされた、当該アドレスに対応する実行ブロックを特定し、特定した実行ブロックの演算強度データ及び当該実行ブロックのデッドライン時間を取得する。また、演算強度データ取得部1130は、取得した各実行ブロックの演算強度データ及び各実行ブロックのデッドライン時間を性能電力判断部1141に渡す。

[0072] 図8は、実施の形態1の情報処理システムに備えられる性能電力判断部の動作の流れを図示するフローチャートである。

[0073] 性能電力制御部1140は、ルーフラインモデルデータ記憶部1110から現在の動作環境に対応するルーフラインモデルを受け取り、演算強度データ取得部1130から次に実行される実行ブロックの演算強度データ及びデッドライン時間を受け取った後に、図8に図示されるステップS200からS207までを実行する。

[0074] ステップS200においては、性能電力判断部1141が、受け取ったルーフラインモデル上に受け取った実行ブロックの演算強度データをプロットする。また、性能電力判断部1141が、ルーフラインモデルと実行ブロックの演算強度データとを照合する。

[0075] 続くステップS201においては、性能電力判断部1141が、当該実行

ブロックがメモリインテンシブであるか否かを判定する。性能電力判断部 1141 は、主記憶装置 12 のメモリ性能及びプロセッサ 11 の演算性能のいずれが演算アプリケーション 1200 の性能面における律速要因であるのかを判定し、主記憶装置 12 のメモリ性能が律速要因であると判定した場合は、当該実行ブロックがメモリインテンシブであると判定し、プロセッサ 11 の演算性能が律速要因であると判定した場合は、当該実行ブロックがメモリインテンシブでない、すなわち演算インテンシブであると判定する。

[0076] 当該実行ブロックがメモリインテンシブであると判定された場合は、ステップ S202 から S204 までが実行される。当該実行ブロックがメモリインテンシブでないと判定された場合は、ステップ S205 から S207 までが実行される。

[0077] ステップ S202 においては、性能電力判断部 1141 が、主記憶装置 12 の動作周波数を上げる。性能電力判断部 1141 は、その際に、ルーフラインモデルデータ記憶部 1110 に保持されている主記憶装置 12 の選択可能な動作周波数から主記憶装置 12 の現在の動作周波数より大きい動作周波数を選択する。

[0078] 続くステップ S203 においては、性能電力判断部 1141 が、ルーフラインモデルを更新する。性能電力判断部 1141 は、その際に、選択した主記憶装置 12 の動作周波数に基づいてルーフラインモデルを更新する。

[0079] 続くステップ S204 においては、性能電力判断部 1141 が、ルーフラインモデルの勾配部とルーフラインモデルの平坦部との間の不連続点が演算強度上に位置するようにプロセッサ 11 の動作周波数及び／又はコア数を下げる。性能電力判断部 1141 は、その際に、ルーフラインモデルデータ記憶部 1110 に保持されているプロセッサ 11 の選択可能な動作周波数及び／又はコア数からプロセッサ 11 の現在の動作周波数及び／又はコア数より小さい動作周波数及び／又はコア数を選択する。

[0080] ルーフラインモデルの勾配部は、主記憶装置 12 のメモリ性能が律速要因となる演算強度の範囲に存在する。ルーフラインモデルの平坦部は、プロセ

ッサ 11 の演算性能が律速要因となる演算強度の範囲に存在する。

- [0081] ステップ S 205 においては、性能電力判断部 1141 が、プロセッサ 11 の動作周波数及び／又はコア数を上げる。性能電力判断部 1141 は、その際に、ルーフラインモデルデータ記憶部 1110 に保持されているプロセッサ 11 の選択可能な動作周波数及び／又はコア数からプロセッサ 11 の現在の動作周波数及び／又はコア数より大きい動作周波数及び／又はコア数を選択する。
- [0082] 続くステップ S 206 においては、性能電力判断部 1141 が、ルーフラインモデルを更新する。性能電力判断部 1141 は、その際に、選択したプロセッサ 11 の動作周波数及び／又はコア数に基づいてルーフラインモデルを更新する。
- [0083] 続くステップ S 207 においては、性能電力判断部 1141 が、ルーフラインモデルの勾配部とルーフラインモデルの平坦部との間の不連続点が演算強度上に位置するように主記憶装置 12 の動作周波数を下げる。性能電力判断部 1141 は、その際に、ルーフラインモデルデータ記憶部 1110 に保持されている主記憶装置 12 の選択可能な動作周波数から主記憶装置 12 の現在の動作周波数より小さい動作周波数を選択する。
- [0084] 図 9 は、実施の形態 1 の情報処理システムにより行われる、実行ブロックがメモリインテンシブである場合の省電力制御の方針の例を図示する図である。
- [0085] 図 9 に図示される省電力制御の方針の例においては、破線により図示される現在の主記憶装置 12 のメモリ性能及びプロセッサ 11 の演算性能に対して、実行ブロックが実行される際の性能の足かせとなる主記憶装置 12 のメモリ性能を実線勾配部により図示される主記憶装置 12 のメモリ性能に上げることが決定されて性能要求が満たされる。また、勾配部と平坦部との間の不連続点が演算強度上に位置するようにプロセッサ 11 の演算性能を実線平坦部により図示されるプロセッサ 11 の演算性能に下げることが決定されて省電力化が図られる。これらにより、主記憶装置 12 のメモリ性能及びプロ

セッサ 1 1 の演算性能が実線により図示される主記憶装置 1 2 のメモリ性能及びプロセッサ 1 1 の演算性能に移行するように主記憶装置 1 2 のメモリ性能及びプロセッサ 1 1 の演算性能が選択される。

[0086] 図 1 0 は、実施の形態 1 の情報処理システムにより行われる、実行ブロックが演算インテンシブである場合の省電力制御の方針の例を図示する図である。

[0087] 図 1 0 に図示される省電力制御の方針の例においては、破線により図示される現在の主記憶装置 1 2 のメモリ性能及びプロセッサ 1 1 の演算性能に対して、実行ブロックが実行される際の性能の足かせとなるプロセッサ 1 1 の演算性能を実線平坦部により図示されるプロセッサ 1 1 の演算性能に上げることが決定されて性能要求が満たされる。また、勾配部と平坦部との間の不連続点が演算強度上に位置するように主記憶装置 1 2 のメモリ性能を実線勾配部により図示される主記憶装置 1 2 のメモリ性能に下げることが決定されて省電力化が図られる。これらにより、主記憶装置 1 2 のメモリ性能及びプロセッサ 1 1 の演算性能が実線により図示される主記憶装置 1 2 のメモリ性能及びプロセッサ 1 1 の演算性能に移行するように主記憶装置 1 2 のメモリ性能及びプロセッサ 1 1 の演算性能が選択される。

[0088] 図 9 及び図 1 0 に図示される省電力制御の方針によれば、必要な性能要求を満たしながら、省電力化を行うことができる。

[0089] 図 1 1 は、実施の形態 1 の情報処理システムにおける、各制御を行うのにかかるオーバーヘッド時間の例を図示する図である。

[0090] 図 1 1 に図示される、各制御を行うのにかかるオーバーヘッド時間は、予め定義されている。当該各制御を行うのにかかるオーバーヘッド時間は、プロセッサ 1 1 の動作周波数、プロセッサ 1 1 のコアの ON/OFF 及び主記憶装置 1 2 の動作周波数の制御にかかるオーバーヘッド時間を含む。

[0091] 図 1 2 は、実施の形態 1 の情報処理システムに備えられる電力制御レイテンシデータ部及び性能電力指令部の動作の手順を図示する図である。

[0092] システム基本ソフトウェア 1 1 0 0 による性能電力制御に関する処理は、

図 1 2 に図示されるように、ソフトウェア割込みにより演算アプリケーションを構成する各実行ブロックが実行される前に実行される。

[0093] システム基本ソフトウェア 1 1 0 0 による性能電力制御に関する処理が実行された後には、実行時間計測部 1 1 4 2 は、当該処理の前後に現在の時刻を取得することにより、各実行ブロックの実行時間を計測することができる。電力制御レイテンシデータ部 1 1 4 3 は、計測された各実行ブロックの実行時間を保持する。また、電力制御レイテンシデータ部 1 1 4 3 は、計測された各実行ブロックの実行時間と、図 1 1 に図示される、各制御を行うのにかかるオーバヘッド時間と、から性能電力制御を行うか否かを判断する。実施の形態 1 においては、電力制御レイテンシデータ部 1 1 4 3 は、ひとつ前の周期における実行ブロックの実行時間及びオーバヘッド時間の合計が、演算強度データ取得部 1 1 3 0 により取得された当該実行ブロックのデッドライン時間を超えない場合は、当該実行ブロックについて性能電力制御を行う命令を性能電力指令部 1 1 4 4 に出力する。一方、電力制御レイテンシデータ部 1 1 4 3 は、そうでない場合は、当該実行ブロックについて性能電力制御を行わない命令を性能電力指令部 1 1 4 4 に出力する。

[0094] これにより、各実行ブロックのデッドライン時間を遵守しながら各実行ブロックについて性能電力制御を行うことができる。

[0095] <実施の形態 2>

以下では、実施の形態 2 が実施の形態 1 と異なる点が説明される。説明されない点については、実施の形態 1 において採用された構成が実施の形態 2 においても採用される。

[0096] 実施の形態 1 においては、演算アプリケーション 1 2 0 0 を構成する各実行ブロックの演算強度データのみに基づいて、計算機システム 1 0 の現在の動作環境に対応するルーフラインモデルから性能電力制御が行われる。当該動作環境は、プロセッサ 1 1 の動作周波数及びコア数並びに主記憶装置 1 2 の動作周波数である。しかし、演算アプリケーション 1 2 0 0 が実行される際の実際の性能は、必ずしもルーフラインモデルにより示される計算機シス

テム10の限界性能と一致しない。

[0097] そこで、実施の形態2においては、演算アプリケーション1200を構成する各実行ブロックの演算強度データに加えて、演算アプリケーション1200が実行される際の実際の演算性能を利用することにより、より高い精度を有する性能電力制御が実現される。以下では、利用される当該演算性能が「実演算性能」と呼ばれる。

[0098] 各実行ブロックの実演算性能は、演算強度データ取得部1130により取得された各実行ブロックの演算強度データから特定される浮動小数点演算の総数を、電力制御レイテンシデータ部1143により保持される各実行ブロックの実行時間で割ることにより求めることができる。

[0099] 図13は、実施の形態2の情報処理システムに備えられる性能電力判断部の動作の流れを図示するフローチャートである。

[0100] 性能電力制御部1140は、図13に図示されるステップS300からS309までを実行する。

[0101] ステップS300においては、性能電力判断部1141が、受け取ったルーフラインモデル上に受け取った実行ブロックの演算強度データをプロットする。また、性能電力判断部1141が、ルーフラインモデルと実行ブロックの演算強度データとを照合する。

[0102] 続くステップS301においては、性能電力判断部1141が、当該実行ブロックがメモリインテンシブであるか否かを判定する。

[0103] 当該実行ブロックがメモリインテンシブであると判定された場合は、ステップS302からS305までが実行される。当該実行ブロックがメモリインテンシブでないと判定された場合は、ステップS306からS309までが実行される。

[0104] ステップS302においては、性能電力判断部1141が、当該実行ブロックの実演算性能が現在の動作環境における主記憶装置12のメモリ性能のピーク性能に到達しているか否かを判定する。

[0105] 当該実行ブロックの実演算性能が主記憶装置12のメモリ性能のピーク性

能に到達していると判定された場合は、ステップS 3 0 3からS 3 0 5までが実行される。当該実行ブロックの実演算性能がメモリ性能のピーク性能に到達していないと判定された場合は、ステップS 3 0 5が実行される。

[0106] ステップS 3 0 3においては、性能電力判断部 1 1 4 1が、主記憶装置 1 2の動作周波数を上げる。性能電力判断部 1 1 4 1は、その際に、ルーフラインモデルデータ記憶部 1 1 1 0に保持されている主記憶装置 1 2の選択可能な動作周波数から主記憶装置 1 2の現在の動作周波数より大きい動作周波数を選択する。

[0107] 続くステップS 3 0 4においては、性能電力判断部 1 1 4 1が、ルーフラインモデルを更新する。性能電力判断部 1 1 4 1は、その際に、選択した主記憶装置 1 2の動作周波数に基づいてルーフラインモデルを更新する。

[0108] 続くステップS 3 0 5においては、性能電力判断部 1 1 4 1が、ルーフラインモデルの勾配部とルーフラインモデルの平坦部との間の不連続点が演算強度上に位置するようにプロセッサ 1 1の動作周波数及び／又はコア数を下げる。性能電力判断部 1 1 4 1は、その際に、ルーフラインモデルデータ記憶部 1 1 1 0に保持されているプロセッサ 1 1の選択可能な動作周波数及び／又はコア数からプロセッサ 1 1の現在の動作周波数及び／又はコア数より小さい動作周波数及び／又はコア数を選択する。

[0109] ステップS 3 0 2からS 3 0 5までにおいては、当該実行ブロックの実演算性能が主記憶装置 1 2のメモリ性能のピーク性能に到達していない場合は、主記憶装置 1 2の動作周波数に関して、現在の動作環境が主記憶装置 1 2のメモリ性能の要件を満たすと判断されて、その選択が行われない。

[0110] ステップS 3 0 6においては、性能電力判断部 1 1 4 1が、当該実行ブロックの実演算性能が現在の動作環境におけるプロセッサ 1 1の演算性能のピーク性能に到達しているか否かを判定する。

[0111] 当該実行ブロックの実演算性能がプロセッサ 1 1の演算性能のピーク性能に到達していると判定された場合は、ステップS 3 0 7からS 3 0 9までが実行される。当該実行ブロックの実演算性能がプロセッサ 1 1の演算性能の

ピーク性能に到達していないと判定された場合は、ステップS309が実行される。

[0112] ステップS307においては、性能電力判断部1141が、プロセッサ11の動作周波数及び／又はコア数を上げる。性能電力判断部1141は、その際に、ルーフラインモデルデータ記憶部1110に保持されているプロセッサ11の選択可能な動作周波数及び／又はコア数からプロセッサ11の現在の動作周波数及び／又はコア数より大きい動作周波数及び／又はコア数を選択する。

[0113] 続くステップS308においては、性能電力判断部1141が、ルーフラインモデルを更新する。性能電力判断部1141は、その際に、選択したプロセッサ11の動作周波数及び／又はコア数に基づいてルーフラインモデルを更新する。

[0114] 続くステップS309においては、性能電力判断部1141が、ルーフラインモデルの勾配部とルーフラインモデルの平坦部との間の不連続点が演算強度上に位置するように主記憶装置12の動作周波数を下げる。性能電力判断部1141は、その際に、ルーフラインモデルデータ記憶部1110に保持されている主記憶装置12の選択可能な動作周波数から主記憶装置12の現在の動作周波数より小さい動作周波数を選択する。

[0115] ステップS306からS309までにおいては、当該実行ブロックの実演算性能がプロセッサ11の演算性能のピーク性能に到達していない場合は、プロセッサ11の動作周波数及びコア数に関して、現在の動作環境がプロセッサ11の演算性能の要件を満たすと判断されて、その選択が行われない。

[0116] 図14及び図15は、実施の形態2の情報処理システムにより行われる、実行ブロックがメモリインテンシブである場合の省電力制御の方針の例を図示する図である。

[0117] 図14に図示される省電力制御の方針の例においては、当該実行ブロックの実演算性能が現在の動作環境における主記憶装置12のメモリ性能のピーク性能に到達している。このため、当該実行ブロックが実行される際の性能

の足かせとなっている主記憶装置 1 2 のメモリ性能が実線勾配部により図示されるメモリ性能に上げられて性能要求が満たされる。また、勾配部と平坦部との間の不連続点が演算強度上に位置するようにプロセッサ 1 1 の演算性能が実線平坦部により図示される演算性能に下げられて省電力化が図られる。これらにより、主記憶装置 1 2 のメモリ性能及びプロセッサ 1 1 の演算性能が実線により図示されるそれに移行する。

[0118] 図 1 5 に図示される省電力制御の方針の例においては、当該実行ブロックの実演算性能が現在の動作環境における主記憶装置 1 2 のメモリ性能のピーク性能に到達していない。このため、当該実行ブロックが実行される際の性能の足かせとなっていない主記憶装置 1 2 のメモリ性能が維持される。また、勾配部と平坦部との間の不連続点が演算強度上に位置するようにプロセッサ 1 1 の演算性能が実線平坦部により図示されるプロセッサ 1 1 の演算性能に下げられて省電力化が図られる。これらにより、主記憶装置 1 2 のメモリ性能及びプロセッサ 1 1 の演算性能が実線により図示されるそれに移行する。

[0119] 図 1 6 及び図 1 7 は、実施の形態 2 の情報処理システムにより行われる、実行ブロックが演算インテンシブである場合の省電力制御の方針の例を図示する図である。

[0120] 図 1 6 に図示される省電力制御の方針の例においては、当該実行ブロックの実演算性能が現在の動作環境におけるプロセッサ 1 1 の演算性能のピーク性能に到達している。このため、当該実行ブロックが実行される際の性能の足かせとなっているプロセッサ 1 1 の演算性能が実線平坦部により図示されるプロセッサ 1 1 の演算性能に上げられて性能要求が満たされる。また、勾配部と平坦部との間の不連続点が演算強度上に位置するように主記憶装置 1 2 のメモリ性能が実線勾配部により図示される主記憶装置 1 2 のメモリ性能に下げられて省電力化が図られる。これらにより、主記憶装置 1 2 のメモリ性能及びプロセッサ 1 1 の演算性能が実線により図示されるそれに移行する。

[0121] 図 17 に図示される省電力制御の方針の例においては、当該実行ブロックの実演算性能が現在の動作環境におけるプロセッサ 11 の演算性能のピーク性能に到達していない。このため、当該実行ブロックが実行される際の性能の足かせとなっていないプロセッサ 11 の演算性能が維持される。また、勾配部と平坦部との間の不連続点が演算強度上に位置するように主記憶装置 12 のメモリ性能が実線勾配部により図示される主記憶装置 12 のメモリ性能に下げられて省電力化が図られる。これらにより、主記憶装置 12 のメモリ性能及びプロセッサ 11 の演算性能が実線により図示されるそれに移行する。

[0122] なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

[0123] 実施の形態は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、実施の形態がそれに限定されるものではない。例示されていない無数の変形例が、想定され得るものと解される。

### 符号の説明

[0124] 10 計算機システム、11 プロセッサ、12 主記憶装置、13 補助記憶装置、1000 情報処理システム、1100 システム基本ソフトウェア、1200 演算アプリケーション、1110 ルーフラインモデルデータ記憶部、1120 動作環境取得部、1130 演算強度データ取得部、1140 性能電力制御部、1141 性能電力判断部、1142 実行時間計測部、1143 電力制御レイテンシデータ部、1144 性能電力指令部、1210 プログラム領域、1220 データ領域、1230 実行ブロック演算強度データ領域。

## 請求の範囲

- [請求項1] 省電力機構を備えるプロセッサ及び主記憶装置を備える計算機システムの動作環境で動作する演算アプリケーションを構成する各実行ブロックの演算強度データを保持する実行ブロック演算強度データ領域と、
- 前記プロセッサの動作周波数及びコア数並びに前記主記憶装置の動作周波数に対応するルーフラインモデルを保持するルーフラインモデルデータ記憶部と、
- 前記実行ブロック演算強度データ領域から前記各実行ブロックの演算強度データを取得する演算強度データ取得部と、
- 前記ルーフラインモデル及び前記各実行ブロックの演算強度データに基づいて前記プロセッサの動作周波数及びコア数並びに前記主記憶装置の動作周波数の制御を行う性能電力制御部と、
- を備える情報処理システム。
- [請求項2] 前記プロセッサの現在の動作周波数及びコア数並びに前記主記憶装置の現在の動作周波数を取得する動作環境取得部を備える請求項1の情報処理システム。
- [請求項3] 前記実行ブロック演算強度データ領域は、前記各実行ブロックの実行アドレス、前記各実行ブロックの演算強度データ、及び前記各実行ブロックの処理を終了しなければならない時間を示す前記各実行ブロックのデッドライン時間を保持する請求項1又は2の情報処理システム。
- [請求項4] 前記演算強度データ取得部は、前記各実行ブロックの実行アドレスに基づいて前記各実行ブロックの演算強度データ及び前記各実行ブロックのデッドライン時間を取得する請求項3の情報処理システム。
- [請求項5] 前記ルーフラインモデルは、前記プロセッサの選択可能な動作周波数及びコア数の組み合わせの各々及び前記主記憶装置の選択可能な動

作周波数の各々について演算強度に対する性能の上限値を規定する請求項 1 から 4 までのいずれかの情報処理システム。

[請求項6]

前記性能電力制御部は、

前記ルーフラインモデル及び前記各実行ブロックの演算強度データから前記プロセッサの動作周波数及びコア数並びに前記主記憶装置の動作周波数を決定する性能電力判断部と、

前記各実行ブロックの実行時間を計測する実行時間計測部と、

前記性能電力判断部により決定された前記プロセッサの動作周波数及びコア数並びに前記主記憶装置の動作周波数に従って前記制御を行う性能電力指令部と、

前記制御を前記性能電力指令部に行わせた場合にかかるオーバヘッド時間から前記制御を前記性能電力指令部に行わせるか否かを判定する電力制御レイテンシデータ部と、

を備える

請求項 1 から 5 までのいずれかの情報処理システム。

[請求項7]

前記性能電力判断部は、

前記ルーフラインモデルと前記各実行ブロックの演算強度データとを照合し、

前記主記憶装置のメモリ性能及び前記プロセッサの演算性能のいずれが前記演算アプリケーションの性能面における律速要因であるのかを判定し、

前記メモリ性能が前記律速要因であると判定した場合は、前記ルーフラインモデルデータ記憶部に保持されている前記主記憶装置の選択可能な動作周波数から前記主記憶装置の現在の動作周波数より大きい動作周波数を選択し、

前記演算性能が前記律速要因であると判定した場合は、前記ルーフラインモデルデータ記憶部に保持されている前記プロセッサの選択可能な動作周波数及び／又はコア数から現在の動作周波数及び／又はコ

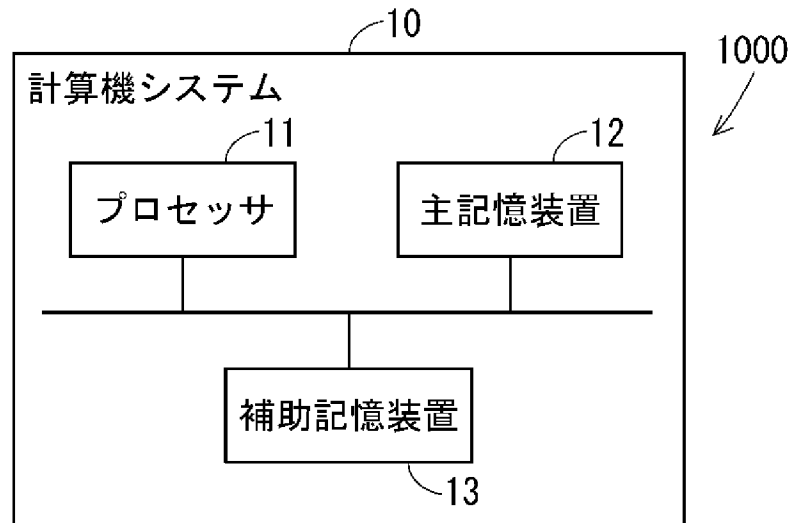
ア数より大きい動作周波数及び／又はコア数を選択する  
請求項6の情報処理システム。

[請求項8] 前記電力制御レイテンシデータ部は、前記実行時間計測部により計測された前記各実行ブロックの実行時間と、予め定義された各制御を行うのにかかるオーバヘッド時間と、から前記制御を行うか否かを判断する  
請求項6又は7の情報処理システム。

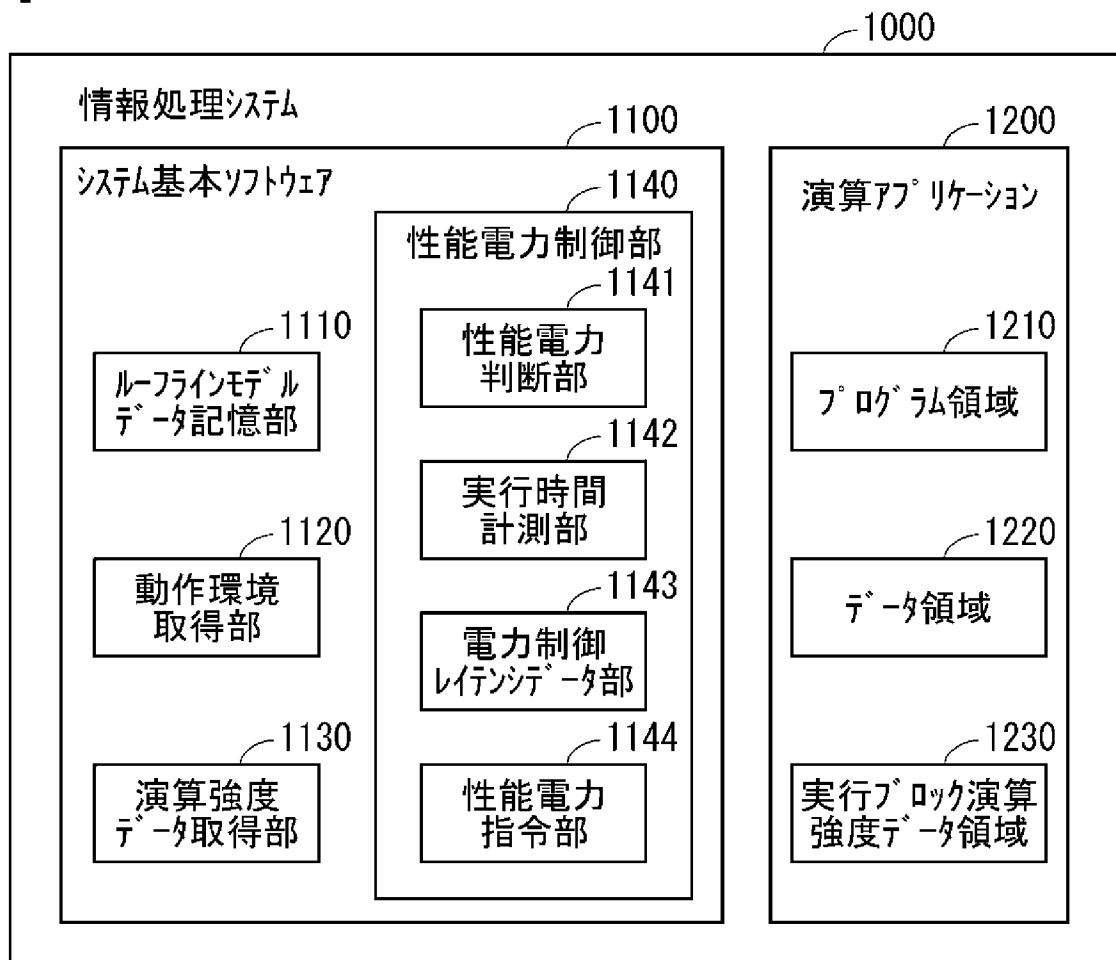
[請求項9] 前記性能電力指令部は、前記電力制御レイテンシデータ部により前記制御を行うと判断された場合に、前記性能電力判断部により決定された前記プロセッサの動作周波数及びコア数並びに前記主記憶装置の動作周波数を、前記プロセッサの動作周波数及びコア数並びに前記主記憶装置の動作周波数に設定する  
請求項6から8までのいずれかの情報処理システム。

[請求項10] a) 省電力機構を備えるプロセッサ及び主記憶装置を備える計算機システムの動作環境で動作する演算アプリケーションを構成する各実行ブロックの演算強度データを保持する工程と、  
b) 前記各実行ブロックの演算強度データを取得する工程と、  
c) 前記プロセッサの動作周波数及びコア数並びに前記主記憶装置の動作周波数に対応するルーフラインモデルを記憶する工程と、  
d) 前記ルーフラインモデル及び前記各実行ブロックの演算強度データから前記プロセッサの動作周波数及びコア数並びに前記主記憶装置の動作周波数の制御を行う工程と、  
を備える情報処理システムの制御方法。

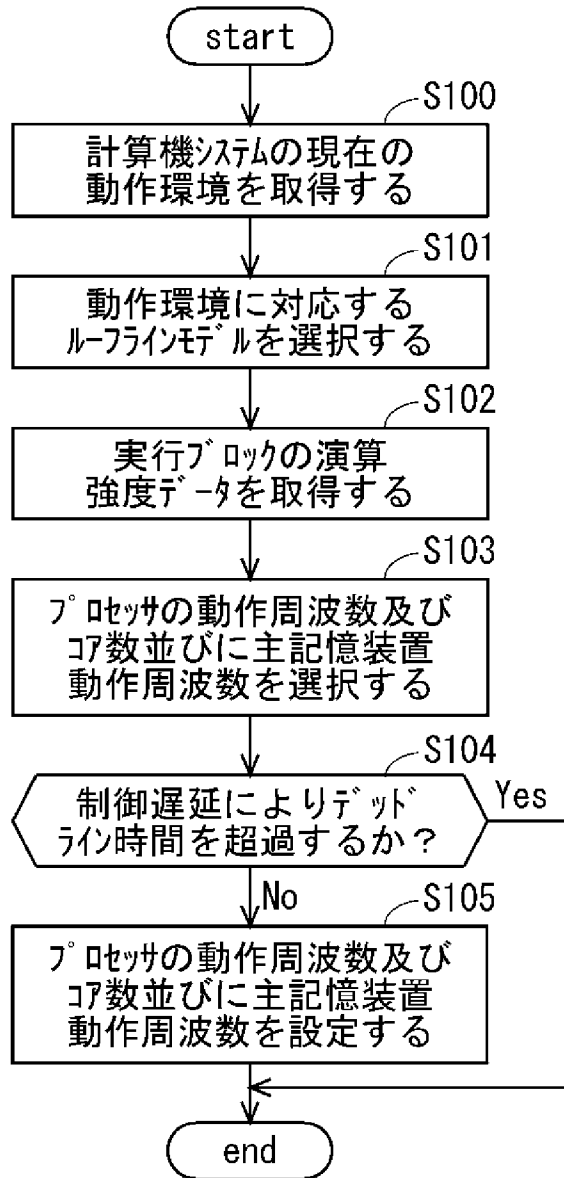
[図1]



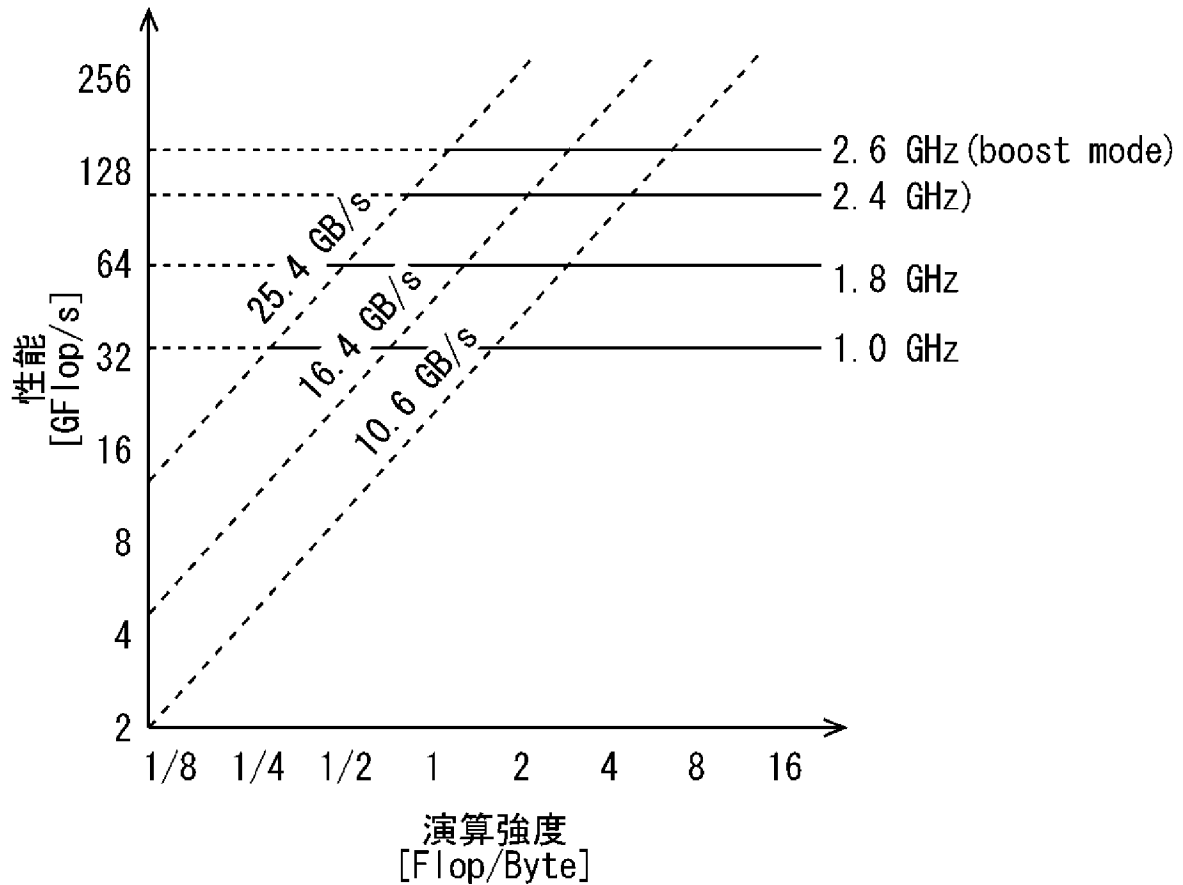
[図2]



[図3]



[図4]



[図5]

プロセッサの動作周波数及びコア数の組み合わせと  
性能 [GFlop/s] の上限値との関係

動作周波数 \ コア数	1	2	...	N
2.6GHz	5.78	11.56	...	454.55
2.4GHz	5.21	10.42	...	397.46
1.8GHz	3.64	7.28	...	334.02
1.0GHz	1.95	3.90	...	157.95

[図6]

主記憶装置の動作周波数と帯域幅 [GB/s] との関係

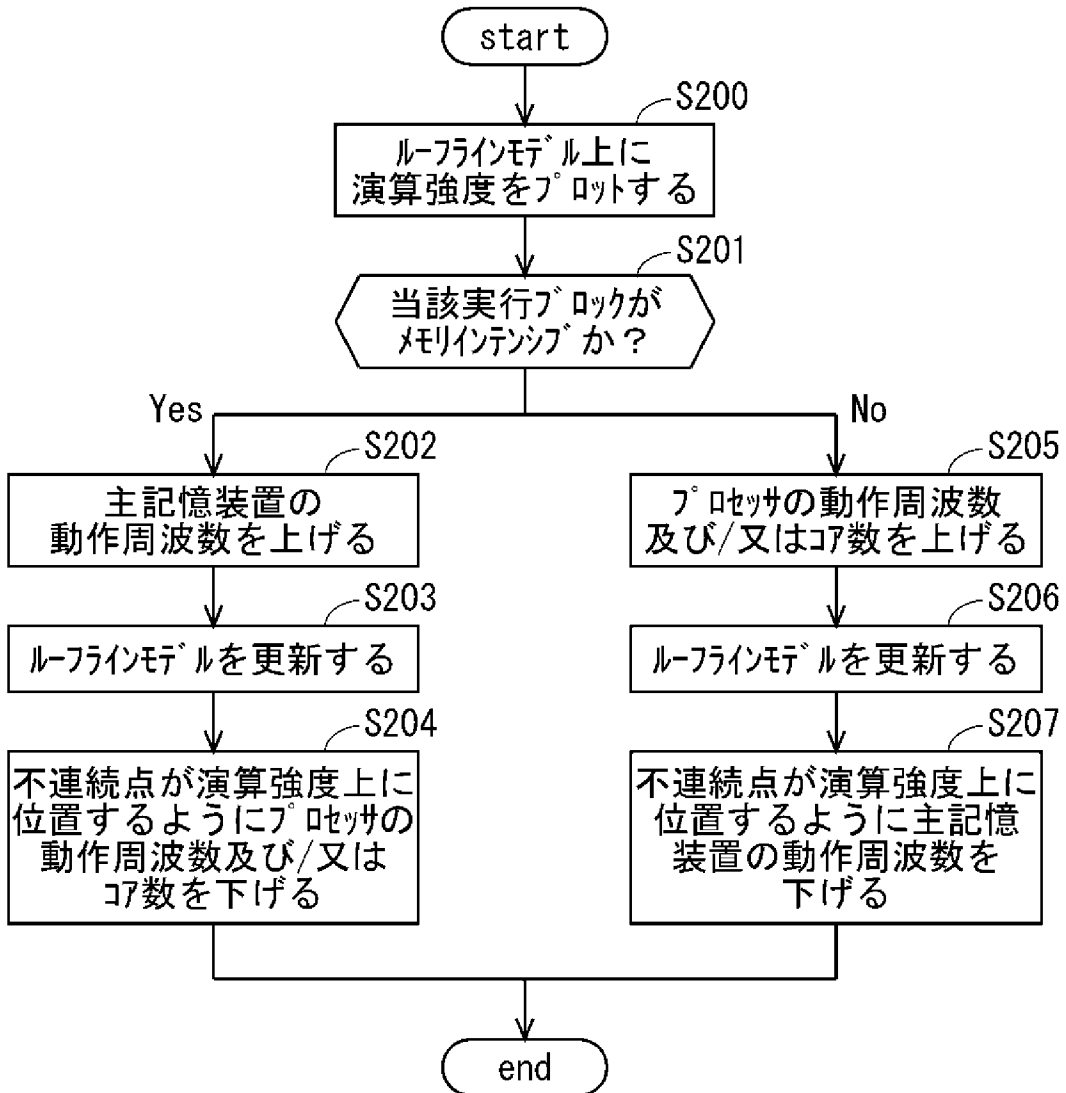
周波数	帯域幅
2.6GHz	25.4
1.8GHz	16.4
1.0GHz	10.6

[図7]

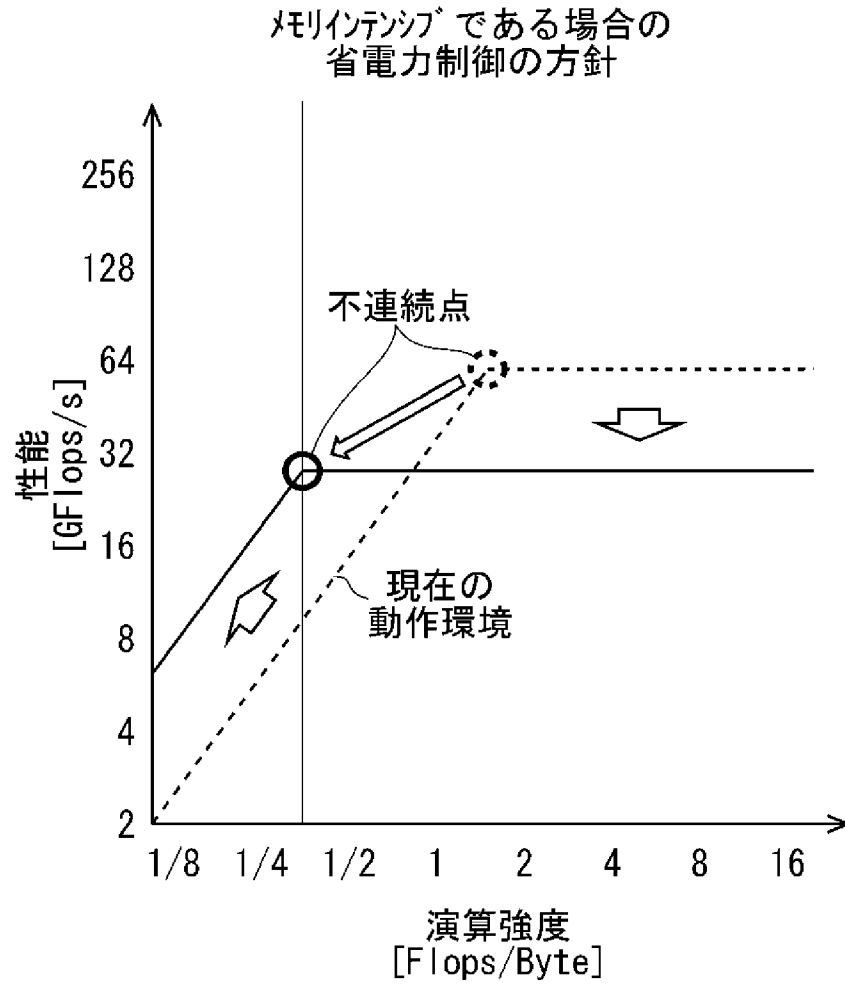
各実行ブロックの演算強度データ及びデッドライン時間

実行ブロック	実行アドレス	演算強度データ [Flop/Byte]	デッドライン時間 [ms]
Block_A	0x00000054	1.43	10
Block_B	0x000000f2	4.22	20
...	...	...	...
Block_N	0x00000109	0.53	10

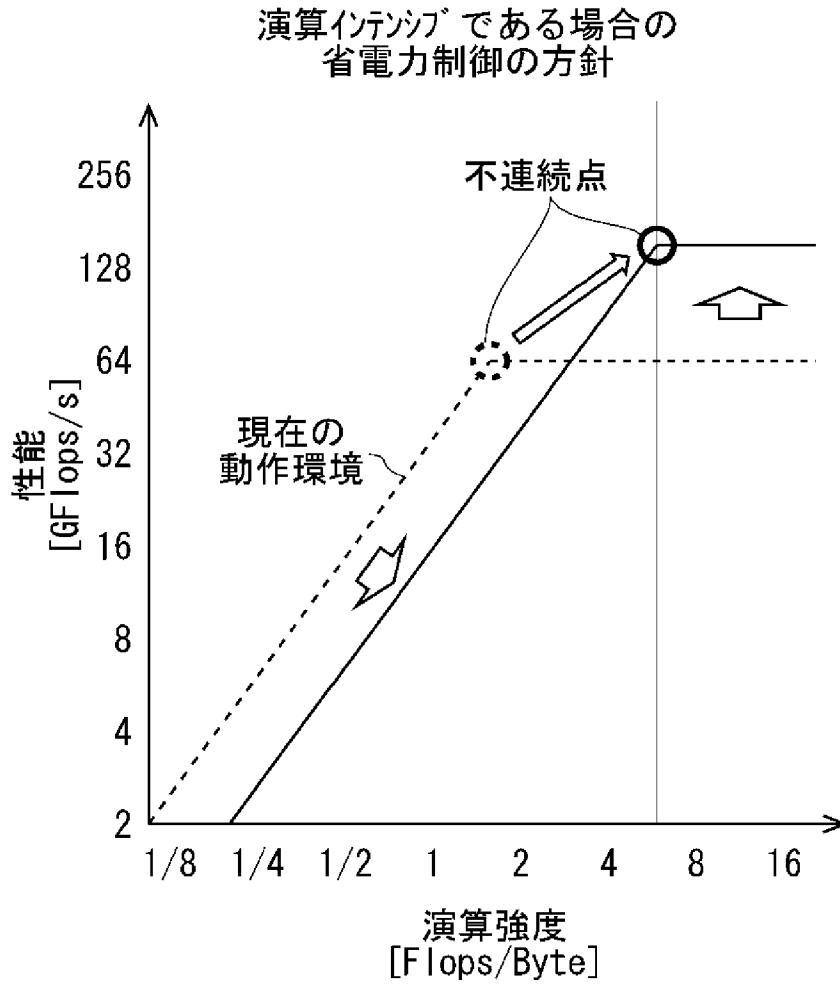
[図8]



[図9]



[図10]

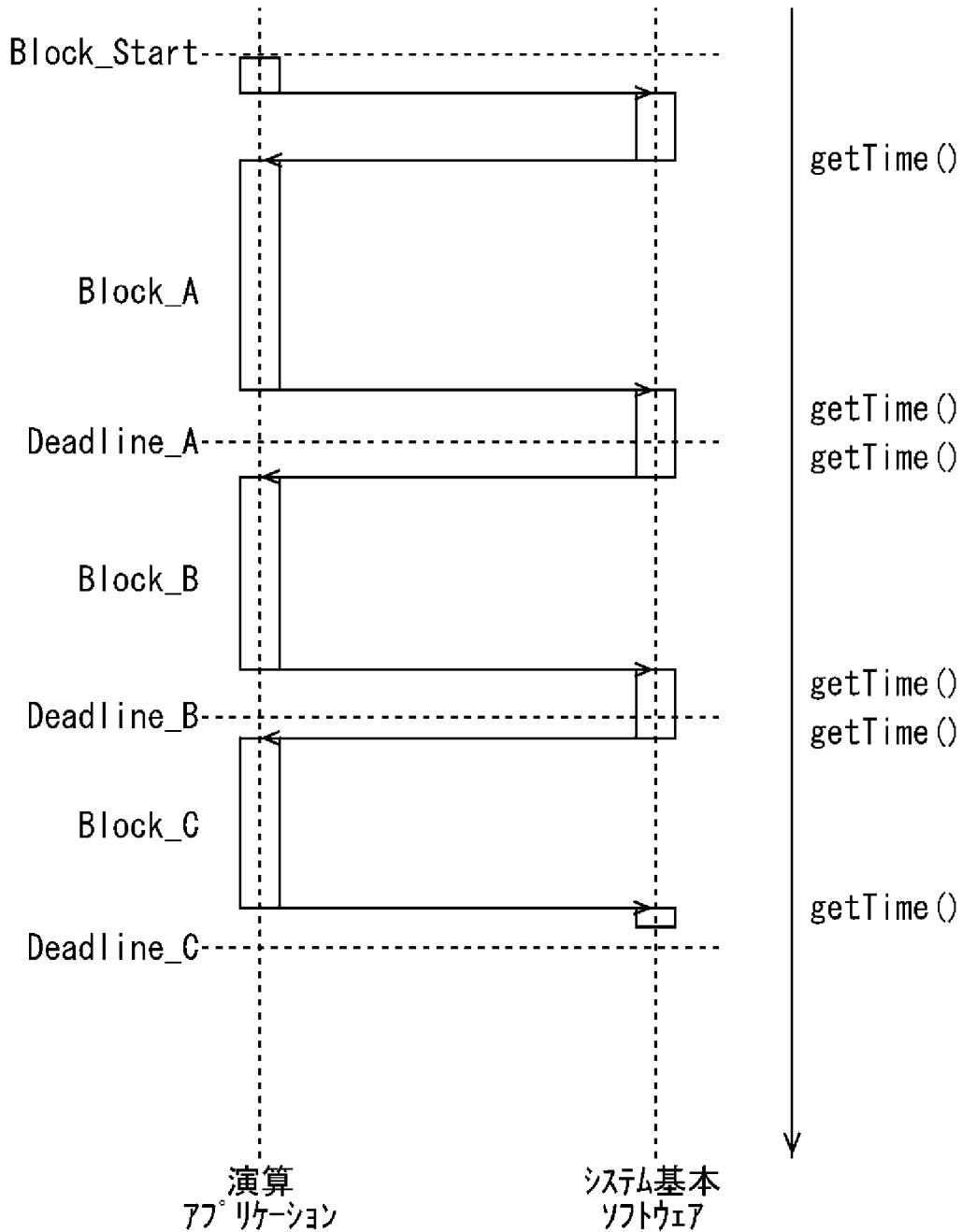


[図11]

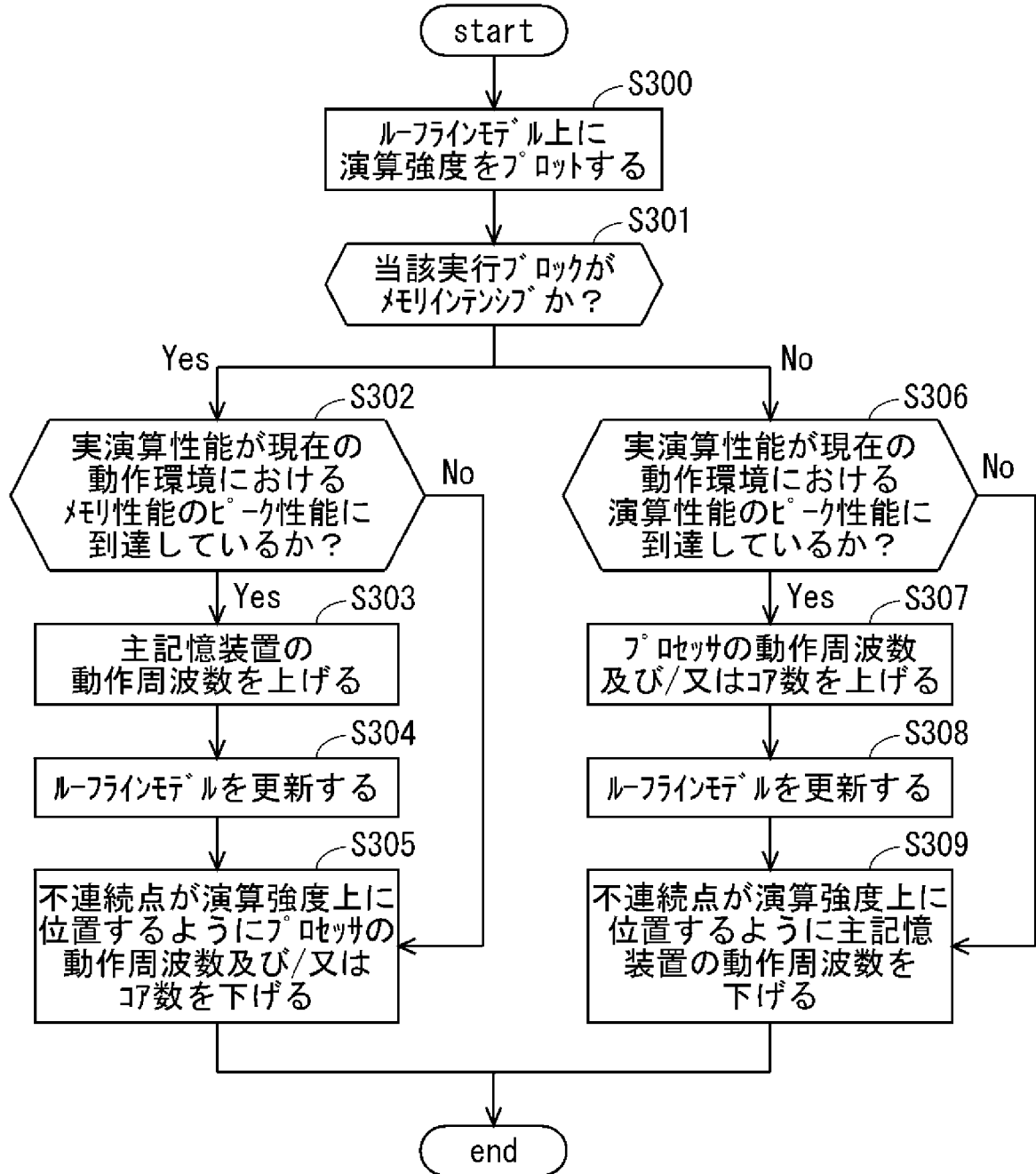
各制御方のオーバーヘッド時間

制御方法	オーバーヘッド時間 [ $\mu$ s]
プロセッサの 動作周波数	40.5
プロセッサの ON/OFF	4205.7
主記憶装置の 動作周波数	87.3

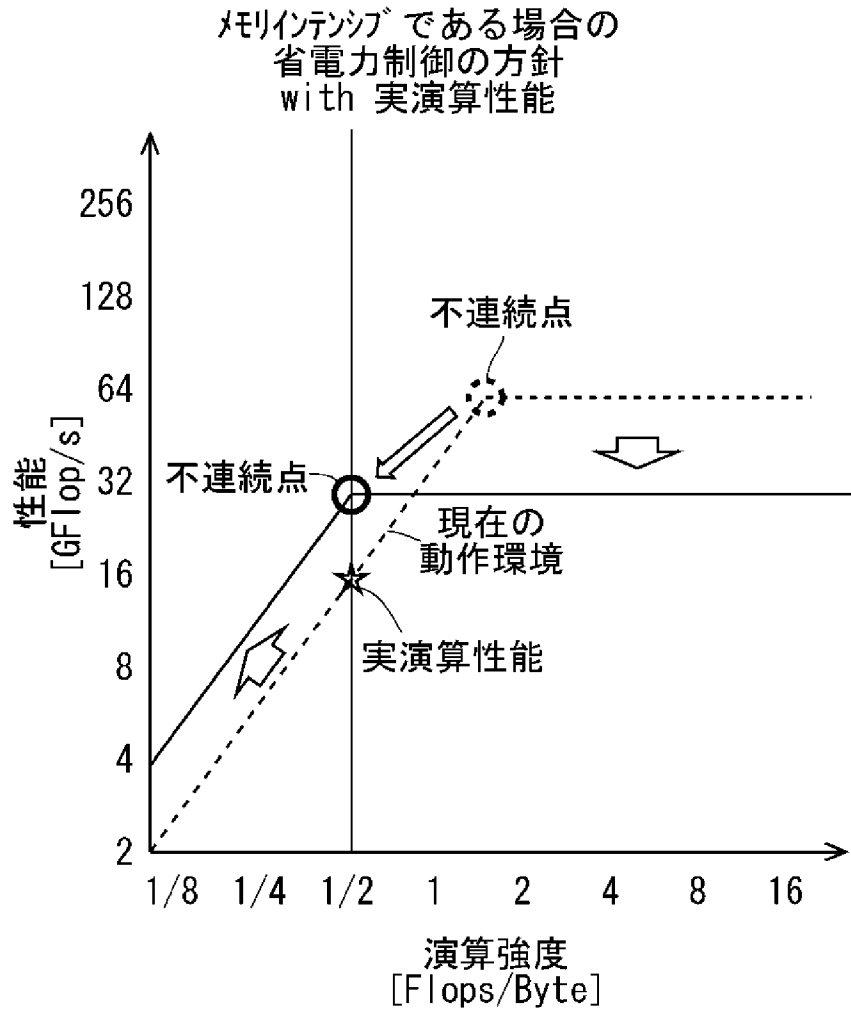
[図12]



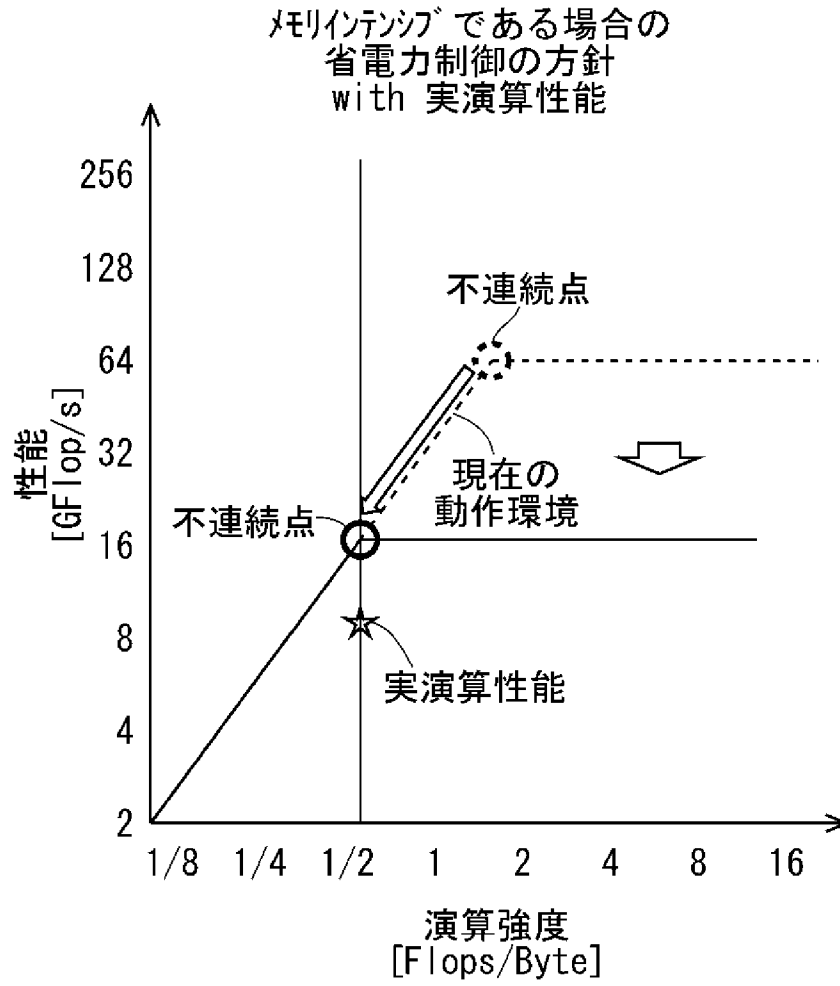
[図13]



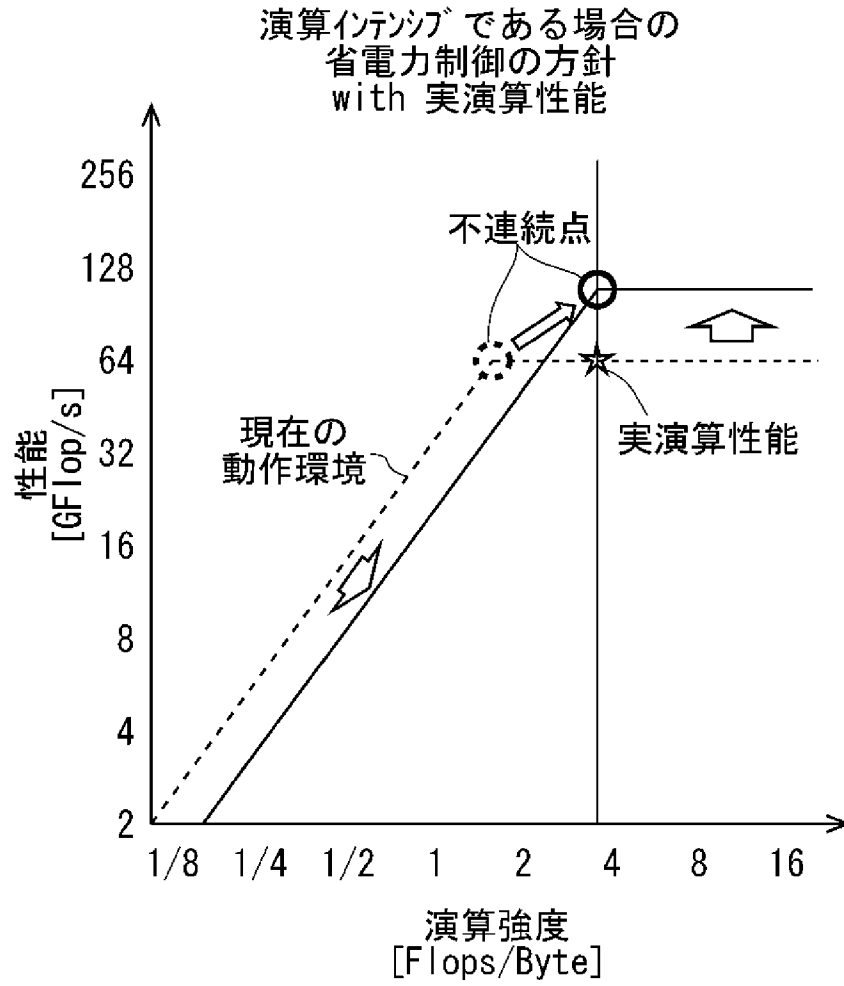
[図14]



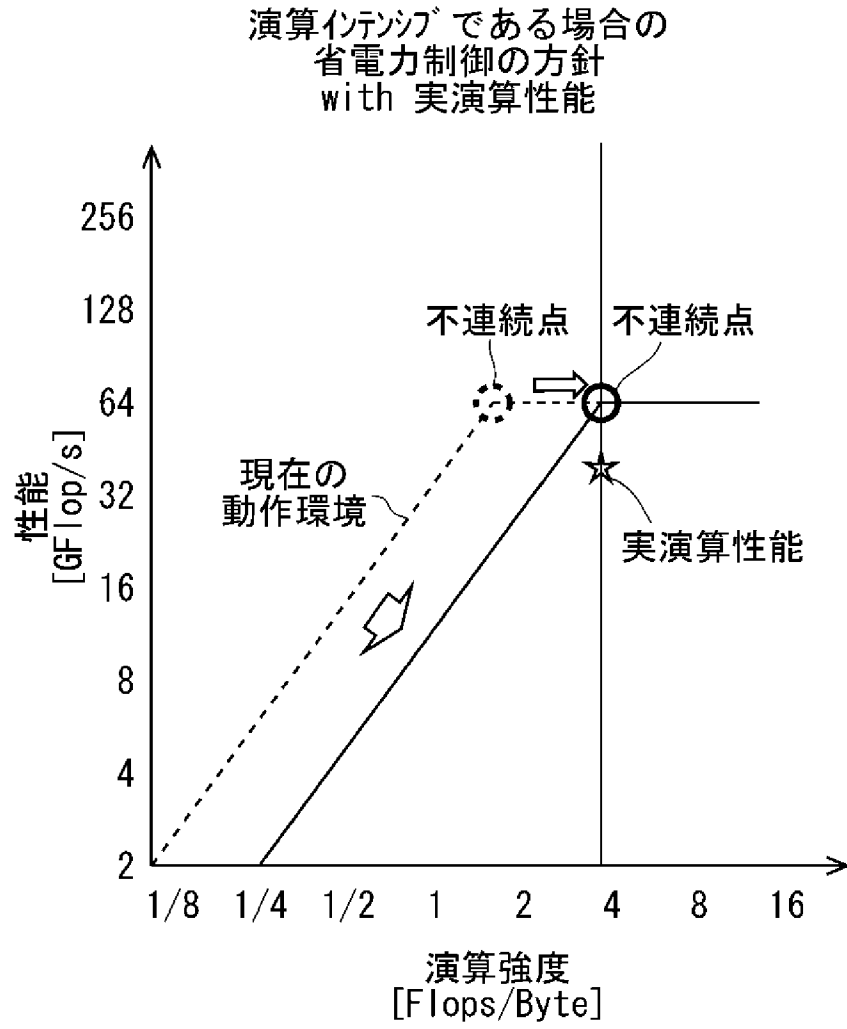
[図15]



[図16]



[図17]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022517

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G06F9/50 (2006.01) i

FI: G06F9/50 120A

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G06F9/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-85164 A (SHARP CORP.) 31 March 2005, paragraphs [0021]-[0152]	1-10
A	JP 2020-77242 A (SHARP CORP.) 21 May 2020, paragraphs [0012]-[0068]	1-10
A	安田一平ほか, 大規模並列システムのノード間通信を考慮した性能モデルに関する一検討, 情報処理学会研究報告 2012 (平成 24) 年度 5 [CD-ROM], 15 February 2013, pp. 1-6, ISSN 1884-0930, in particular, 「2. ルーフラインモデル」の欄 non-official translation (YASUDA, Ippei. Evaluation of Performance Models taking Massively Parallel System Inter-node Communications into Consideration. 2012 IPSJ SIG Technical Report. FY5. "2. Roofline Model".	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

10.09.2020

Date of mailing of the international search report

24.09.2020

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/JP2020/022517

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2005-85164 A	31.03.2005	(Family: none)	
JP 2020-77242 A	21.05.2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 9/50(2006.01)i FI: G06F9/50 120A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06F9/50 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-85164 A (シャープ株式会社) 31.03.2005 (2005-03-31) 段落[0021]-[0152]	1-10
A	JP 2020-77242 A (シャープ株式会社) 21.05.2020 (2020-05-21) 段落[0012]-[0068]	1-10
A	安田 一平 ほか, 大規模並列システムのノード間通信を考慮した性能モデルに関する一検討, 情報処理学会研究報告 2012 (平成24) 年度5 [CD-ROM], 2013.02.15, pp.1-6, ISSN 1884-0930 特に、「2. ルーフラインモデル」の欄	1-10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日	10.09.2020	国際調査報告の発送日 24.09.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  漆原 孝治 5B 9366  電話番号 03-3581-1101 内線 3545	

国際調査報告  
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/022517

引用文献	公表日	パテントファミリー文献	公表日
JP 2005-85164 A	31.03.2005	(ファミリーなし)	
JP 2020-77242 A	21.05.2020	(ファミリーなし)	