

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 24 日 (24.01.2019)



(10) 国际公布号
WO 2019/015024 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2017/099590

(22) 国际申请日: 2017 年 8 月 30 日 (30.08.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710580980.0 2017 年 7 月 17 日 (17.07.2017) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 徐 向 阳 (XU, Xiangyang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建、陈伟, Beijing 100052 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: GATE DRIVING CIRCUIT AND DRIVING METHOD THEREFOR

(54) 发明名称: 一种栅极驱动电路及其驱动方法

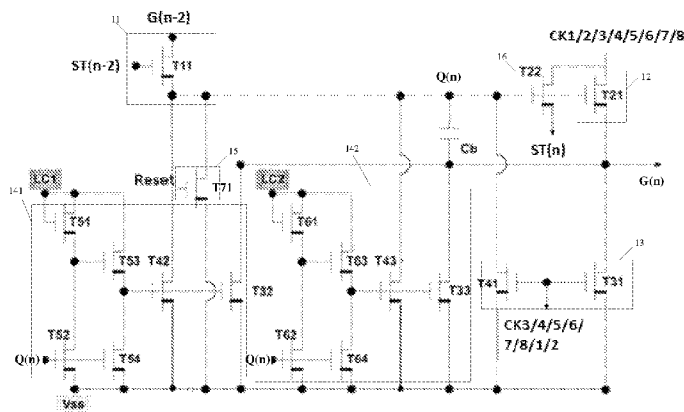


图 1

(57) Abstract: A gate driving circuit and a driving method therefor. The gate driving circuit comprises: a pull-up control module (11); a pull-up module (12); a pull-down module (13) for pulling down an output end potential of the pull-up control module (11) and a current-stage scanning signal potential under the control of a clock signal of a stage spaced by one stage downwards; and a pull-down maintenance module (14) for maintaining the output end potential of the pull-up control module (11) and the current-stage scanning signal potential to be both at a predetermined low potential under the control of the output end potential of the pull-up control module (11) and an externally applied signal.

(57) 摘要: 一种栅极驱动电路及其驱动方法, 栅极驱动电路包括: 上拉控制模块 (11); 上拉模块 (12); 下拉模块 (13), 用于在向下间隔一级时钟信号的控制下, 拉低上拉控制模块 (12) 的输出端电位和本级扫描信号电位; 下拉维持模块 (14), 用于在上拉控制模块 (12) 的输出端电位和外加信号控制下保持上拉控制模块 (12) 的输出端电位和本级扫描信号电位均处于预定低电位。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

— 发明人资格 (细则4.17(iv))

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

一种栅极驱动电路及其驱动方法

相关申请的交叉引用

本申请要求享有 2017 年 7 月 17 日提交的名称为“一种栅极驱动电路及其驱动方法”的中国专利申请 CN201710580980.0 的优先权，该申请的全部内容通过引用并入本文中。

技术领域

本发明属于显示控制技术领域，具体地说，尤其涉及一种栅极驱动电路及其驱动方法。

背景技术

随着平板显示技术的发展，高分辨率、高对比度、高刷新速率、窄边框、薄型化已成为平板显示的发展趋势。目前，液晶面板仍为平板显示的主流产品。为了实现液晶面板的窄边框、薄型化和低成本，GOA（Gate Driver On Array，阵列基板行驱动技术）的开发与应用已相对成熟。

现有技术中，显示面板的 GOA 电路一般仅能通过第 $G(n+2)$ 级栅极驱动电路输出的高电位扫描信号才能实现 $Q(n)$ 点复位功能。如果 $G(n+2)$ 输出异常时，GOA 电路第 n 级的 $Q(n)$ 点就不能被复位而影响下一帧的正常显示。有时，这种异常还会使得栅极输出产生多脉冲波形，进而启动过流保护功能而自动关机。

发明内容

为解决以上问题，本发明提供了一种栅极驱动电路及其驱动方法，用以保证不会因 GOA 控制信号的异常而影响面板正常驱动。

根据本发明的一个方面，提供了一种栅极驱动电路，包括：

上拉控制模块，用于在向上间隔一级扫描启动信号控制下，输入向上间隔一级扫描信号；

上拉模块，用于在所述上拉控制模块输出的向上间隔一级扫描信号控制下，输入时钟信号以产生本级扫描信号；

下拉模块，用于在向下间隔一级时钟信号的控制下，拉低所述上拉控制模块的输出端电位和本级扫描信号电位；

下拉维持模块，用于在所述上拉控制模块的输出端电位和外加信号控制下保持所述上拉控制模块的输出端电位和本级扫描信号电位均处于预定低电位。

根据本发明的一个实施例，所述上拉控制模块包括：

第一晶体管，其栅极用于输入向上间隔一级扫描启动信号，源极用于输入向上间隔一级扫描信号，漏极连接所述上拉模块。

根据本发明的一个实施例，所述上拉模块包括：

第二晶体管，其栅极连接所述第一晶体管的漏极，源极用于输入时钟信号，漏极用于输出本级扫描信号。

根据本发明的一个实施例，所述下拉模块包括：

第三晶体管，其栅极用于输入向下间隔一级时钟信号，源极连接所述第二晶体管的漏极，漏极连接所述预定低电位；

第四晶体管，其栅极用于输入向下间隔一级时钟信号，源极连接所述第二晶体管的栅极，漏极连接所述预定低电位。

根据本发明的一个实施例，所述下拉维持模块包括第一下拉维持子模块，所述第一下拉维持子模块包括：

第五晶体管，其栅极用于输入第一外加信号，源极连接其栅极；

第六晶体管，其栅极连接所述上拉控制模块的输出端，源极连接所述第五晶体管的漏极，漏极连接所述预定低电位；

第七晶体管，其栅极连接所述第五晶体管的漏极，源极连接所述第五晶体管的源极；

第八晶体管，其栅极连接所述上拉控制模块的输出端，源极连接所述第七晶体管的漏极，漏极连接所述预定低电位；

第九晶体管，其栅极连接所述第七晶体管的漏极，源极连接所述上拉控制模块的输出端，漏极连接所述预定低电位；

第十晶体管，其栅极连接所述第七晶体管的漏极，源极连接所述上拉模块的输出端及通过耦合电容连接所述上拉控制模块的输出端，漏极连接所述预定低电位。

根据本发明的一个实施例，所述下拉维持模块包括第二下拉维持子模块，所述第二下拉维持子模块包括：

第十一晶体管，其栅极用于输入第二外加信号，源极连接其栅极，所述第二外加控制信号和所述第一外加控制信号交替驱动对应的下拉维持模块进行工作；

第十二晶体管，其栅极连接所述上拉控制模块的输出端，源极连接所述第十一晶体管的漏极，漏极连接所述预定低电位；

第十三晶体管，其栅极连接所述第十一晶体管的漏极，源极连接所述第十一晶体管的源极；

第十四晶体管，其栅极连接所述上拉控制模块的输出端，源极连接所述第十三晶体管的漏极，漏极连接所述预定低电位；

第十五晶体管，其栅极连接所述第十三晶体管的漏极，源极连接所述上拉控制模块的输出端，漏极连接所述预定低电位；

第十六晶体管，其栅极连接所述第十三晶体管的漏极，源极连接所述上拉模块的输出端及通过耦合电容连接所述上拉控制模块的输出端，漏极连接所述预定低电位。

根据本发明的一个实施例，还包括复位模块，所述复位模块包括第十七晶体管，

所述第十七晶体管的栅极用于输入复位信号，源极连接所述上拉控制模块的输出端，漏极连接所述预定低电位。

根据本发明的一个实施例，还包括扫描启动信号产生模块，所述扫描启动信号产生模块包括第十八晶体管，

所述第十八晶体管的栅极连接所述上拉控制模块的输出端，源极用于输入所述时钟信号，漏极用于输出本级扫描启动信号。

根据本发明的一个实施例，所述时钟信号由占空比为 $1/4$ 、依次延迟 $1/8$ 时钟周期的 8 个子时钟方波信号组成。

根据本发明的另一个方面，还提供了一种用于驱动栅极驱动电路的方法，包括：

向上拉控制模块施加向上间隔一级扫描启动信号，以使得向上间隔一级扫描信号经所述上拉控制模块输出；

上拉模块在所述上拉控制模块输出的向上间隔一级扫描信号控制下，以使得时钟信号通过所述上拉模块输出以产生本级扫描信号；

向下拉模块施加向下间隔一级时钟信号，以拉低所述上拉控制模块的输出端电位和本级扫描信号电位至预定低电位；

向下拉维持模块施加外加信号，并在所述上拉控制模块的输出端的预定低电位配合下，保持所述上拉控制模块的输出端电位和本级扫描信号电位均处于所述预定低电位。

本发明的有益效果：

本发明通过通过采用时钟信号 CK 下拉 Q(n) 点电位，而不采用扫描信号，可保证不会因 GOA 控制信号的异常而影响面板正常驱动。

本发明的其他优点、目标，和特征在某种程度上将在随后的说明书中进行阐述，并且在某种程度上，基于对下文的考察研究对本领域技术人员而言将是显而易见的，或者可以从本发明的实践中得到教导。本发明的目标和其他优点可以通过下面的说明书，权利要求书，以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本申请的技术方案或现有技术的进一步理解，并且构成说明书的一部分。其中，表达本申请实施例的附图与本申请的实施例一起用于解释本申请的技术方案，但并不构成对本申请技术方案的限制。

图 1 是根据本发明的一个实施例的栅极驱动电路结构示意图；

图 2 是对应图 1 的栅极驱动电路输出时序；

图 3 是根据本发明的一个实施例的用于驱动图 1 所示电路的方法流程图。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成相应技术效果的实现过程能充分理解并据以实施。本申请实施例以及实施例中的各个特征，在不相冲突前提下可以相互结合，所形成的技术方案均在本发明的保护范围之内。

本发明提供了一种栅极驱动电路，通过采用时钟信号将 Q 点电位拉低，可以保证不会因扫描信号异常而影响面板正常驱动。如图 1 所示为根据本发明的一个实施例的第 G(n) 级栅极驱动电路结构示意图，以下参考图 1，以相邻的 G(n-2)、G(n) 和 G(n+2) 级栅极驱动电路为例来对本发明进行详细说明。G(n-2)、G(n) 和 G(n+2)..... 用于驱动奇数序列或偶数序列栅线，由一栅极驱动电路输出对应的扫描信号；G(n-1)、G(n+1) 和 G(n+3)..... 用于驱动对应的偶数序列或奇数序列栅线，由另一栅极驱动电路输出对应的扫描信号。

如图 1 所示, 该栅极驱动电路包括上拉控制模块 11、上拉模块 12、下拉模块 13 和下拉维持模块 14。其中, 上拉控制模块 11 用于在向上间隔一级扫描启动信号 $ST(n-2)$ 控制下, 输入向上间隔一级扫描信号 $G(n-2)$ 。也就是说, $G(n)$ 级栅极驱动电路是在其上间隔一级栅极驱动电路 $G(n-2)$ 级栅极驱动电路的控制下开始工作的。上拉控制模块 11 的输出端通常标识为 $Q(n)$ 点, 其主要用于在 $ST(n-2)$ 控制下, 将向上间隔一级扫描信号 $G(n-2)$ 输出至 $Q(n)$ 点。

上拉模块 12 用于在上拉控制模块 11 输出的 $Q(n)$ 点向上间隔一级扫描信号 $G(n-2)$ 控制下, 输入时钟信号 CK , 以产生本级扫描信号 $G(n)$ 。

下拉模块 13 用于在向下间隔一级时钟信号 $CK(n+2)$ 的控制下, 拉低上拉控制模块 11 的输出端电位和本级扫描信号电位 $G(n)$ 。如图 3 所示, 在输出 $G(n)$ 级扫描信号时, 上拉模块 12 输入时钟信号 $CK1$, 此时下拉模块 13 由时钟信号 $CK3$ 控制。在上拉模块 12 输入时钟信号 $CK2$, 此时下拉模块 13 由时钟信号 $CK4$ 控制, 依次类推至上拉模块 12 输入时钟信号 $CK7$ 和 $CK8$ 时, 返回由时钟信号 $CK1$ 和 $CK2$ 控制。

下拉维持模块 14 用于在上拉控制模块 11 的输出端电位和外加信号 LC 控制下, 保持上拉控制模块 11 的输出端电位和本级扫描信号 $G(n)$ 的电位均处于预定低电位 V_{ss} 。也就是说, 在下拉模块 13 将上拉控制模块 11 的输出端电位和本级扫描信号电位拉低至预定低电位 V_{ss} 后, 下拉维持模块 14 在上拉控制模块 11 的输出端电位和外加信号 LC 控制下保持上拉控制模块的输出端电位和本级扫描信号电位均处于预定低电位 V_{ss} 。

在本发明中, 该栅极驱动电路中的下拉模块 13 采用向下间隔一级时钟信号 $CK(n+2)$ 控制, 而不采用 $G(n+2)$ 进行控制, 则在 $G(n+2)$ 输出异常时, $Q(n)$ 通过 CK 信号被拉低。即使 $G(n+2)$ 信号发生异常, 在下一帧画面刷新时, 栅极驱动电路仍能正常工作。

在本发明的一个实施例中, 该上拉控制模块 11 包括第一晶体管 $T11$, 其栅极用于输入向上间隔一级扫描启动信号 $CK(n-2)$, 源极用于输入向上间隔一级扫描信号 $G(n-2)$, 漏极连接上拉模块 12。具体工作时, 第 $G(n-2)$ 级栅极驱动电路输出的扫描启动信号 $ST(n-2)$ 使得第一晶体管 $T11$ 打开, 第 $G(n-2)$ 级栅极驱动电路输出的扫描信号 $G(n-2)$ 通过第一晶体管 $T11$ 到达上拉模块, 进而控制上拉模块 12 产生本级扫描信号 $G(n)$ 。

在本发明的一个实施例中, 该上拉模块 12 包括第二晶体管 $T21$, 其栅极连

接第一晶体管 T11 的漏极，源极用于输入时钟信号 CK，漏极用于输出本级扫描信号 G(n)。具体工作时，上拉控制模块 11 输出的扫描启动信号 ST (n-2) 打开第二晶体管 T21，时钟信号 CK 由第二晶体管 T21 的源极输出至漏极，从而得到本级扫描信号 G(n)。

在本发明的一个实施例中，该下拉模块 13 包括第三晶体管 T31 和第四晶体管 T41。其中，第三晶体管 T31 的栅极用于输入向下间隔一级时钟信号 CK，源极连接第二晶体管 T21 的漏极，漏极连接预定低电位 Vss。第四晶体管 T41 的栅极用于输入向下间隔一级时钟信号 CK，源极连接第二晶体管 T21 的栅极，漏极连接预定低电位 Vss。具体工作时，在向下间隔一级时钟信号 CK 为高电位时，第三晶体管 T31 和第四晶体管 T41 均打开，预定低电位 Vss 通过第三晶体管 T31 连通上拉控制模块 11 的输出端，通过第四晶体管 T41 连通上拉模块 12 的输出端，从而将 Q(n)和 G(n)的电位拉至预定低电位 Vss。例如，

由于向下间隔一级时钟信号 CK 只在该级栅极驱动电路输出扫描信号时为高电平，其余时间为低电平，为保证本级栅极驱动电路在不输出扫描信号时 Q(n)和 G(n)的电位保持预定低电位，需设置下拉维持模块来保持 Q(n)和 G(n)处于低电位。在本发明的一个实施例中，该下拉维持模块 14 包括包括第一下拉维持子模块 141。该第一下拉维持子模块 141 包括第五晶体管 T51，其栅极用于输入第一外加信号 LC1，源极连接其栅极。第六晶体管 T52 的栅极连接上拉控制模块 11 的输出端，源极连接第五晶体管 T51 的漏极，漏极连接预定低电位 Vss。第七晶体管 T53 的栅极连接第五晶体管 T51 的漏极，源极连接第五晶体管 T51 的源极。第八晶体管 T54 栅极连接上拉控制模块 11 的输出端，源极连接第七晶体管 T53 的漏极，漏极连接预定低电位 Vss。第九晶体管 T42 的栅极连接第七晶体管 T53 的漏极，源极连接上拉控制模块 11 的输出端，漏极连接预定低电位 Vss。第十晶体管 T32 的栅极连接第七晶体管 T53 的漏极，源极连接上拉模块 12 的输出端及通过耦合电容 Cb 连接上拉控制模块 11 的输出端，漏极连接预定低电位 Vss。

具体的，在输出第 G(3)级扫描信号时，处于高电位的高电位 G(3)扫描信号将 Q(1)和 G (1) 点电位拉低至 Vss。此时，第六晶体管 T52 和第八晶体管 T54 关闭。施加高电位第一外加信号 LC1，第五晶体管 T51 和第七晶体管 T53 打开，进而使得第九晶体管 T42 打开使得 Q(1)连接至预定低电位 Vss，使得第十晶体管 T32 打开使得 G (1) 连接至预定低电位 Vss。这样就可以使 Q(1)和 G (1) 一直保持预定低电位，直到输出高电位 G (1) 扫描信号。另外，在输出高电位 G (1)

扫描信号时，第六晶体管 T52 和第八晶体管 T54 打开，使得第九晶体管 T42 和第十晶体管 T32 关闭，第一下拉维持子模块 141 不发挥作用。

在本发明的一个实施例中，该下拉维持模块 14 包括第二下拉维持子模块 142。该第二下拉维持子模块 142 包括第十一晶体管 T61、第十二晶体管 T62、第十三晶体管 T63、第十四晶体管 T64、第十五晶体管 T43 和第十六晶体管 T33。第十一晶体管 T61，其栅极用于输入第二外加信号 LC2，源极连接其栅极，第二外加控制信号 LC2 和第一外加控制信号 LC1 交替驱动对应的下拉维持模块进行工作。第十二晶体管 T62 的栅极连接上拉控制模块 11 的输出端，源极连接第十一晶体管 T51 的漏极，漏极连接预定低电位 Vss。第十三晶体管 T63 的栅极连接第十一晶体管 T51 的漏极，源极连接第十一晶体管 T51 的源极。第十四晶体管 T64 的栅极连接上拉控制模块 12 的输出端，源极连接第十三晶体管 T63 的漏极，漏极连接预定低电位 Vss。第十五晶体管 T43 的栅极连接第十三晶体管 T63 的漏极，源极连接上拉控制模块 11 的输出端，漏极连接预定低电位 Vss。第十六晶体管 T33 的栅极连接第十三晶体管 T63 的漏极，源极连接上拉模块 11 的输出端及通过耦合电容 Cb 连接上拉控制模块 11 的输出端，漏极连接预定低电位 Vss。LC1 和 LC2 是周期为 200 倍帧周期、占空比为 1/2 的低频信号。LC1 和 LC2 相位相差 1/2 周期，LC1 驱动第一下拉维持子模块 141，LC2 驱动第二下拉维持子模块 142 工作，第一下拉维持子模块 141 和第二下拉维持子模块 142 交替进行工作。第二下拉维持子模块 142 的工作过程与第一下拉维持子模块 141 相同，此处不加赘述。

在本发明的一个实施例中，该栅极驱动电路还包括复位模块 15。该复位模块 15 包括第十七晶体管 T71。该第十七晶体管 T71 的栅极用于输入复位信号，源极连接上拉控制模块 11 的输出端，漏极连接预定低电位 Vss。该第十七晶体管 T71 用于在外加控制信号 Reset 时，对 Q(n)点电位进行复位。

在本发明的一个实施例中，该栅极驱动电路还包括扫描启动信号产生模块 16。该扫描启动信号产生模块 16 包括第十八晶体管 T22，该第十八晶体管 T22 的栅极连接上拉控制模块 11 的输出端，源极用于输入时钟信号 CK，漏极用于输出本级扫描启动信号 ST(n)。

现有技术中，栅极驱动电路中通常采用占空比为 1/2 的 4 个子时钟方波信号。但是，在本发明中采用占空比 1/4、依次延迟 1/8 时钟周期的 8 个子时钟方波信号组成的时钟信号，如图 2 所示。这样可以减少每根 CK 的线路负载，降低错充

风险。同时，采用方波信号下拉可提升下拉模块中的薄膜晶体管依赖性，延长其工作寿命。另外，通过方波信号 CK 下拉 Q (n) 点，可提升信号的抗干扰能力，不至于因为某一行的瞬间输出异常而影响下一帧画面的输出。

根据本发明的另一个方面，还提供了一种用于驱动以上所述栅极驱动电路的方法，包括如图 3 所示的几个步骤，其对应的时序图参见图 2。

首先，在步骤 S110 中，向上拉控制模块 11 施加向上间隔一级扫描启动信号，以使得向上间隔一级扫描信号经该上拉控制模块 11 输出。在对应 G1(1)级栅极驱动电路时，由于无向上间隔一级扫描启动信号，一般施加一启动信号 STV 来使 G1(1)级栅极驱动电路开始工作。

接着，在步骤 S120 中，上拉模块 12 在上拉控制模块 11 输出的向上间隔一级扫描信号控制下，以使得时钟信号通过该上拉模块输出以产生本级扫描信号。

接着，在步骤 S130 中，向下拉模块 13 施加向下间隔一级时钟信号，以拉低上拉控制模块的输出端电位和本级扫描信号电位至预定低电位。

接着，在步骤 S140 中，向下拉维持模块 14 施加外加信号，并在上拉控制模块 11 的输出端的预定低电位配合下，保持上拉控制模块 22 的输出端电位和本级扫描信号电位均处于预定低电位。

虽然本发明所公开的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域内的技术人员，在不脱离本发明所公开的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1. 一种栅极驱动电路，包括：

上拉控制模块，用于在向上间隔一级扫描启动信号控制下，输入向上间隔一级扫描信号；

上拉模块，用于在所述上拉控制模块输出的向上间隔一级扫描信号控制下，输入时钟信号以产生本级扫描信号；

下拉模块，用于在向下间隔一级时钟信号的控制下，拉低所述上拉控制模块的输出端电位和本级扫描信号电位；

下拉维持模块，用于在所述上拉控制模块的输出端电位和外加信号控制下保持所述上拉控制模块的输出端电位和本级扫描信号电位均处于预定低电位。

2. 根据权利要求 1 所述的电路，其中，所述上拉控制模块包括：

第一晶体管，其栅极用于输入向上间隔一级扫描启动信号，源极用于输入向上间隔一级扫描信号，漏极连接所述上拉模块。

3. 根据权利要求 2 所述的电路，其中，所述上拉模块包括：

第二晶体管，其栅极连接所述第一晶体管的漏极，源极用于输入时钟信号，漏极用于输出本级扫描信号。

4. 根据权利要求 3 所述的电路，其中，所述下拉模块包括：

第三晶体管，其栅极用于输入向下间隔一级时钟信号，源极连接所述第二晶体管的漏极，漏极连接所述预定低电位；

第四晶体管，其栅极用于输入向下间隔一级时钟信号，源极连接所述第二晶体管的栅极，漏极连接所述预定低电位。

5. 根据权利要求 3 所述的电路，其中，所述下拉维持模块包括第一下拉维持子模块，所述第一下拉维持子模块包括：

第五晶体管，其栅极用于输入第一外加信号，源极连接其栅极；

第六晶体管，其栅极连接所述上拉控制模块的输出端，源极连接所述第五晶体管的漏极，漏极连接所述预定低电位；

第七晶体管，其栅极连接所述第五晶体管的漏极，源极连接所述第五晶体管的源极；

第八晶体管，其栅极连接所述上拉控制模块的输出端，源极连接所述第七晶体管的漏极，漏极连接所述预定低电位；

第九晶体管，其栅极连接所述第七晶体管的漏极，源极连接所述上拉控制模

块的输出端，漏极连接所述预定低电位；

第十晶体管，其栅极连接所述第七晶体管的漏极，源极连接所述上拉模块的输出端及通过耦合电容连接所述上拉控制模块的输出端，漏极连接所述预定低电位。

6. 根据权利要求 5 所述的电路，其中，所述下拉维持模块包括第二下拉维持子模块，所述第二下拉维持子模块包括：

第十一晶体管，其栅极用于输入第二外加信号，源极连接其栅极，所述第二外加控制信号和所述第一外加控制信号交替驱动对应的下拉维持模块进行工作；

第十二晶体管，其栅极连接所述上拉控制模块的输出端，源极连接所述第十一晶体管的漏极，漏极连接所述预定低电位；

第十三晶体管，其栅极连接所述第十一晶体管的漏极，源极连接所述第十一晶体管的源极；

第十四晶体管，其栅极连接所述上拉控制模块的输出端，源极连接所述第十三晶体管的漏极，漏极连接所述预定低电位；

第十五晶体管，其栅极连接所述第十三晶体管的漏极，源极连接所述上拉控制模块的输出端，漏极连接所述预定低电位；

第十六晶体管，其栅极连接所述第十三晶体管的漏极，源极连接所述上拉模块的输出端及通过耦合电容连接所述上拉控制模块的输出端，漏极连接所述预定低电位。

7. 根据权利要求 1 所述的电路，其中，还包括复位模块，所述复位模块包括第十七晶体管，

所述第十七晶体管的栅极用于输入复位信号，源极连接所述上拉控制模块的输出端，漏极连接所述预定低电位。

8. 根据权利要求 2 所述的电路，其中，还包括复位模块，所述复位模块包括第十七晶体管，

所述第十七晶体管的栅极用于输入复位信号，源极连接所述上拉控制模块的输出端，漏极连接所述预定低电位。

9. 根据权利要求 3 所述的电路，其中，还包括复位模块，所述复位模块包括第十七晶体管，

所述第十七晶体管的栅极用于输入复位信号，源极连接所述上拉控制模块的输出端，漏极连接所述预定低电位。

10. 根据权利要求 4 所述的电路, 其中, 还包括复位模块, 所述复位模块包括第十七晶体管,

所述第十七晶体管的栅极用于输入复位信号, 源极连接所述上拉控制模块的输出端, 漏极连接所述预定低电位。

11. 根据权利要求 5 所述的电路, 其中, 还包括复位模块, 所述复位模块包括第十七晶体管,

所述第十七晶体管的栅极用于输入复位信号, 源极连接所述上拉控制模块的输出端, 漏极连接所述预定低电位。

12. 根据权利要求 6 所述的电路, 其中, 还包括复位模块, 所述复位模块包括第十七晶体管,

所述第十七晶体管的栅极用于输入复位信号, 源极连接所述上拉控制模块的输出端, 漏极连接所述预定低电位。

13. 根据权利要求 1 所述的电路, 其中, 还包括扫描启动信号产生模块, 所述扫描启动信号产生模块包括第十八晶体管,

所述第十八晶体管的栅极连接所述上拉控制模块的输出端, 源极用于输入所述时钟信号, 漏极用于输出本级扫描启动信号。

14. 根据权利要求 1 所述的电路, 其中, 所述时钟信号由占空比为 $1/4$ 、依次延迟 $1/8$ 时钟周期的 8 个子时钟方波信号组成。

15. 一种用于驱动栅极驱动电路的方法, 所述栅极驱动电路包括:

上拉控制模块, 用于在向上间隔一级扫描启动信号控制下, 输入向上间隔一级扫描信号;

上拉模块, 用于在所述上拉控制模块输出的向上间隔一级扫描信号控制下, 输入时钟信号以产生本级扫描信号;

下拉模块, 用于在向下间隔一级时钟信号的控制下, 拉低所述上拉控制模块的输出端电位和本级扫描信号电位;

下拉维持模块, 用于在所述上拉控制模块的输出端电位和外加信号控制下保持所述上拉控制模块的输出端电位和本级扫描信号电位均处于预定低电位,

所述方法包括:

向上拉控制模块施加向上间隔一级扫描启动信号, 以使得向上间隔一级扫描信号经所述上拉控制模块输出;

上拉模块在所述上拉控制模块输出的向上间隔一级扫描信号控制下, 以使

得时钟信号通过所述上拉模块输出以产生本级扫描信号；

向下拉模块施加向下间隔一级时钟信号，以拉低所述上拉控制模块的输出端电位和本级扫描信号电位至预定低电位；

向下拉维持模块施加外加信号，并在所述上拉控制模块的输出端的预定低电位配合下，保持所述上拉控制模块的输出端电位和本级扫描信号电位均处于所述预定低电位。

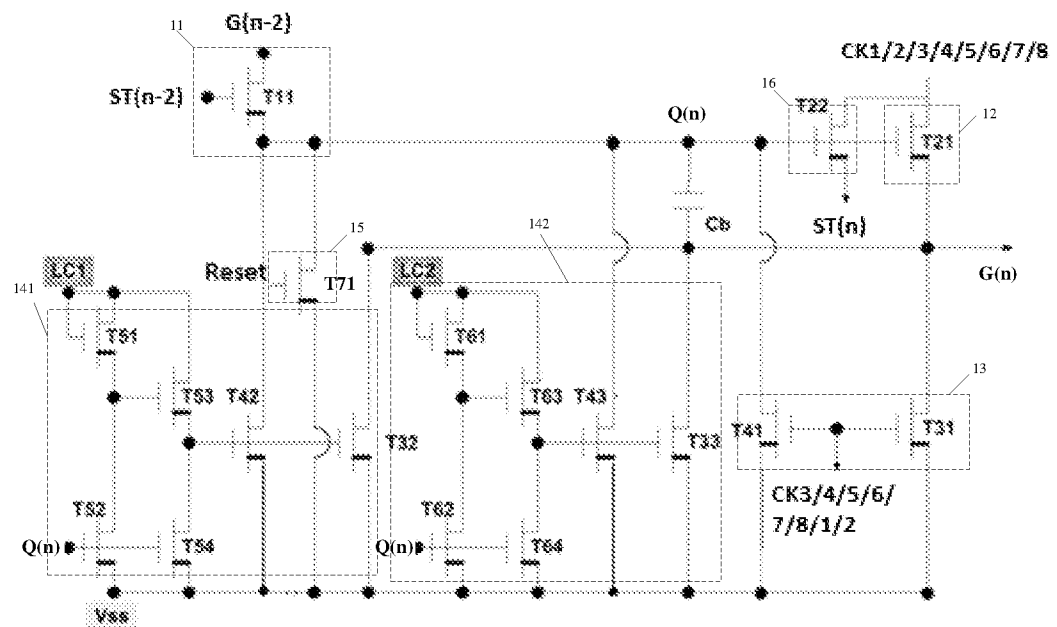


图 1

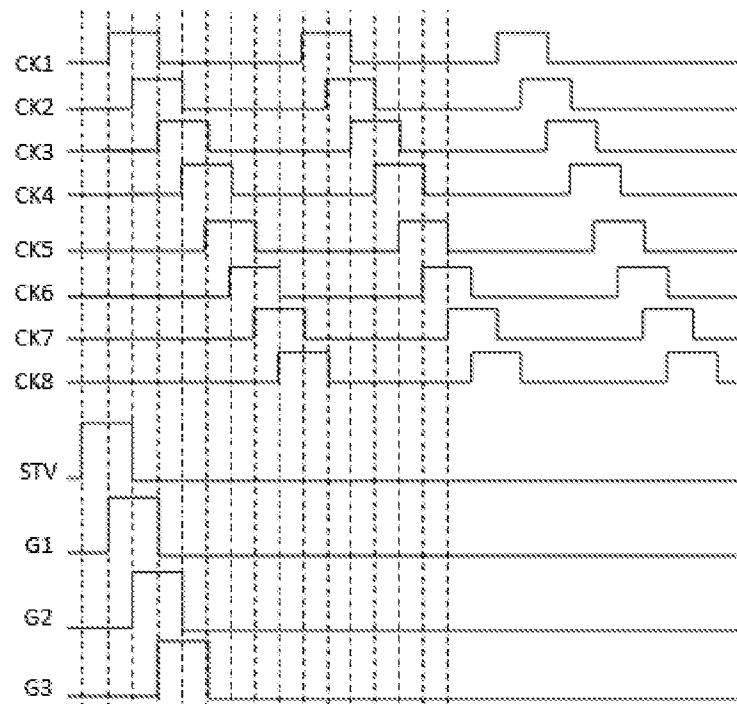


图 2

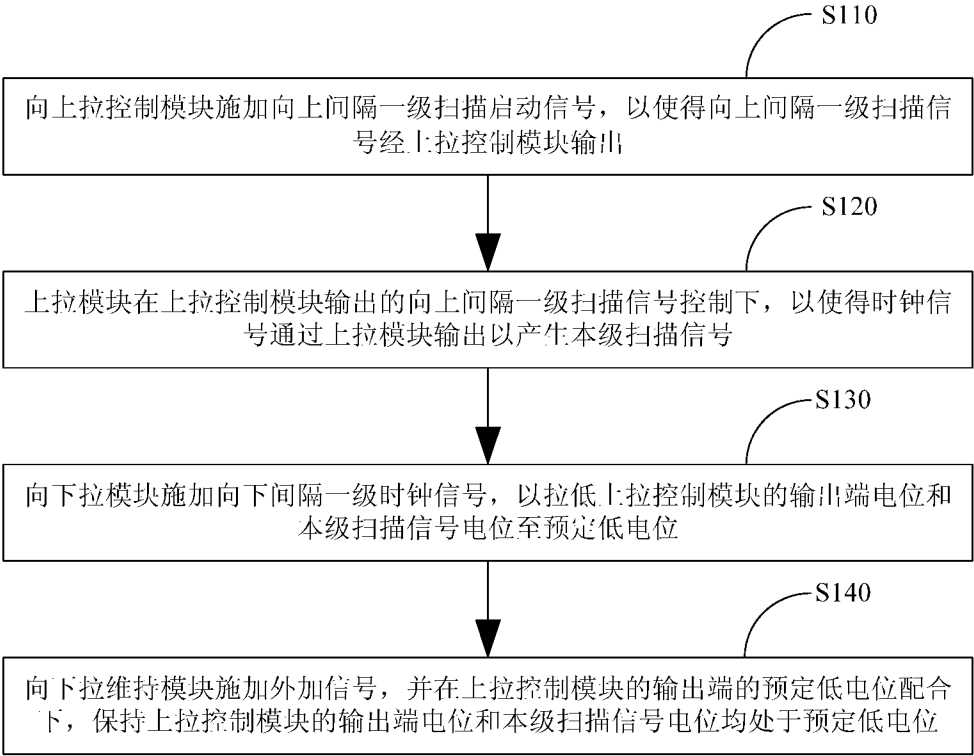


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/099590

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX; CNABS; VEN: 过流保护, 栅极驱动, 上拉模块, 时钟, 下拉维持, 下拉, 上拉控制, Gate, driving, scanning, lower, pull, clock, down, signal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107154245 A (SHENZHEN CHINA STAR OPTOELECT), 12 September 2017 (12.09.2017), description, paragraphs [0049]-[0068], and figures 1-3	1-10
A	CN 106486080 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 March 2017 (08.03.2017), entire document	1-10
A	CN 104091572 A (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 October 2014 (08.10.2014), entire document	1-10
A	CN 106297698 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 January 2017 (04.01.2017), entire document	1-10
A	CN 103956146 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 30 July 2014 (30.07.2014), entire document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 April 2018	Date of mailing of the international search report 20 April 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Lisheng Telephone No. (86-10) 62089989

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/099590

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 107154245 A	12 September 2017	None	
CN 106486080 A	08 March 2017	None	
CN 104091572 A	08 October 2014	CN 104091572 B	06 April 2016
		US 2015365085 A1	17 December 2015
CN 106297698 A	04 January 2017	None	
CN 103956146 A	30 July 2014	WO 2015158015 A1	22 October 2015
		CN 103956146 B	12 April 2017
		US 9741301 B2	22 August 2017
		US 2015302813 A1	22 October 2015

国际检索报告

国际申请号

PCT/CN2017/099590

A. 主题的分类

G09G 3/36(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;CNABS;VEN:过流保护, 栅极驱动, 上拉模块, 时钟, 下拉维持, 下拉, 上拉控制, Gate, driving, scanning, lower, pull, clock, down, signal

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 107154245 A (SHENZHEN CHINA STAR OPTOELECT) 2017年 9月 12日 (2017 - 09 - 12) 说明书第[0049]-[0068]段, 附图1-3	1-10
A	CN 106486080 A (深圳市华星光电技术有限公司) 2017年 3月 8日 (2017 - 03 - 08) 全文	1-10
A	CN 104091572 A (京东方科技集团股份有限公司 成都京东方光电科技有限公司) 2014年 10月 8日 (2014 - 10 - 08) 全文	1-10
A	CN 106297698 A (深圳市华星光电技术有限公司) 2017年 1月 4日 (2017 - 01 - 04) 全文	1-10
A	CN 103956146 A (深圳市华星光电技术有限公司) 2014年 7月 30日 (2014 - 07 - 30) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 4月 8日

国际检索报告邮寄日期

2018年 4月 20日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

王立升

电话号码 (86-10) 62089989

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/099590

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107154245	A	2017年 9月 12日	无			
CN	106486080	A	2017年 3月 8日	无			
CN	104091572	A	2014年 10月 8日	CN	104091572	B	2016年 4月 6日
				US	2015365085	A1	2015年 12月 17日
CN	106297698	A	2017年 1月 4日	无			
CN	103956146	A	2014年 7月 30日	WO	2015158015	A1	2015年 10月 22日
				CN	103956146	B	2017年 4月 12日
				US	9741301	B2	2017年 8月 22日
				US	2015302813	A1	2015年 10月 22日

表 PCT/ISA/210 (同族专利附件) (2009年7月)