



(21) 申請案號：113124849

(22) 申請日：中華民國 113 (2024) 年 07 月 03 日

(51) Int. Cl. : H01L25/065 (2023.01)

H01L23/522 (2006.01)

H01L23/498 (2006.01)

H01L23/00 (2006.01)

(30) 優先權：2023/07/03 美國

63/524,758

2024/06/20 美國

18/748,662

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)  
南韓

(72) 發明人：張睿 ZHANG, RUI (US)；金炅洙 KIM, KYOUNGSOO (KR)；金又坪 KIM, WOOPOUNG (US)

(74) 代理人：林孟閱；盧颯君；陳怡如

申請實體審查：無 申請專利範圍項數：20 項 圖式數：11 共 42 頁

(54) 名稱

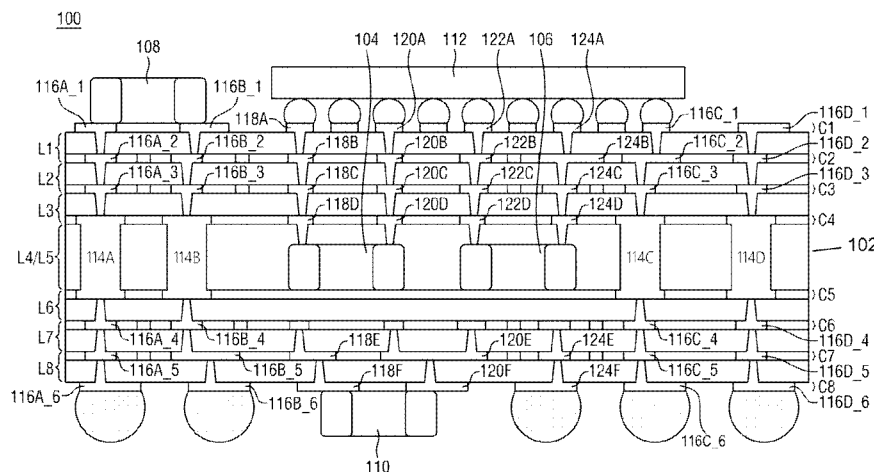
半導體封裝和半導體裝置

(57) 摘要

一種半導體封裝，包含核心層、核心層上的積體堆疊電容器 (integrated stack capacitor, ISC)、核心層上嵌入 ISC 的一個或多個堆疊層、以及核心層上的一個或多個金屬層。

A semiconductor package comprises a core layer, an integrated stack capacitor (ISC) on the core layer, one or more build-up layers on the core layer in which the ISC is embedded, and one or more metal layers on the core layer.

指定代表圖：



【圖1】

符號簡單說明：

100: 半導體封裝

102: 核心層

104、106、108、110:

陶瓷電容器

112: 矽基板

114A、114B、

114C、114D: 銅通孔

116A\_1、116A\_2、

116A\_3、116A\_4、

116A\_5、116A\_6、

116B\_1、116B\_2、

116B\_3、116B\_4、

116B\_5、116B\_6、

116C\_1、116C\_2、

116C\_3、116C\_4、  
116C\_5、116C\_6、  
116D\_1、116D\_2、  
116D\_3、116D\_4、  
116D\_5、116D\_6、  
118A、118B、  
118C、118D、  
118E、118F、120A、  
120B、120C、  
120D、120E、120F、  
122A、122B、  
122C、122D、  
124A、124B、  
124C、124D、  
124E、124F:銅配線圖  
案  
L1、L2、L3、L4、  
L5、L6、L7、L8:堆  
疊層  
C1、C2、C3、C4、  
C5、C7、C8:銅層

## 【發明摘要】

【中文發明名稱】半導體封裝和半導體裝置

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND SEMICONDUCTOR DEVICE

【中文】一種半導體封裝，包含核心層、核心層上的積體堆疊電容器（integrated stack capacitor，ISC）、核心層上嵌入ISC的一個或多個堆疊層、以及核心層上的一個或多個金屬層。

【英文】 A semiconductor package comprises a core layer, an integrated stack capacitor (ISC) on the core layer, one or more build-up layers on the core layer in which the ISC is embedded, and one or more metal layers on the core layer.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：半導體封裝

102：核心層

104、106、108、110：陶瓷電容器

112：矽背板

114A、114B、114C、114D：銅通孔

116A\_1、116A\_2、116A\_3、116A\_4、116A\_5、116A\_6、116B\_1、116B\_2、116B\_3、116B\_4、116B\_5、116B\_6、116C\_1、116C\_2、116C\_3、116C\_4、

116C\_5、116C\_6、116D\_1、116D\_2、116D\_3、116D\_4、116D\_5、116D\_6、  
118A、118B、118C、118D、118E、118F、120A、120B、120C、120D、  
120E、120F、122A、122B、122C、122D、124A、124B、124C、  
124D、124E、124F：銅配線圖案

L1、L2、L3、L4、L5、L6、L7、L8：堆疊層

C1、C2、C3、C4、C5、C7、C8：銅層

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 半導體封裝和半導體裝置

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND SEMICONDUCTOR DEVICE

### 【技術領域】

【0001】 本申請案基於且主張 2023 年 7 月 3 日在美國專利及商標局中申請的美國臨時申請案序列號 63/524,758 的優先權，所述申請案的揭露內容以全文引用的方式併入本文中。

【0002】 本揭露是關於一種將積體堆疊電容器 (integrated stack capacitor, ISC) 嵌入基板堆疊層的方法以及具有嵌入基板堆疊層中 ISC 的裝置。

### 【先前技術】

【0003】 目前，多層陶瓷電容器是電子裝置中生產和使用最多的電容器。基板可能在基板表面或基板核心層具有大型陶瓷電容器，這是由於電容器厚度限制 (例如， $>100\mu\text{m}$ )。由於陶瓷電容器厚度較大，這些電容器被配置在堆疊層外部。

【0004】 半導體封裝可為包含一或多個分立半導體裝置或積體電路的金屬、塑膠、玻璃或陶瓷殼體。個別組件可在半導體晶圓 (例如，矽晶圓) 上製造，然後切割成晶粒，測試，並封裝為半導體封裝。半導體封裝可具有用於半導體封裝內部裝置的引線或接觸點。

【0005】 本背景技術章節中所揭露的資訊已為發明人所熟知或在達成

本申請案的實施例的製程之前或期間由發明人導出，或者是在達成實施例的製程中獲取的技术資訊。因此，本背景技術章節中所揭露的資訊可含有不形成已為公眾所熟知的先前技術的資訊。

### 【發明內容】

【0006】 本揭露的實施例是關於形成一種半導體封裝，其中 ISC 嵌入半導體封裝中的基板堆疊層。該半導體封裝可整合到半導體裝置中，例如電子裝置（例如，手持裝置、電腦、平板電腦等）。ISC 可在基板製造製程期間嵌入基板堆疊層中。堆疊層可同時包含主動 ISC 和非主動 ISC，以改善介電層厚度均勻性。

【0007】 ISC 可形成於具有銅配線的核心層上。ISC 可形成於銅配線上或鄰近銅配線。一或多個堆疊層可形成於核心層上，使得具有銅配線的 ISC 嵌入一或多個堆疊層中。

【0008】 本揭露的實施例可導致基板厚度減小。例如，具有陶瓷電容器的傳統半導體封裝需要 500 $\mu\text{m}$  厚的核心以允許電容器嵌入核心層中，而本揭露的實施例如果 ISC 嵌入堆疊層中，則核心厚度約為 50 $\mu\text{m}$ 。

【0009】 本揭露的實施例為半導體封裝提供改善的電性能。例如，由於 ISC 比陶瓷電容器具有較小的厚度，所導致的半導體封裝具有高電容密度，從而導致改善的電性能。此外，半導體封裝可展現改善的電性能，因為將 ISC 放置在堆疊層中使得 ISC 更靠近矽。

【0010】 本揭露的實施例提供改善的介電層厚度均勻性。例如，堆疊層中 ISC 的厚度可與嵌入相同堆疊層中的銅配線圖案的厚度相匹配，從而使 ISC

能夠用作填充物(例如,虛擬矽)在半導體封裝中無法形成或放置銅的區域。因此,本揭露的實施例改善半導體封裝的機械強度和介電層厚度均勻性。

**【0011】** 根據一或多個實施例,形成半導體封裝的方法包含形成核心層。所述方法進一步包含在核心層上形成 ISC。所述方法進一步包含在核心層上形成一或多個堆疊層,其中 ISC 嵌入一或多個堆疊層中。所述方法進一步包含在核心層上形成一或多個金屬層。

**【0012】** 根據一或多個實施例,半導體封裝包含核心層。所述半導體封裝進一步包含核心層上的 ISC。所述半導體封裝包含核心層上的一或多個堆疊層,其中 ISC 嵌入一或多個堆疊層中。所述半導體封裝包含核心層上的一或多個金屬層。

### **【圖式簡單說明】**

**【0013】** 進一步特徵、性質和所揭露主題的各種優點將從以下詳細描述和隨附圖式中更加明顯,其中:

圖 1 為範例半導體封裝的示意說明。

圖 2 為根據本揭露實施例的形成具有嵌入堆疊層中 ISC 的半導體封裝的製程說明。

圖 3 為根據本揭露實施例的具有嵌入其中銅配線圖案和 ISC 的堆疊層的示意說明。

圖 4 為根據本揭露實施例的形成具有嵌入堆疊層中 ISC 的半導體封裝的製程說明。

圖 5 為根據本揭露實施例的具有嵌入其中銅配線圖案和 ISC 的堆疊層

的示意說明。

圖 6 為根據本揭露實施例的具有嵌入一個或多個堆疊層中一個或多個 ISC 的半導體封裝的示意說明。

圖 7 為根據本揭露實施例的具有嵌入一個或多個層中一個或多個 ISC 的半導體封裝的示意說明。

圖 8 為根據本揭露實施例的具有嵌入其中銅配線圖案和具有一個或多個端子接觸點的 ISC 的堆疊層的示意說明。

圖 9 為根據本揭露實施例的具有主動 ISC 和非主動 ISC 的堆疊層的示意說明。

圖 10 為形成具有嵌入堆疊層中 ISC 的半導體封裝的製程流程圖。

圖 11 為根據本揭露實施例的示意圖，說明包含至少圖 6 或圖 7 中所示半導體封裝的電子裝置。

### 【實施方式】

【0014】 以下對示例實施例的詳細描述參考隨附圖式。不同圖式中相同符號可標識相同或相似元件。

【0015】 前述揭露提供說明和描述，但並非意圖詳盡無遺或將實施方式限制在所揭露的精確形式。根據上述揭露可能進行修改和變化，或可從實施方式的實踐中獲得。此外，一個實施例的一個或多個特徵或組件可整合到另一實施例中或與另一實施例（或另一實施例的一個或多個特徵）結合。另外，在下面提供的流程圖和操作描述中，可理解可省略一個或多個操作，可添加一個或多個操作，可同時（至少部分）執行一個或多個操作，以及可切換一

個或多個操作的順序。

【0016】 顯而易見，本文所述系統和/或方法可以不同形式的硬體或軟體實施。用於實施這些系統和/或方法的實際專用控制硬體不限制實施方式。

【0017】 即使在權利項和/或說明書中列舉了特定特徵組合，這些組合並非意圖限制可能實施方式的揭露。事實上，許多這些特徵可以以權利項中未明確列舉和/或說明書中未揭露的方式組合。儘管下面列出的每個從屬權利項可能僅直接依賴一個權利項，但可能實施方式的揭露包括每個從屬權利項與權利項集中每個其他權利項的組合。

【0018】 除非明確描述為關鍵或必要，否則本文使用的任何元件、動作或指令都不應被解釋為關鍵或必要。此外，本文中使用的冠詞「a」和「an」意圖包括一個或多個項目，可與「一個或多個」互換使用。當僅意圖指一個項目時，使用術語「一個」或類似語言。此外，本文中使用的術語「具有」、「包括」或類似用語意圖作為開放式術語。再者，用語「基於」意圖表示「至少部分基於」，除非另有明確說明。再者，諸如「[A]和[B]中的至少一個」或「[A]或[B]中的至少一個」等表述應理解為僅包括 A、僅包括 B 或同時包括 A 和 B。

【0019】 本說明書通篇中提及的「一個實施例」、「實施例」或類似語言意指結合所述實施例描述的特定特徵、結構或特性包含於本解決方案的至少一個實施例中。因此，本說明書通篇中出現的片語「在一個實施例中」、「在實施例中」和類似語言可能但不必然全部指同一實施例。

【0020】 此外，本揭露所描述的特徵、優點和特性可以任何適當方式在一個或多個實施例中組合。所屬技術領域中具有通常知識者根據本文描述將

認識到，本揭露可在不具備特定實施例的一個或多個特定特徵或優點的情況下實施。在其他情況下，某些實施例中可能認識到額外特徵和優點，這些特徵和優點可能不存在於本揭露的所有實施例中。

**【0021】** 本文中，兩個結構或元件之間的「連接」一詞可指其間的電性連接。例如，半導體晶片、半導體封裝和/或電子裝置之間的連接可指相應兩個或多個元件彼此之間的電性連接。「耦合」和「連接」這兩個術語可能具有相同含義，並在本文中可互換使用。此外，兩個結構或元件之間的「隔離」一詞涉及其間的電性絕緣或分離。例如，配線圖案彼此隔離可能意味著配線圖案彼此之間不具有電性連接。

**【0022】** 以下參照圖 1 至 11 描述本揭露的各種實施例。

**【0023】** 積體堆疊電容器（integrated stack capacitor，ISC）技術是一種新興技術，使用矽動態隨機存取記憶體（dynamic random access memory，DRAM）電容製程來實現具有高電容密度的矽基電容器。ISC 技術處於非常早期的階段。ISC 技術最常見的應用是在矽製造製程中整合 ISC（例如在邏輯晶片內部建立 ISC）。另一種應用是在矽晶圓上建立 ISC，然後將晶圓切割（例如切割）成一個或多個分立組件。然而，目前半導體封裝和電子裝置的製造並未利用 ISC 相較於陶瓷電容器的尺寸優勢。

**【0024】** 本揭露的實施例涉及形成半導體封裝，其中 ISC 嵌入半導體封裝中的基板堆疊層。基板堆疊層可為有機層。基板堆疊層可具有 15-45  $\mu\text{m}$  的厚度。根據一個或多個實施例，ISC 可在基板製造製程期間嵌入基板堆疊層中。

**【0025】** 在一個或多個實例中，堆疊層可由一個或多個堆疊膜形成。多層

堆疊膜可用於將晶片的小凸塊間距擴展到用於將基板連接到印刷電路板的焊球的更大凸塊間距。堆疊層在晶片與基板之間提供高互連密度。

**【0026】** 堆疊層可由寬度、厚度和間距定義。在一個或多個實例中，大部分訊號配線可包含在堆疊層中。堆疊層還可由介電特性、厚度、電性特性(如介電常數和損耗正切)以及熱膨脹特性來表徵。

**【0027】** 堆疊層可包含一個或多個通孔。通孔可透過一次鑽穿單個介電層形成。在一個或多個實例中，通孔可在堆疊層中呈階梯狀上升。在一個或多個實例中，通孔可在堆疊層中堆疊。

**【0028】** 堆疊層可在封裝核心的一側或兩側製造。在某些情況下，封裝核心兩側可具有相同數量的堆疊層。在其他情況下，封裝核心兩側形成的堆疊層可能不對稱。堆疊也可能不對稱，核心兩側具有不同的層厚度。在一個或多個實例中，半導體封裝的核心可具有多個通孔，用於從核心的一側到另一側進行電連接。因此，核心中的通孔可允許半導體封裝頂端的一個或多個堆疊層與半導體封裝底端的一個或多個堆疊層電連接。

**【0029】** 堆疊層可由介電材料形成。每個堆疊層可由相同的介電材料形成。在一個或多個實例中，堆疊層可由不同的介電材料形成。例如，第一堆疊層可由低  $\kappa$  介電材料形成，第二堆疊層可由高  $\kappa$  介電材料形成。低  $\kappa$  介電材料的實例包括但不限於：摻雜氟的二氧化矽、有機矽酸鹽玻璃(organosilicate glass, OSG)、摻雜碳的氧化物(carbon-doped oxide, CDO)、多孔二氧化矽、多孔有機矽酸鹽玻璃、旋塗有機聚合物介電質、旋塗矽基聚合物介電質。高  $\kappa$  介電材料的實例包括但不限於：鉛矽酸鹽、鋯矽酸鹽、二氧化鉛和二氧化鋯。

【0030】 在一個或多個實例中，堆疊層可由至少一個介電層和一個金屬層形成。在一個或多個實例中，介電層和金屬層可具有相同厚度。在一個或多個實例中，介電層的厚度可能比金屬層的厚度更厚。例如，介電層的厚度可佔堆疊層厚度的 50% - 70%，而金屬層可形成堆疊層剩餘的厚度。

【0031】 在本揭露的實施例中，「銅層」一詞可指銅配線圖案、銅走線連接、銅通孔或銅端子接觸。

【0032】 本揭露的實施例可包括 ISC。與傳統矽電容器相比，ISC 展現高電容密度。ISC 可包括至少一個堆疊電容器。在一個或多個實例中，ISC 可為包含一個或多個電容通孔的垂直圓柱陣列。堆疊電容器可包括多個層疊排列的平面電容器，其電極並聯連接。堆疊電容器可包括，例如，冠狀堆疊電容器、原始矽堆疊電容器，或所屬技術領域中具有通常知識者已知的任何其他適當電容器。ISC 可透過所屬技術領域中具有通常知識者已知的任何適當堆疊電容器形成製程製造。圖 1 說明一個半導體封裝 100 實例。半導體封裝 100 可包括核心層 102、陶瓷電容器 104、106、108 和 110，以及矽背板 112。在一個或多個實例中，矽背板可為另一個整合電路或顯示器。陶瓷電容器 108 可使用表面黏著技術（surface mount technology，SMT）製程作為晶粒側電容器（die side capacitor，DSC）附著到封裝正面。在一個或多個實例中，陶瓷電容器 110 可作為基板側電容器（land side capacitor，LSC）附著到封裝底面。

【0033】 陶瓷電容器 104 和 106 可嵌入核心層 102 中，核心層 102 可為銅箔積層板（copper clad laminate，CCL）核心。半導體封裝 100 可包括在核心層 102 添加後隨後添加的一個或多個堆疊層。核心層厚度可介於 100  $\mu\text{m}$

到 800  $\mu\text{m}$  之間，一個堆疊層的厚度（可稱為介電厚度）可介於 20  $\mu\text{m}$  到 45  $\mu\text{m}$  之間。基板 100 可為具有雙層核心和六個堆疊層的 3-2-3 結構，總共形成八層。例如，如圖 1 所示，層 L4/L5 構成核心 102，堆疊層 L1-L3 構成核心層 102 上方的堆疊層，堆疊層 L6-L8 構成核心層 102 下方的堆疊層。在一個或多個實例中，堆疊層 L1-L3 和 L6-L8 中的每一層可具有相同厚度。在一個或多個實例中，構成核心的堆疊層 L4/L5 可具有一個堆疊層厚度兩倍的厚度。在一個或多個實例中，堆疊層 L4/L5 可具有等於堆疊層 L1-L3 組合厚度或堆疊層 L6-L8 組合厚度的厚度。

**【0034】** 在一個或多個實例中，半導體封裝 100 可包括銅通孔 114A、114B、114C 和 114D。每個銅通孔可透過堆疊層連接到銅配線圖案。例如，銅通孔 114 可透過堆疊層 L1-L6 連接到銅配線圖案 116A\_1-116A\_6。在一個或多個實例中，每個銅配線圖案可包括一個平坦部分和一個垂直於平坦部分並插入或穿透堆疊層的突出部分。例如，銅配線圖案 116A\_1 可包括在堆疊層 L1 中的突出部分，該突出部分將銅配線圖案 116A\_1 連接到銅配線圖案 116A\_2。

**【0035】** 銅通孔 114B 可透過堆疊層 L1-L6 連接到銅配線圖案 116B\_1-116B\_6。銅通孔 114C 可透過堆疊層 L1-L6 連接到銅配線圖案 116C\_1-116C\_6。銅通孔 114D 可透過堆疊層 L1-L6 連接到銅配線圖案 116D\_1-116D\_6。

**【0036】** 陶瓷電容器 104、106、108 和 110 也可透過一些堆疊層連接到一些銅配線圖案。例如，陶瓷電容器 104 可透過堆疊層 L1-L3 連接到第一組銅配線圖案 118A、118B、118C 和 118D，以及第二組銅配線圖案 120A、120B、120C 和 120D。同樣地，陶瓷電容器 106 可透過堆疊層 L1-L3 連接

到第三組銅配線圖案 122A、122B、122C 和 122D，以及第四組銅配線圖案 124A、124B、124C 和 124D。陶瓷電容器 108 可透過銅配線圖案 116A\_1、116A\_2 和 116A\_3 連接到通孔 114A。陶瓷電容器 108 可進一步透過銅配線圖案 116B\_1、116B\_2 和 116B\_3 連接到通孔 114B。陶瓷電容器 110 可透過堆疊層 L5 和 L6 連接到銅配線圖案 118E 和 118F 以及銅配線圖案 120E 和 120F。半導體封裝 100 可進一步包括用於各種其他連接的額外銅配線圖案 124E 和 124F。

**【0037】** 半導體封裝 100 的介電層厚度和核心層厚度可如表 1 中所示進行規定。如表 1 所示，核心層 102 可為兩層（例如，L4 和 L5）。

**【0038】** 表 1

堆疊層	厚度
L1	20 – 45 $\mu\text{m}$
L2	20 – 45 $\mu\text{m}$
L3	20 – 45 $\mu\text{m}$
L4/L5	100 – 800 $\mu\text{m}$
L6	20 – 45 $\mu\text{m}$
L7	20 – 45 $\mu\text{m}$
L8	20 – 45 $\mu\text{m}$

**【0039】** 銅配線圖案平坦部分的銅層厚度可規定為 C1-C3 和 C6-C8 之一。銅配線圖案的平坦部分可垂直於銅配線圖案的突出部分。例如，C1 厚度可對應於銅配線圖案 116A\_1、116B\_1、116C\_1、116D\_1、118A、120A、122A、

122A 和 124A 平坦部分的銅層厚度。C2 厚度可對應於銅配線圖案 116A\_2、116B\_2、116C\_2、116D\_2、118B、120B、122B 和 124B 平坦部分的銅層厚度。C3 厚度可對應於銅配線圖案 116A\_3、116B\_3、116C\_3、116D\_3、118C、120C、122C 和 124C 平坦部分的銅層厚度。C6 厚度可對應於銅配線圖案 116A\_4、116B\_4、116C\_4 和 116D\_4 平坦部分的銅層厚度。C7 厚度可對應於銅配線圖案 116A\_5、116B\_5、116C\_5、116D\_5、118B、120E 和 124E 平坦部分的銅層厚度。C8 厚度可對應於銅配線圖案 116A\_6、116B\_6、116C\_6、116D\_6、118F、120F 和 124F 平坦部分的銅層厚度。

【0040】 C4 和 C5 的厚度可分別對應於每個銅通孔 114A-114D 頂部平坦部分和底部平坦部分的厚度。C1-C8 的厚度可如表 2 中所示。

【0041】 表 2

銅層	厚度
C1	10 – 25 $\mu\text{m}$
C2	10 – 25 $\mu\text{m}$
C3	10 – 25 $\mu\text{m}$
C4	25 – 45 $\mu\text{m}$
C5	25 – 45 $\mu\text{m}$
C6	10 – 25 $\mu\text{m}$
C7	10 – 25 $\mu\text{m}$
C8	10 – 25 $\mu\text{m}$

【0042】 目前，由於厚度限制，陶瓷電容器嵌入核心層中。例如，陶瓷電容器通常厚度大於 100  $\mu\text{m}$ ，因此通常不包含在堆疊層中。將陶瓷電容器嵌

入核心層需要額外的製程，且由於製造成本而僅有少數應用。雖然可執行將陶瓷電容器嵌入堆疊層的製程，但這種類型的製程需要移除多個堆疊層以創建空間來嵌入陶瓷電容器，這非常複雜且顯著增加製造成本。

**【0043】** 圖 2 為依據本揭露實施例形成在堆疊層中嵌入 ISC 的半導體封裝的製程 200 的說明。在操作 200A 中，可形成核心層 202。核心層 202 可為 CCL 層。在一個或多個實例中，核心層 202 可透過機械鑽孔形成通孔，這些通孔可填充銅以形成銅通孔 204A、204B、204C 和 204D。銅通孔 204A-204D 可與圖 1 所示的銅通孔 114A-114D 相同或對應。此外，在一個或多個實例中，可在核心層 102 上形成銅配線圖案 206。

**【0044】** 在操作 200B 中，可在銅配線圖案 206 上形成一個或多個 ISC。例如，如圖 2 所示，ISC 208A 和 208B 形成在銅配線圖案 206 上。如圖 2 所示，ISC 208A 和 208B 的每個背表面直接接觸銅配線圖案 206 的頂表面。因此，可在銅配線圖案 206 與 ISC 208A 和 ISC 208B 的每一個之間建立電性連接。

**【0045】** 在操作 200C 中，可在核心層上形成堆疊層，使得一個或多個 ISC 嵌入堆疊層中。例如，如圖 2 所示，堆疊層 210 形成在核心層 202 上，使得 ISC 208A 和 ISC 208B 嵌入堆疊層 210 中。堆疊層 210 可透過例如薄膜層壓製程形成。

**【0046】** 圖 3 為圖 2 中所示部分 A 的放大圖，其為堆疊層 210 的示意圖，其中至少一部分銅配線圖案 206 和 ISC 208A 嵌入堆疊層 210 中。在一個或多個實例中，ISC 208 的厚度可等於或實質上等於（例如，在 $\pm 5\%$ 範圍內）銅配線圖案 206 的厚度。例如，如圖 3 所示，ISC 208 和銅配線圖案 206 的

厚度均為 15  $\mu\text{m}$ 。在一個或多個實例中，堆疊層 210 的厚度大於銅配線圖案 206 和 ISC 208A 的厚度組合。例如，如圖 3 所示，堆疊層 210 的厚度為 40  $\mu\text{m}$ 。如所屬技術領域中具有通常知識者所理解的，ISC 208 的厚度和銅配線圖案 206 的厚度可彼此不同。

**【0047】** 在操作 200D 中，可形成銅配線圖案 212A 和 212B。銅配線圖案 212A 和 212B 可透過例如雷射鑽孔在堆疊層 210 中形成通孔來形成。通孔可填充銅以與銅通孔 204A-204D、銅配線圖案 206 和/或 ISC 208A 和 208B 建立電性連接。

**【0048】** 圖 4 為依據本揭露實施例形成在堆疊層中嵌入 ISC 的半導體封裝的製程 400 的說明。

**【0049】** 在操作 400A 中，可形成核心層 202。核心層 202 可與在操作 200A（圖 2）中形成的核心層 202 相同或對應，其中形成銅通孔 204A-204D。銅通孔 204A-204D 可分別與圖 1 中的銅通孔 104A-104D 相同或對應。

**【0050】** 在操作 400B 中，可在核心層 202 上形成 ISC，如 ISC 208A 和 208B，其可分別與圖 2 中的 ISC 208A 和 208B 相同或對應。相對於圖 2 中的製程 200，製程 400 直接在核心層 202 的頂表面上形成 ISC 208A 和 208B，使得 ISC 208A 和 208B 的背表面直接接觸核心層 202 的頂表面。在操作 400B 中，可形成包括銅配線圖案 406 的銅配線圖案。

**【0051】** 在操作 400C 中，可以類似於上述操作 200C 所描述的方式形成堆疊層。例如，圖 4 中的堆疊層 210 可與圖 2 中的堆疊層 210 相同或對應。

**【0052】** 圖 5 為圖 4 中所示部分 B 的放大圖，其為依據本揭露實施例的堆疊層 210 的示意圖，其中銅配線圖案 406 和 ISC 208 嵌入堆疊層 210 中。在

一個或多個實例中，ISC 208 的厚度可等於或實質上等於（例如，在 $\pm 5\%$ 範圍內）銅配線圖案 406 的厚度。例如，如圖 5 所示，ISC 208 和銅配線圖案 406 的厚度均為  $10\ \mu\text{m}$ 。在一個或多個實例中，堆疊層 210 的厚度大於銅配線圖案 406 和 ISC 208A 各自的厚度。例如，如圖 5 所示，堆疊層 210 的厚度為  $20\ \mu\text{m}$ 。如所屬技術領域中具有通常知識者所理解的，ISC 208 的厚度和銅配線圖案 406 的厚度可彼此不同。

**【0053】** 在操作 400D 中，可以類似於上述操作 200D 所描述的方式形成銅配線圖案 212A 和 212B。

**【0054】** 圖 6 為依據本揭露實施例在一個或多個堆疊層中嵌入一個或多個 ISC 的半導體封裝 600 的示意圖。半導體封裝 600 可整合到半導體裝置中，如電子裝置（例如，手持裝置、電腦、平板電腦等）。半導體裝置可包括印刷電路板（printed circuit board, PCB），該印刷電路板包括半導體封裝 600 和一個或多個與半導體封裝 600 耦合的積體電路。

**【0055】** 半導體封裝 600 可為具有雙層核心層 202 和六個堆疊層的 3-2-3 結構，總共形成八層。例如，如圖 6 所示，堆疊層 L4 和 L5 構成核心層 202，堆疊層 L1-L3 構成核心層 202 上方的堆疊層，層 L6-L8 構成核心層 202 下方的堆疊層。半導體封裝 600 可包括矽基板 602 作為基礎結構。雖然未以符號標示，半導體封裝 600 還可包括相同的銅通孔 114A-114D，以及銅配線圖案 116A\_1-116A\_6、116B\_1-116B\_6、116C\_1-116C\_6、116D\_1-116D\_6、118A-118F、120A-120F、122A-122F 和 124A-124F。此處省略重複描述。

**【0056】** 半導體封裝 600 可包括嵌入堆疊層 L3 中的 ISC 208A 和 208B，以及嵌入堆疊層 L8 中的 ISC 208C 和 208D。ISC 208A-208D 可根據製程 200

(圖 2) 形成，其中 ISC 形成在銅配線圖案上並嵌入堆疊層中。此外，如圖 6 所示，半導體封裝 600 可包括形成在堆疊層外部的額外 ISC 208C 和陶瓷電容器 110。半導體封裝 600 各層的介電厚度可依據表 1。半導體封裝 600 各層的銅層厚度可依據表 2。

**【0057】** 根據一個或多個實施例，ISC 可採取垂直圓柱陣列形式，包括兩個或多個連接端子之間的多個電容通孔，並具有非常低的剖面，例如，約  $2.0 \times 2.0 \times 2.0 \mu\text{m}$ ，而 DSC 或 LSC (可能是多層陶瓷電容器 (multilayer ceramic capacitor, MLCC)) 尺寸為數百微米 ( $\mu\text{m}$ )，例如，0402 MLCC 約為  $1.0 \times 0.5 \times 0.35 \text{ mm}$ 。ISC 可具有與 MLCC 相似的高電容密度。例如，ISC 可具有數百  $\text{nF}/\text{mm}^2$  的電容值，如  $1100 \text{ nF}/\text{mm}^2$ 。

**【0058】** 半導體封裝 600 利用 ISC 約  $2 \mu\text{m}$  的厚度優勢。在一個或多個實例中，以矽背板 602 作為基礎結構時，ISC 厚度可介於  $2 \mu\text{m}$  至  $700 \mu\text{m}$  之間。由於 ISC 厚度小於介電厚度 (例如，堆疊層的厚度)，ISC 可有利地放置在任何堆疊層中，而無需複雜的介電材料移除製程。ISC 還可根據所屬技術領域中具有通常知識者已知的 SMT 製程，作為 DSC 組件或 LSC 組件放置在表面層上。在一個或多個實例中，不需要額外的資本支出投資。在一個或多個實例中，ISC 厚度可設計為與嵌入相同堆疊層中的銅配線圖案厚度相匹配。在一個或多個實例中，ISC 還可修改為具有兩個以上的端子，這改善了電路設計並有利地減少基板佔用面積。

**【0059】** 圖 7 是根據本揭露實施例的具有一個或多個嵌入一個或多個層中的 ISC 的半導體封裝 700 的示意圖。半導體封裝 700 可與半導體封裝 600 相同或類似，不同之處在於陶瓷電容器 110 被 ISC 208F 取代。因此，此處

省略重複描述。半導體封裝 700 各層的介電厚度可依據表 1。半導體封裝 700 各層的銅厚度可依據表 2。

**【0060】** 圖 8 是根據本揭露實施例的具有嵌入其中的銅層和具有一個或多個端子接觸點的 ISC 的堆疊層示意圖。例如，如圖 8 所示，ISC 208A 可與端子接觸點 800A、800B 和 800C 電性連接。端子接觸點 800A-800C 可透過例如雷射鑽孔在堆疊層 210 中形成貫穿孔來形成。貫穿孔可填充銅以形成端子接觸點 800A-800C。雖然圖 8 中示出三個端子接觸點，但所屬技術領域中具有通常知識者可理解，ISC 208A 可電性連接到三個以上的端子接觸點。端子接觸點可由銅製成，並可稱為銅端子接觸點。

**【0061】** 所屬技術領域中具有通常知識者可理解，介電厚度均勻性是高端基板的一個相關問題。在這方面，隨著基板尺寸持續變大且介電層持續變薄，厚度均勻性問題變得越來越具挑戰性。具體而言，層壓製程中介電材料熔化和流動的機制存在缺點。所屬技術領域中具有通常知識者可理解，高銅密度區域（例如銅平面）傾向於保留更多材料，而在低銅密度區域，介電材料傾向於流走，導致較低的介電厚度。高銅密度（例如連續銅平面）是首選，但由於設計/電性要求而無法實現。此外，銅密度不均勻的另一個問題是導致基板翹曲。在一個或多個實例中，可使用非活性 ISC 作為機械填充物以幫助增加偽銅密度，從而改善介電厚度均勻性並幫助減輕基板翹曲。

**【0062】** 圖 9 是根據本揭露實施例的具有活性 ISC 和非活性 ISC 的堆疊層示意圖。如圖 9 所示，半導體封裝 900A 具有介電厚度不均勻的堆疊層 902。半導體封裝 900B 包括具有一個或多個非活性 ISC 906 的堆疊層 904，以實現介電厚度均勻性。在一個或多個實例中，半導體封裝可包括活性 ISC 和

非活性 ISC，以實現介電厚度均勻性。例如，半導體封裝 900C 包括具有至少一個活性 ISC 910 和至少一個非活性 ISC 912 的堆疊層 908。如圖 9 所示，半導體封裝 900C 具有均勻的介電厚度。在一個或多個實例中，可在與活性 ISC 相同的時間放置非活性 ISC。在一個或多個實例中，非活性 ISC 可根據製程 200（圖 2）或製程 400（圖 4）形成。所屬技術領域中具有通常知識者可理解，非活性 ISC 可為未配置為儲存或分配電能的 ISC。

**【0063】** 圖 10 是在堆疊層中嵌入 ISC 的半導體封裝形成製程 1000 的流程圖。製程 1000 可用於形成半導體封裝 600（圖 6）或半導體封裝 700（圖 7）。

**【0064】** 製程可在操作 S1002 開始，其中形成核心層。例如，可根據操作 200A（圖 2）或 400A（圖 4）形成核心層。

**【0065】** 製程可進行到操作 S1004，其中在核心層上形成 ISC。例如，可根據操作 200B（圖 2）或 400B（圖 4）在核心層 202 上形成 ISC 208A 和 208B。

**【0066】** 製程可進行到操作 S1006，其中在核心層上形成一個或多個堆疊層。例如，可根據操作 200C（圖 2）或 400C（圖 4）在核心層 202 上形成堆疊層 210，其中 ISC 208A 和 208B 嵌入其中。

**【0067】** 製程可進行到操作 S1008，其中在核心層上形成一個或多個金屬層。例如，一個或多個金屬層可包括根據操作 200D（圖 2）在核心層 202 上形成的銅配線圖案 212A 和 212B。在另一個實例中，一個或多個銅層可包括根據操作 400D（圖 4）在核心層 202 上形成的銅配線 406。

**【0068】** 圖 11 是示意圖，根據本揭露的實施例說明包含至少如圖 6 或圖

7 所示半導體封裝的電子裝置。

**【0069】** 參照圖 11，電子裝置 1100 可包括印刷電路板（PCB）或主機板 1110，其上安裝多個半導體封裝 1111-1115。電子裝置 1100 還可包括多個其他組件 1120。

**【0070】** 半導體封裝 1111 可包括 SoC，其可包括至少一個中央處理器（Central Processing Unit，CPU）、圖形處理器（Graphic Processing Unit，GPU）、AI 模組、數據機、一個或多個記憶體單元、電源管理單元等，以控制電子裝置 1100 的整體操作。其他半導體封裝 1112-1115 可分別包括記憶體晶片、各種其他處理器晶片、通訊晶片和介面晶片。包含在半導體封裝 1114 中的通訊晶片可配置為與 SoC 相關聯執行無線或有線通訊功能。半導體封裝 1111-1115 中的至少一個可由圖 6 或圖 7 所示的半導體封裝實施。

**【0071】** 包含在電子裝置 100 中的其他組件 1120 可包括儲存器、相機模組、喇叭、麥克風、顯示器、電池等。儲存器可配置為儲存使用者資料。儲存器可為嵌入式多媒體卡（embedded multimedia card，eMMC）、固態硬碟（solid state drive，SSD）、通用快閃儲存（universal flash storage，UFS）裝置等。顯示器可實施為顯示由 SoC 處理的資料及/或通過顯示器的觸控螢幕面板接收資料。

**【0072】** 前述內容說明例示性實施例，且不應解釋為限制本揭露。儘管已描述幾個例示性實施例，但所屬技術領域中具有通常知識者將易於瞭解，在不實質上脫離本揭露的情況下，以上實施例中的許多修改為可能的。

**【0073】** 本揭露的實施例提供重要的有利特徵，包括節省空間、性能改善（例如，電性能和機械性能）、製造良率改善等。在一個或多個實例中，本

揭露的實施例通過在堆疊層中嵌入 ISC 來為基板表面面積提供空間節省，相比之下，陶瓷電容器只能作為 DSC 組件或 LSC 組件放置在表面上。

**【0074】** 本揭露的實施例可導致改善的電性能。例如，ISC 提供比表面上的陶瓷電容器更好的電性能（例如，更高的電容密度）。

**【0075】** 本揭露的實施例可導致簡化的封裝/組裝製程（例如，在基板製造製程期間已放置電容器），在組裝期間無需額外的組件放置。

**【0076】** 本揭露的實施例可導致機械上更加穩固的半導體封裝或電子裝置。例如，本揭露的實施例不需要焊接接點，從而消除了焊接接點裂縫的風險。ISC 到銅配線的連接可通過正常的銅電鍍製程形成，從而消除了 DSC 製程或 LSC 製程中使用的焊接製程，該製程還需要清潔或去除助焊劑製程。因此，根據本揭露實施例的嵌入式 ISC 與使用涉及焊料和化學清潔的 SMT 製程的普通 DSC 或 LSC 相比，更加環保。

**【0077】** 本揭露的實施例可導致消除由於助焊劑或底部填充材料溢出造成的污染風險。在矽晶片附著後可能需要底部填充材料（例如，環氧樹脂材料），且底部填充材料可能溢出而污染矽晶片周圍的 DSC 組件。需要非常嚴格的設計規則和製程控制來避免這些缺點。通過使用根據本揭露實施例的嵌入式 ISC，不再需要表面組件（例如，DSC，從而消除了使用底部填充材料的需求）。

**【0078】** 本揭露的實施例可導致能夠在基板層級執行電性測試，而不是等到晶粒/組件全部附著後才進行。傳統上，DSC 測試或 LSC 測試是在昂貴的矽晶片已經附著到半導體封裝後進行的。因此，傳統的 DSC 測試和 LSC 測試比本揭露實施例執行的測試更加昂貴。

【0079】 本揭露的實施例可使 ISC 能夠用作填充物以平衡銅密度。

【0080】 本揭露的實施例可導致減少表面面積，從而帶來有利的空間節省。此外，多個 ISC 可放置在同一層中。

【0081】 本揭露的實施例可導致 ISC 更靠近矽的電性優勢。

【0082】 本揭露的實施例可導致良率改善，因為在堆疊層中嵌入 ISC 可在基板製造設施內執行，該設施比組裝工廠更乾淨（例如，更好的顆粒控制）。因此，外來材料引起的失效減少，從而提高產品品質和可靠性。

【0083】 本揭露的實施例可導致更可行的多端子組件，與基板製造製程（例如，使用雷射鑽孔形成與 ISC 的連接）具有更高的相容性，從而實現更緊湊的設計並在基板上帶來有利的空間節省。

【0084】 本揭露的實施例可提供將 ISC 厚度與嵌入在與 ISC 相同堆疊層中的銅配線圖案厚度匹配的顯著有利特徵。因此，ISC 可用作填充物（例如，虛擬矽）在半導體封裝中無法形成或放置銅的區域，從而改善半導體封裝的機械強度，並改善介電層厚度均勻性。

【0085】 本揭露的實施例可導致基板厚度減少。例如，具有陶瓷電容器的傳統半導體封裝需要 500  $\mu\text{m}$  厚的核心以允許電容器嵌入核心層。相比之下，如果 ISC 嵌入堆疊層中，本揭露的實施例具有約 50  $\mu\text{m}$  的核心厚度。

【0086】 實施例已如上所述並以區塊的形式說明，如圖中所示，這些區塊執行所描述的功能。這些區塊可通過類比和/或數位電路實體實施，包括邏輯閘、積體電路、微處理器、微控制器、記憶體電路、被動電子組件、主動電子組件、光學組件等中的一或多個，也可通過軟體和/或韌體（用以執行本文所述功能或操作）來實施或驅動。電路可例如體現在一或多個半導體晶

片中，或在基板支撐件（如印刷電路板等）上。包含在區塊中的電路可通過專用硬體實施，或通過處理器（例如，一或多個程式化微處理器及相關聯電路）實施，或通過專用硬體執行區塊的某些功能與處理器執行區塊的其他功能的組合來實施。實施例的每個區塊可實體分離成兩個或更多個相互作用和離散的區塊。同樣，實施例的區塊可實體組合成更複雜的區塊。

**【0087】** 雖然本揭露的實施例是關於銅的描述，但這種金屬僅是一個實例。所屬技術領域中具有通常知識者可理解，本揭露的實施例可用其他適合的材料替代銅，例如鋁（Al）、鎢（W）、鈷（Co）、鈦（Ti）、鉭（Ta）、鉬（Mo）和鈦（Ru）。

**【0088】** 雖然本揭露已描述了幾個非限制性實施例，但存在屬於本揭露範疇內的改變、置換和各種替代等效物。因此，所屬技術領域中具有通常知識者將能夠設計出許多系統和方法，這些系統和方法雖然未在本文中明確顯示或描述，但體現了本揭露的原理，因此屬於本揭露的精神和範疇之內。

**【0089】** 上述揭露還包含以下列出的實施例。

**【0090】** （1）一種形成半導體封裝的方法，包含：形成核心層；在核心層上形成電容器；在核心層上形成一或多個堆疊層，其中電容器嵌入在一或多個堆疊層中；以及在核心層上形成一或多個金屬層。

**【0091】** （2）根據特徵（1）的方法，其中形成一或多個金屬層包括：形成至少一個與核心層表面接觸的金屬層，其中電容器形成在至少一個金屬層上，使得電容器與至少一個金屬層接觸。

**【0092】** （3）根據特徵（2）的方法，其中形成一或多個堆疊層包括：在形成電容器之後，形成至少一個覆蓋 ISC 和至少一個金屬層的堆疊層。

【0093】 (4) 根據特徵 (3) 的方法，其中電容器的厚度實質上等於至少一個金屬層的厚度。

【0094】 (5) 根據特徵 (4) 的方法，其中至少一個堆疊層的厚度大於電容器的厚度。

【0095】 (6) 根據特徵 (4) 的方法，其中至少一個堆疊層的厚度大於電容器厚度和至少一個金屬層厚度的組合。

【0096】 (7) 根據特徵 (1) 的方法，其中電容器與核心層的表面接觸。

【0097】 (8) 根據特徵 (7) 的方法，其中形成一或多個金屬層包括：形成至少一個與核心層表面接觸的金屬層。

【0098】 (9) 根據特徵 (8) 的方法，其中形成一或多個堆疊層包括：形成至少一個覆蓋電容器和至少一個金屬層的堆疊層。

【0099】 (10) 根據特徵 (9) 的方法，其中電容器的厚度實質上等於至少一個金屬層的厚度，且至少一個堆疊層的厚度大於電容器的厚度。

【0100】 (11) 根據特徵 (1) 至 (10) 中任一項的方法，其中形成一或多個金屬層包括：在電容器上形成  $N$  個金屬接觸點，其中  $N$  是大於或等於 3 的正整數。

【0101】 (12) 根據特徵 (1) 至 (11) 中任一項的方法，其中形成一或多個堆疊層包括：形成與核心層接觸的第一堆疊層；以及在第一堆疊層上形成第二堆疊層，其中在形成第二堆疊層之前，電容器形成在第一堆疊層上。

【0102】 (13) 根據特徵 (1) 至 (12) 中任一項的方法，其中電容器是主動電容器，且該方法還包括：形成一個非主動電容器，該非主動電容器與所述主動電容器包含在所述一或多個堆疊層中的同一個堆疊層內。

【0103】 (14) 根據特徵 (1) 至 (13) 中任一項的方法，其中一或多個金屬層包含從銅 (Cu)、鋁 (Al)、鎢 (W)、鈷 (C)、鈦 (Ti)、鉭 (Ta)、鉬 (Mo) 和鈱 (Ru) 組成的群組中選擇的金屬。

【0104】 (15) 半導體封裝包括：核心層；核心層上的電容器；核心層上的一或多個堆疊層，其中電容器嵌入一或多個堆疊層中；以及核心層上的一或多個金屬層。

【0105】 (16) 根據特徵 (15) 的半導體封裝，其中一或多個金屬層包括至少一個與核心層表面接觸的金屬層，且電容器形成在至少一個金屬層上，使得電容器與金屬層接觸。

【0106】 (17) 根據特徵 (16) 的半導體封裝，其中一或多個堆疊層包括：至少一個覆蓋電容器和至少一個金屬層的堆疊層。

【0107】 (18) 根據特徵 (17) 的半導體封裝，其中電容器的厚度實質上等於至少一個金屬層的厚度。

【0108】 (19) 根據特徵 (18) 的半導體封裝，其中至少一個堆疊層的厚度大於電容器厚度和至少一個金屬層厚度的組合。

【0109】 (20) 根據特徵 15 的半導體封裝，其中電容器與核心層的表面接觸。

【0110】 (21) 根據特徵 (1) 的半導體封裝，其中電容器為 ISC。

【0111】 (22) 根據特徵 (11) 的半導體封裝，其中電容器為 ISC。

【符號說明】

【0112】

100、600、700、900A、900B、900C、1111、1112、1113、  
1114、1115：半導體封裝

102、202：核心層

104A、104B、104C、104D、114A、114B、114C、114D、204A、  
204B、204C、204D：銅通孔

104、106、108、110：陶瓷電容器

112、602：矽背板

116A\_1、116A\_2、116A\_3、116A\_4、116A\_5、116A\_6、116B\_1、  
116B\_2、116B\_3、116B\_4、116B\_5、116B\_6、116C\_1、116C\_1-1、  
116C\_2、116C\_3、116C\_4、116C\_5、116C\_6、116D\_1、116D\_2、  
116D\_3、116D\_4、116D\_5、116D\_6、118A、118B、118C、118D、  
118E、118F、120A、120B、120C、120D、120E、120F、122A、122B、  
122C、122D、124A、124B、124C、124E、124F、206、212A、212B、  
406：銅配線圖案

200A、200B、200C、200D、400A、400B、400C、400D、S1002、  
S1004、S1006、S1008：操作

200、400、1000：製程

208、208A、208B、208C、208F：積體堆疊電容器

210、902、904、908、L1、L2、L3、L4、L5、L6、L7、L8：  
堆疊層

1100：電子裝置

1110：主機板

1120：組件

C1、C2、C3、C4、C5、C6、C7、C8：銅層

## 【發明申請專利範圍】

【請求項1】一種半導體封裝，包括：

核心層；

電容器，位於所述核心層上；

一個或多個堆疊層，位於所述核心層上，其中所述電容器嵌入於所述一個或多個堆疊層中；以及

一個或多個金屬層，位於所述核心層上。

【請求項2】如請求項1所述的半導體封裝，其中所述一個或多個金屬層包含與所述核心層的表面接觸的至少一個金屬層，且

其中所述電容器與所述至少一個金屬層接觸。

【請求項3】如請求項2所述的半導體封裝，其中所述一個或多個堆疊層包含覆蓋所述電容器和所述至少一個金屬層的至少一個堆疊層。

【請求項4】如請求項1所述的半導體封裝，其中所述電容器的厚度實質上等於所述至少一個金屬層的厚度。

【請求項5】如請求項1所述的半導體封裝，其中所述至少一個堆疊層的厚度大於所述電容器的厚度。

【請求項6】如請求項1所述的半導體封裝，其中所述至少一個堆疊層的厚度大於所述電容器的厚度與所述至少一個金屬層的厚度的組合。

【請求項7】如請求項1所述的半導體封裝，還包括：

N個金屬接觸點，設置於所述電容器上，

其中N是大於或等於3的正整數。

【請求項8】如請求項1所述的半導體封裝，其中所述一個或多個堆疊層包含與所述核心層接觸的第一堆疊層，以及位於所述第一堆疊層上的第二堆疊層，

其中所述電容器在所述第二堆疊層形成之前設置於所述第一堆疊層上。

【請求項9】如請求項1所述的半導體封裝，其中所述電容器是主動電容器，並且其中所述半導體封裝還包括：

非主動電容器，與所述主動電容器被包含在所述一個或多個堆疊層中的同一個堆疊層中。

【請求項10】如請求項1所述的半導體封裝，其中所述一個或多個金屬層包含從銅（Cu）、鋁（Al）、鎢（W）、鈷（C）、鈦（Ti）、鉭（Ta）、鉬（Mo）和鈱（Ru）組成的群組中選擇的金屬。

【請求項11】一種半導體封裝，包括：

核心層；

電容器，與所述核心層表面接觸；

一個或多個堆疊層，位於所述核心層上，其中所述電容器嵌入在所述一個或多個堆疊層中；以及

一個或多個金屬層，位於所述核心層上。

【請求項12】如請求項11所述的半導體封裝，其中所述一個或多個金屬層包含至少一個金屬層，該金屬層與所述核心層的表面接觸。

【請求項13】如請求項12所述的半導體封裝，其中所述一個或多個堆疊層包含覆蓋所述電容器和所述至少一個金屬層的至少一個堆疊層。

【請求項 14】 如請求項11所述的半導體封裝，其中所述電容器的厚度實質上等於所述至少一個金屬層的厚度，並且

其中所述至少一個堆疊層的厚度大於所述電容器的厚度。

【請求項 15】 如請求項11所述的半導體封裝，更包括：

N個金屬接觸點，設置在所述電容器上，

其中N是大於或等於3的正整數。

【請求項 16】 如請求項11所述的半導體封裝，其中所述一個或多個堆疊層包含與所述核心層接觸的第一堆疊層，以及位於所述第一堆疊層上的第二堆疊層，

其中所述電容器在所述第二堆疊層形成之前設置在所述第一堆疊層上。

【請求項 17】 如請求項11所述的半導體封裝，其中所述電容器是主動電容器，並且其中所述半導體封裝還包括：

非主動電容器，與所述主動電容器被包含在所述一個或多個堆疊層中的同一個堆疊層中。

【請求項 18】 如請求項11所述的半導體封裝，其中所述一個或多個金屬層包含從銅（Cu）、鋁（Al）、鎢（W）、鈷（C）、鈦（Ti）、鉭（Ta）、鉬（Mo）和鈱（Ru）組成的群組中選擇的金屬。

【請求項 19】 一種半導體裝置，包括：

半導體封裝，包括：

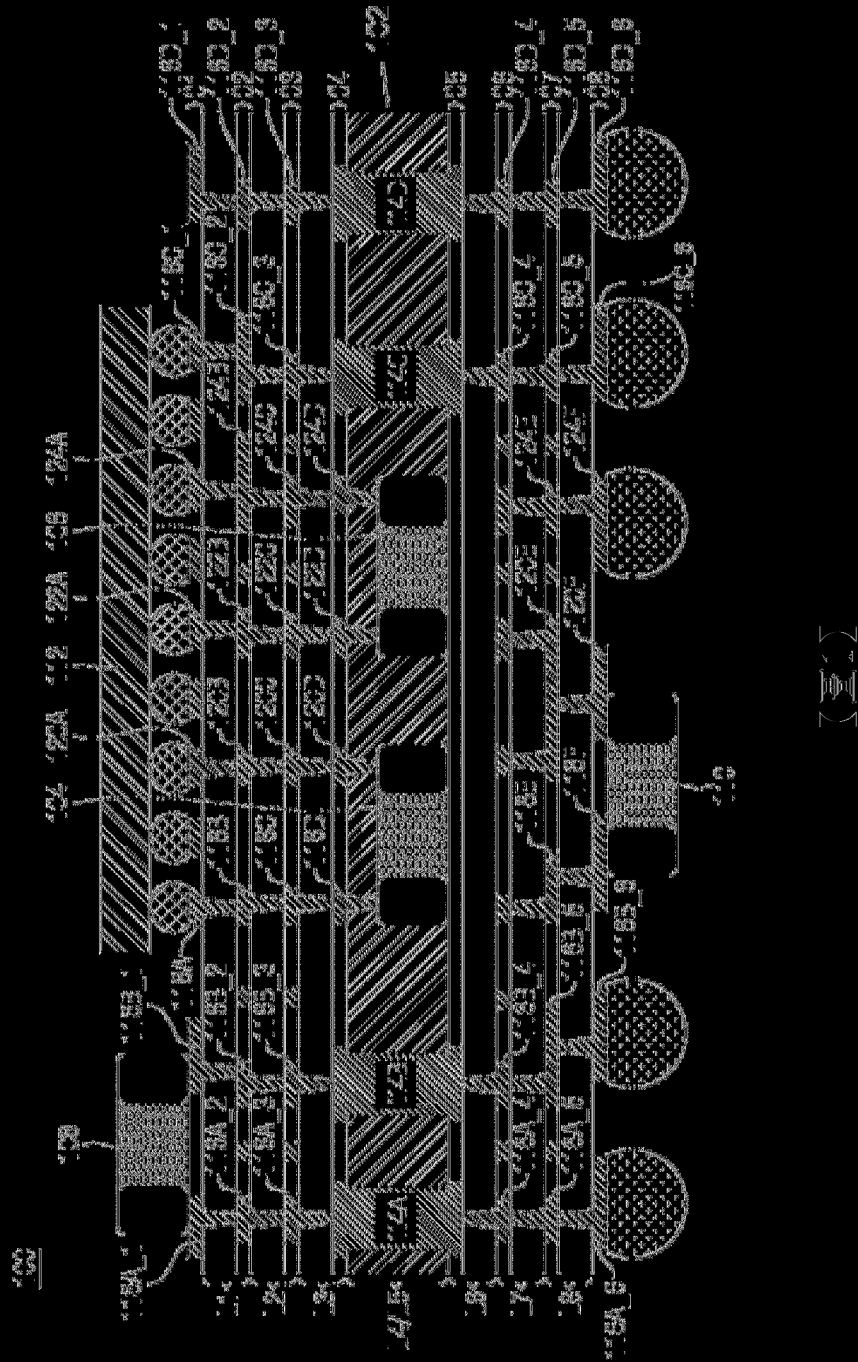
核心層，

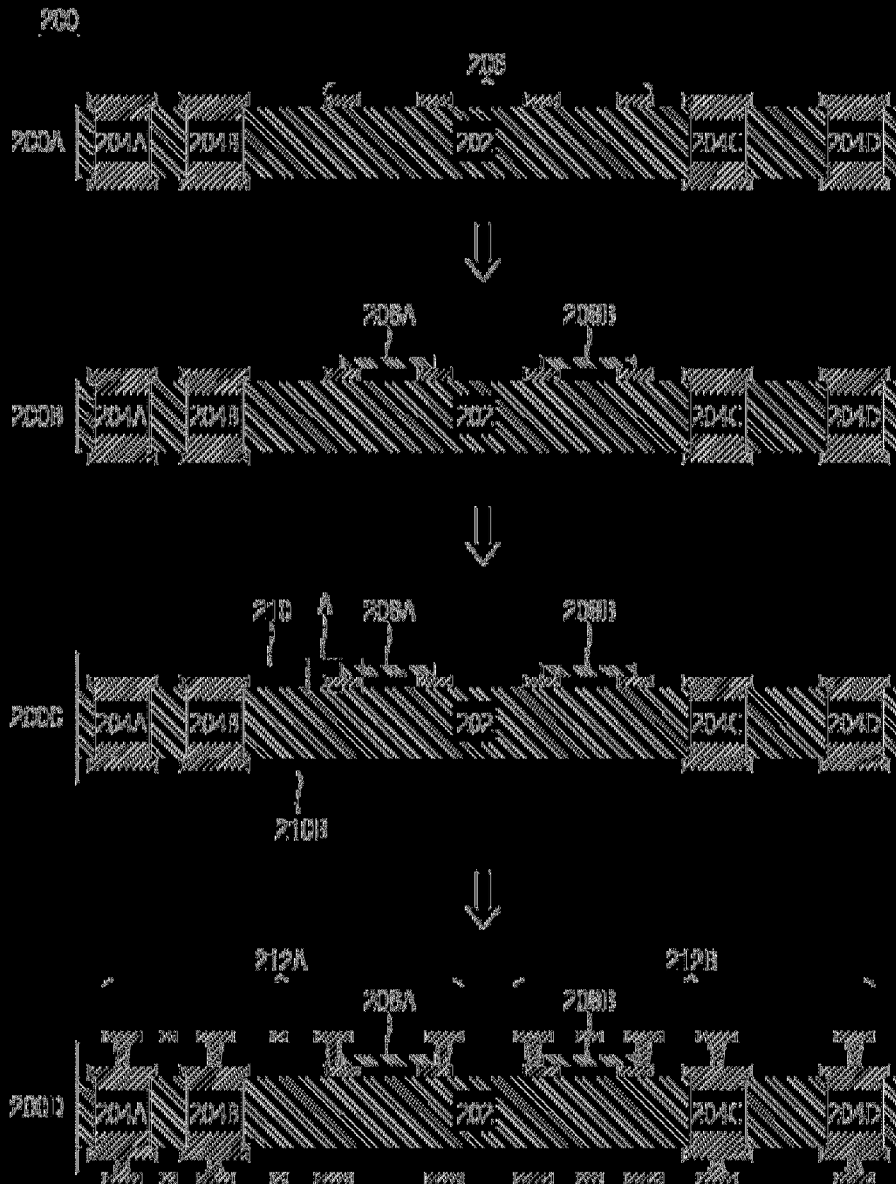
電容器，

一個或多個堆疊層在所述核心層上，其中所述電容器嵌入在所述  
一個或多個堆疊層中，以及  
一個或多個金屬層在所述核心層上；以及  
一個或多個積體電路（ICs），耦合到所述半導體封裝。

**【請求項 20】** 如請求項19所述的半導體裝置，其中所述電容器是積體堆疊電容器（integrated stack capacitor，ISC）。

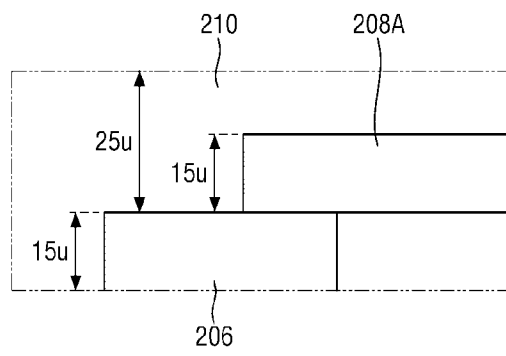
(發明圖式)



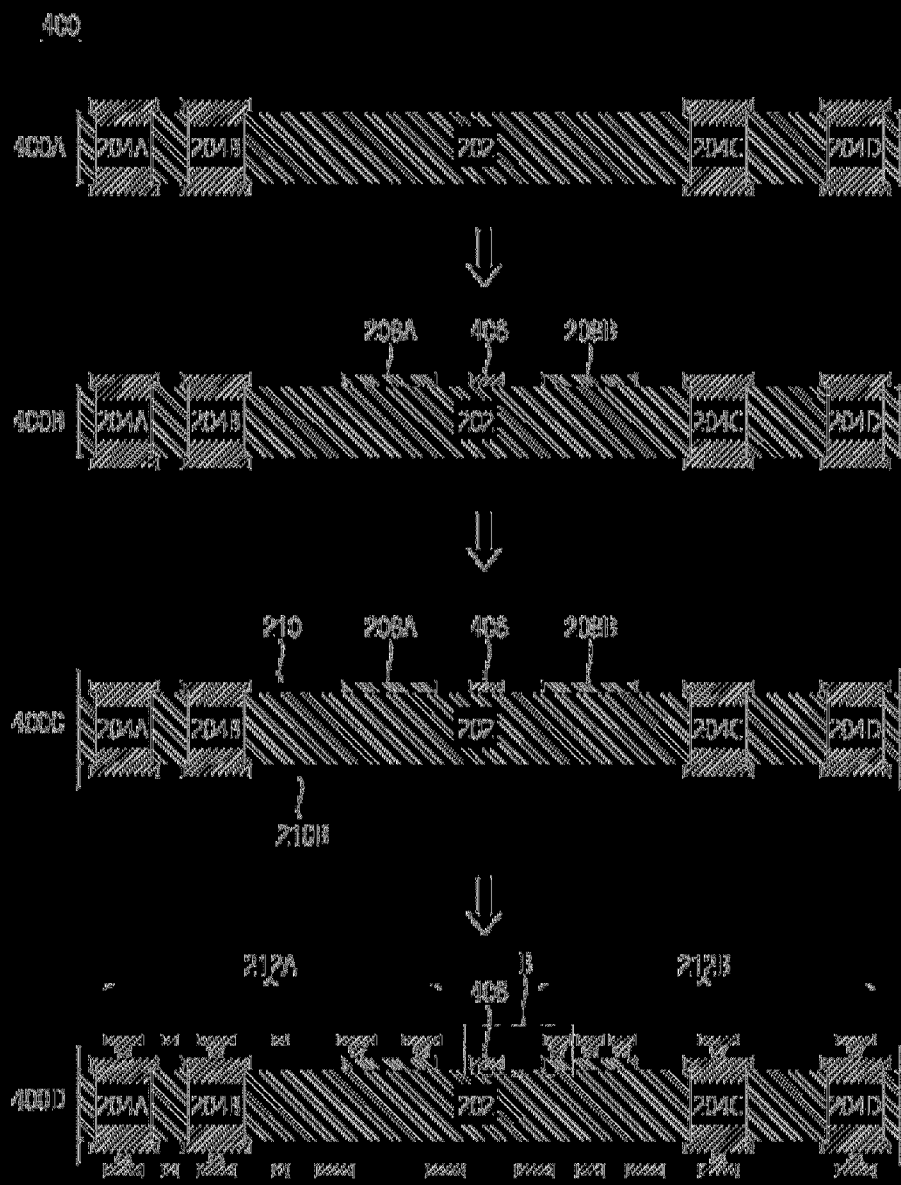


(圖2)

A

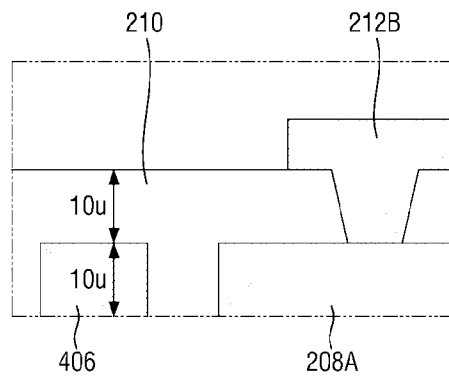


【圖3】

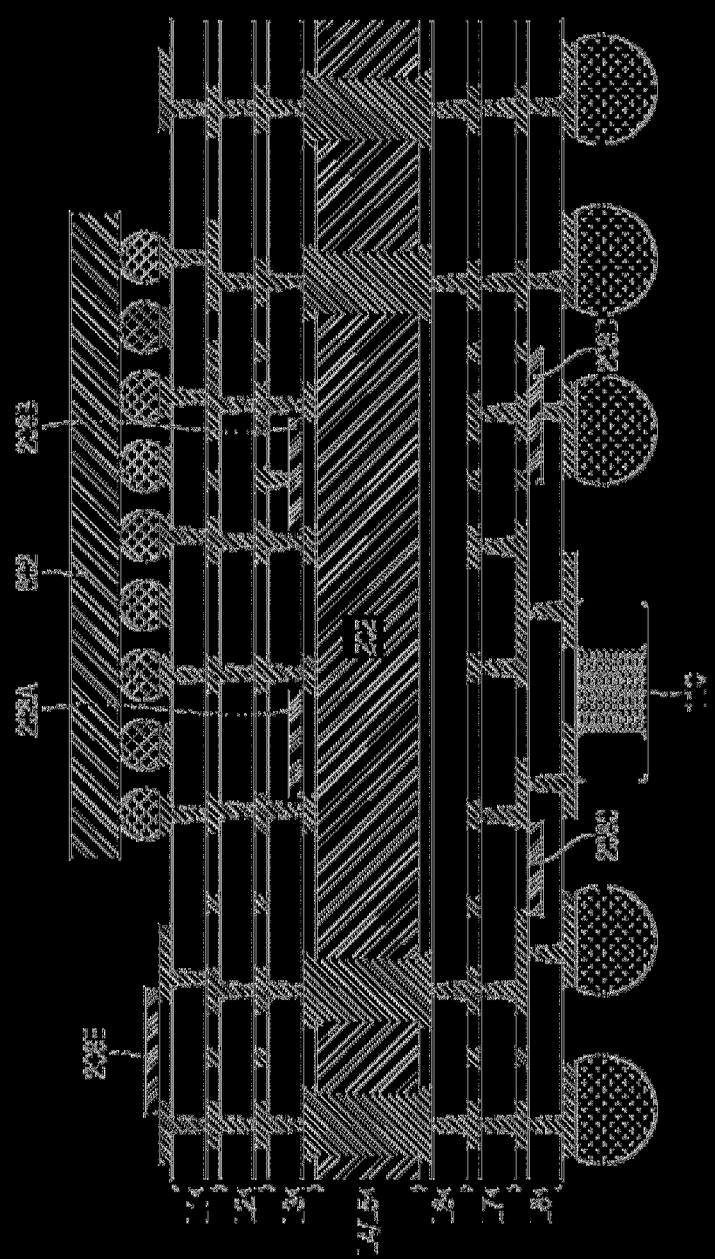


(圖4)

B

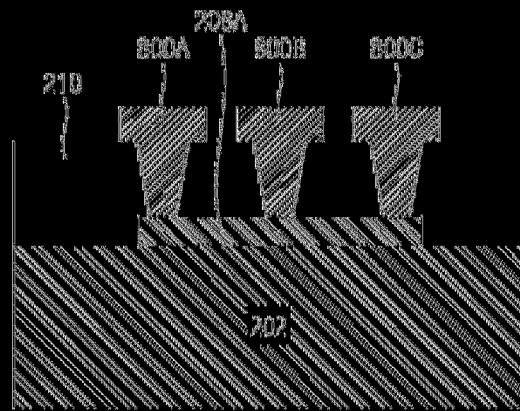


【圖5】

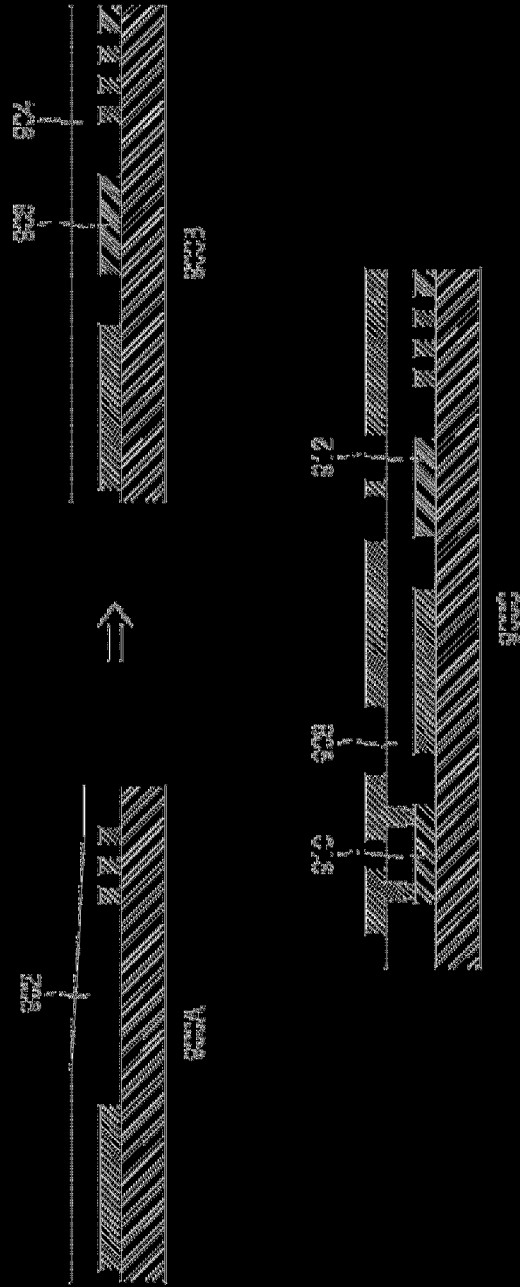


[ 9 ]

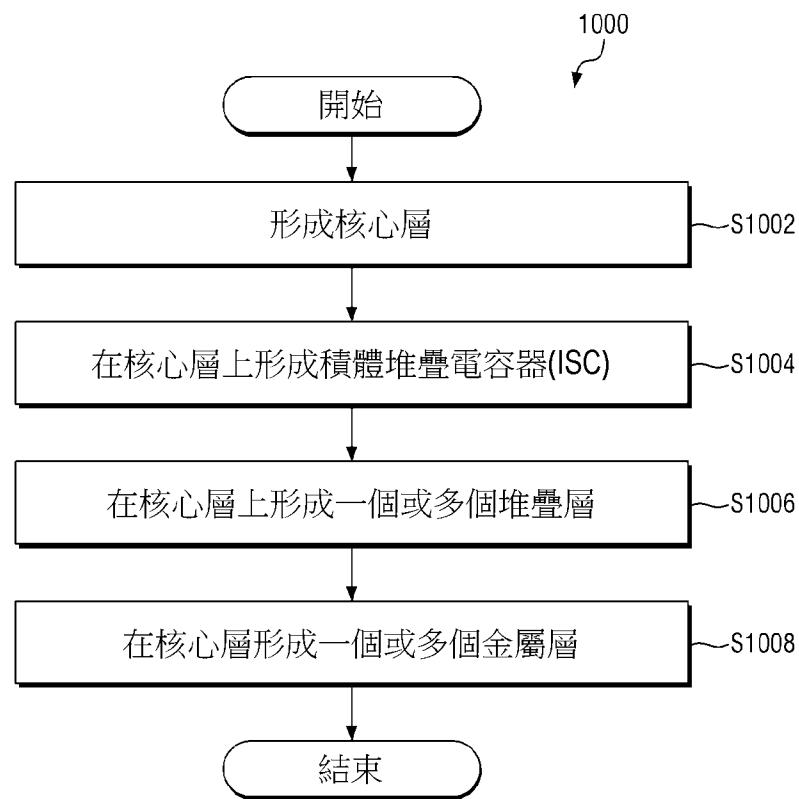




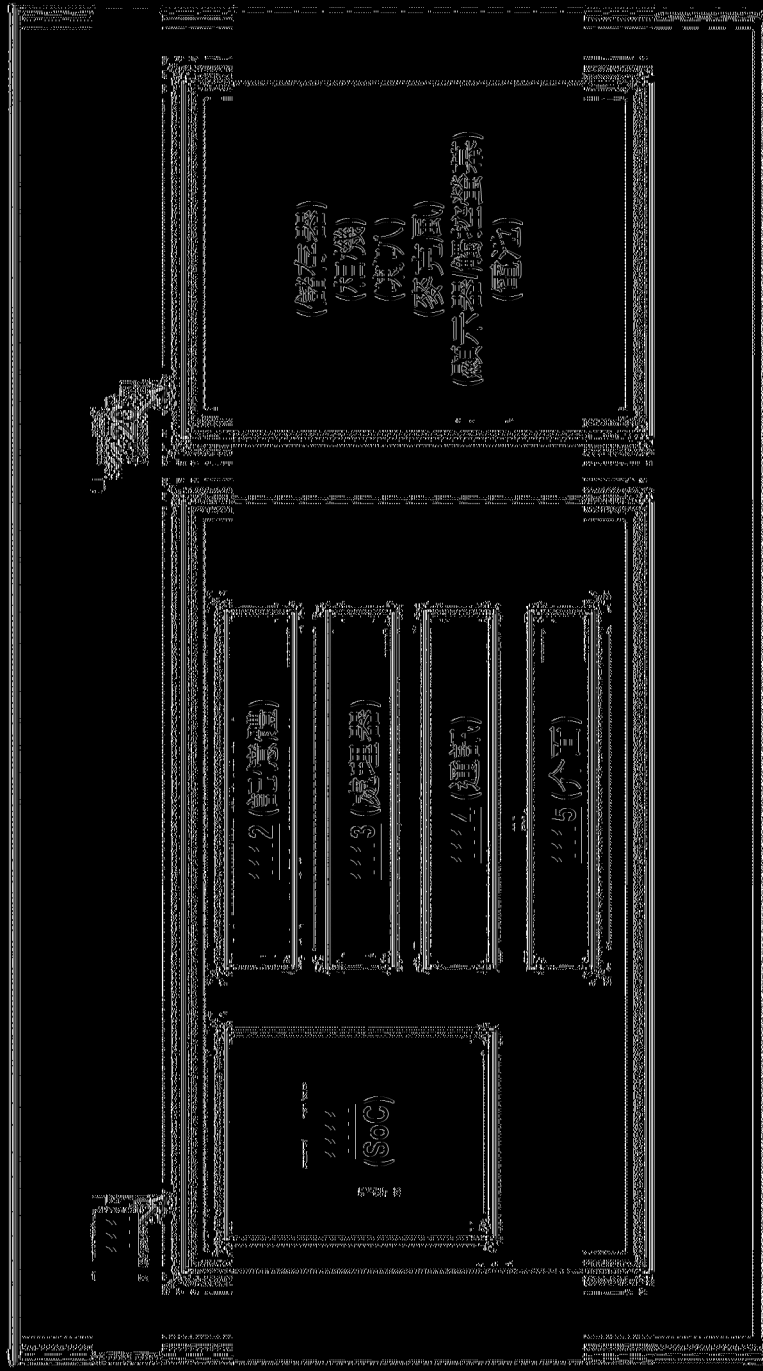
|(圖8)|



【6圖】



【圖10】



(圖 1)

1100

## 【發明說明書】

【中文發明名稱】半導體封裝和半導體裝置

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND SEMICONDUCTOR DEVICE

### 【技術領域】

【0001】 本申請案基於且主張 2023 年 7 月 3 日在美國專利及商標局中申請的美國臨時申請案序列號 63/524,758 的優先權，所述申請案的揭露內容以全文引用的方式併入本文中。

【0002】 本揭露是關於一種將積體堆疊電容器 (integrated stack capacitor, ISC) 嵌入基板堆疊層的方法以及具有嵌入基板堆疊層中 ISC 的裝置。

### 【先前技術】

【0003】 目前，多層陶瓷電容器是電子裝置中生產和使用最多的電容器。基板可能在基板表面或基板核心層具有大型陶瓷電容器，這是由於電容器厚度限制 (例如， $>100 \mu\text{m}$ )。由於陶瓷電容器厚度較大，這些電容器被配置在堆疊層外部。

【0004】 半導體封裝可為包含一或多個分立半導體裝置或積體電路的金屬、塑膠、玻璃或陶瓷殼體。個別組件可在半導體晶圓 (例如，矽晶圓) 上製造，然後切割成晶粒，測試，並封裝為半導體封裝。半導體封裝可具有用於半導體封裝內部裝置的引線或接觸點。

【0005】 本背景技術章節中所揭露的資訊已為發明人所熟知或在達成

本申請案的實施例的製程之前或期間由發明人導出，或者是在達成實施例的製程中獲取的技术資訊。因此，本背景技術章節中所揭露的資訊可含有不形成已為公眾所熟知的先前技術的資訊。

### 【發明內容】

【0006】 本揭露的實施例是關於形成一種半導體封裝，其中 ISC 嵌入半導體封裝中的基板堆疊層。該半導體封裝可整合到半導體裝置中，例如電子裝置（例如，手持裝置、電腦、平板電腦等）。ISC 可在基板製造製程期間嵌入基板堆疊層中。堆疊層可同時包含主動 ISC 和非主動 ISC，以改善介電層厚度均勻性。

【0007】 ISC 可形成於具有銅配線的核心層上。ISC 可形成於銅配線上或鄰近銅配線。一或多個堆疊層可形成於核心層上，使得具有銅配線的 ISC 嵌入一或多個堆疊層中。

【0008】 本揭露的實施例可導致基板厚度減小。例如，具有陶瓷電容器的傳統半導體封裝需要 500 $\mu\text{m}$  厚的核心以允許電容器嵌入核心層中，而本揭露的實施例如果 ISC 嵌入堆疊層中，則核心厚度約為 50 $\mu\text{m}$ 。

【0009】 本揭露的實施例為半導體封裝提供改善的電性能。例如，由於 ISC 比陶瓷電容器具有較小的厚度，所導致的半導體封裝具有高電容密度，從而導致改善的電性能。此外，半導體封裝可展現改善的電性能，因為將 ISC 放置在堆疊層中使得 ISC 更靠近矽。

【0010】 本揭露的實施例提供改善的介電層厚度均勻性。例如，堆疊層中 ISC 的厚度可與嵌入相同堆疊層中的銅配線圖案的厚度相匹配，從而使 ISC

能夠用作填充物(例如,虛擬矽)在半導體封裝中無法形成或放置銅的區域。因此,本揭露的實施例改善半導體封裝的機械強度和介電層厚度均勻性。

**【0011】** 根據一或多個實施例,形成半導體封裝的方法包含形成核心層。所述方法進一步包含在核心層上形成 ISC。所述方法進一步包含在核心層上形成一或多個堆疊層,其中 ISC 嵌入一或多個堆疊層中。所述方法進一步包含在核心層上形成一或多個金屬層。

**【0012】** 根據一或多個實施例,半導體封裝包含核心層。所述半導體封裝進一步包含核心層上的 ISC。所述半導體封裝包含核心層上的一或多個堆疊層,其中 ISC 嵌入一或多個堆疊層中。所述半導體封裝包含核心層上的一或多個金屬層。

### **【圖式簡單說明】**

**【0013】** 進一步特徵、性質和所揭露主題的各種優點將從以下詳細描述和隨附圖式中更加明顯,其中:

圖 1 為範例半導體封裝的示意說明。

圖 2 為根據本揭露實施例的形成具有嵌入堆疊層中 ISC 的半導體封裝的製程說明。

圖 3 為根據本揭露實施例的具有嵌入其中銅配線圖案和 ISC 的堆疊層的示意說明。

圖 4 為根據本揭露實施例的形成具有嵌入堆疊層中 ISC 的半導體封裝的製程說明。

圖 5 為根據本揭露實施例的具有嵌入其中銅配線圖案和 ISC 的堆疊層

的示意說明。

圖 6 為根據本揭露實施例的具有嵌入一個或多個堆疊層中一個或多個 ISC 的半導體封裝的示意說明。

圖 7 為根據本揭露實施例的具有嵌入一個或多個層中一個或多個 ISC 的半導體封裝的示意說明。

圖 8 為根據本揭露實施例的具有嵌入其中銅配線圖案和具有一個或多個端子接觸點的 ISC 的堆疊層的示意說明。

圖 9 為根據本揭露實施例的具有主動 ISC 和非主動 ISC 的堆疊層的示意說明。

圖 10 為形成具有嵌入堆疊層中 ISC 的半導體封裝的製程流程圖。

圖 11 為根據本揭露實施例的示意圖，說明包含至少圖 6 或圖 7 中所示半導體封裝的電子裝置。

### 【實施方式】

【0014】 以下對示例實施例的詳細描述參考隨附圖式。不同圖式中相同符號可標識相同或相似元件。

【0015】 前述揭露提供說明和描述，但並非意圖詳盡無遺或將實施方式限制在所揭露的精確形式。根據上述揭露可能進行修改和變化，或可從實施方式的實踐中獲得。此外，一個實施例的一個或多個特徵或組件可整合到另一實施例中或與另一實施例（或另一實施例的一個或多個特徵）結合。另外，在下面提供的流程圖和操作描述中，可理解可省略一個或多個操作，可添加一個或多個操作，可同時（至少部分）執行一個或多個操作，以及可切換一

個或多個操作的順序。

**【0016】** 顯而易見，本文所述系統和/或方法可以不同形式的硬體或軟體實施。用於實施這些系統和/或方法的實際專用控制硬體不限制實施方式。

**【0017】** 即使在權利項和/或說明書中列舉了特定特徵組合，這些組合並非意圖限制可能實施方式的揭露。事實上，許多這些特徵可以以權利項中未明確列舉和/或說明書中未揭露的方式組合。儘管下面列出的每個從屬權利項可能僅直接依賴一個權利項，但可能實施方式的揭露包括每個從屬權利項與權利項集中每個其他權利項的組合。

**【0018】** 除非明確描述為關鍵或必要，否則本文使用的任何元件、動作或指令都不應被解釋為關鍵或必要。此外，本文中使用的冠詞「a」和「an」意圖包括一個或多個項目，可與「一個或多個」互換使用。當僅意圖指一個項目時，使用術語「一個」或類似語言。此外，本文中使用的術語「具有」、「包括」或類似用語意圖作為開放式術語。再者，用語「基於」意圖表示「至少部分基於」，除非另有明確說明。再者，諸如「[A]和[B]中的至少一個」或「[A]或[B]中的至少一個」等表述應理解為僅包括 A、僅包括 B 或同時包括 A 和 B。

**【0019】** 本說明書通篇中提及的「一個實施例」、「實施例」或類似語言意指結合所述實施例描述的特定特徵、結構或特性包含於本解決方案的至少一個實施例中。因此，本說明書通篇中出現的片語「在一個實施例中」、「在實施例中」和類似語言可能但不必然全部指同一實施例。

**【0020】** 此外，本揭露所描述的特徵、優點和特性可以任何適當方式在一個或多個實施例中組合。所屬技術領域中具有通常知識者根據本文描述將

認識到，本揭露可在不具備特定實施例的一個或多個特定特徵或優點的情況下實施。在其他情況下，某些實施例中可能認識到額外特徵和優點，這些特徵和優點可能不存在於本揭露的所有實施例中。

**【0021】** 本文中，兩個結構或元件之間的「連接」一詞可指其間的電性連接。例如，半導體晶片、半導體封裝和/或電子裝置之間的連接可指相應兩個或多個元件彼此之間的電性連接。「耦合」和「連接」這兩個術語可能具有相同含義，並在本文中可互換使用。此外，兩個結構或元件之間的「隔離」一詞涉及其間的電性絕緣或分離。例如，配線圖案彼此隔離可能意味著配線圖案彼此之間不具有電性連接。

**【0022】** 以下參照圖 1 至 11 描述本揭露的各種實施例。

**【0023】** 積體堆疊電容器（integrated stack capacitor，ISC）技術是一種新興技術，使用矽動態隨機存取記憶體（dynamic random access memory，DRAM）電容製程來實現具有高電容密度的矽基電容器。ISC 技術處於非常早期的階段。ISC 技術最常見的應用是在矽製造製程中整合 ISC（例如在邏輯晶片內部建立 ISC）。另一種應用是在矽晶圓上建立 ISC，然後將晶圓切割（例如切割）成一個或多個分立組件。然而，目前半導體封裝和電子裝置的製造並未利用 ISC 相較於陶瓷電容器的尺寸優勢。

**【0024】** 本揭露的實施例涉及形成半導體封裝，其中 ISC 嵌入半導體封裝中的基板堆疊層。基板堆疊層可為有機層。基板堆疊層可具有 15-45  $\mu\text{m}$  的厚度。根據一個或多個實施例，ISC 可在基板製造製程期間嵌入基板堆疊層中。

**【0025】** 在一個或多個實例中，堆疊層可由一個或多個堆疊膜形成。多層

堆疊膜可用於將晶片的小凸塊間距擴展到用於將基板連接到印刷電路板的焊球的更大凸塊間距。堆疊層在晶片與基板之間提供高互連密度。

【0026】 堆疊層可由寬度、厚度和間距定義。在一個或多個實例中，大部分訊號配線可包含在堆疊層中。堆疊層還可由介電特性、厚度、電性特性(如介電常數和損耗正切)以及熱膨脹特性來表徵。

【0027】 堆疊層可包含一個或多個通孔。通孔可透過一次鑽穿單個介電層形成。在一個或多個實例中，通孔可在堆疊層中呈階梯狀上升。在一個或多個實例中，通孔可在堆疊層中堆疊。

【0028】 堆疊層可在封裝核心的一側或兩側製造。在某些情況下，封裝核心兩側可具有相同數量的堆疊層。在其他情況下，封裝核心兩側形成的堆疊層可能不對稱。堆疊也可能不對稱，核心兩側具有不同的層厚度。在一個或多個實例中，半導體封裝的核心可具有多個通孔，用於從核心的一側到另一側進行電連接。因此，核心中的通孔可允許半導體封裝頂端的一個或多個堆疊層與半導體封裝底端的一個或多個堆疊層電連接。

【0029】 堆疊層可由介電材料形成。每個堆疊層可由相同的介電材料形成。在一個或多個實例中，堆疊層可由不同的介電材料形成。例如，第一堆疊層可由低  $\kappa$  介電材料形成，第二堆疊層可由高  $\kappa$  介電材料形成。低  $\kappa$  介電材料的實例包括但不限於：摻雜氟的二氧化矽、有機矽酸鹽玻璃(organosilicate glass, OSG)、摻雜碳的氧化物(carbon-doped oxide, CDO)、多孔二氧化矽、多孔有機矽酸鹽玻璃、旋塗有機聚合物介電質、旋塗矽基聚合物介電質。高  $\kappa$  介電材料的實例包括但不限於：鈣矽酸鹽、鋯矽酸鹽、二氧化鈣和二氧化鋯。

【0030】 在一個或多個實例中，堆疊層可由至少一個介電層和一個金屬層形成。在一個或多個實例中，介電層和金屬層可具有相同厚度。在一個或多個實例中，介電層的厚度可能比金屬層的厚度更厚。例如，介電層的厚度可佔堆疊層厚度的 50% - 70%，而金屬層可形成堆疊層剩餘的厚度。

【0031】 在本揭露的實施例中，「銅層」一詞可指銅配線圖案、銅走線連接、銅通孔或銅端子接觸。

【0032】 本揭露的實施例可包括 ISC。與傳統矽電容器相比，ISC 展現高電容密度。ISC 可包括至少一個堆疊電容器。在一個或多個實例中，ISC 可為包含一個或多個電容通孔的垂直圓柱陣列。堆疊電容器可包括多個層疊排列的平面電容器，其電極並聯連接。堆疊電容器可包括，例如，冠狀堆疊電容器、原始矽堆疊電容器，或所屬技術領域中具有通常知識者已知的任何其他適當電容器。ISC 可透過所屬技術領域中具有通常知識者已知的任何適當堆疊電容器形成製程製造。圖 1 說明一個半導體封裝 100 實例。半導體封裝 100 可包括核心層 102、陶瓷電容器 104、106、108 和 110，以及矽背板 112。在一個或多個實例中，矽背板可為另一個整合電路或顯示器。陶瓷電容器 108 可使用表面黏著技術（surface mount technology，SMT）製程作為晶粒側電容器（die side capacitor，DSC）附著到封裝正面。在一個或多個實例中，陶瓷電容器 110 可作為基板側電容器（land side capacitor，LSC）附著到封裝底面。

【0033】 陶瓷電容器 104 和 106 可嵌入核心層 102 中，核心層 102 可為銅箔積層板（copper clad laminate，CCL）核心。半導體封裝 100 可包括在核心層 102 添加後隨後添加的一個或多個堆疊層。核心層厚度可介於 100  $\mu\text{m}$

到 800  $\mu\text{m}$  之間，一個堆疊層的厚度（可稱為介電厚度）可介於 20  $\mu\text{m}$  到 45  $\mu\text{m}$  之間。基板可為具有雙層核心和六個堆疊層的 3-2-3 結構，總共形成八層。例如，如圖 1 所示，層 L4/L5 構成核心 102，堆疊層 L1-L3 構成核心層 102 上方的堆疊層，堆疊層 L6-L8 構成核心層 102 下方的堆疊層。在一個或多個實例中，堆疊層 L1-L3 和 L6-L8 中的每一層可具有相同厚度。在一個或多個實例中，構成核心的堆疊層 L4/L5 可具有一個堆疊層厚度兩倍的厚度。在一個或多個實例中，堆疊層 L4/L5 可具有等於堆疊層 L1-L3 組合厚度或堆疊層 L6-L8 組合厚度的厚度。

**【0034】** 在一個或多個實例中，半導體封裝 100 可包括銅通孔 114A、114B、114C 和 114D。每個銅通孔可透過堆疊層連接到銅配線圖案。例如，銅通孔 114 可透過堆疊層 L1-L6 連接到銅配線圖案 116A\_1-116A\_6。在一個或多個實例中，每個銅配線圖案可包括一個平坦部分和一個垂直於平坦部分並插入或穿透堆疊層的突出部分。例如，銅配線圖案 116A\_1 可包括在堆疊層 L1 中的突出部分，該突出部分將銅配線圖案 116A\_1 連接到銅配線圖案 116A\_2。

**【0035】** 銅通孔 114B 可透過堆疊層 L1-L6 連接到銅配線圖案 116B\_1-116B\_6。銅通孔 114C 可透過堆疊層 L1-L6 連接到銅配線圖案 116C\_1-116C\_6。銅通孔 114D 可透過堆疊層 L1-L6 連接到銅配線圖案 116D\_1-116D\_6。

**【0036】** 陶瓷電容器 104、106、108 和 110 也可透過一些堆疊層連接到一些銅配線圖案。例如，陶瓷電容器 104 可透過堆疊層 L1-L3 連接到第一組銅配線圖案 118A、118B、118C 和 118D，以及第二組銅配線圖案 120A、120B、120C 和 120D。同樣地，陶瓷電容器 106 可透過堆疊層 L1-L3 連接

到第三組銅配線圖案 122A、122B、122C 和 122D，以及第四組銅配線圖案 124A、124B、124C 和 124D。陶瓷電容器 108 可透過銅配線圖案 116A\_1、116A\_2 和 116A\_3 連接到通孔 114A。陶瓷電容器 108 可進一步透過銅配線圖案 116B\_1、116B\_2 和 116B\_3 連接到通孔 114B。陶瓷電容器 110 可透過堆疊層 L5 和 L6 連接到銅配線圖案 118E 和 118F 以及銅配線圖案 120E 和 120F。半導體封裝 100 可進一步包括用於各種其他連接的額外銅配線圖案 124E 和 124F。

【0037】 半導體封裝 100 的介電層厚度和核心層厚度可如表 1 中所示進行規定。如表 1 所示，核心層 102 可為兩層（例如，L4 和 L5）。

【0038】 表 1

堆疊層	厚度
L1	20 – 45 $\mu\text{m}$
L2	20 – 45 $\mu\text{m}$
L3	20 – 45 $\mu\text{m}$
L4/L5	100 – 800 $\mu\text{m}$
L6	20 – 45 $\mu\text{m}$
L7	20 – 45 $\mu\text{m}$
L8	20 – 45 $\mu\text{m}$

【0039】 銅配線圖案平坦部分的銅層厚度可規定為 C1-C3 和 C6-C8 之一。銅配線圖案的平坦部分可垂直於銅配線圖案的突出部分。例如，C1 厚度可對應於銅配線圖案 116A\_1、116B\_1、116C\_1、116D\_1、118A、120A、122A

和 124A 平坦部分的銅層厚度。C2 厚度可對應於銅配線圖案 116A\_2、116B\_2、116C\_2、116D\_2、118B、120B、122B 和 124B 平坦部分的銅層厚度。C3 厚度可對應於銅配線圖案 116A\_3、116B\_3、116C\_3、116D\_3、118C、120C、122C 和 124C 平坦部分的銅層厚度。C6 厚度可對應於銅配線圖案 116A\_4、116B\_4、116C\_4 和 116D\_4 平坦部分的銅層厚度。C7 厚度可對應於銅配線圖案 116A\_5、116B\_5、116C\_5、116D\_5、118E、120E 和 124E 平坦部分的銅層厚度。C8 厚度可對應於銅配線圖案 116A\_6、116B\_6、116C\_6、116D\_6、118F、120F 和 124F 平坦部分的銅層厚度。

【0040】 C4 和 C5 的厚度可分別對應於每個銅通孔 114A-114D 頂部平坦部分和底部平坦部分的厚度。C1-C8 的厚度可如表 2 中所示。

【0041】 表 2

銅層	厚度
C1	10 – 25 $\mu\text{m}$
C2	10 – 25 $\mu\text{m}$
C3	10 – 25 $\mu\text{m}$
C4	25 – 45 $\mu\text{m}$
C5	25 – 45 $\mu\text{m}$
C6	10 – 25 $\mu\text{m}$
C7	10 – 25 $\mu\text{m}$
C8	10 – 25 $\mu\text{m}$

【0042】 目前，由於厚度限制，陶瓷電容器嵌入核心層中。例如，陶瓷電容器通常厚度大於 100  $\mu\text{m}$ ，因此通常不包含在堆疊層中。將陶瓷電容器嵌

入核心層需要額外的製程，且由於製造成本而僅有少數應用。雖然可執行將陶瓷電容器嵌入堆疊層的製程，但這種類型的製程需要移除多個堆疊層以創建空間來嵌入陶瓷電容器，這非常複雜且顯著增加製造成本。

**【0043】** 圖 2 為依據本揭露實施例形成在堆疊層中嵌入 ISC 的半導體封裝的製程 200 的說明。在操作 200A 中，可形成核心層 202。核心層 202 可為 CCL 層。在一個或多個實例中，核心層 202 可透過機械鑽孔形成通孔，這些通孔可填充銅以形成銅通孔 204A、204B、204C 和 204D。銅通孔 204A-204D 可與圖 1 所示的銅通孔 114A-114D 相同或對應。此外，在一個或多個實例中，可在核心層 202 上形成銅配線圖案 206。

**【0044】** 在操作 200B 中，可在銅配線圖案 206 上形成一個或多個 ISC。例如，如圖 2 所示，ISC 208A 和 208B 形成在銅配線圖案 206 上。如圖 2 所示，ISC 208A 和 208B 的每個背表面直接接觸銅配線圖案 206 的頂表面。因此，可在銅配線圖案 206 與 ISC 208A 和 ISC 208B 的每一個之間建立電性連接。

**【0045】** 在操作 200C 中，可在核心層上形成堆疊層，使得一個或多個 ISC 嵌入堆疊層中。例如，如圖 2 所示，堆疊層 210 形成在核心層 202 上，使得 ISC 208A 和 ISC 208B 嵌入堆疊層 210 中。堆疊層 210 可透過例如薄膜層壓製程形成。

**【0046】** 圖 3 為圖 2 中所示部分 A 的放大圖，其為堆疊層 210 的示意圖，其中至少一部分銅配線圖案 206 和 ISC 208A 嵌入堆疊層 210 中。在一個或多個實例中，ISC 208 的厚度可等於或實質上等於（例如，在±5%範圍內）銅配線圖案 206 的厚度。例如，如圖 3 所示，ISC 208 和銅配線圖案 206 的

厚度均為 15  $\mu\text{m}$ 。在一個或多個實例中，堆疊層 210 的厚度大於銅配線圖案 206 和 ISC 208A 的厚度組合。例如，如圖 3 所示，堆疊層 210 的厚度為 40  $\mu\text{m}$ 。如所屬技術領域中具有通常知識者所理解的，ISC 208 的厚度和銅配線圖案 206 的厚度可彼此不同。

**【0047】** 在操作 200D 中，可形成銅配線圖案 212A 和 212B。銅配線圖案 212A 和 212B 可透過例如雷射鑽孔在堆疊層 210 中形成通孔來形成。通孔可填充銅以與銅通孔 204A-204D、銅配線圖案 206 和/或 ISC 208A 和 208B 建立電性連接。

**【0048】** 圖 4 為依據本揭露實施例形成在堆疊層中嵌入 ISC 的半導體封裝的製程 400 的說明。

**【0049】** 在操作 400A 中，可形成核心層 202。核心層 202 可與在操作 200A（圖 2）中形成的核心層 202 相同或對應，其中形成銅通孔 204A-204D。銅通孔 204A-204D 可分別與圖 1 中的銅通孔 104A-104D 相同或對應。

**【0050】** 在操作 400B 中，可在核心層 202 上形成 ISC，如 ISC 208A 和 208B，其可分別與圖 2 中的 ISC 208A 和 208B 相同或對應。相對於圖 2 中的製程 200，製程 400 直接在核心層 202 的頂表面上形成 ISC 208A 和 208B，使得 ISC 208A 和 208B 的背表面直接接觸核心層 202 的頂表面。在操作 400B 中，可形成包括銅配線圖案 406 的銅配線圖案。

**【0051】** 在操作 400C 中，可以類似於上述操作 200C 所描述的方式形成堆疊層。例如，圖 4 中的堆疊層 210 可與圖 2 中的堆疊層 210 相同或對應。

**【0052】** 圖 5 為圖 4 中所示部分 B 的放大圖，其為依據本揭露實施例的堆疊層 210 的示意圖，其中銅配線圖案 406 和 ISC 208 嵌入堆疊層 210 中。在

一個或多個實例中，ISC 208 的厚度可等於或實質上等於（例如，在 $\pm 5\%$ 範圍內）銅配線圖案 406 的厚度。例如，如圖 5 所示，ISC 208 和銅配線圖案 406 的厚度均為  $10\ \mu\text{m}$ 。在一個或多個實例中，堆疊層 210 的厚度大於銅配線圖案 406 和 ISC 208A 各自的厚度。例如，如圖 5 所示，堆疊層 210 的厚度為  $20\ \mu\text{m}$ 。如所屬技術領域中具有通常知識者所理解的，ISC 208 的厚度和銅配線圖案 406 的厚度可彼此不同。

**【0053】** 在操作 400D 中，可以類似於上述操作 200D 所描述的方式形成銅配線圖案 212A 和 212B。

**【0054】** 圖 6 為依據本揭露實施例在一個或多個堆疊層中嵌入一個或多個 ISC 的半導體封裝 600 的示意圖。半導體封裝 600 可整合到半導體裝置中，如電子裝置（例如，手持裝置、電腦、平板電腦等）。半導體裝置可包括印刷電路板（printed circuit board, PCB），該印刷電路板包括半導體封裝 600 和一個或多個與半導體封裝 600 耦合的積體電路。

**【0055】** 半導體封裝 600 可為具有雙層核心層 202 和六個堆疊層的 3-2-3 結構，總共形成八層。例如，如圖 6 所示，堆疊層 L4 和 L5 構成核心層 202，堆疊層 L1-L3 構成核心層 202 上方的堆疊層，層 L6-L8 構成核心層 202 下方的堆疊層。半導體封裝 600 可包括矽基板 602 作為基礎結構。雖然未以符號標示，半導體封裝 600 還可包括相同的銅通孔 114A-114D，以及銅配線圖案 116A\_1-116A\_6、116B\_1-116B\_6、116C\_1-116C\_6、116D\_1-116D\_6、118A-118F、120A-120F、122A-122F 和 124A-124F。此處省略重複描述。

**【0056】** 半導體封裝 600 可包括嵌入堆疊層 L3 中的 ISC 208A 和 208B，以及嵌入堆疊層 L8 中的 ISC 208C 和 208D。ISC 208A-208D 可根據製程 200

(圖 2) 形成，其中 ISC 形成在銅配線圖案上並嵌入堆疊層中。此外，如圖 6 所示，半導體封裝 600 可包括形成在堆疊層外部的額外 ISC 208C 和陶瓷電容器 110。半導體封裝 600 各層的介電厚度可依據表 1。半導體封裝 600 各層的銅層厚度可依據表 2。

**【0057】** 根據一個或多個實施例，ISC 可採取垂直圓柱陣列形式，包括兩個或多個連接端子之間的多個電容通孔，並具有非常低的剖面，例如，約  $2.0 \times 2.0 \times 2.0 \mu\text{m}$ ，而 DSC 或 LSC (可能是多層陶瓷電容器 (multilayer ceramic capacitor, MLCC)) 尺寸為數百微米 ( $\mu\text{m}$ )，例如，0402 MLCC 約為  $1.0 \times 0.5 \times 0.35 \text{ mm}$ 。ISC 可具有與 MLCC 相似的高電容密度。例如，ISC 可具有數百  $\text{nF}/\text{mm}^2$  的電容值，如  $1100 \text{ nF}/\text{mm}^2$ 。

**【0058】** 半導體封裝 600 利用 ISC 約  $2 \mu\text{m}$  的厚度優勢。在一個或多個實例中，以矽背板 602 作為基礎結構時，ISC 厚度可介於  $2 \mu\text{m}$  至  $700 \mu\text{m}$  之間。由於 ISC 厚度小於介電厚度 (例如，堆疊層的厚度)，ISC 可有利地放置在任何堆疊層中，而無需複雜的介電材料移除製程。ISC 還可根據所屬技術領域中具有通常知識者已知的 SMT 製程，作為 DSC 組件或 LSC 組件放置在表面層上。在一個或多個實例中，不需要額外的資本支出投資。在一個或多個實例中，ISC 厚度可設計為與嵌入相同堆疊層中的銅配線圖案厚度相匹配。在一個或多個實例中，ISC 還可修改為具有兩個以上的端子，這改善了電路設計並有利地減少基板佔用面積。

**【0059】** 圖 7 是根據本揭露實施例的具有一個或多個嵌入一個或多個層中的 ISC 的半導體封裝 700 的示意圖。半導體封裝 700 可與半導體封裝 600 相同或類似，不同之處在於陶瓷電容器 110 被 ISC 208F 取代。因此，此處

省略重複描述。半導體封裝 700 各層的介電厚度可依據表 1。半導體封裝 700 各層的銅厚度可依據表 2。

**【0060】** 圖 8 是根據本揭露實施例的具有嵌入其中的銅層和具有一個或多個端子接觸點的 ISC 的堆疊層示意圖。例如，如圖 8 所示，ISC 208A 可與端子接觸點 800A、800B 和 800C 電性連接。端子接觸點 800A-800C 可透過例如雷射鑽孔在堆疊層 210 中形成貫穿孔來形成。貫穿孔可填充銅以形成端子接觸點 800A-800C。雖然圖 8 中示出三個端子接觸點，但所屬技術領域中具有通常知識者可理解，ISC 208A 可電性連接到三個以上的端子接觸點。端子接觸點可由銅製成，並可稱為銅端子接觸點。

**【0061】** 所屬技術領域中具有通常知識者可理解，介電厚度均勻性是高端基板的一個相關問題。在這方面，隨著基板尺寸持續變大且介電層持續變薄，厚度均勻性問題變得越來越具挑戰性。具體而言，層壓製程中介電材料熔化和流動的機制存在缺點。所屬技術領域中具有通常知識者可理解，高銅密度區域（例如銅平面）傾向於保留更多材料，而在低銅密度區域，介電材料傾向於流走，導致較低的介電厚度。高銅密度（例如連續銅平面）是首選，但由於設計/電性要求而無法實現。此外，銅密度不均勻的另一個問題是導致基板翹曲。在一個或多個實例中，可使用非活性 ISC 作為機械填充物以幫助增加偽銅密度，從而改善介電厚度均勻性並幫助減輕基板翹曲。

**【0062】** 圖 9 是根據本揭露實施例的具有活性 ISC 和非活性 ISC 的堆疊層示意圖。如圖 9 所示，半導體封裝 900A 具有介電厚度不均勻的堆疊層 902。半導體封裝 900B 包括具有一個或多個非活性 ISC 906 的堆疊層 904，以實現介電厚度均勻性。在一個或多個實例中，半導體封裝可包括活性 ISC 和

非活性 ISC，以實現介電厚度均勻性。例如，半導體封裝 900C 包括具有至少一個活性 ISC 910 和至少一個非活性 ISC 912 的堆疊層 908。如圖 9 所示，半導體封裝 900C 具有均勻的介電厚度。在一個或多個實例中，可在與活性 ISC 相同的時間放置非活性 ISC。在一個或多個實例中，非活性 ISC 可根據製程 200（圖 2）或製程 400（圖 4）形成。所屬技術領域中具有通常知識者可理解，非活性 ISC 可為未配置為儲存或分配電能的 ISC。

**【0063】** 圖 10 是在堆疊層中嵌入 ISC 的半導體封裝形成製程 1000 的流程圖。製程 1000 可用於形成半導體封裝 600（圖 6）或半導體封裝 700（圖 7）。

**【0064】** 製程可在操作 S1002 開始，其中形成核心層。例如，可根據操作 200A（圖 2）或 400A（圖 4）形成核心層。

**【0065】** 製程可進行到操作 S1004，其中在核心層上形成 ISC。例如，可根據操作 200B（圖 2）或 400B（圖 4）在核心層 202 上形成 ISC 208A 和 208B。

**【0066】** 製程可進行到操作 S1006，其中在核心層上形成一個或多個堆疊層。例如，可根據操作 200C（圖 2）或 400C（圖 4）在核心層 202 上形成堆疊層 210，其中 ISC 208A 和 208B 嵌入其中。

**【0067】** 製程可進行到操作 S1008，其中在核心層上形成一個或多個金屬層。例如，一個或多個金屬層可包括根據操作 200D（圖 2）在核心層 202 上形成的銅配線圖案 212A 和 212B。在另一個實例中，一個或多個銅層可包括根據操作 400D（圖 4）在核心層 202 上形成的銅配線 406。

**【0068】** 圖 11 是示意圖，根據本揭露的實施例說明包含至少如圖 6 或圖

7 所示半導體封裝的電子裝置。

【0069】 參照圖 11，電子裝置 1100 可包括印刷電路板（PCB）或主機板 1110，其上安裝多個半導體封裝 1111-1115。電子裝置 1100 還可包括多個其他組件 1120。

【0070】 半導體封裝 1111 可包括 SoC，其可包括至少一個中央處理器（Central Processing Unit，CPU）、圖形處理器（Graphic Processing Unit，GPU）、AI 模組、數據機、一個或多個記憶體單元、電源管理單元等，以控制電子裝置 1100 的整體操作。其他半導體封裝 1112-1115 可分別包括記憶體晶片、各種其他處理器晶片、通訊晶片和介面晶片。包含在半導體封裝 1114 中的通訊晶片可配置為與 SoC 相關聯執行無線或有線通訊功能。半導體封裝 1111-1115 中的至少一個可由圖 6 或圖 7 所示的半導體封裝實施。

【0071】 包含在電子裝置 1100 中的其他組件 1120 可包括儲存器、相機模組、喇叭、麥克風、顯示器、電池等。儲存器可配置為儲存使用者資料。儲存器可為嵌入式多媒體卡（embedded multimedia card，eMMC）、固態硬碟（solid state drive，SSD）、通用快閃儲存（universal flash storage，UFS）裝置等。顯示器可實施為顯示由 SoC 處理的資料及/或通過顯示器的觸控螢幕面板接收資料。

【0072】 前述內容說明例示性實施例，且不應解釋為限制本揭露。儘管已描述幾個例示性實施例，但所屬技術領域中具有通常知識者將易於瞭解，在不實質上脫離本揭露的情況下，以上實施例中的許多修改為可能的。

【0073】 本揭露的實施例提供重要的有利特徵，包括節省空間、性能改善（例如，電性能和機械性能）、製造良率改善等。在一個或多個實例中，本

揭露的實施例通過在堆疊層中嵌入 ISC 來為基板表面面積提供空間節省，相比之下，陶瓷電容器只能作為 DSC 組件或 LSC 組件放置在表面上。

**【0074】** 本揭露的實施例可導致改善的電性能。例如，ISC 提供比表面上的陶瓷電容器更好的電性能（例如，更高的電容密度）。

**【0075】** 本揭露的實施例可導致簡化的封裝/組裝製程（例如，在基板製造製程期間已放置電容器），在組裝期間無需額外的組件放置。

**【0076】** 本揭露的實施例可導致機械上更加穩固的半導體封裝或電子裝置。例如，本揭露的實施例不需要焊接接點，從而消除了焊接接點裂縫的風險。ISC 到銅配線的連接可通過正常的銅電鍍製程形成，從而消除了 DSC 製程或 LSC 製程中使用的焊接製程，該製程還需要清潔或去除助焊劑製程。因此，根據本揭露實施例的嵌入式 ISC 與使用涉及焊料和化學清潔的 SMT 製程的普通器（DSC）或 LSC 相比，更加環保。

**【0077】** 本揭露的實施例可導致消除由於助焊劑或底部填充材料溢出造成的污染風險。在矽晶片附著後可能需要底部填充材料（例如，環氧樹脂材料），且底部填充材料可能溢出而污染矽晶片周圍的 DSC 組件。需要非常嚴格的設計規則和製程控制來避免這些缺點。通過使用根據本揭露實施例的嵌入式 ISC，不再需要表面組件（例如，DSC，從而消除了使用底部填充材料的需求。

**【0078】** 本揭露的實施例可導致能夠在基板層級執行電性測試，而不是等到晶粒/組件全部附著後才進行。傳統上，DSC 測試或 LSC 測試是在昂貴的矽晶片已經附著到半導體封裝後進行的。因此，傳統的 DSC 測試和 LSC 測試比本揭露實施例執行的測試更加昂貴。

【0079】 本揭露的實施例可使 ISC 能夠用作填充物以平衡銅密度。

【0080】 本揭露的實施例可導致減少表面面積，從而帶來有利的空間節省。此外，多個 ISC 可放置在同一層中。

【0081】 本揭露的實施例可導致 ISC 更靠近矽的電性優勢。

【0082】 本揭露的實施例可導致良率改善，因為在堆疊層中嵌入 ISC 可在基板製造設施內執行，該設施比組裝工廠更乾淨（例如，更好的顆粒控制）。因此，外來材料引起的失效減少，從而提高產品品質和可靠性。

【0083】 本揭露的實施例可導致更可行的多端子組件，與基板製造製程（例如，使用雷射鑽孔形成與 ISC 的連接）具有更高的相容性，從而實現更緊湊的設計並在基板上帶來有利的空間節省。

【0084】 本揭露的實施例可提供將 ISC 厚度與嵌入在與 ISC 相同堆疊層中的銅配線圖案厚度匹配的顯著有利特徵。因此，ISC 可用作填充物（例如，虛擬矽）在半導體封裝中無法形成或放置銅的區域，從而改善半導體封裝的機械強度，並改善介電層厚度均勻性。

【0085】 本揭露的實施例可導致基板厚度減少。例如，具有陶瓷電容器的傳統半導體封裝需要 500  $\mu\text{m}$  厚的核心以允許電容器嵌入核心層。相比之下，如果 ISC 嵌入堆疊層中，本揭露的實施例具有約 50  $\mu\text{m}$  的核心厚度。

【0086】 實施例已如上所述並以區塊的形式說明，如圖中所示，這些區塊執行所描述的功能。這些區塊可通過類比和/或數位電路實體實施，包括邏輯閘、積體電路、微處理器、微控制器、記憶體電路、被動電子組件、主動電子組件、光學組件等中的一或多個，也可通過軟體和/或韌體（用以執行本文所述功能或操作）來實施或驅動。電路可例如體現在一或多個半導體晶

片中，或在基板支撐件（如印刷電路板等）上。包含在區塊中的電路可通過專用硬體實施，或通過處理器（例如，一或多個程式化微處理器及相關聯電路）實施，或通過專用硬體執行區塊的某些功能與處理器執行區塊的其他功能的組合來實施。實施例的每個區塊可實體分離成兩個或更多個相互作用和離散的區塊。同樣，實施例的區塊可實體組合成更複雜的區塊。

**【0087】** 雖然本揭露的實施例是關於銅的描述，但這種金屬僅是一個實例。所屬技術領域中具有通常知識者可理解，本揭露的實施例可用其他適合的材料替代銅，例如鋁（Al）、鎢（W）、鈷（Co）、鈦（Ti）、鉭（Ta）、鉬（Mo）和鈺（Ru）。

**【0088】** 雖然本揭露已描述了幾個非限制性實施例，但存在屬於本揭露範疇內的改變、置換和各種替代等效物。因此，所屬技術領域中具有通常知識者將能夠設計出許多系統和方法，這些系統和方法雖然未在本文中明確顯示或描述，但體現了本揭露的原理，因此屬於本揭露的精神和範疇之內。

**【0089】** 上述揭露還包含以下列出的實施例。

**【0090】** （1）一種形成半導體封裝的方法，包含：形成核心層；在核心層上形成電容器；在核心層上形成一或多個堆疊層，其中電容器嵌入在一或多個堆疊層中；以及在核心層上形成一或多個金屬層。

**【0091】** （2）根據特徵（1）的方法，其中形成一或多個金屬層包括：形成至少一個與核心層表面接觸的金屬層，其中電容器形成在至少一個金屬層上，使得電容器與至少一個金屬層接觸。

**【0092】** （3）根據特徵（2）的方法，其中形成一或多個堆疊層包括：在形成電容器之後，形成至少一個覆蓋 ISC 和至少一個金屬層的堆疊層。

【0093】 (4) 根據特徵 (3) 的方法，其中電容器的厚度實質上等於至少一個金屬層的厚度。

【0094】 (5) 根據特徵 (4) 的方法，其中至少一個堆疊層的厚度大於電容器的厚度。

【0095】 (6) 根據特徵 (4) 的方法，其中至少一個堆疊層的厚度大於電容器厚度和至少一個金屬層厚度的組合。

【0096】 (7) 根據特徵 (1) 的方法，其中電容器與核心層的表面接觸。

【0097】 (8) 根據特徵 (7) 的方法，其中形成一或多個金屬層包括：形成至少一個與核心層表面接觸的金屬層。

【0098】 (9) 根據特徵 (8) 的方法，其中形成一或多個堆疊層包括：形成至少一個覆蓋電容器和至少一個金屬層的堆疊層。

【0099】 (10) 根據特徵 (9) 的方法，其中電容器的厚度實質上等於至少一個金屬層的厚度，且至少一個堆疊層的厚度大於電容器的厚度。

【0100】 (11) 根據特徵 (1) 至 (10) 中任一項的方法，其中形成一或多個金屬層包括：在電容器上形成 N 個金屬接觸點，其中 N 是大於或等於 3 的正整數。

【0101】 (12) 根據特徵 (1) 至 (11) 中任一項的方法，其中形成一或多個堆疊層包括：形成與核心層接觸的第一堆疊層；以及在第一堆疊層上形成第二堆疊層，其中在形成第二堆疊層之前，電容器形成在第一堆疊層上。

【0102】 (13) 根據特徵 (1) 至 (12) 中任一項的方法，其中電容器是主動電容器，且該方法還包括：形成一個非主動電容器，該非主動電容器與所述主動電容器包含在所述一或多個堆疊層中的同一個堆疊層內。

【0103】 (14) 根據特徵 (1) 至 (13) 中任一項的方法，其中一或多個金屬層包含從銅 (Cu)、鋁 (Al)、鎢 (W)、鈷 (C)、鈦 (Ti)、鉭 (Ta)、鉬 (Mo) 和鈺 (Ru) 組成的群組中選擇的金屬。

【0104】 (15) 半導體封裝包括：核心層；核心層上的電容器；核心層上的一或多個堆疊層，其中電容器嵌入一或多個堆疊層中；以及核心層上的一或多個金屬層。

【0105】 (16) 根據特徵 (15) 的半導體封裝，其中一或多個金屬層包括至少一個與核心層表面接觸的金屬層，且電容器形成在至少一個金屬層上，使得電容器與金屬層接觸。

【0106】 (17) 根據特徵 (16) 的半導體封裝，其中一或多個堆疊層包括：至少一個覆蓋電容器和至少一個金屬層的堆疊層。

【0107】 (18) 根據特徵 (17) 的半導體封裝，其中電容器的厚度實質上等於至少一個金屬層的厚度。

【0108】 (19) 根據特徵 (18) 的半導體封裝，其中至少一個堆疊層的厚度大於電容器厚度和至少一個金屬層厚度的組合。

【0109】 (20) 根據特徵 15 的半導體封裝，其中電容器與核心層的表面接觸。

【0110】 (21) 根據特徵 (1) 的半導體封裝，其中電容器為 ISC。

【0111】 (22) 根據特徵 (11) 的半導體封裝，其中電容器為 ISC。

【符號說明】

【0112】

100、600、700、900A、900B、900C、1111、1112、1113、  
1114、1115：半導體封裝

102、202：核心層

104A、104B、104C、104D、114A、114B、114C、114D、204A、  
204B、204C、204D：銅通孔

104、106、108、110：陶瓷電容器

112、602：矽背板

116A\_1、116A\_2、116A\_3、116A\_4、116A\_5、116A\_6、116B\_1、  
116B\_2、116B\_3、116B\_4、116B\_5、116B\_6、116C\_1、116C\_1-1、  
116C\_2、116C\_3、116C\_4、116C\_5、116C\_6、116D\_1、116D\_2、  
116D\_3、116D\_4、116D\_5、116D\_6、118A、118B、118C、118D、  
118E、118F、120A、120B、120C、120D、120E、120F、122A、122B、  
122C、122D、124A、124B、124C、124E、124F、206、212A、212B、  
406：銅配線圖案

200A、200B、200C、200D、400A、400B、400C、400D、S1002、  
S1004、S1006、S1008：操作

200、400、1000：製程

208、208A、208B、208C、208F：積體堆疊電容器

210、902、904、908、L1、L2、L3、L4、L5、L6、L7、L8：  
堆疊層

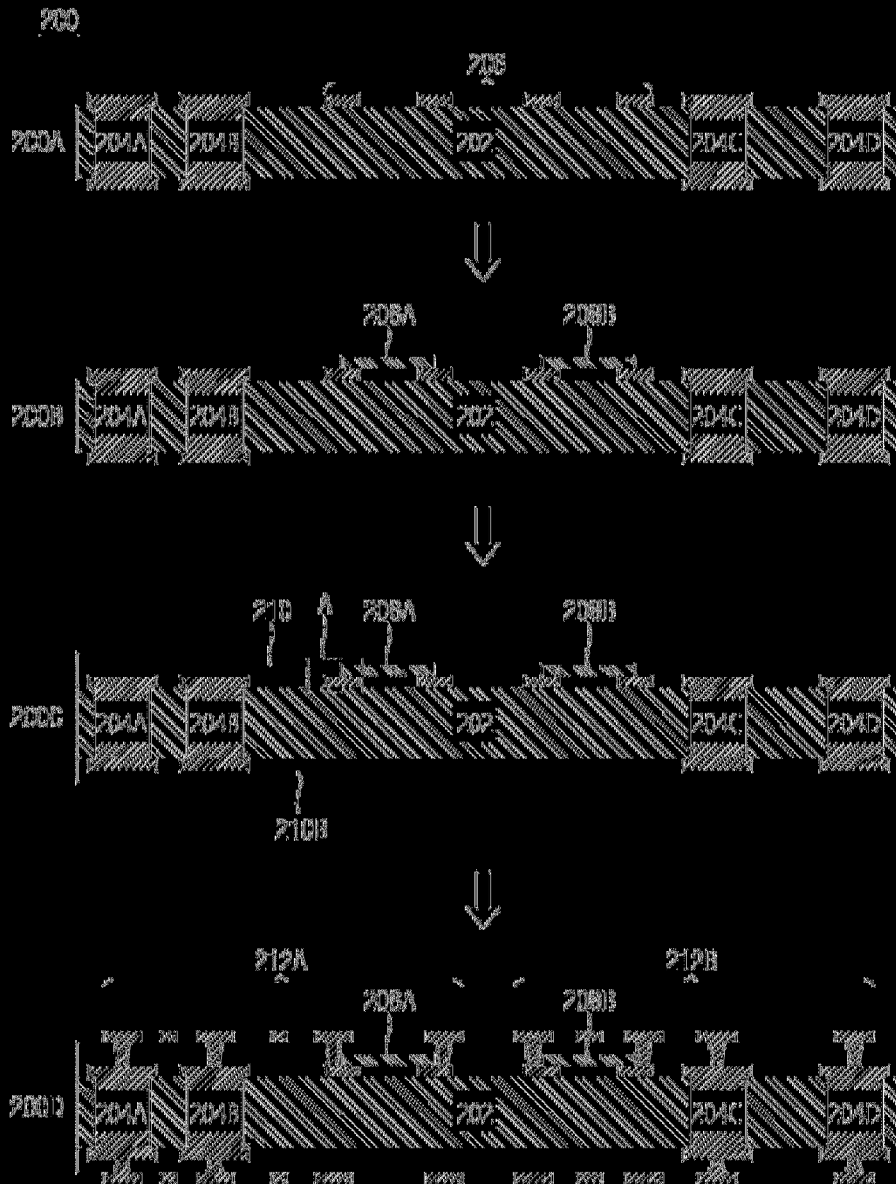
1100：電子裝置

1110：主機板

1120：組件

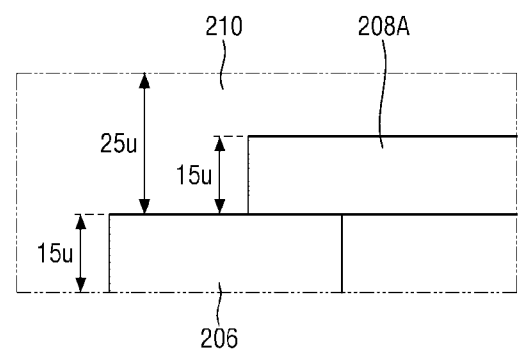
C1、C2、C3、C4、C5、C6、C7、C8：銅層



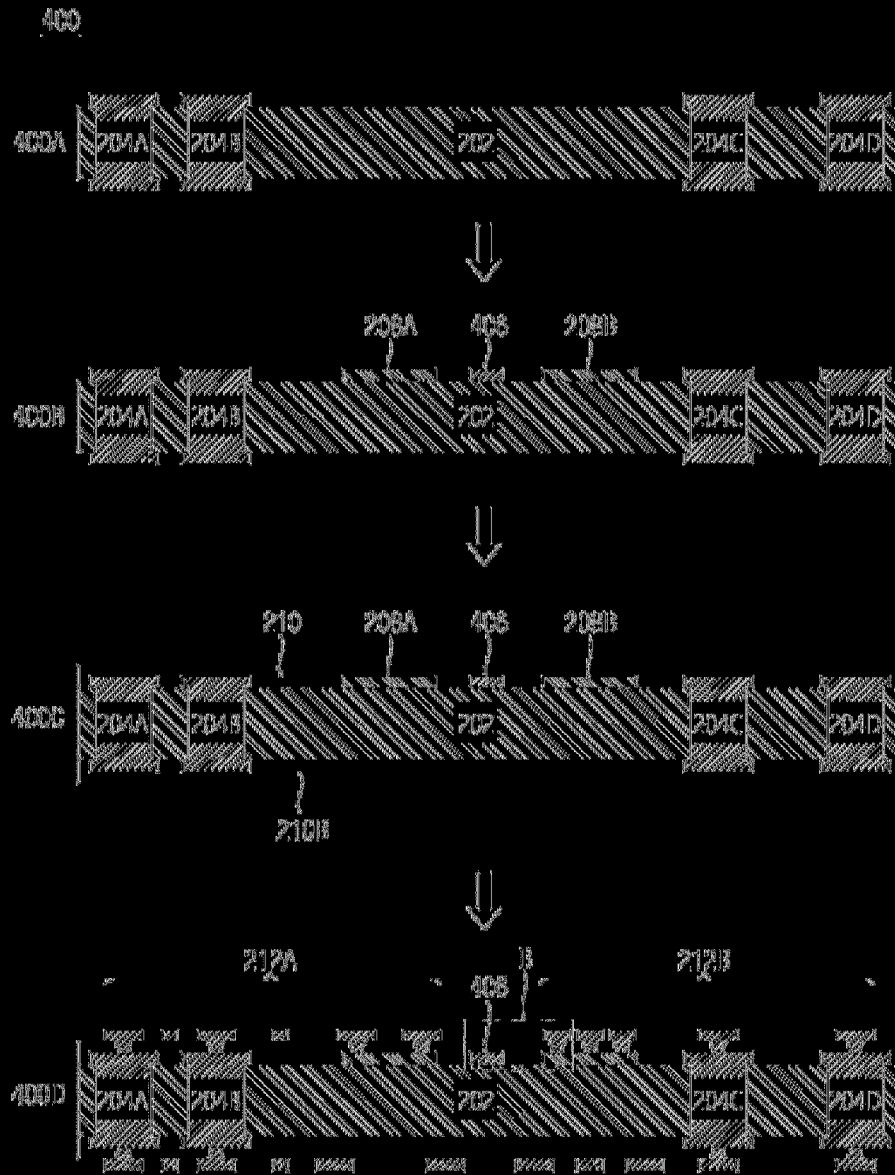


(圖2)

A

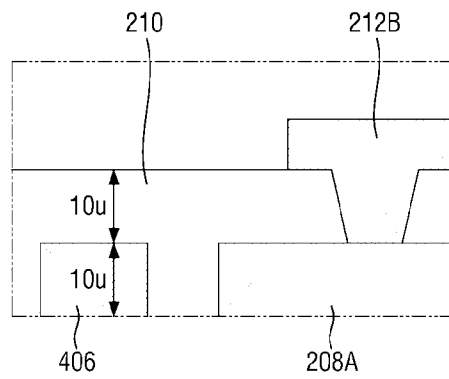


【圖3】

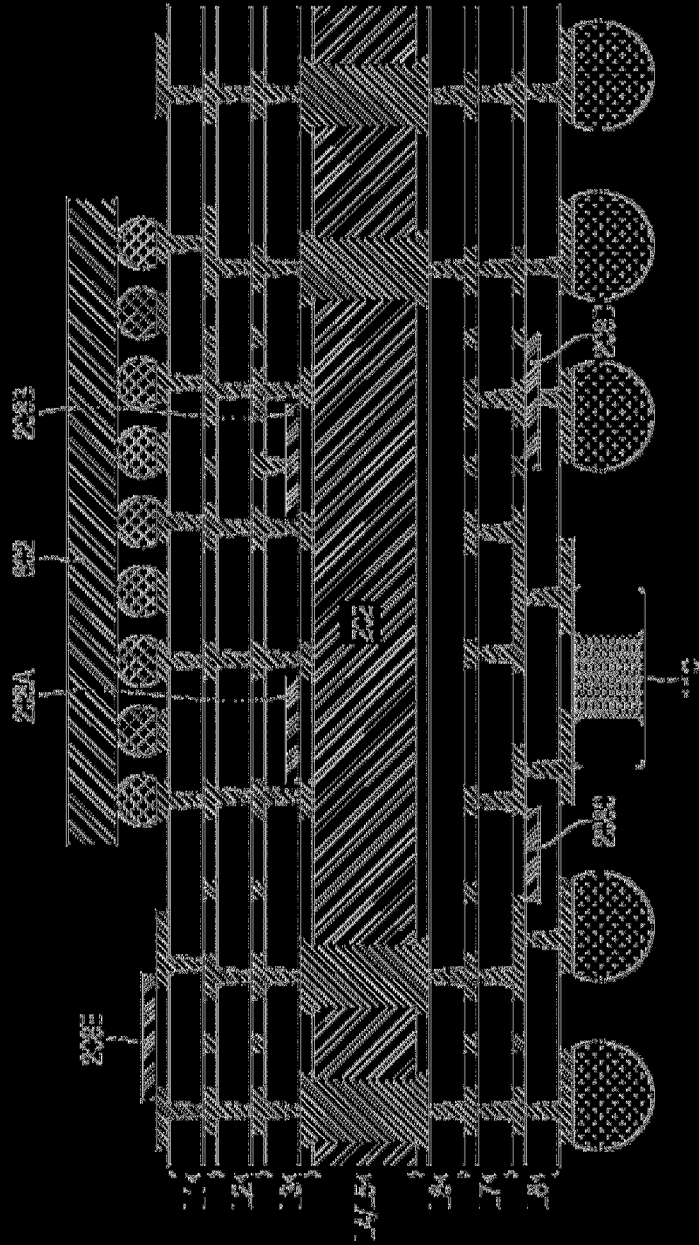


(圖4)

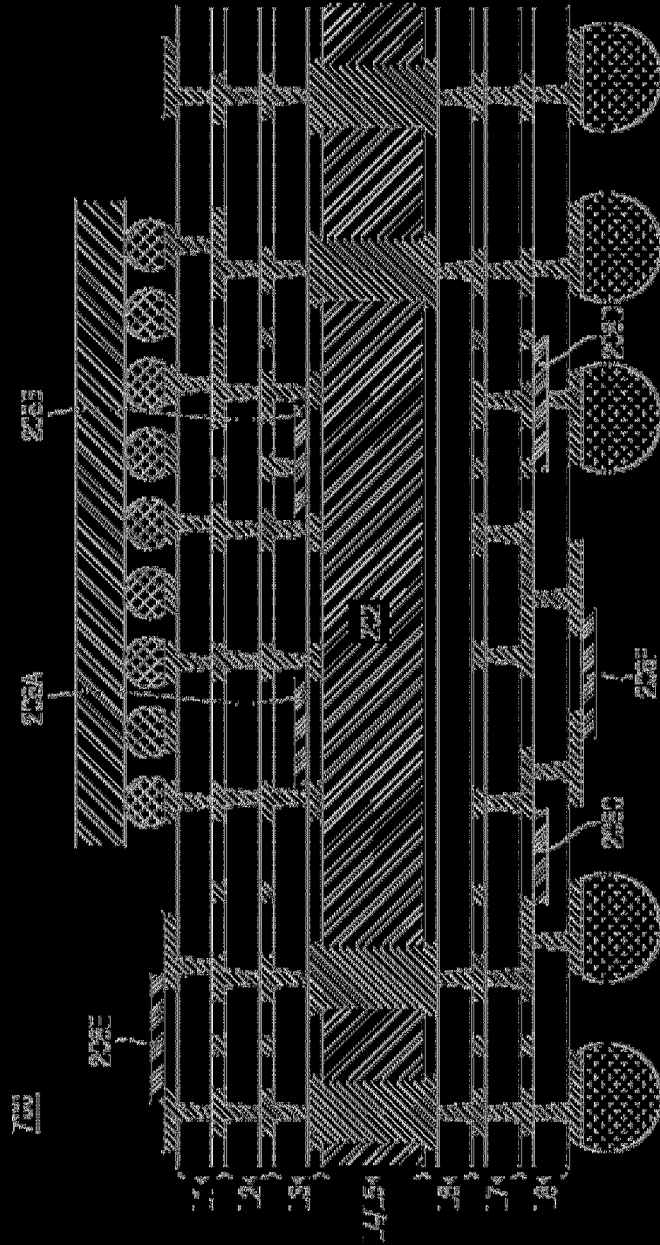
B



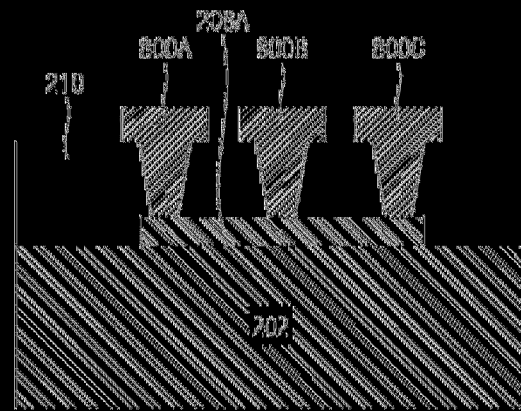
【圖5】



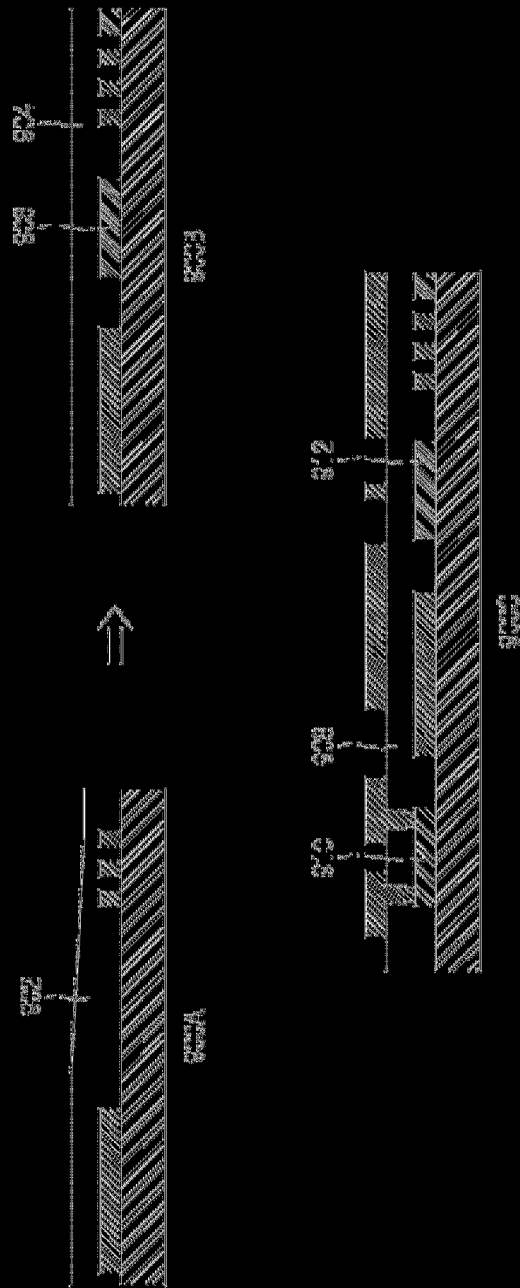
【圖6】



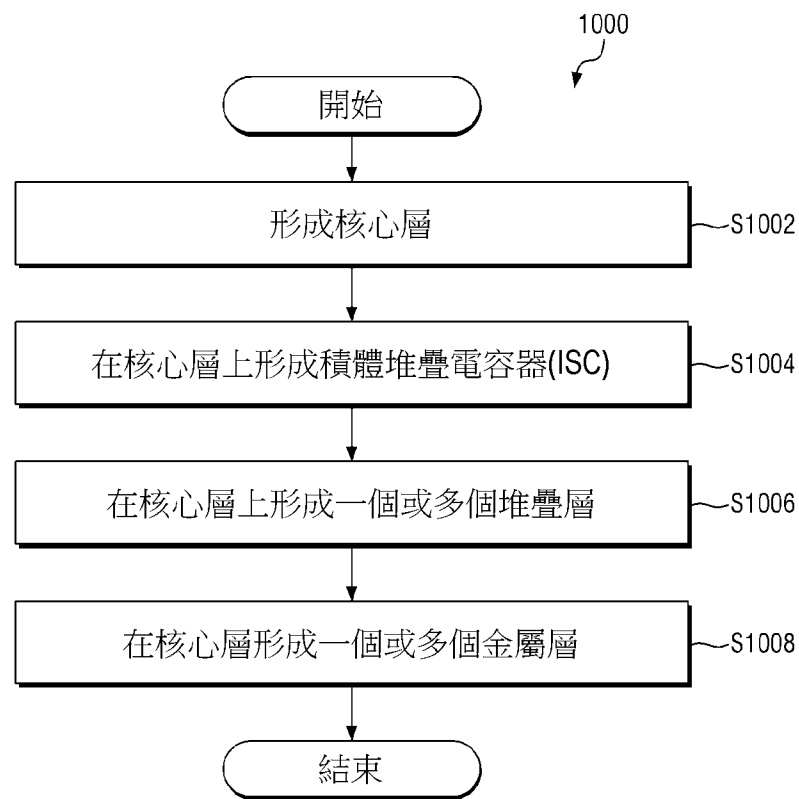
【圖7】



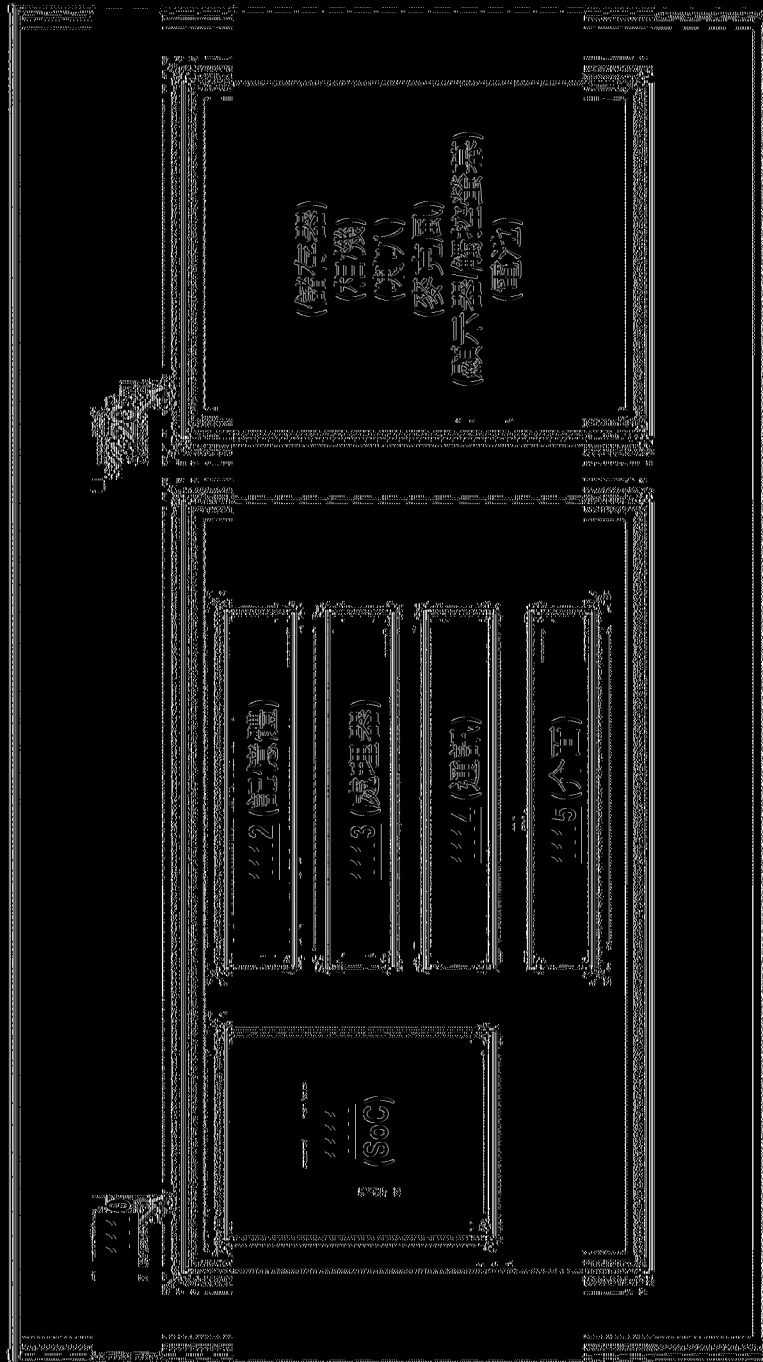
||圖8||



【圖6】



【圖10】



(圖 1)

1110