



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 29/78 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월23일 10-0751663 2007년08월16일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0085775 2006년09월06일 2006년09월06일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	김상민 서울특별시 중랑구 망우3동 474-23번지 101호  정우영 서울 광진구 화양동 234번지 현대아파트 102-2102
(74) 대리인	신영무

(56) 선행기술조사문헌 JP2004111536 A KR1020020065983 A	KR1020010090154 A KR1020060037015 A
--	--

심사관 : 박근용

전체 청구항 수 : 총 12 항

## (54) 반도체 소자의 제조 방법

### (57) 요약

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 플러그를 형성할 때 전도성 패드를 이용하여 배선과 그 하부의 플러그 간의 정렬 마진을 증가시킴으로써, 정렬 오차에 의한 접촉 저항의 증가를 방지하고 반도체 소자의 신뢰성이 향상될 수 있다.

### 대표도

도 2d

### 특허청구의 범위

#### 청구항 1.

셀 영역 및 주변회로 영역이 구분되고 다수의 접합 영역이 형성된 반도체 기판이 제공되는 단계;

상기 반도체 기판상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막의 소정 영역을 식각하여 상기 접합 영역들 중 제1 접합 영역 상에 제1 콘택홀을 각각 형성하는 단계;

상기 제1 콘택홀 내부에 제1 콘택 플러그를 형성하는 단계;

상기 제1 콘택 플러그 상부에 상기 제1 콘택 플러그보다 넓은 면적의 전도성 패드를 형성하는 단계;

상기 전도성 패드를 포함한 전체 구조상에 제2 층간 절연막을 형성하는 단계;

상기 접합 영역들 중 제2 접합영역 상부와 상기 전도성 패드 상에 제2 콘택홀이 형성되도록 상기 제2 및 제1 층간 절연막의 소정 영역을 식각하는 단계; 및

상기 제2 콘택홀에 제2 콘택 플러그를 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

## 청구항 2.

제1항에 있어서, 상기 전도성 패드를 형성하는 단계는,

상기 제1 콘택 플러그를 포함하는 전체 구조상에 제3 층간 절연막을 형성하는 단계;

상기 제1 콘택 플러그 상부의 상기 제3 층간 절연막을 선택적으로 식각하는 단계; 및

상기 제3 층간 절연막이 제거된 부분을 전도성 물질로 매립하는 단계를 포함하는 반도체 소자의 제조 방법.

## 청구항 3.

제1항에 있어서,

상기 전도성 패드를 형성할 때 상기 제1 콘택 플러그가 형성되지 않은 영역의 일부에 더미 전도성 패드를 더 형성하는 반도체 소자의 제조 방법.

## 청구항 4.

제1항에 있어서, 상기 제2 콘택 플러그를 형성한 후,

상기 제2 콘택 플러그 상에 금속 배선을 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

## 청구항 5.

제1항에 있어서,

상기 제1 접합영역은 상기 셀 영역의 소오스 접합 영역, 웰 픽업 영역, 상기 주변회로영역의 접합영역을 포함하고, 상기 제2 접합 영역은 상기 셀 영역의 드레인 접합 영역을 포함하는 반도체 소자의 제조 방법.

## 청구항 6.

제1항에 있어서, 상기 제1 층간 절연막이 형성되기 전에,

상기 반도체 기판의 셀 영역에는 드레인 셀렉트 라인, 다수의 메모리 셀 게이트 및 소오스 셀렉트 라인이 더 형성되고, 상기 반도체 기판의 주변 회로 영역에는 트랜지스터의 게이트가 더 형성되는 반도체 소자의 제조 방법.

## 청구항 7.

제1항에 있어서,

상기 제1 층간 절연막은 HDP 산화막을 이용하여 5000~10000Å의 두께로 형성하는 반도체 소자의 제조 방법.

## 청구항 8.

제1항에 있어서,

상기 제2 층간 절연막은 HDP 산화막 또는 PE-TEOS(Plasma Enhanced Tetra Ethyl OrthoSilicate) 산화막을 이용하여 1000~5000Å의 두께로 형성하는 반도체 소자의 제조 방법.

## 청구항 9.

제2항에 있어서,

상기 제3 층간 절연막은 HDP 산화막 또는 PE-TEOS(Plasma Enhanced Tetra Ethyl OrthoSilicate) 산화막을 이용하여 1000~5000Å의 두께로 형성하는 반도체 소자의 제조 방법.

## 청구항 10.

제1항에 있어서,

상기 제1 층간 절연막과 제2 층간 절연막을 식각할 때 5:1~20:1의 선택비로 15~40mTorr의 압력과 20~40℃의 온도에서 1000~1500W의 바텀 파워(Bottom Power)를 인가하고 CF<sub>4</sub>, CH<sub>x</sub>F<sub>y</sub>, Ar, O<sub>2</sub>를 단독 또는 2개 이상 혼합한 식각제를 이용하여 실시하는 반도체 소자의 제조 방법.

## 청구항 11.

제2항에 있어서,

상기 제3 층간 절연막을 식각할 때 5:1~20:1의 선택비로 15~40mTorr의 압력과 20~40℃의 온도에서 1000~1500W의 바텀 파워(Bottom Power)를 인가하고 CF<sub>4</sub>, CH<sub>x</sub>F<sub>y</sub>, Ar, O<sub>2</sub>를 단독 또는 2개 이상 혼합한 식각제를 이용하여 실시하는 반도체 소자의 제조 방법.

## 청구항 12.

제1항에 있어서,

상기 전도성 패드는 금속 또는 폴리 실리콘으로 형성하는 반도체 소자의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 배선과 그 하부에 형성되는 플러그 간의 정렬 오차 마진을 증가시킬 수 있는 반도체 소자의 제조 방법에 관한 것이다.

도 1a 내지 도 1d는 종래 기술에 따른 반도체 소자의 제조 방법을 설명하기 위하여 순차적으로 도시한 단면도이다.

도 1a를 참조하면, 통상의 공정을 통해 반도체 기판(20)의 셀 영역에는 드레인 셀렉트 라인(21d), 다수의 메모리 셀 게이트(21c) 및 소오스 셀렉트 라인(21s)이 형성되고, 이들 사이에는 각각 접합 영역들(20a 내지 20c)이 형성된다. 그리고 셀 게이트(21c) 사이에도 접합 영역(도시되지 않음)이 형성된다. 한편, 주변회로영역에는 트랜지스터 게이트(21g)와 접합 영역들(20d 및 20e)이 형성된다. 그리고 전체 구조상에는 제1 층간 절연막(22)이 형성되고, 제1 층간 절연막(22)이 식각된 접합 영역(20b) 상에는 소오스 콘택 플러그(23)가 형성된다. 다시, 소오스 콘택 플러그(23)를 포함하는 전체 구조상에는 제2 층간 절연막(24)이 형성되고, 제2 층간 절연막(24) 상부에는 셀 영역의 드레인 콘택 플러그 영역(26a)과 주변회로 영역의 콘택 플러그 영역(26b)을 노출시키는 제1 하드 마스크(25)가 형성된다.

도 1b를 참조하면, 제1 하드 마스크(25; 도 1 참조)를 식각 마스크로 이용하여 셀 영역과 주변회로 영역의 접합영역(20a 및 20e)이 노출되도록 하부의 제2 층간 절연막(24) 및 제1 층간 절연막(22)을 순차적으로 식각한다. 그리고 제1 및 제2 층간 절연막(22 및 24)이 제거된 공간에 금속 또는 폴리 실리콘 등의 전도성 물질을 매립하여 셀 영역의 드레인 콘택 플러그(27a) 및 주변 회로 영역의 콘택 플러그(27b)를 동시에 형성한다.

이후에 제1 하드 마스크(25; 도 1 참조)를 제거하고 제3 층간 절연막(28) 및 제2 하드 마스크(29)를 순차적으로 형성한다. 그리고 제2 하드 마스크(29)를 식각 마스크로 이용하여 제3 층간 절연막(28)의 소정 영역을 식각하여 셀 영역에는 비트 라인 트렌치(30a), 소오스 트렌치(30b), 웰 픽업 트렌치(30c)를 형성하고, 주변회로 영역에는 웰 픽업 트렌치(30d) 및 콘택 플러그(27b)를 노출시키는 트렌치(30e)를 형성한다.

도 1c를 참조하면, 제2 하드 마스크(29)를 포함한 전체구조 상부에 포토 레지스트 패턴(31)을 형성하고 이를 식각마스크로 사용하는 식각 공정으로 제2 층간 절연막(24) 및 제1 층간 절연막(22)의 소정 영역을 순차적으로 식각한다. 이를 통해 셀 영역에는 소오스 콘택 플러그(23)를 노출시키는 소오스 픽업 콘택홀(32a)과 웰 픽업 콘택홀(32b), 주변 회로 영역에는 접합영역(20d)을 노출시키는 웰 픽업 콘택홀(32c)을 동시에 형성한다.

도 1d를 참조하면, 포토 레지스트 패턴(31; 도 1c 참조)과 제2 하드 마스크(29; 도 1c 참조)를 제거한 후 전도성 물질로 상기 트렌치 및 콘택홀을 매립하여 비트 라인용 배선(33a), 소오스 라인용 배선(33b), 웰 픽업용 배선(33c 및 33d) 및 금속 배선(33e)을 형성한다.

상기에서 형성되는 플러그들은 폭이 아주 좁기 때문에, 후속 공정에서 플러그 상에 형성되는 배선들과의 정렬 마진이 상당히 중요하다. 특히 단일 페이지 버퍼를 갖는 비트라인의 경우 동일 영역에 더 많은 비트라인 페이지 버퍼 패턴을 가지기 때문에, 배선과 하부 플러그 간의 정렬 마진이 더욱 감소하여 정렬 오차에 의한 저항 증가나 불량 발생이 발생할 수 있다.

##### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 플러그를 형성할 때 전도성 패드를 이용하여 배선과 그 하부의 플러그 간의 정렬 마진을 증가시킴으로써, 정렬 오차에 의한 접촉 저항의 증가를 방지하기 위함이다.

#### 발명의 구성

본 발명에 따른 반도체 소자의 제조 방법은, 셀 영역 및 주변회로 영역이 구분되고 다수의 접합 영역이 형성된 반도체 기판이 제공되는 단계와, 상기 반도체 기판상에 제1 층간 절연막을 형성하는 단계와, 상기 제1 층간 절연막의 소정 영역을 식각하여 상기 접합 영역들 제1 접합 영역 상에 제1 콘택홀을 각각 형성하는 단계와, 상기 제1 콘택홀 내부에 제1 콘택 플러그를 형성하는 단계와, 상기 제1 콘택 플러그 상부에 상기 제1 콘택 플러그보다 넓은 면적의 전도성 패드를 형성하는 단계와, 상기 전도성 패드를 포함한 전체 구조상에 제2 층간 절연막을 형성하는 단계와, 상기 접합 영역들 중 제2 접합영역 상부와 상기 전도성 패드 상에 제2 콘택홀이 형성되도록 상기 제2 및 제1 층간 절연막의 소정 영역을 식각하는 단계 및 상기 제2 콘택홀에 제2 콘택 플러그를 형성하는 단계를 포함할 수 있다.

상기 전도성 패드를 형성하는 단계는, 상기 제1 콘택 플러그를 포함하는 전체 구조상에 제3 층간 절연막을 형성하는 단계와, 상기 제1 콘택 플러그 상부의 상기 제3 층간 절연막을 선택적으로 식각하는 단계 및 상기 제3 층간 절연막이 제거된 부분을 전도성 물질로 매립하는 단계를 포함할 수 있다.

상기 전도성 패드를 형성할 때 상기 제1 콘택 플러그가 형성되지 않은 영역의 일부에 더미 전도성 패드를 더 형성할 수 있다.

상기 제2 콘택 플러그를 형성한 후, 상기 제2 콘택 플러그 상에 금속 배선을 형성하는 단계를 더 포함할 수 있다.

상기 제1 접합영역은 상기 셀 영역의 소오스 접합 영역, 웰 픽업 영역, 상기 주변회로영역의 접합영역을 포함하고, 상기 제2 접합 영역은 상기 셀 영역의 드레인 접합 영역을 포함할 수 있다.

상기 제1 층간 절연막이 형성되기 전에, 상기 반도체 기판의 셀 영역에는 드레인 셀렉트 라인, 다수의 메모리 셀 게이트 및 소오스 셀렉트 라인이 더 형성되고, 상기 반도체 기판의 주변 회로 영역에는 트랜지스터의 게이트가 더 형성될 수 있다.

상기 제1 층간 절연막은 HDP 산화막을 이용하여 5000~10000Å의 두께로 형성하며, 상기 제2 층간 절연막 및 상기 제3 층간 절연막은 HDP 산화막 또는 PE-TEOS(Plasma Enhanced Tetra Ethyl OrthoSilicate) 산화막을 이용하여 1000~5000Å의 두께로 형성할 수 있다.

상기 제1 층간 절연막 내지 제3 층간 절연막을 식각할 때 5:1~20:1의 선택비로 15~40mTorr의 압력과 20~40℃의 온도에서 1000~1500W의 바텀 파워(Bottom Power)를 인가하여 실시할 수 있고, 상기 제1 층간 절연막 내지 제3 층간 절연막을 식각할 때  $CF_4$ ,  $CH_xF_y$ , Ar,  $O_2$ 를 단독 또는 2개 이상 혼합한 식각제를 이용할 수 있다.

상기 전도성 패드는 금속 또는 폴리 실리콘으로 형성할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다.

도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위하여 순차적으로 도시한 단면도이다.

도 2a를 참조하면, 통상의 공정을 통해 반도체 기판(50)의 셀 영역에는 드레인 셀렉트 라인(51d), 다수의 메모리 셀 게이트(51c) 및 소오스 셀렉트 라인(51s)이 형성되고, 이들 사이에는 각각 드레인 영역(50a), 소오스 영역(50b), 웰 픽업 영역(50c)이 형성된다. 그리고 셀 게이트(51c) 사이에도 접합 영역(도시되지 않음)이 형성된다. 한편, 주변 회로 영역에는 트랜지스터의 게이트(51g)와 접합 영역(50d)이 형성된다. 그리고 전체 구조상에는 제1 층간 절연막(52)을 형성한다. 이후에 셀 영역의 소오스 영역(50b), 웰 픽업 영역(50c) 및 주변회로영역의 접합 영역(50d) 상부의 제1 층간 절연막(52)을 선택적으로 식각하여 각각 제1 소오스 콘택 플러그(53a), 제1 웰 픽업 플러그(53b) 및 제1 콘택 플러그(53c)를 형성한다. 여기서, 제1 소오스 콘택 플러그(53a)는 라인 형태로 형성된다.

상기에서, 제1 층간 절연막(52)은 절연 특성이 있는 임의의 물질로 형성할 수 있으나, 바람직하게는 HDP 산화막을 이용하여 5000~10000Å의 두께로 형성할 수 있다. 또한 제1 층간 절연막(52)을 식각할 때에는 5:1~20:1의 선택비로 15~40mTorr의 압력과 20~40℃의 온도에서 1000~1500W의 바텀 파워(Bottom Power)를 인가하여 실시하는 것이 바람직하다. 이때  $CF_4$ ,  $CH_xF_y$ , Ar,  $O_2$ 를 단독 또는 2개 이상 혼합한 식각제를 이용하는 것이 바람직하다.

도 2b를 참조하면, 상기 구조물 상에 제2 층간 절연막(54)을 형성한다. 그리고 플러그(53a 내지 53c) 상부의 제2 층간 절연막(54)을 선택적으로 식각한다. 이로써 반도체 기판(50) 상에 형성된 플러그(53a 내지 53c)가 노출된다. 이때 플러그

(53a 내지 53c) 주변의 제1 층간 절연막(52)까지 노출되도록 플러그(53a 내지 53c)의 상부 표면적 보다 넓게 제2 층간 절연막(54)을 제거한다. 이어서 제2 층간 절연막(54)이 제거된 부분을 전도성 물질로 매립한다. 상기 전도성 물질은 반도체 공정에서 통상적으로 사용하는 전기전도성 물질을 사용할 수 있으며, 바람직하게는 텅스텐 등의 금속 또는 폴리 실리콘 등을 사용할 수 있다. 이로써 플러그(53a 내지 53c) 상에는 각각 콘택 픽업 패드(55b, 55d) 및 웰 픽업 패드(55c)가 형성되고, 이들 패드들(55b 내지 55d)은 그 하부에 형성된 플러그들(53a 내지 53c)과 전기적으로 연결된다. 또한 셀 게이트(51c)가 형성된 영역과 같이 플러그가 형성되지 않은 영역에는 더미 패드(55a)가 형성될 수 있다. 더미 패드(55a)는 이후 실시하는 식각공정에서 식각 방해막 역할을 하며, 하부층이 과도하게 식각되는 것을 방지한다.

상기에서, 패드들(55b 내지 55d)은 하부에 형성된 플러그들(53a 내지 53c)의 상부 표면적을 증가시키는 역할을 한다. 따라서 후속 공정에서 형성될 콘택 플러그나 금속 배선과의 접촉 면적이 증가하므로, 정렬 마진이 증가하여 정렬 오차에 의한 저항 증가나 불량 발생을 방지할 수 있다.

상기에서, 제2 층간 절연막(54)은 절연 특성이 있는 임의의 물질로 형성할 수 있으나, 바람직하게는 HDP 산화막 또는 PE-TEOS(Plasma Enhanced Tetra Ethyl OrthoSilicate) 산화막을 이용하여 1000Å~5000Å의 두께로 형성할 수 있다. 또한 제2 층간 절연막(54)을 식각할 때에는 5:1~20:1의 선택비로 15~40mTorr의 압력과 20~40℃의 온도에서 1000~1500W의 바텀 파워(Bottom Power)를 인가하여 실시하는 것이 바람직하다. 이때  $CF_4$ ,  $CH_xF_y$ , Ar,  $O_2$ 를 단독 또는 2개 이상 혼합한 식각제를 이용하는 것이 바람직하다.

도 2c를 참조하면, 패드들(55b 내지 55d)을 포함하는 전체 구조상에 제3 층간 절연막(56)을 형성한다. 이어서, 드레인 영역(50a), 소오스 영역(50b), 웰 픽업 영역(50c) 및 접합 영역(50d) 상부에 위치한 제3 층간 절연막(56), 제2 층간 절연막(54) 및 제1 층간 절연막(52)의 소정 영역을 식각한다. 이때, 패드들(55b 내지 55d)이 형성되지 않은 영역에서는 제3 층간 절연막(56), 제2 층간 절연막(54) 및 제1 층간 절연막(52)이 모두 식각되어 드레인 영역(50a)이 노출된다. 하지만 소오스 영역(50b), 웰 픽업 영역(50c) 및 접합 영역(50d) 상부에서는 패드들(55b 내지 55d)에 의해 제2 층간 절연막(54) 및 제1 층간 절연막(52)은 식각되지 않고 제3 층간 절연막(56)만이 식각되어 패드들(55b 내지 55d)의 일부 영역이 노출된다. 이로써, 드레인 영역(50a) 상부에는 드레인 콘택홀이 형성되고 소오스 영역(50b) 상부의 패드(55b) 상에는 소오스 콘택홀이 형성되며, 웰 픽업 영역(50c) 상부의 패드(55c) 상에는 웰 픽업 콘택홀이 형성되고, 접합 영역(50d) 상부의 패드(55d) 상에는 콘택홀이 형성된다. 이어서 이들 콘택홀 내부를 전도성 물질로 매립하여, 드레인 콘택 플러그(57a), 제2 소오스 콘택 플러그(57b), 제2 웰 픽업 플러그(57c) 및 제2 콘택 플러그(57d)를 형성한다. 이후에 상기 전체 구조상에 제4 층간 절연막(58)을 형성한다.

상기에서, 제3 층간 절연막(56)은 절연 특성이 있는 임의의 물질로 형성할 수 있으나, 바람직하게는 HDP 산화막 또는 PE-TEOS(Plasma Enhanced Tetra Ethyl OrthoSilicate) 산화막을 이용하여 1000~5000Å의 두께로 형성할 수 있다. 또한 제3 층간 절연막(56)을 식각할 때에는 5:1~20:1의 선택비로 15~40mTorr의 압력과 20~40℃의 온도에서 1000~1500W의 바텀 파워(Bottom Power)를 인가하여 실시하는 것이 바람직하다. 이때  $CF_4$ ,  $CH_xF_y$ , Ar,  $O_2$ 를 단독 또는 2개 이상 혼합한 식각제를 이용하는 것이 바람직하다.

도 2d를 참조하면, 드레인 콘택 플러그(57a), 제2 소오스 콘택 플러그(57b), 제2 웰 픽업 플러그(57c) 및 제2 콘택 플러그(57d) 상부의 제4 층간 절연막(58)을 선택적으로 식각한다. 이로써 플러그들(57a 내지 57d)이 노출된다. 이어서 제4 층간 절연막(58)에서 식각된 부분을 전도성 물질로 매립하여 배선(59)을 형성한다.

### 발명의 효과

본 발명에 따르면 플러그를 형성할 때 전도성 패드를 이용하여 배선과 그 하부의 플러그 간의 정렬 오차 마진을 증가시킴으로써, 정렬오차에 의한 접촉 저항의 증가를 방지하고 반도체 소자의 신뢰성이 향상될 수 있다.

### 도면의 간단한 설명

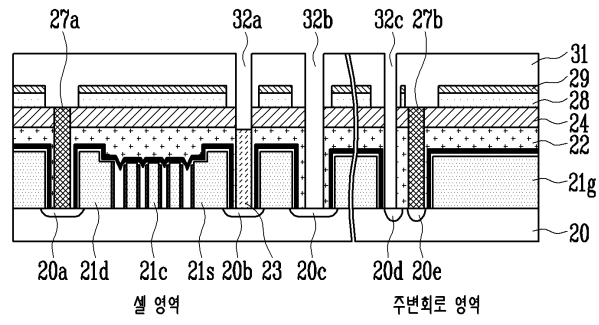
도 1a 내지 도 1d는 종래 기술에 따른 반도체 소자의 제조 방법을 설명하기 위하여 순차적으로 도시한 단면도이다.

도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위하여 순차적으로 도시한 단면도 및 평면도이다.

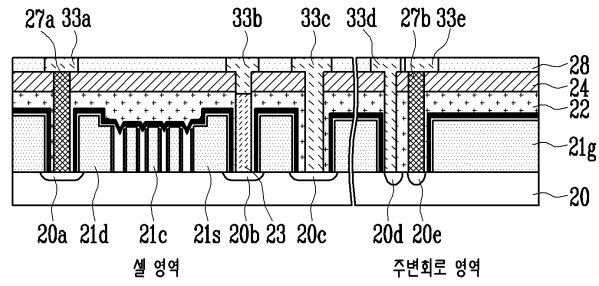
<도면의 주요 부호에 대한 설명>



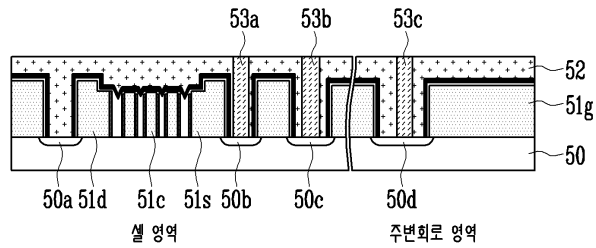
도면1c



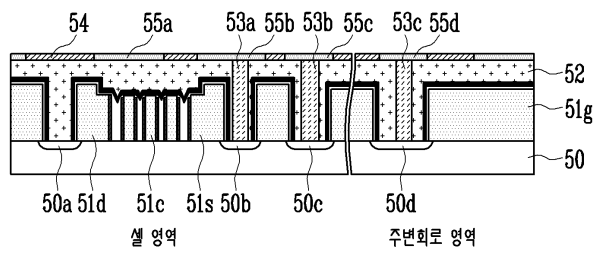
도면1d



도면2a

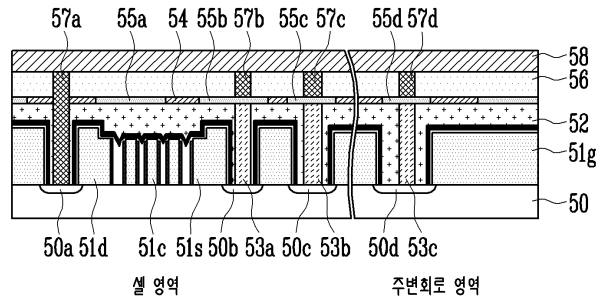


도면2b





도면2c



도면2d

