



# (12)发明专利

(10)授权公告号 CN 104022128 B

(45)授权公告日 2017.02.15

(21)申请号 201410240517.8

(22)申请日 2014.05.30

(65)同一申请的已公布的文献号  
申请公布号 CN 104022128 A

(43)申请公布日 2014.09.03

(73)专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号  
专利权人 北京京东方光电科技有限公司

(72)发明人 杨盛际 董学 王海生 薛海林  
刘英明 赵卫杰 刘红娟 丁小梁  
王磊 王春雷

(74)专利代理机构 北京同达信恒知识产权代理  
有限公司 11291  
代理人 黄志华

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 21/77(2006.01)

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

(56)对比文件

CN 102650916 A,2012.08.29,

CN 102650916 A,2012.08.29,

CN 103364983 A,2013.10.23,

KR 10-2012-0019077 A,2012.03.06,

审查员 王鹏飞

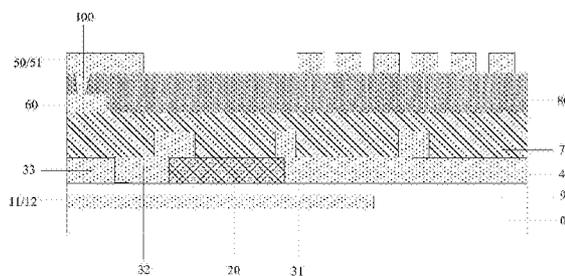
权利要求书2页 说明书9页 附图6页

## (54)发明名称

一种阵列基板及其制作方法、以及显示装置

## (57)摘要

本发明涉及触控技术领域,尤其涉及一种阵列基板及其制作方法、以及显示装置,用以解决现有技术中存在的自电容触摸结构中的触控盲区偏大的问题。本发明实施例提供的阵列基板包括:位于衬底基板上的栅极和栅线,位于栅极和栅线所在膜层上的有源层;所述阵列基板还包括:与有源层同层设置且电性绝缘的像素电极;位于有源层和像素电极所在膜层上的漏极、源极和数据线,漏极与像素电极直接电性连接;位于漏极、源极和数据线所在膜层上,且与漏极、源极、数据线和像素电极电性绝缘的公共电极层和多条导线;其中,导线与所述公共电极层异层设置,公共电极层包括多个同层设置且相互绝缘的自电容电极,且每条导线通过过孔与对应的自电容电极电性连接。



1. 一种阵列基板,包括:衬底基板,位于所述衬底基板上的栅极和栅线,位于所述栅极和栅线所在膜层上的有源层;其特征在于,还包括:

与所述有源层同层设置且电性绝缘的像素电极;

位于所述有源层和像素电极所在膜层上的漏极、源极和数据线;其中,所述漏极与像素电极直接电性连接;

位于所述漏极、源极和数据线所在膜层上,且与所述漏极、源极、数据线和像素电极电性绝缘的公共电极层和多条导线;

其中,所述导线与所述公共电极层异层设置,所述公共电极层包括多个同层设置且相互绝缘的自电容电极,且每条所述导线通过过孔与对应的自电容电极电性连接;所述自电容电极与所述像素电极在衬底基板上正投影互不重叠;所述导线所在膜层位于所述公共电极层之上。

2. 如权利要求1所述的阵列基板,其特征在于,所述导线所在膜层位于所述漏极、源极和数据线所在膜层和所述公共电极层之间。

3. 如权利要求2所述的阵列基板,其特征在于,所述漏极、源极和数据线所在膜层和所述公共电极层之间设置有钝化层;

所述导线所在膜层位于所述钝化层和所述公共电极层之间;

所述阵列基板还包括:

包含所述过孔的第一绝缘层,位于所述导线所在膜层和所述公共电极层之间;

其中,所述导线通过所述第一绝缘层包含的过孔,与所述自电容电极电性连接。

4. 如权利要求3所述的阵列基板,其特征在于,所述栅极和栅线所在膜层与所述有源层和像素电极所在膜层之间设置有栅绝缘层。

5. 如权利要求1所述的阵列基板,其特征在于,还包括:

包含所述过孔的第二绝缘层,位于所述导线所在膜层和所述公共电极层之间;

其中,所述导线通过所述第二绝缘层包含的过孔,与所述自电容电极电性连接。

6. 如权利要求1~5任一所述的阵列基板,其特征在于,所述导线在所述衬底基板上的正投影位于所述数据线在所述衬底基板上的正投影内;和/或

所述导线在所述衬底基板上的正投影位于所述栅线在所述衬底基板上的正投影内。

7. 如权利要求1~5任一所述的阵列基板,其特征在于,将所述导线作为在显示扫描时间内向所述公共电极层供电的公共电极线使用。

8. 一种显示装置,其特征在于,包括如权利要求1~7任一项所述的阵列基板。

9. 一种如权利要求1所述的阵列基板的制作方法,其特征在于,包括:

在衬底基板上形成所述栅极和栅线;

在所述栅极和栅线所在膜层上形成同层设置且电性绝缘的所述有源层和像素电极;

在所述有源层和像素电极所在膜层上形成所述漏极、源极和数据线;其中,所述漏极与像素电极直接电性连接;

在所述漏极、源极和数据线所在膜层上形成与所述漏极、源极、数据线和像素电极电性绝缘的公共电极层和多条导线;

其中,所述导线与所述公共电极层异层设置,所述公共电极层包括多个同层设置且相互绝缘的自电容电极,且每条所述导线通过过孔与对应的自电容电极电性连接;所述自电

容电极与所述像素电极在衬底基板上正投影互不重叠;所述导线所在膜层位于所述公共电极层之上。

## 一种阵列基板及其制作方法、以及显示装置

### 技术领域

[0001] 本发明涉及触控技术领域,尤其涉及一种阵列基板及其制作方法、以及显示装置。

### 背景技术

[0002] 随着显示技术的飞速发展,触摸屏(Touch Screen Panel)已经逐渐遍及人们的生活中。目前,触摸屏包括的触摸结构可以分为:互电容触摸结构和自电容触摸结构。对于自电容触摸结构,由于其触控感应的准确度和信噪比较高,因而受到了各大面板厂家青睐。

[0003] 目前,自电容触摸结构利用自电容的原理实现检测手指触摸位置,具体为:在触摸结构中设置多个同层设置且相互独立的自电容电极,当人体未触碰屏幕时,各自电容电极所承受的电容为一固定值,当人体触碰屏幕时,触碰位置对应的自电容电极所承受的电容为固定值叠加人体电容,触控侦测芯片在触控时间段通过检测各自电容电极的电容值变化可以判断出触控位置。

[0004] 在自电容触摸结构中,每一个自电容电极需要通过单独的引出线与触控侦测芯片连接,如图1所示,每条引出线具体包括:将自电容电极1连接至触摸屏的边框处的导线2,以及设置在边框处用于将自电容电极1导通至触控侦测芯片的接线端子3的周边走线4。

[0005] 在具体实施时,由于自电容电极的数量非常多,对应的引出线也会非常多,以每个自电容电极的所占面积为5mm\*5mm为例,5寸的液晶显示屏就需要264个自电容电极,若将每个自电容电极设计的更小一些,则会有更多的自电容电极,那么需要设置更多的引出线。

[0006] 而且,在设计时,由于为了简化膜层数量,如图1所示,一般将引出线中的导线2和自电容电极1同层设置,较多的导线2会造成触控盲区偏大,其中触控盲区是指触控屏中走线集中的区域,在这个触控盲区内的信号相对比较紊乱,故此称为触控盲区,即在该区域内的触控性能无法保证。

[0007] 综上所述,目前的自电容触摸结构中的触控盲区偏大,造成包含所述自电容触摸结构的触摸屏的触控性能比较差。

### 发明内容

[0008] 本发明实施例提供了一种阵列基板及其制作方法、以及显示装置,用以解决现有技术中存在的自电容触摸结构中的触控盲区偏大的问题。

[0009] 第一方面,本发明实施例提供一种阵列基板,包括:衬底基板,位于所述衬底基板上的栅极和栅线,位于所述栅极和栅线所在膜层上的有源层;

[0010] 其中,所述阵列基板还包括:

[0011] 与所述有源层同层设置且电性绝缘的像素电极;

[0012] 位于所述有源层和像素电极所在膜层上的漏极、源极和数据线;其中,所述漏极与像素电极直接电性连接;

[0013] 位于所述漏极、源极和数据线所在膜层上,且与所述漏极、源极、数据线和像素电极电性绝缘的公共电极层和多条导线;

[0014] 其中,所述导线与所述公共电极层异层设置,所述公共电极层包括多个同层设置且相互绝缘的自电容电极,且每条所述导线通过过孔与对应的自电容电极电性连接。

[0015] 较佳地,所述导线所在膜层位于所述漏极、源极和数据线所在膜层和所述公共电极层之间。

[0016] 较佳地,所述漏极、源极和数据线所在膜层和所述公共电极层之间设置有钝化层;

[0017] 所述导线所在膜层位于所述钝化层和所述公共电极层之间;

[0018] 所述阵列基板还包括:

[0019] 包含所述过孔的第一绝缘层,位于所述导线所在膜层和所述公共电极层之间;

[0020] 其中,所述导线通过所述第一绝缘层包含的过孔,与所述自电容电极电性连接。

[0021] 较佳地,所述栅极和栅线所在膜层与所述有源层和像素电极所在膜层之间设置有栅绝缘层。

[0022] 较佳地,所述导线所在膜层位于所述公共电极层之上。

[0023] 较佳地,所述阵列基板还包括:

[0024] 包含所述过孔的第二绝缘层,位于所述导线所在膜层和所述公共电极层之间;

[0025] 其中,所述导线通过所述第二绝缘层包含的过孔,与所述自电容电极电性连接。

[0026] 较佳地,所述导线在所述衬底基板上的正投影位于所述数据线在所述衬底基板上的正投影内;和/或

[0027] 所述导线在所述衬底基板上的正投影位于所述栅线在所述衬底基板上的正投影内。

[0028] 较佳地,将所述导线作为在显示扫描时间内向所述公共电极层供电的公共电极线使用。

[0029] 第二方面,本发明实施例提供一种显示装置,包括:本发明实施例中所述的阵列基板。

[0030] 第三方面,本发明实施例提供一种制作所述的阵列基板的方法,包括:

[0031] 在衬底基板上形成所述栅极和栅线;

[0032] 在所述栅极和栅线所在膜层上形成同层设置且电性绝缘的所述有源层和像素电极;

[0033] 在所述有源层和像素电极所在膜层上形成所述漏极、源极和数据线;其中,所述漏极与像素电极直接电性连接;

[0034] 在所述漏极、源极和数据线所在膜层上形成与所述漏极、源极、数据线和像素电极电性绝缘的公共电极层和多条导线;

[0035] 其中,所述导线与所述公共电极层异层设置,所述公共电极层包括多个同层设置且相互绝缘的自电容电极,且每条所述导线通过过孔与对应的自电容电极电性连接。

[0036] 与现有技术相比,本发明有益效果如下:

[0037] 在本发明实施例中,阵列基板包含公共电极层和导线,公共电极层包括多个同层设置且相互绝缘的自电容电极,且每条导线与对应的自电容电极电性连接;从而可以实现将自电容触摸结构中的触控电极(即,自电容电极)和导线内嵌到阵列基板中,以便于实现内嵌式触摸屏;

[0038] 由于导线和公共电极层异层设置,从而可以消除自电容触摸结构中的触控盲区,

以提高包含所述自电容触摸结构的触摸屏的触控性能；

[0039] 另外,由于公共电极层包括多个同层设置且相互绝缘的自电容电极,从而可以将公共电极层作为自电容触摸结构中的触控电极使用,避免单独设置所述触控电极所在膜层,以简化膜层数量。

#### 附图说明

[0040] 图1为现有技术中的电容式触摸结构的俯视结构示意图；

[0041] 图2为本发明实施例中的阵列基板的侧视结构示意图；

[0042] 图3为本发明实施例中的导线和数据线的位置关系示意图；

[0043] 图4为本发明实施例中的电容式触摸结构的俯视结构示意图；

[0044] 图5为本发明实施例中的显示装置的驱动时序示意图；

[0045] 图6为本发明实施例中的阵列基板的制作方法的流程示意图。

#### 具体实施方式

[0046] 为了使本领域技术人员更好的理解本发明的技术方案,下面结合说明书附图对本发明实施例进行详细的描述。

[0047] 需要说明的是,本发明所提到的方向用语,如表示方向的“上”、“下”,仅是参考附图的方向以说明及理解本发明,而不用于限制本发明实施例;而且,附图中各层膜层的厚度和形状不反映真实比例,目的只是示意说明本发明内容。

[0048] 较佳地,如图2所示,本发明实施例提供一种阵列基板,包括:衬底基板00,位于衬底基板00上的栅极11和栅线12,位于所述栅极11和栅线12所在膜层上的有源层20;其中,所述阵列基板还包括:

[0049] 与有源层20同层设置且电性绝缘的像素电极40;

[0050] 位于所述有源层20和像素电极40所在膜层上的漏极31、源极32和数据线33;其中,所述漏极31与像素电极40直接电性连接;

[0051] 位于所述漏极31、源极32和数据线33所在膜层上,且与所述漏极31、源极32、数据线33和像素电极40电性绝缘的公共电极层50和多条导线60;

[0052] 其中,所述导线60与所述公共电极层50异层设置,所述公共电极层50包括多个同层设置且相互绝缘的自电容电极51,且每条所述导线60通过过孔100与对应的自电容电极51电性连接。

[0053] 实施中,与现有技术相比,在本发明实施例中,阵列基板包含公共电极层和导线,公共电极层包括多个同层设置且相互绝缘的自电容电极,且每条导线与对应的自电容电极电性连接;从而可以实现将自电容触摸结构中的触控电极(即,自电容电极)和导线内嵌到阵列基板中,以便于实现内嵌式触摸屏;

[0054] 由于导线和公共电极层异层设置,从而可以消除自电容触摸结构中的触控盲区,以提高包含所述自电容触摸结构的触摸屏的触控性能;

[0055] 另外,由于公共电极层包括多个同层设置且相互绝缘的自电容电极,从而可以将公共电极层作为自电容触摸结构中的触控电极使用,避免单独设置所述触控电极所在膜层,以简化膜层数量。

[0056] 实施中,像素电极与有源层同层设置,以及,所述漏极与像素电极直接电性连接,均可以减少阵列基板包含的膜层数量。

[0057] 实施中,与现有技术中像素电极通过过孔与漏极电性连接的方案相比,所述漏极与像素电极直接电性连接,可以避免采用掩膜版制作电性连接像素电极与漏极的过孔,从而可以降低制作阵列基板的复杂度和成本。

[0058] 较佳地,所述公共电极层包括的自电容电极的实施方式与现有技术中自电容触摸结构包括的自电容电极的实施方式类似,在此不再赘述。

[0059] 较佳地,本发明实施例中的导线的位置连接关系只要满足如下条件即可:位于所述漏极、源极和数据线所在膜层之上,与所述漏极、源极、数据线和像素电极电性绝缘;以及,与所述公共电极层异层设置,且每条所述导线通过过孔与对应的自电容电极电性连接。

[0060] 下面将对本发明实施例中的导线与阵列基板包含的多个膜层之间的位置连接关系的实施方式进行介绍。

[0061] 一、所述导线所在膜层位于所述漏极、源极和数据线所在膜层和所述公共电极层之间。

[0062] 实施中,所述导线所在膜层位于所述漏极、源极和数据线所在膜层和所述公共电极层之间,可以减少人体电容对在导线上传输的信号的干扰。

[0063] 较佳地,所述漏极、源极和数据线所在膜层和所述公共电极层之间设置有钝化层;

[0064] 所述导线所在膜层可以位于所述漏极、源极和数据线所在膜层和所述钝化层之间,也可以位于所述钝化层和所述公共电极层之间。

[0065] 较佳地,如图2所示,所述漏极31、源极32和数据线33所在膜层和所述公共电极层50之间设置有钝化层70;

[0066] 所述导线60所在膜层位于所述钝化层70和所述公共电极层50之间;

[0067] 所述阵列基板还包括:

[0068] 包含所述过孔100的第一绝缘层80,位于所述导线60所在膜层和所述公共电极层50之间;

[0069] 其中,所述导线60通过所述第一绝缘层80包含的过孔100,与所述自电容电极51电性连接。

[0070] 需要说明的是,所述导线所在膜层位于所述漏极、源极和数据线所在膜层和所述钝化层之间的实施方式,与所述导线所在膜层位于所述钝化层和所述公共电极层之间的实施方式类似;只不过,在所述导线所在膜层位于所述漏极、源极和数据线所在膜层和所述钝化层之间时,所述第一绝缘层需要位于所述漏极、源极和数据线所在膜层和所述导线所在膜层之间且不包含过孔,且所述钝化层需要包含过孔。

[0071] 较佳地,如图2所示,所述栅极11和栅线12所在膜层与所述有源层20和像素电极40所在膜层之间设置有栅绝缘层90。

[0072] 二、所述导线所在膜层位于所述公共电极层之上。

[0073] 实施中,所述导线所在膜层位于所述公共电极层之上,可以保证不改变现有阵列基板包含的各膜层之间的连接关系。

[0074] 较佳地,所述阵列基板还包括:

[0075] 包含所述过孔的第二绝缘层,位于所述导线所在膜层和所述公共电极层之间;

[0076] 其中,所述导线通过所述第二绝缘层包含的过孔,与所述自电容电极电性连接。

[0077] 下面将以所述导线的位置与栅线和/或数据线的位置之间的关系为分类依据,对本发明实施例的所述导线的位置的实施方式进行介绍。

[0078] 较佳地,所述导线在所述衬底基板上的正投影位于所述数据线在所述衬底基板上的正投影内;和/或

[0079] 所述导线在所述衬底基板上的正投影位于所述栅线在所述衬底基板上的正投影内。

[0080] 比如,如图3所示,通过过孔100与对应的自电容电极51电性连接的所述导线60在所述衬底基板(图3中未示出衬底基板)上的正投影位于所述数据线33在所述衬底基板上的正投影内。

[0081] 实施中,所述导线在所述衬底基板上的正投影位于所述数据线在所述衬底基板上的正投影内;和/或所述导线在所述衬底基板上的正投影位于所述栅线在所述衬底基板上的正投影内,可以保证所述导线产生的电场不会影响像素开口区域的电场,因此,不会影响正常显示。

[0082] 实施中,所述导线在所述衬底基板上的正投影位于所述数据线在所述衬底基板上的正投影内;和/或所述导线在所述衬底基板上的正投影位于所述栅线在所述衬底基板上的正投影内,可以避免影响透过率。

[0083] 实施中,所述导线在所述衬底基板上的正投影位于所述数据线在所述衬底基板上的正投影内,可以保证各导线的延伸方向与所述数据线的延伸方向一致,有利于窄边框设计。

[0084] 需要说明的是,本发明实施例中的所述导线与所述栅线和数据线的位置关系的实施方式也可以为其他实施方式,比如,所述数据线和/或栅线在所述衬底基板上的正投影位于所述导线在所述衬底基板上的正投影内;或者,所述导线在所述衬底基板上的正投影与所述数据线和/或栅线在所述衬底基板上的正投影部分交叠;或者,所述导线在所述衬底基板上的正投影与所述数据线和/或栅线在所述衬底基板上的正投影无交叠等,在此不再赘述。

[0085] 较佳地,与现有技术中导线与自电容电极的对应关系的实施方式类似,在本发明实施例中,一个自电容电极可以与至少一条导线电性连接,且各自电容电极电性连接的导线不同。

[0086] 下面以图4为例,对本发明实施例中的导线和公共电极层的位置连接关系进行介绍。

[0087] 如图4所示,公共电极层50包括多个同层设置且相互绝缘的呈矩阵式排布的自电容电极51;

[0088] 一条导线60电性连接一个自电容电极51,各自电容电极51电性连接的导线60不同;

[0089] 导线60与公共电极层50异层设置,且每条导线60通过过孔100与对应的自电容电极51电性连接。

[0090] 较佳地,将所述导线作为在显示扫描时间内向所述公共电极层供电的公共电极线使用。

[0091] 实施中,将所述导线作为在显示扫描时间内向所述公共电极层供电的公共电极线使用,可以节省阵列基板包含的走线数量,以降低制作阵列基板的复杂度。

[0092] 实施中,在公共电极线为与栅极和栅线所在膜层同层设置、与所述公共电极层异层设置、且通过过孔与所述公共电极层电性连接的gate Vcom line时,将所述导线作为在显示扫描时间内向所述公共电极层供电的公共电极线使用,还可以避免对位于栅极和栅线所在膜层和公共电极层之间的各膜层进行过孔刻蚀以电性连接gate Vcom line和公共电极层,以减少制作阵列基板所采用的掩模版,降低制作阵列基板的成本和复杂度。

[0093] 较佳地,基于同一发明构思,本发明实施例同时还提供了一种显示装置,包括:本发明实施例中所述的阵列基板;

[0094] 该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件;

[0095] 该显示装置的实施可以参见上述实施例,重复之处不再赘述。

[0096] 实施中,由于本发明实施例中所述的阵列基板内嵌有自电容触摸结构中的触控电极(即,自电容电极)和导线,因此,包含本发明实施例中所述的阵列基板的显示装置同时具有显示功能和触控功能。

[0097] 实施中,由于本发明实施例中所述的阵列基板可以消除自电容触摸结构中的触控盲区,因此,包含本发明实施例中所述的阵列基板的显示装置也可以消除触控盲区,提高触控性能;

[0098] 实施中,由于本发明实施例中所述的阵列基板可以简化膜层数量,因此,包含本发明实施例中所述的阵列基板的显示装置也可以简化膜层数量。

[0099] 较佳地,所述显示装置还包括:与所述阵列基板相对设置的彩膜基板;其中,所述彩膜基板包括依次层叠的:衬底基板、黑矩阵层、彩膜层、平坦化层和PS(隔垫物层)。

[0100] 较佳地,本发明实施例还提供了一种对所述显示装置的扫描方法,包括:

[0101] 在一帧时间内,分时进行触摸扫描和显示扫描;其中:

[0102] 在触摸扫描时间内,通过与各自电容电极相连的导线,分时向各自电容电极施加驱动信号;接收各自电容电极的反馈信号,并根据反馈信号判断触控位置。

[0103] 实施中,分时进行触摸扫描和显示扫描,可以降低显示信号和触控信号之间的相互干扰,提高画面品质和触控准确性。

[0104] 较佳地,可以由触控侦测芯片通过与各自电容电极相连的导线,分时向各自电容电极施加驱动信号;接收各自电容电极的反馈信号,并根据反馈信号判断触控位置。

[0105] 较佳地,触控侦测芯片设置于电路板上,具体可以设置于位于显示装置背部的电路板上,可以设置于位于显示装置的边框区域的电路板上,也可以设置于所述阵列基板包含的柔性电路板上。

[0106] 较佳地,在具体实施中,可以将显示驱动芯片和触控侦测芯片整合为一个芯片,以降低生产成本。

[0107] 下面将结合图5,对本发明实施例中对所述显示装置的扫描方法进行详细介绍。

[0108] 如图5所示,将显示装置显示每一帧(V-sync)的时间分成显示扫描时间段(Display)和触摸扫描时间段(Touch),比如,显示装置的显示一帧的时间为16.7ms,选取其中5ms作为触摸扫描时间段,其他的11.7ms作为显示扫描时间段,当然也可以根据IC芯片的

处理能力适当的调整两者的时长,在此不做具体限定;

[0109] 在显示扫描时间段(Display),对显示装置中的每条栅极信号线Gate1, Gate2…… Gate n依次施加栅扫描信号,对数据信号线Data施加灰阶信号,实现显示功能;

[0110] 在触控时间段(Touch),触控侦测芯片分时向各自电容电极Cx1……Cxn施加驱动信号;同时,接收各自电容电极Cx1……Cxn的反馈信号,通过对各自电容电极Cx1……Cxn的反馈信号的分析,判断出触控位置,以实现触控功能。

[0111] 较佳地,触控侦测芯片通过对各自电容电极Cx1……Cxn的反馈信号的分析以判断出触控位置的实施方式与现有技术中实施方式类似,在此不再赘述。

[0112] 较佳地,如图5所示,在显示扫描时间段(Display),各自电容电极上施加Vcom电压。

[0113] 实施中,可以保证显示装置正常进行显示。

[0114] 较佳地,如图5所示,在触控时间段(Touch),数据信号线和各栅极信号线上施加GND信号。

[0115] 实施中,可以减少数据信号线和各栅极信号线上的信号对导线上传输的信号干扰。

[0116] 较佳地,在分时向各自电容电极施加驱动信号时,可以横向逐个扫描各自电容电极,以分时向各自电容电极施加驱动信号;可以竖向逐个扫描各自电容电极,以分时向各自电容电极施加驱动信号。

[0117] 具体实施中,也可以采用全驱(all driving)的方式,向各自电容电极施加驱动信号;具体实施方式与现有技术中的实施方式类似,在此不再赘述。

[0118] 较佳地,如图6所示,基于同一发明构思,本发明实施例同时还提供了一种制作阵列基板的方法,包括:

[0119] 步骤601、在衬底基板上形成所述栅极和栅线;

[0120] 步骤602、在所述栅极和栅线所在膜层上形成同层设置且电性绝缘的所述有源层和像素电极;

[0121] 步骤603、在所述有源层和像素电极所在膜层上形成所述漏极、源极和数据线;其中,所述漏极与像素电极直接电性连接;

[0122] 步骤604、在所述漏极、源极和数据线所在膜层上形成与所述漏极、源极、数据线和像素电极电性绝缘的公共电极层和多条导线;

[0123] 其中,所述导线与所述公共电极层异层设置,所述公共电极层包括多个同层设置且相互绝缘的自电容电极,且每条所述导线通过过孔与对应的自电容电极电性连接。

[0124] 实施例一

[0125] 在本发明实施例一中,将对制作如图2所示的阵列基板的方法进行详细介绍。

[0126] 较佳地,本发明实施例的阵列基板的制作方法,包括:

[0127] 步骤1、如图2所示,在衬底基板00上形成栅极11和栅线12;

[0128] 其中,通过一次Gate Mask(栅刻蚀)工艺,在衬底基板上形成电性连接的栅极和栅线。

[0129] 其中,在现有技术中,通过一次Gate Mask工艺,在衬底基板上还形成有与栅极和栅线同层设置且电性绝缘的gate Vcom line;

[0130] 而在本发明实施例中,可以制作该gate Vcom line,也可以不制作该gate Vcom line。

[0131] 步骤2、如图2所示,在栅极11和栅线12所在膜层上形成栅绝缘层90;

[0132] 步骤3、如图2所示,在栅绝缘层90上形成同层设置且电性绝缘的有源层20和像素电极40;

[0133] 其中,通过一次Active Mask(有源层刻蚀)工艺,在栅绝缘层上形成有源层。

[0134] 其中,通过一次Pixel ITO Mask(像素电极刻蚀)工艺,在栅绝缘层上形成所述像素电极。

[0135] 其中,在现有技术中,在Pixel ITO Mask工艺后,还需要进行一次GI Mask(栅绝缘层刻蚀)工艺,以在栅绝缘层中形成露出gate Vcom line的过孔;

[0136] 而在本发明实施例中,在不制作该gate Vcom line时,无需进行该GI Mask工艺步骤。

[0137] 步骤4、如图2所示,在有源层20和像素电极40所在膜层上形成所述漏极31、源极32和数据线33;其中,所述漏极31与像素电极40直接电性连接;

[0138] 其中,通过一次SD Mask(源漏刻蚀)工艺,形成所述的漏极、源极和数据线;

[0139] 如图2所示,形成的所述漏极31和源极32分别位于所述有源层20的两侧,源极32与有源层20直接电性连接,漏极31与像素电极40直接电性连接。

[0140] 步骤5、如图2所示,在所述漏极31、源极32和数据线33所在膜层上形成钝化层70;

[0141] 其中,在现有技术中,在PVX Mask(钝化层刻蚀)工艺中,需要在钝化层中形成露出gate Vcom line的过孔;

[0142] 而在本发明实施例中,在不制作该gate Vcom line时,无需在钝化层中形成露出gate Vcom line的过孔。

[0143] 步骤6、如图2所示,在钝化层70上形成导线60;

[0144] 其中,通过一次Metal Mask(导线刻蚀)工艺,形成所述导线。

[0145] 步骤7、如图2所示,在导线60所在膜层上形成绝缘层80,所述绝缘层80包含露出导线60的过孔100;

[0146] 其中,通过一次I Mask(绝缘层刻蚀)工艺,形成包含过孔的绝缘层。

[0147] 其中,在本发明实施例中,在制作该gate Vcom line时,需要在绝缘层中形成露出gate Vcom line的过孔;

[0148] 并且,在绝缘层的材料与钝化层的材料相同时,可以对绝缘层和钝化层一起进行刻蚀,以形成露出gate Vcom line的过孔。

[0149] 步骤8、如图2所示,在绝缘层80上形成包括多个同层设置且相互绝缘的自电容电极51的公共电极层50;所述导线60通过所述绝缘层80包含的过孔100,与对应的自电容电极51电性连接。

[0150] 其中,通过一次Vcom ITO Mask(公共电极层刻蚀)工艺,形成所述公共电极层。

[0151] 实施例二

[0152] 在本发明实施例二中,将对制作与阵列基板相对设置的彩膜基板的方法进行详细介绍。

[0153] 较佳地,本发明实施例的彩膜基板的制作方法,包括:

- [0154] 步骤1、在衬底基板上形成黑矩阵层；
- [0155] 其中,通过一次BM Mask(黑矩阵层刻蚀)工艺,在衬底基板上形成黑矩阵层。
- [0156] 步骤2、在黑矩阵层上形成RGB(红绿蓝)彩膜层；
- [0157] 其中,分别通过R Mask(红色亚像素单元刻蚀)工艺、G Mask(绿色亚像素单元刻蚀)工艺、以及Mask(蓝色亚像素单元刻蚀)工艺,在黑矩阵层上形成所述RGB彩膜层。
- [0158] 步骤3、在RGB彩膜层上形成平坦化层；
- [0159] 步骤4、在平坦化层上形成PS。
- [0160] 其中,通过一次PS Mask(隔垫物层刻蚀)工艺,形成所述PS。
- [0161] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。
- [0162] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

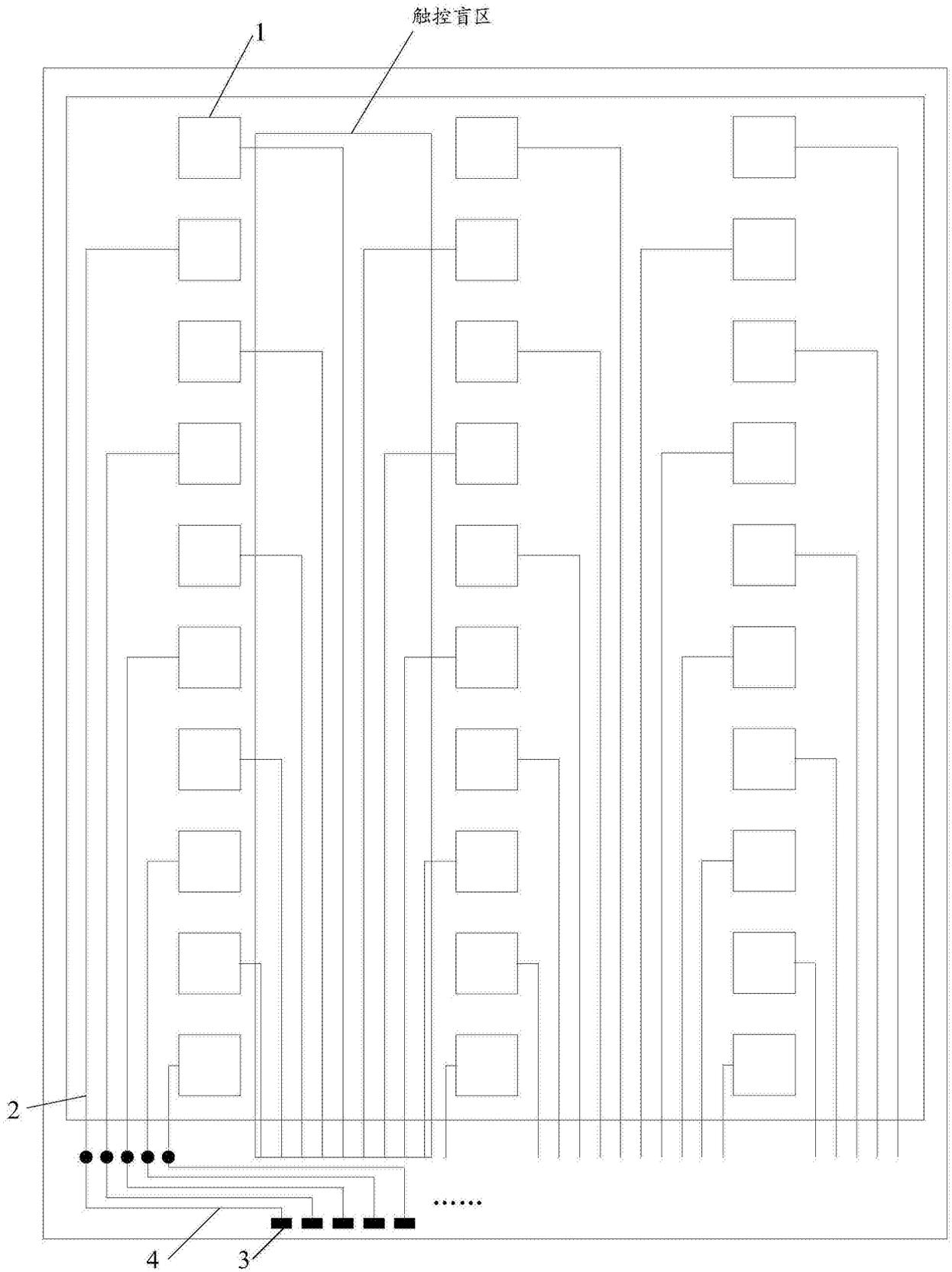


图1

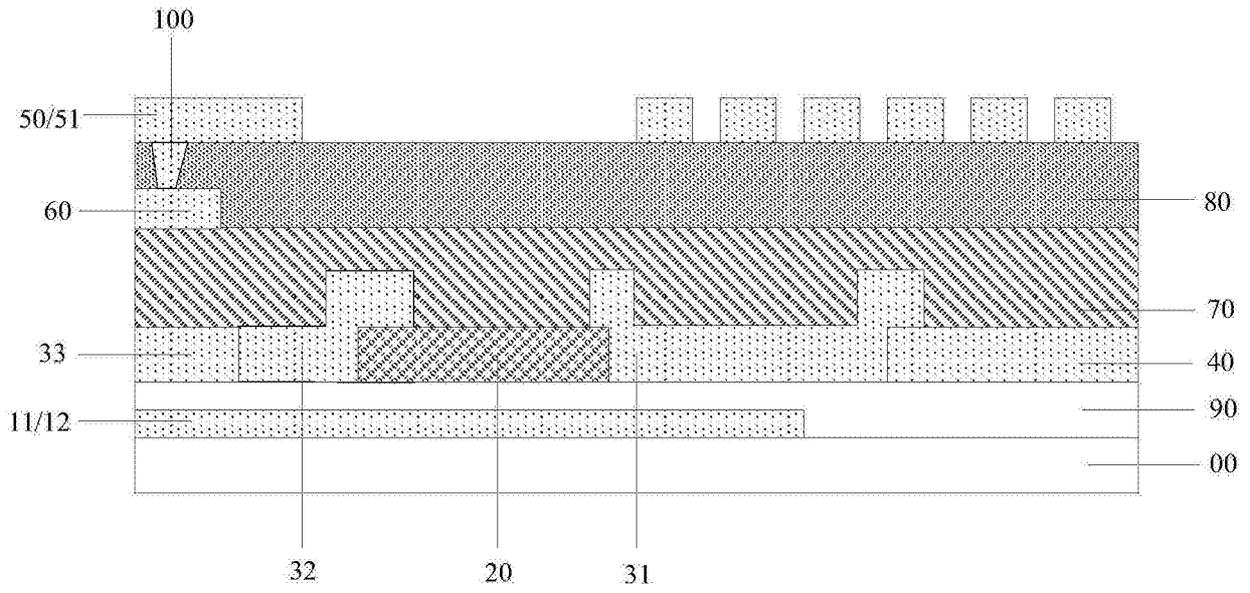


图2

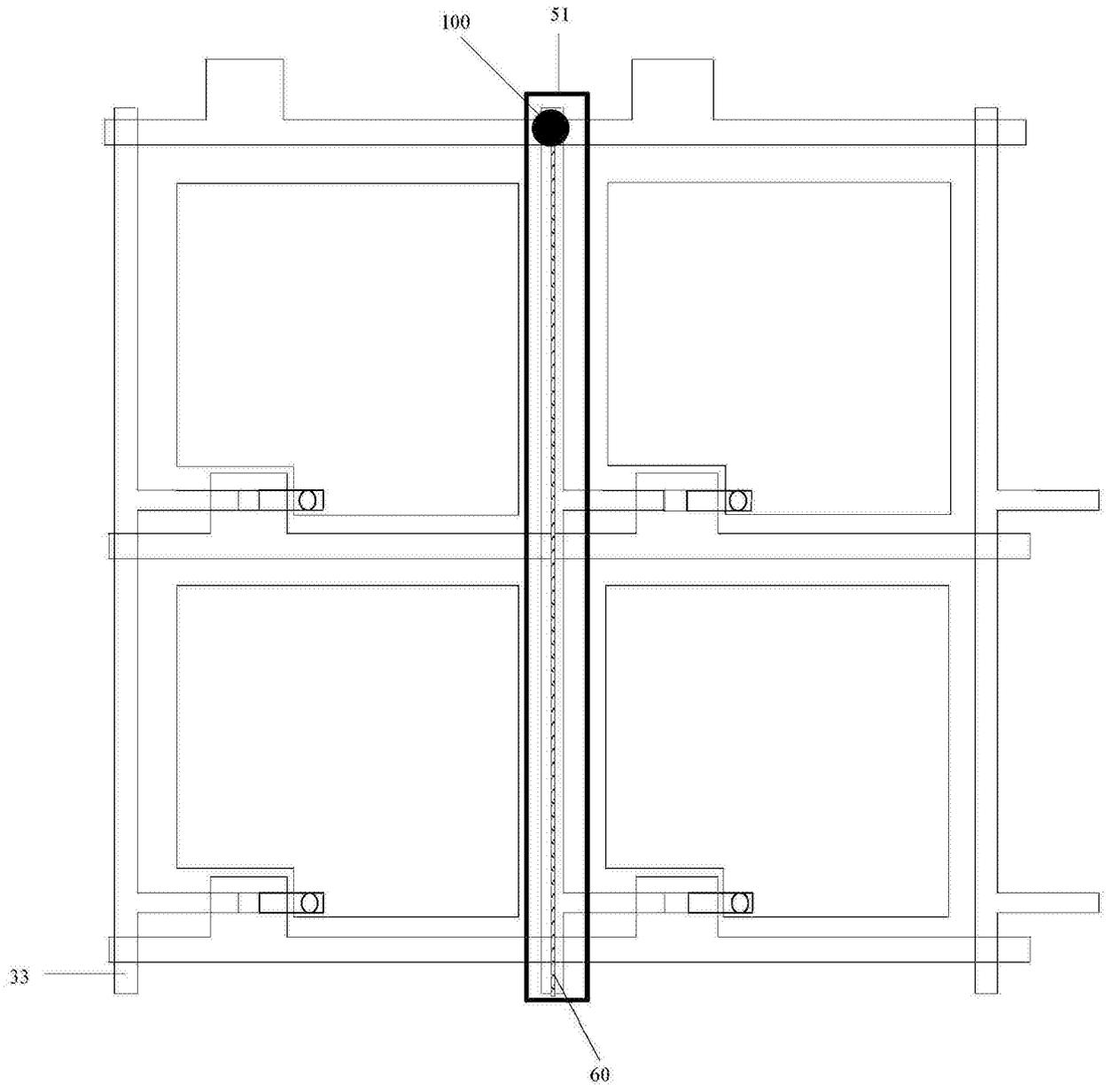


图3

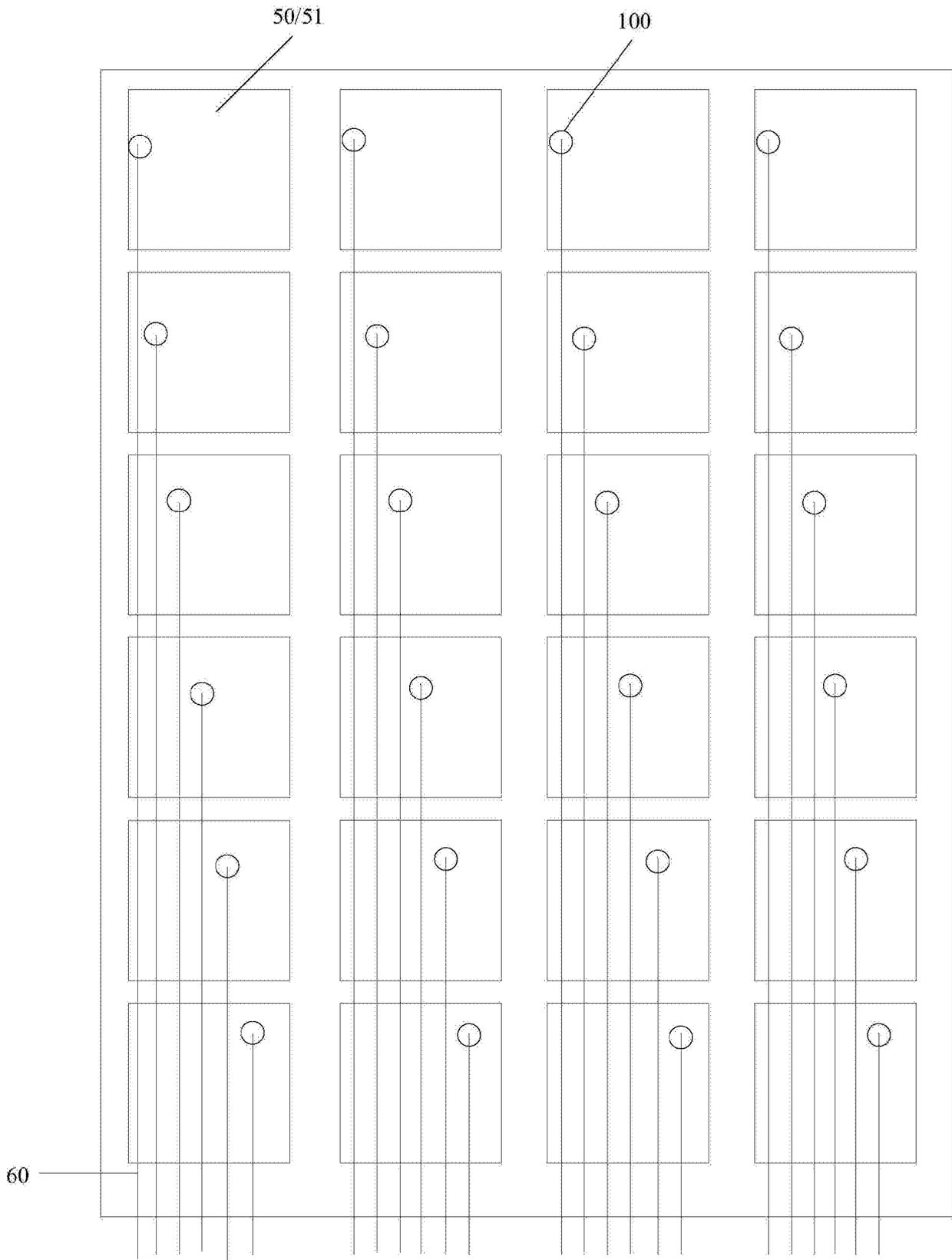


图4

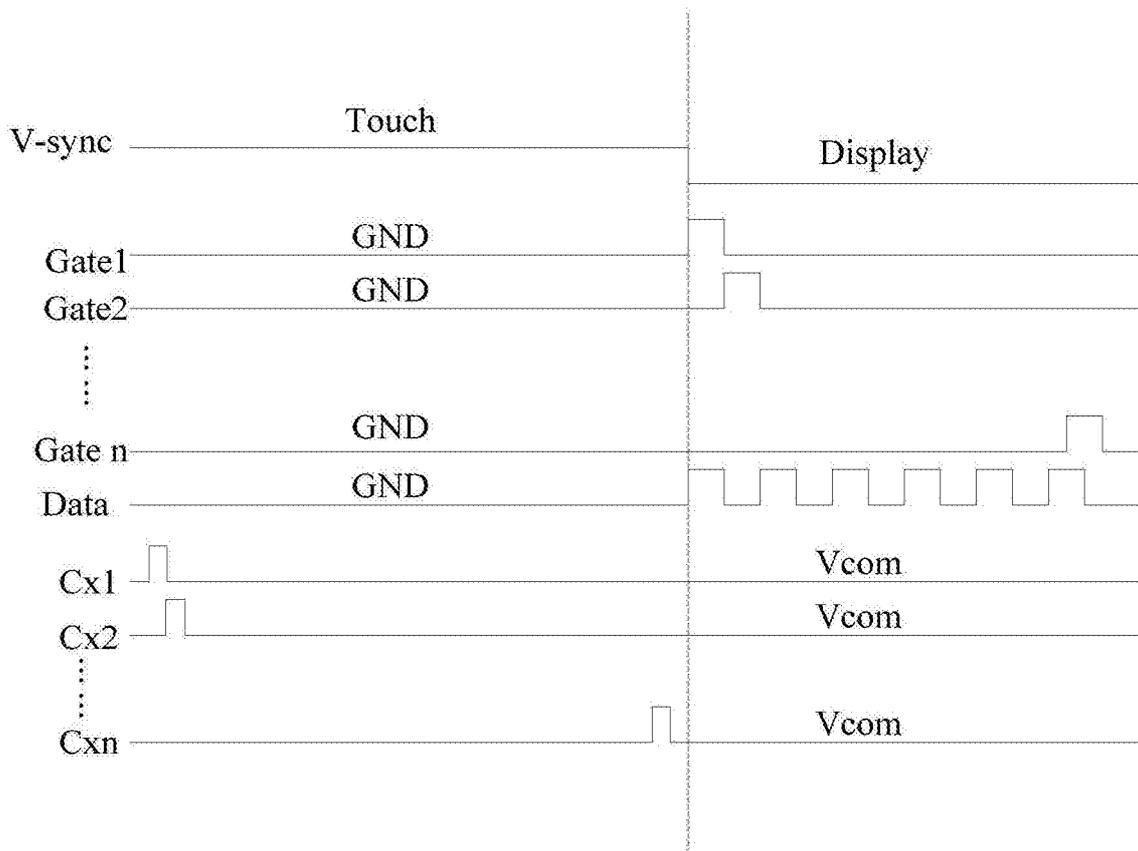


图5

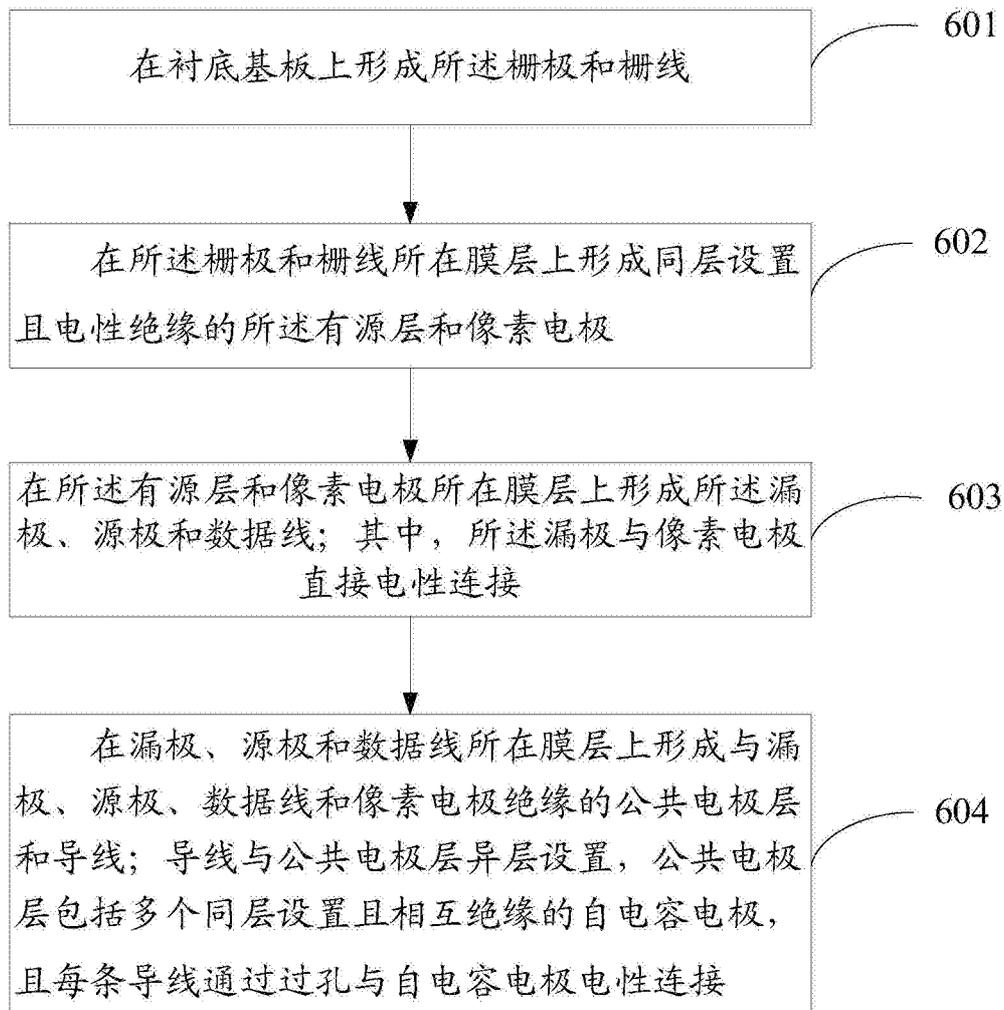


图6