

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G11C 13/02

[12] 发明专利说明书

[21] ZL 专利号 92100956.9

[45]授权公告日 1999年7月7日

[11]授权公告号 CN 1044046C

[22]申请日 92.1.18 [24]颁证日 99.3.25

[21]申请号 92100956.9

[30]优先权

[32]91.1.18 [33]US [31]642,984

[73]专利权人 能源变换设备有限公司

地址 美国密歇根州

[72]发明人 S·R·奥夫辛斯基

S·J·赫金斯 W·丘巴蒂

D·A·施特兰德 G·C·威克

审查员 王晓光

[74]专利代理机构 中国专利代理(香港)有限公司

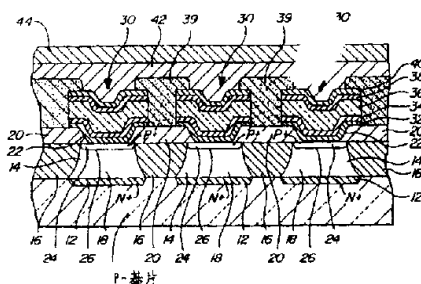
代理人 马铁良 肖掬昌

权利要求书 4 页 说明书 18 页 附图页数 7 页

[54]发明名称 电可擦相变存储器

[57]摘要

一种使用化学计量平衡相变材料的电可擦相变存储器,在该材料内从非晶态到晶态之间变换所需的转换时间和转换能量实际上低于使用现有技术电可擦相变存储器所能达到的转换时间和转换能量。发明的实施例包括一高位密度结构存储器的集成电路,在该电路中,制造成本相应地减少,而性能参数进一步改进。



ISSN 1008-4274

权 利 要 求 书

1. 一种电可擦相变存储器包括:

(a) 至少一个相变材料孔隙, 能在至少在两个电可检测状态之间进行可逆的电转换, 所说至少两个可检测状态的第一个状态可检测的局部原子序(local atomic order)

比所说至少两个可检测状态的第二个状态的局部原子序要低;

(b) 电接触装置, 与所说孔隙的至少两部分实现电气接触, 在同所说至少两部分接触的接触点之间的建立通过所说孔隙的电路径; 其特征在于, 还包括

(c) 施加电信号到所说电接触装置的装置, 以使所说的孔隙内的所说电路径内的至少所说相变材料的体积部分产生所述至少两种可检测状态之间的可逆转换, 所说的第一种可检测状态是以低于所说的第二种可检测状态的电导率的特征;

(a) 所说的相变材料由大量成分组成, 这些成分在组成上和化学计量上这样安排, 它们以第一种可检测的状态分布在所说相变材料内, 然后和呈现在第一种可检测的状态一样, 在所说的体积部分转变为所说第二种可检测状态, 所说体积部分基本上具有组成成分相同的平均局部密度分布;

2. 权利要求1的电可擦相变存储器, 其中在所说相变材料内以所说第一个可检测状态分布的大量成分基本上完全被吸收在在所说第二个可检测状态下所说体积内的一个或多个晶相内。

3. 权利要求1的电可擦相变存储器, 其中由Te Ge和Sb组成所说相变材料作为主要成分, 它们以非结晶态基本上按Te_aGe_bSb_{100(a+b)}的比率分布, 下标是原子百分数, 组成成分的总百分数是100, a是等于或小于大约70%, b是在大约

15%至大约50%之间。

4. 权利要求3的电可擦相变存储器,其中a是等于或小于大约60%和b是在大约17%至大约44%之间。

5. 权利要求1的电可擦相变存储器,其中所说相变材料的带隙在从第一可检测状态到第二种检测状态变换时实质上减小了。

6. 权利要求2的电可擦相变存储器,其中所说的一个或多个晶相包括了至少一个多成分晶相。

7. 权利要求2的电可擦相变存储器,其中所说一个或多个晶相包括了大量多成分晶相。

8. 权利要求2的电可擦相变存储器,其中单或多晶相包括了大量的晶相。

9. 权利要求8的电可擦相变存储器,其中所说大量晶相的结晶温度均相互在大约100°C内。

10. 权利要求2的电可擦相变存储器,其中在所说的多成分晶相的晶体具有小于大约1000埃的特性尺寸。

11. 一种集成电路电可擦相变存储器包括:

(a) 单晶半导体基片;

(b) 在基片上形成的大量电可擦相变存储元件;

(c) 所说的每一个存储元件包括相变材料孔隙和在基片上彼此垂直安置的集成电路二极管,所说二极管与相变材料孔隙在电气上相互串连连接;

其特征在于,

(d) 所说相变材料由大量成分组成,它们在组成上和化学计量上如此安排,它们以第一种基本非结晶状态分布在所说相变材料内,然后和呈现在非结晶状态一样在至少所说孔隙的体积部分转变为

第二种基本结晶状态，所说体积部分基本上具有组成成分相同的平均局部密度分布；

(e) 集成电接触装置穿越所说基片分别超过所说存储元件的上侧和下侧，在所说每一存储元件的一侧与所说的相变材料孔隙实现电接触以及在所说每一存储元件的另一侧和所说二极管实现电接触由此提供了一个可分别有选择地设置，擦去和读出所说的存储元件。

12. 权利要求11的电可擦相变存储器，进而包括连接到接触装置上的信号产生装置，以产生和有选择地加到所说存储元件设置擦去和读出脉冲。

13. 权利要求12的电可擦相变存储器集成电路，其中所说信号产生装置还包括能产生并施加脉宽小于100毫微秒的脉冲的装置。

14. 权利要求11的集成电路电可擦相变存储器，其中所说的二极管包括半导体结。

15. 权利要求14的集成电路电可擦相变存储器，其中所说的半导体结是在基片上与所说基片表面平行延伸而形成的。

16. 权利要求14的集成电路电可擦相变存储器，其中所说的半导体结是由肖特基壁壘组成。

17. 权利要求14的集成电路电可擦相变存储器，其中半导体结是由p-n结组成。

18. 权利要求17的集成电路电可擦相变存储器，其中所说的p-n结是在基本上与所说基片表面平行延伸的表面上形成的。

19. 权利要求16的集成电路电可擦相变存储器，其中所说的肖特基壁壘是在基本上与基片表面平行延伸的表面上形成的。

20. 权利要求15的集成电路电可擦相变存储器，其中所说每一存储元件的一侧和另一侧形成与所说集成电接触装置的电接触，并且它们相互之间相垂直。

21. 权利要求20的集成电路电可擦相变存储器，其中每一所说存储元件的一侧以及所说的另一侧和所说集成电接触装置形成的电接触包括了接触面，该接触面基本上相互平行延伸并和所说基片表面上基本平行。

22. 权利要求11的集成电路电可擦相变存储器，其中所说的相变材料包括 T_e 、 G_e 和 S_b 作为基本材料，在非晶态时它们基本上按 $T_e a G_e b S_b 100 - (a+b)$ 的比例分配在其中，脚标是原子百分数，总组成成分是100%， a 是等于或小于70%和 b 是在大约15%至大约50%之间。

23. 权利要求12的集成电路电可擦相变存储器，其中 a 是等于或小于大约60%和 b 是在大约17%至大约44%之间。

24. 权利要求11的集成电路电可擦相变存储器，其中它进而包括密封材料层，该层从上方延伸密封和密闭所说的存储元件以防它们受外界环境的影响。

25. 权利要求11的集成电路电可擦相变存储器，其中所说相变材料孔隙的直径小于1微米。

26. 权利要求1的电可擦相变存储器，其中所说孔隙的直径小于1微米。

27. 权利要求2的电可擦相变存储器，其中孔隙直径小于1微米。

说明书

电可擦相变存储器

本发明涉及电可擦相变存储器。

使用电可擦相变材料(即使用电可以使材料在一般非结晶态和结晶态之间转换)的一般概念, 在电存储器方面应用已经属于现有技术并且已经公开了, 例如US专利3, 271, 591——Ovshinsky, 1966, 9. 6. 发表和US专利3, 530, 441——Orshinsky, 1970, 9. 22. 发表, 两者都转让给本发明的同一受让人。

正如上面Ovshinsky的专利所公开的, 这样的相变材料能够用电气方法在一般非结晶的和一般结晶的局部序(Local order)结构状态之间, 或者在完全没有结晶和完全结晶态的横跨整个光谱的局部有序的不同检测状态之间进行转换, 这就是说, 这种材料的转换并不需要在完全非结晶态和完全结晶态之间发生, 宁可是按局部序变化递增的步骤去提供由在完全非结晶的和完全结晶状态之间横跨光谱的大量局部有序的条件所表示的“灰度”所描述的材料也仅能在一般非结晶的和一般结晶局部序两个状态之间转换, 以适应存储和恢复数字信息。

Orshinsky电可擦相变存储器在它们最初引用时对许多应用是适合的, 并且在大量的应用中被采用, 然而, 由于缺乏必要的手段继续前进, 早期技术的进一步发展是不可能的, 在随后其它固态领域的发展过程中, 电存储器和一般来说是其他类型的存储器, 例如使用磁和光介质逐步地取代了早期电可擦相变技术。

由于上面所述的缺乏继续发展支持的结果, 在目前这里存在着

Ovshinsky 相变材料做的电可擦存储器应用的一些限制，这些限制已经阻碍了它在电可擦相变存储器中广泛使用。这些限制之一是较慢的电转换速度（和现有的标准相比），而这一点现有技术的材料已经展示了，特别是在主要的局部有序方向或在增长的结晶化方向。另一限制是需要相对高的能量来初始激励从一个状态到另一状态之间的相变化。

例如，从非结晶态到结晶态的设置时间这种现有技术的相变材料的转换时间典型的是在几毫秒范围内和或许需约一微秒的复原时间使结晶态返回到非结晶态。转换现有技术材料所需电能的典型测试值是在约微焦尔范围内。

利用 Ovshinsky 相变材料在非可擦的或非逆转的，只写一次的电可编程存储器中的概念在现有技术中也已经公知了。这一类电可编程相变存储器例如在美国专利 4, 499, 557—Holmberg 等在 1985. 2. 12. 发表和 4, 599, 705—Holmberg 等在 1986. 7. 8. 发表的均已经公开了，并且和本发明一样转让给同一受让人。上述的 Holmberg 等的专利包括了四化合价键材料例如碳、硅和锗及其它们的合金作为相变材料，这些材料在非逆转的或非可重调的模型中使用。这些材料的特性例如需要设置阈值电压高到 10V，电流到 25 毫安和设置时间到 100 微秒都已公知了，这样当设置时间达到 100 微秒时所需的能量为 250 毫瓦。

依此，由于缺乏进一步发展的支持，这些材料在可逆转的或电可擦存储器应用范围内并没有找到扩展的使用，在那里其他类型的存储器实质上呈现较少的开关转换时间和能量。而其他类型的固态电子存储器已经卷入在这方面的应用中并享有一些有限的用途。这些存储器

为每个存储器 2 进制位使用几个固态微电子电路元件，例如在一些存储器应用中每位需三个或四个晶体管。在这种固态存储器内主要的存储元件典型的是浮动栅场效应晶体管器件，该器件在场效应晶体管栅极上保持电荷以存储二进制位。由于该电荷随时间泄漏，存储信息并非真是非易失的，而在相变介质内信息是通过材料真实结构的变化而存储的。

当前使用的固态电子存储器在制造上也相对昂贵，和磁盘存储器相比，每个二进制存储能力代价是后者的二倍。在另一方面，固态电存储器有超过磁盘存储器的特定优点，在固态存储器中没有移动的部分，更容易传送和存储，对使用便携式计算机和其他便携式电子器件来说有更通用的适用性。进而，固态存储器通常是真正的随机存取系统，而磁盘类型则不然，它要求磁头在适当的数据磁道上进行物理移动，以达到所希望的存储位置。

然而尽管固态电可擦存储器有这样的优点，但它们实质上的较高费用已经阻止了它们分享主要由磁盘类型存储系统所支配的市场。虽然基于相变材料的固态存储器已经显示了在制造上减少成本的潜力，但根据现有技术公开的从这样的系统得到的性能参数还不能允许它们更广泛地使用以取代磁盘系统或其他上述所说的其他类型的固态存储器系统。

本发明提供的一种使用独特相变材料的新型固态可擦电存储器为新颖的特别采用的构型，该构型在能级比现有技术系统所能达到的能级要显著地减少的条件下，显示了在数量级上更高的转换速度。新的存储器是稳定的，而且确是非易失性的结构状态，这样为了能应用到典型的数字系统，它能从可检出的不同局部有序的一种可转换状态中被选

择出来，或者从能检出的不同局部序的大量中间结构状态中选择出来，以提供设置条件适用的存储器的灰度。开关时间和开关能量的改善幅度是巨大的，由于是在几个数量级的范围内，恰恰不是自然增长，因此，是完全意想不到的，超出了从现有技术材料可以想象的范围。

发明的一个实施例使用化学合成电转换材料和进行化学计算使得材料成份以非结晶态分配在材料内，并在晶体状态以一个或多个稳定的结晶态晶相按单位体积材料完全地被吸收。在呈现非结晶状态时，成份最好被吸收以基本上与组成成分的局部原子密度相同的一个或多个晶相内。在转换变换过程中，在材料内成份的迁移如此最小化，使得转换时间和能级要比现有技术的电可擦相变系统所能达到的水平有了实质上的减少。

在另一个实施例中，电转换参数特性相对于材料变换参数而形成，这样提供最佳转换变换，相对于现有技术而言进一步增强了性能。

在另一实施例中，使用本发明新型材料存储器结构，可以看出，和现有技术结构相比，存储器的位密度极大地增加了，性能参数进一步改善了。

和附图相结合，下面详细描述的实施例进一步给出发明的特点和其他优点，并使它们变得明显。

图 1 给出了反映本发明实施例的电可擦相变存储器集成电路部分的断面图。

图 2 给出了反映本发明另一实施例的电可擦相变存储器集成电路部分的断面图。

图 3 给出了图 1 和图 2 集成电路构型的部分的俯视图。

图 4 给出了图 1 和图 2 集成电路构型的部分电路示意图。

图 4 a 给出了反映本发明的带有集成电路存储器和可寻址矩阵的单晶半导体基片的示意图。

图 5 给出了实施本发明电可擦相变材料样品上提取的数据的图形表示，给出了在转换非晶态后晶态电阻和开关能量之间的关系。

图 6 给出了在不同脉冲宽度下开关能量和器件电阻之间的关系。

图 7 给出了装置在“通导”时电阻作为一组连续施加到装置上脉冲的函数的图形表示，并表示出了灰度等级性能。

图 8 给出了装置在“通导”时电阻作为在激活装置后控制电流的负载电阻的函数的图形表示。

我们已经发现，现有技术的可擦电相变存储器是基于局部结构次序的变化，通过在材料内某些形式的原子移动，它们已经独特地容纳了这样的变化，当材料从非结晶态转换到多相结晶态时就允许相分离。例如在由碲和锗形成的电可转换的硫族合金的例中，这些包含了 80%—85% 的碲，大约 15% 的锗，象砷和硫等特定成分占量较少，大约各占 1—2%，更多有序的或结晶态由存储材料中可转换孔隙内的高电导结晶 $T\text{e}$ 丝的形成作为特征。现有技术材料的典型结构例如是 $T\text{e}_{81}G\text{e}_{15}S_2As_2$ 。现有技术材料的另一例为 $T\text{e}_{81}G\text{e}_{15}S_2Sb_2$ 。由于 $T\text{e}$ 在其结晶态是高导电性的，非常低的电阻状态由结晶 $T\text{e}$ 丝加以建立，该结晶 $T\text{e}$ 丝电阻要比低序的或非结晶态的孔隙电阻要小好几个数量级。

然而形成结晶态的导电 $T\text{e}$ 丝结构要求在非结晶态 $T\text{e}$ 原子从它们的原子结构迁移成在结晶 $T\text{e}$ 丝的新的局部集中的原子结构，类似地，当材料被转换回非结晶态，已经沉淀成结晶丝的 $T\text{e}$ 在材料内被要求从局部浓缩的丝形迁移返回到非结晶态的原子结构。

我们已经发现，在非结晶态和结晶态之间原子迁移、扩散或重新安排的每一种情况下都需要保持或延长容纳迁移所必要的时间，这样，产生转换时间和能量都比其它类型的可擦半导体存储器相对要高。我们已经发现特定的新的原理，该原理允许对这类型的电可擦相变存储器所需的转换时间和能量做出显著的改进。

符合本发明选取标准的材料的简单结构式是 $\text{Te}_{52}\text{Ge}_{24}\text{Sb}_{24}$ ，按原子百分数的平均组成，在非结晶态它们分布在整个材料内，在结晶状态下分成两个结晶体相，近似组成 $\text{Te}_{52}\text{Ge}_{18}\text{Sb}_{30}$ 为一相， $\text{Te}_{52}\text{Ge}_{30}\text{Sb}_{18}$ 为另一相，它们大约呈现相等的原子百分率，但互相成比例，导致呈现在非晶态成分的所有原子被在晶态下两种晶相所吸收。这样，可得到的已经形成的多成分晶相基本上吸收或消耗了呈现在非结晶态的所有成分，从而避免了在已经形成的主晶相内任何基本没有被完全吸收的单独成分从晶格中析出。

由于在非结晶和结晶结构之间缺乏同相变有关的任何实质上的原子迁移，相变发生迅速，并且在非结晶和结晶态两者有高度的稳定性。

发明另一实施例的进一步标准是，半导体材料的带隙从非结晶到结晶态变换时极大地减小了，或基本上或完全地消失了。这样价带和导带相互接近或叠加。如果结晶态和非结晶态相比带隙非常小，在正常操作条件下由热产生的载流子在晶态和非晶态相比情况下提供好的导电性和低电阻。

符合发明标准的另一组成成分是 $\text{Te}_{51}\text{Ge}_{40}\text{Sb}_9$ ，它形成了和非结晶态成分基本相同的单晶相，这样，在非结晶态和材料电转换到结晶态时所形成的单晶相时材料在组成成份上基本上是相同的。结合另一上述所说的发明的标准，材料呈现进一步的优点，即在从非晶态到

晶态变换时它的电子带隙消失,这样它已经不再是半导体而是金属或半金属,即带隙消失了,在晶态时导带和价带重合,而提供了非常高的导电性和基本呈现了金属形式的导电性。这就产生了在“通”和“断”之间或“设置”和“恢复”状态之间的非常高的电阻比率。

前述材料到半金属态的变换通过测试材料导电性对温度依存关系加以确定的。在半导体内导电性随温度增加而增加,发现的事实却与此不同,前述材料在结晶态的导电性随温度增加却实际上略微减少,这就呈现了材料的特性,在此材料内价带和导带实际上是重合了。

对这些成分的另外可得的晶结构的晶相被确定是 $\text{Te}_{52}\text{Ge}_{43}\text{Sb}_5$ 和 $\text{Te}_{20}\text{Ge}_{20}\text{Sb}_{60}$, 依照本发明的教导类似的优选的晶结构的晶相能确定成分的其他组合,这样可得多成分晶相形式实质上吸收了在非晶态呈现的全部成分。

可擦可变换的合金成份应如此选取,使得组成的全部成分分布在非晶态内,在从非结晶态转换成晶态时以单位体积材料变成稳定的晶相时所有的成份基本上被吸收。这个结果使得在非常低的能量情况下使材料非常迅速地在两个状态下转换,即在转换时间和能级上远低于那些可以得到的或由此甚至可能想到的现有技术的可擦电存储器材料。

对在材料内的组成成分的结构进行化学计算,使得在结晶态时所形成的一种或多种晶相时所有组成成分基本上以材料单位体积完全被吸收。此外,组成成分最好被吸收在具有相同平均局部原子密度分布的一个或多个晶相内,也就是说和非结晶态的组成成分一样具有相同的平均局部浓度。这样材料以单位体积完全地被结晶化。组成成分的原子密度在从非结晶态到结晶态变换时仅受到小的干扰。这样,在相变期间材料内的原子迁移被最小化,同时与现有技术相比电转换速度和能量

都成数量级地减少了。

在最初沉积时材料成分将通常基本上均匀地分布在材料内，但能变为局部地略浓缩在材料的特定区域，以便符合晶相配置和基质内原子的浓度。然而，在从晶态向非晶态变换中，材料开始熔化和发生了把原子多少均匀地分配在材料块中的扩散。在非晶态时多少均匀分布不是必要的，然而按本发明起作用的材料是必要的，这样，正如遍及非结晶态材料进行分配的那样，这里描述相变材料的成分，但是可以理解到这样的分配可以包括若干或全部成分的某些局部集中，这些成分可以在非结晶态和结晶态之间来回产生转换。

当然，应这样理解，组成成分的局部原子密度在非结晶态和结晶态不可能完全精确地相同，某些局部原子排列的调节是必需的，以允许非晶态和晶态之间的结构调配。在应用本发明原理时要避开的是，现在理解的是局部原子密度的整个畸变，这也是现有技术电可擦相变存储器的特性。相的“基本上相同的平均局部原子密度分布”应解释为允许合理范围内的原子重新安排并产生了在非结晶和结晶态之间局部原子密度的变化，但这种变化仍产生出依本发明教导的性能优点。

在此使用的术语“基本非结晶的”或“非结晶的”意指一种状态，在这种状态下原子很少按序的或是杂乱的，这样的结果只能检测出不同的电性能，例如低导电率。术语“基本上结晶的”和“结晶的”意指一种状态，在这种状态下原子相对更有序的，这样的结果可检测出不同的电特性，例如较高的导电率。

现已确定，在发明的一个实施中，在结晶态材料形成多成分和多相结晶结构。在这种状态下晶相具有相互之间接近的晶化温度，例如，在非结晶态具有成分 $\text{Te}_{52}\text{Ge}_{24}\text{Sb}_{24}$ 的相变材料如这里所述的

结晶晶化为两种不同的晶相。已经确定，这两种晶相之一是在 155℃ 结晶，而一个在 172℃ 结晶。使人确信的是，形成温度相互接近的具有晶相的多相结晶结构是本发明材料的优选的结晶结构形式，因为此材料被确定为能更迅速地从结晶态向非结晶态转换和在非晶态也更稳定。

如果材料仅仅有一种晶相（如有时这里被参考称之为“单晶相”）但此外符合发明的标准，它对一些应用是完全满意，但对另外一些应用却不是最佳，因为它在结晶态是如此之稳定，致使很难将它转回到非结晶态，而从非结晶态再转回那个状态时稳定性较差。然而，这样的性质更适合于发明的特定应用和能提供确实对某应用是最佳的特性。事实上，这样的单晶相材料将更典型呈现本发明的极大增强速度和低转换能量的特性。

此外，由于单或多晶相是稳定的，并且容易形成相，变换可靠执行并提供了两种稳定的确实非易失的状况。

然而本发明重要原则之一在于，当材料转换到晶态时，呈现在非晶态的基本上全部成分实质上全部被吸收在晶相或多晶相里，这极大地减少了原子迁移并允许相之间转换极快地发生而使用低的转换能量。使人确信，如上提请注意的，在多相结晶结构下，不同结晶相的晶化温度应尽可能有利于相互接近，以便在同一一般温度范围内去调节多晶相结构。

更进一步确信的是，在晶相或多晶相内相对小的结晶尺寸能进而贡献于结晶相或多晶相的快速形成以及非结晶态和结晶态之间转换的较低的能量要求。

依照本发明的其他方面，我们已经发现，这样材料的转换特性能

被控制，致使形成最佳转换变换。已经发现，为了使本发明的材料能执行实质上远高于现有技术特性参数所能达到的水平，严格的组成化学计量是不需要的，因为材料晶格将独特地容忍额外原子材料的特定密度而不降低材料的性能水平。在这里使用的字“实质上”意指符合在这里所教导的化学计量原理的程度，当它由本发明提供时所达到的改进的性能参数超过现有技术电可擦存储器。

如上面所提示的，可以确信，多晶相的相对小的结晶尺寸范围可为从晶态到非晶态的快速变换作出贡献。我们假定在结构上接近微晶格的晶体结构从非晶态到晶态转换得更快，这是因为微结构需要较少的原子调整去容纳从非晶态到晶态结构状态的变换。在与此同时，结晶态的多相特性进一步增强和稳定到非结晶态的变换。

本发明相变材料特性之一是在每单位材料体积呈现倾向于形成较多而且较小的结晶结构。在本发明实施例有代表性的材料的结晶尺寸已经发现大约是100至500埃范围的较小的结晶尺寸，远小于大约范围从1000到5000埃的现有技术材料的特性。或者在这里所指的结晶尺寸一般是指晶体的直径。当晶体不是球形状时也称等效于直径的“特性尺寸”。这样，术语“特性尺寸”意指横跨晶体的平均距离，这就是说，不是直径就是等效的尺寸。

已经确定，符合本发明标准的TeGeSb类材料在非结晶态下的组成是通过实质上减少到低于现有技术中用来作为电可擦相变材料中Te的浓度为一般特性的。在已经发现的提供实质上改进电转换性能特性的这一类的组成中，在非结晶状态下Te的平均浓度很低于70%，典型的低于60%Te的范围从低的大约23%升高到大约56%。Ge的浓度大约在15%以上，在非结晶态范围从大约低的

17% 上升到大约 44% 的平均值。其余均低于 50% 的 Ge。在这一类基本组成成份中剩余的是 Sb，给出的百分数是原子百分数，组成成份原子的全部百分数是 100%。这样这类材料可以表征为 $Te_aGe_bSb_{100-(a+b)}$ ，a 是等于或少于大约 70%，而最好等于或小于大约 60%，b 是在大约 15% 以上和小于 50%，最好是在大约 17% 到 44%，而剩余的是 Sb。

在 $TeGeSb$ 类材料的情况下，对于落入上述非结晶态的各种近似合成，下述的晶相被发现不是呈现单结晶就是各种形式的结晶组合：

表 I

观察的 $TeGeSb$ 的晶相

相的名称	% Te	% Ge	% Sb
α	51	44	5
β	51	40	9
γ	45	28	27
δ	23	19	58
η	56	17	27
κ	53	30	17

在非晶态的这些成分的平均值在一个样品中大约是 53% Te、21% Ge 和 26% Sb。

参照图 1，这里给出实施发明的电可擦相变存储器结构部分的断面图。存储器结构是在单晶硅半导体晶片 10 上形成的，它是 P 掺杂，它形成用于沉积图示的其余成分的 P 一型基片。

在 P 一型基片 10 内形成 n^+ 沟道 12，它是以现有技术公知的

方式通过扩散形成的。这些 n^+ 沟道沿着与图示平面垂直的方向延伸跨过整个片子，并形成一组电极，在该情况下，形成供寻址单独存储单元的 X-Y 电极栅网中的 Y 组。

在这 n^+ 栅网结构的上面形成 n -掺杂的晶体外延层 14，再次使用公知的现有技术， n 掺杂外延层 14 可以是 5000 埃厚，作为实例，使用公知掩模和掺掺技术， p -掺杂隔离沟道 16 然后在 n^- 外延层 14 内形成。 p -掺杂隔离沟道 16 一直向下至 p 基片 10，如图 1 还表示它完全围绕着 n -外延层 14 的岛 18 延伸，并隔离和限定 n -外延层 14 的岛 18。岛 18 在图 2 的顶视图内看得更清楚，其中该 p 隔离沟道形成确定和隔离 n -外延材料的岛 18 的隔离栅网。不是 p -掺杂隔离沟道，而是 SiO_2 隔离沟道能被用来隔离岛 18。形成 SiO_2 隔离沟的技术也属于现有技术。

然后在刚描述的结构上形成用热生长的 SiO_2 层 20，并腐蚀掉去形成在岛 18 上面的孔径 22。如图 1 所示，扩散 p^+ 材料区域 24 尔后形成在所示的由孔 22 所定义的区域。 p^+ 区域和 n 外延层的半导体结形成 $p-n$ 结二极管 26，它与每一个通过 SiO_2 层 20 的孔径 22 露出的 n 外延层的区域相串连。

存储元件 30 沉积在 p^+ 区域 24 之上并与二极管 26 进行单独的欧姆电串连接。存储元件 30 由钼 32 和炭 34 的底部薄电接触层和如上述材料形成的存储层 36 及炭 38 和钼 40 上部电接触层组成。炭和钼的接触层 32、34、38 和 40 同存储器层 36 形成极好的电接触并且还形成扩散壁壘，它有效地阻碍了成分扩散入存储器 36，也有效地阻止成分从存储器 36 扩散出。

炭层 34 和 38 具有相对高的电阻，而且很难腐蚀，因而最好相

对地薄，典型是在100—1000埃范围内。钼层32和34应当厚些，可以说在范围1000—2000埃内，以便对存储器层36形成有效的扩散壁壘。

如这里所公开的，存储层36是由多一成分相变材料形成的。层36最好是在基本上非结晶态溅射沉积，但也可以通过其他方式形成例如通过蒸发或通过化学汽相沉积，这些能够通过等离子体技术例如RF辉光放电来加强。存储层36的典型厚度范围从200埃到5000埃，但最好厚度是从200—1000埃。相变材料36孔隙直径或横向的尺寸可以在约一微米的范围，虽然这里对横向尺寸并没有实际的限制。已经确定，在“设置”状态下形成的结晶材料实际传导路径的直径是 $1/4 - 1/3$ 微米这样小，孔隙直径可以和金属版印刷术限制所允许的那样小。

在发明优选的实施例中，孔隙直径可以如此选取，使它基本上和晶化低阻路径相符合，该路径在转换到结晶态时形成的，如上所指出的，晶化低阻路径的实际直径被确定在 $1/4$ 微米到 $1/3$ 微米或多一点的范围内。存储材料36孔隙直径因此最好少于大约一微米，使得存储器材料36的体积尽可能限制到在晶态和非晶态之间来回转换的相变材料36的体积，这进一步减少了产生相变所需的转换时间和电能。在这里使用的孔隙直径意指存储层36的断面横向尺寸，如图1所示，该部分在由存储层36低 p^+ 层和上导体层42形成的接触区域下延伸。在图2实施例的情况下，在带肖特基二极管的低金属层29形成的接触区域下延伸。

这一步优选的是，存储成分30的孔隙区域是热隔离的或是热受控的，除非仅要求和较上和较下接触的电接触对于正常操作存储元件

是必要的。这进而限制，限定和控制来自孔隙的转换容量的热传送和相变换所需要的电能量。在图 1 和图 2 实施例中，由氧化层 20 和围绕存储元件 30 的横向外围部分的氧化层 39 来完成。

这里所使用的“设置”状态是指低阻的基本上是结晶态的，而“重置”状态是指高阻或基本上是非结晶态的。

如图所示，层 32、34、36、38 和 40 被腐蚀掉，在上面形成氧化层 39。腐蚀后在存储元件 30 上面留下许多开口。另一方面，存储元件能按两腐蚀步骤形成。对于层 32 和 34 首先沉积和腐蚀，而后保留层 36、层 38 和 40 在其上面沉积，并单独腐蚀到选定的尺寸。正如所描述的在整个结构顶上是由铝导体 42 形成的第二个电极栅网结构，沿导体 12 相垂直的方向延伸并实现 X-Y 栅网连接到各单独存储元件。盖在整个集成结构上面的是由合适密封材料例如 Si_3N_4 或可塑材料例如聚酰胺组成的顶部密封层 44，密封该结构并使其防潮，防备其他外部单元可能引起性能降低和恶化，特别是存储层 36 中的相变材料的性能降低和恶化。 Si_3N_4 密封层可以沉积，例如使用低温等离子沉积工艺。聚酰胺材料可以旋转沉积，并按已知的技术沉积后进行烘烤去形成密封层 44。

图 2 的实施例和图 1 的实施例相同，不同的是二极管 27 在 n 层 14 和金属层 29 之间形成肖特基壁壘，它可能例如是硅化铂。在其他方面，图 2 的实施例和图 1 以相同的方法形成的，并且一样的成分标以同样的数字。

如图 3 所示，这样形成的集成结构是一个 X-Y 存储矩阵。在图中每一个存储元件 30 都与在水平 X 一线 42 和垂直 Y 一线 12 之间的二极管 26 串连连接。二极管 26 在电气上起隔离每一存储元件 30

的作用。本发明电可擦存储器的其他电路结构当然是可能实施的和可行实施的。

然而，使用图 1 和图 2 实施例中示出的集成结构可以形成存储单元和其隔离二极管的完全立式的结构，这样，通过存储元件和二极管的每一个组合可以使占用基片的面积最小化。这就意味着在片上存储元件的密度基本上仅仅受到印制板分辨率的限制。

在图 4 A 示意性地给出了反映本发明实施例的带有存储矩阵 5 1 的单晶半导体基片 5 0 的部分。在同一基片 5 0 上形成寻址矩阵 5 2，它通过集成连线 5 3 适当地与存储矩阵 5 1 相连。寻址矩阵 5 2 包括了确定和控制设置，恢复和施加到存储矩阵 5 1 的读脉冲的信号产生装置。寻址矩阵 5 2 能同存储矩阵 5 1 一起集成，并与存储矩阵 5 1 同时形成。

在现有技术中具有高转换速度和低转换能量的半导体存储器的绝大部分应用而言被认为是必要的，至少对这样的每一个存储元件要求一个晶体管带一个电容。以集成电路构形的这样的存储器需要至少 3 根连接线而带来了附加的复杂性，它们占有特定最小的基片面积却没有考虑集成电路是如何布局的。本发明的电可擦存储器的集成电路结构对每一个存储元件却仅需要两根连接线，而且它们彼此按立式关系制做。进而，每一存储元件整个具有隔离二极管和一对用于元件的接点，它们本身完全是被立式集成的，以致达到非常高的位密度，远远超过了执行相同或类似功能的现有技术可能达到的密度水平。

事实上，本发明存储器允许的位密度甚至要比固态动态随机存储器 (DRAM'S) 所能达到的密度还大，但 DRAM'S 是易失的，因而缺乏本发明提供的非易失的存储器进一步的优点。由于每位集成

电路结构占据较小的片面积。本发明达到的位密度的增加可解释为减少制造成本。这就允许本发明的存储器不仅在性能上而且在成分上和宽范围内应用的其他可能得到的存储器进行竞争并且超过它们。

和至少用一个晶体管和一个电容组成一位的现有技术的半导体存储器相比较，本发明在图 1 和图 2 中给出的集成电路结构能在一芯片上形成，具有近似 3 倍于用于相同制版分辨率的现有技术结构的位密度。除了较高位密度给予的价格优点外，本发明的集成电路结构存储器的性能参数进一步改进了，在这里元件位置更紧，引线长度，电容和其他有关参数由此而进一步最小化，这样进一步增强了性能。

图 4 是图 1—3 实施例部分线路图。该电路包括一个 X—Y 栅网以及包括如图所示在 X 地址线 4 2 和 Y 地址线 1 2 交叉点上与二极管 2 6 串联的每一个存储元件 3 0。地址线 1 2 和 4 2 以现有技术公知的方式和外部寻址电路相连接。

图 5 给出了实施本发明的存储元件的取样数据性能的图形表示。给出在“设置”状态或结晶状态下的电阻数据以及对每一种情况从最初沉积的非晶态转换材料到晶态所需的转换能量（用焦尔表示），非结晶重置状态的高电阻在图 5 的右上角示出，刚好在 20,000 欧姆之下，和设置电阻大约为 150 欧姆，设置能量大约为 10^{-9} 焦尔形成对照。转换时间典型的是在 10—80 毫微秒范围内，转换设置能量大约为 10^{-9} 焦尔。这些数据可以和现有技术的电可擦相变存储器的性能数据相比较，现有技术的转换时间是在微秒到毫微秒的范围内，而转换能量在 10^{-3} 到 10^{-6} 焦尔范围内。这样，本发明电可擦存储器材料的性能参数比使用现有技术电可擦相变存储器材料好几个数量级。

进而，参考图 5 并强调，“设置”电阻基本上随设置脉冲能量水平线性变化，设置脉冲约为 10^{-9} 焦尔时大约为 150 欧姆，设置脉冲约为 10^{-11} 焦尔时大约为 2000 欧姆，在这些点之间有相当好的线性特性，这就提供了灰度特性，它允许本发明的存储元件有可采用的存储器响应关系，并由此允许应用到可采用的存储系统。

图 6 给出了按本发明实施例制造的样品的电转换特性数据的图形表示，对于重新设置脉冲宽度在 30—80 毫微秒范围，图示转换能量以焦尔表示，对应的器件电阻以欧姆表示。设置电阻与重新设置电阻比都几乎被整整一个或多个数量级分开，而且对于数字存储应用，完全足够地确保在设置和重新设置状态之间的无误差电检测，在 30 毫微秒时重新设置能量是小于 10^{-7} 焦尔。

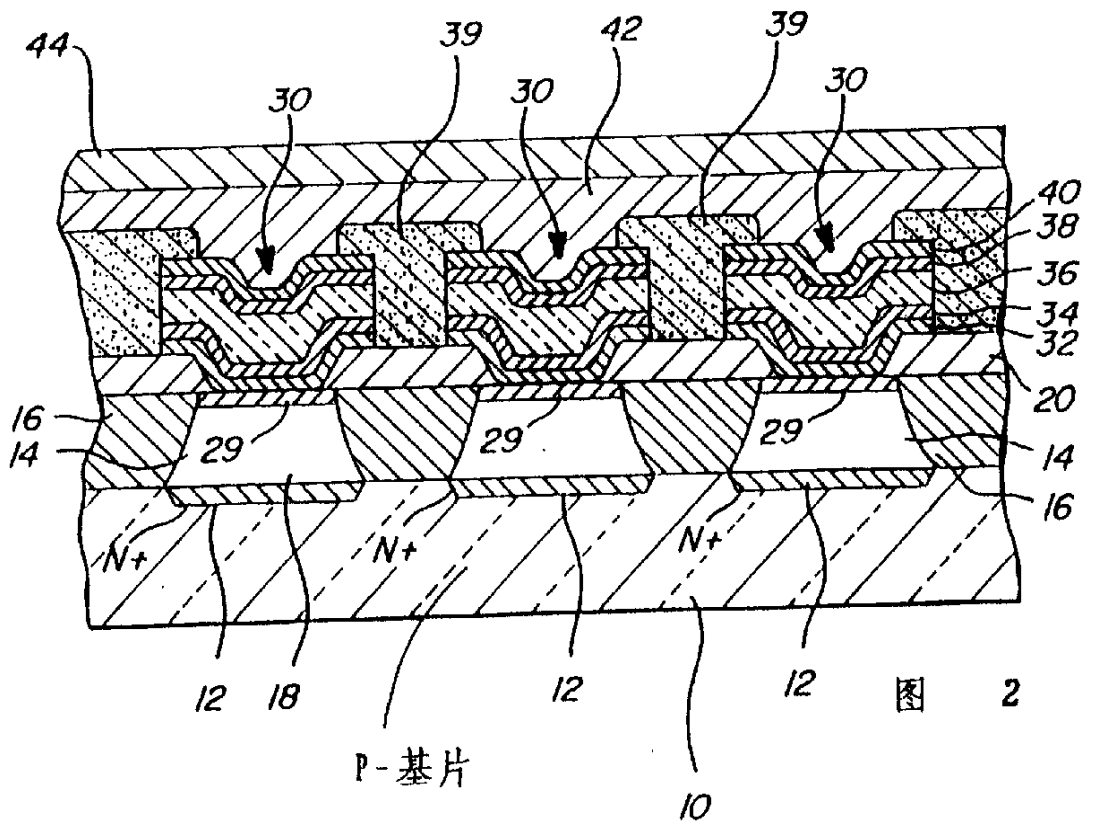
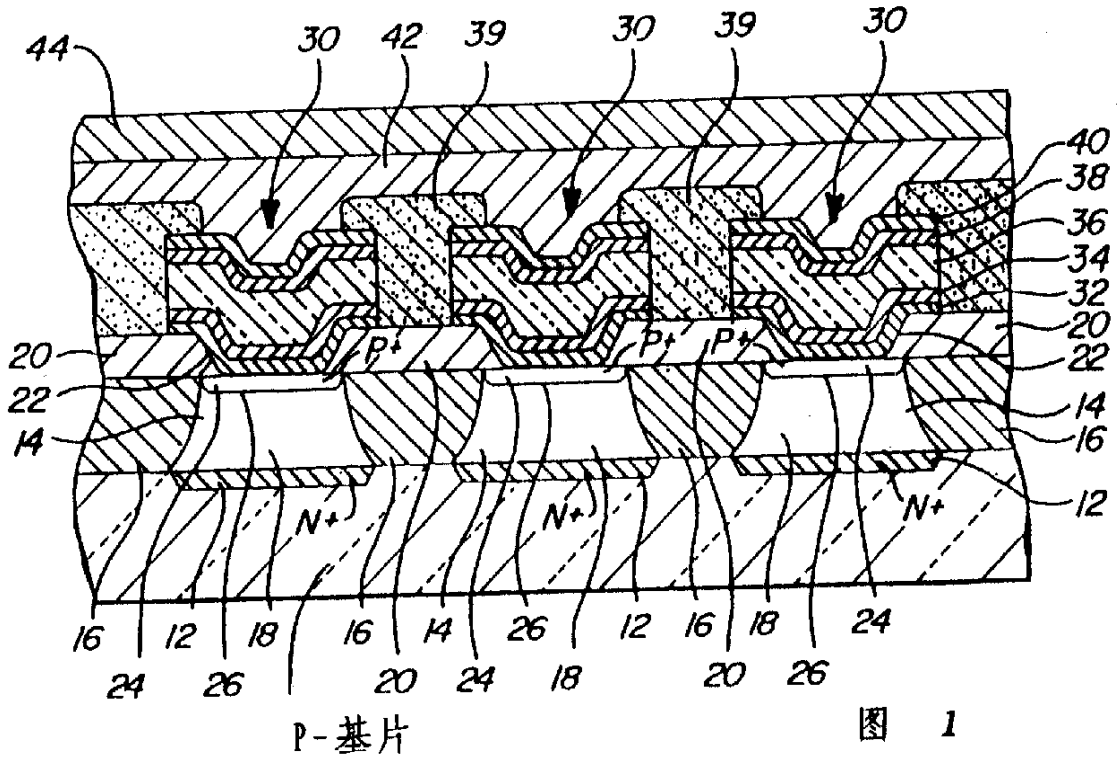
图 7 给出了与连续施加到器件上的设置脉冲数和反映器件的以千欧表示的设置电阻数据的图形关系，要指出的是，设置电阻的减少是设置脉冲数目的函数，并由此提供了灰度或可采用的存储能力。如图 7 所示的数据，施加的设置脉冲约 50 毫微秒，5 V 和约 40 毫安，在每一个脉冲施加后并在下一个脉冲施加前测量电阻值。随着连续施加脉冲的增加，从图示的数据可以看出设置电阻值连续下降，由此允许材料被设置在完全非结晶态到完全结晶态之间复盖光谱的各个不同的等级上。

图 8 的数据给出了器件以欧姆表示在“通导”状态下与以欧姆表示的负载电阻之间的关系，负载电阻与器件串连并由此决定点火时的电流幅度。数据是使用阈值电压 1.2 V 时得到的，器件的“通导”电阻作为增加设置电流的函数迅速地减小到 100 欧姆的水平。

从前面的叙述可以看出本发明的可擦相变存储器提供了性能显著

的改进，大大超过了现有技术的电可擦相变存储器所能达到的性能，这允许广泛地应用这种存储器，并超出了现有技术存储器可能应用的范围。应该这样理解，在这里进行的公开是以详细描述实施例的形式出现的，以达到充分完整公开本发明的目的，而这些细节绝不能以任何方式被解释为限制在所附的权利要求中确立和定义的发明的真实范围。

说明书附图



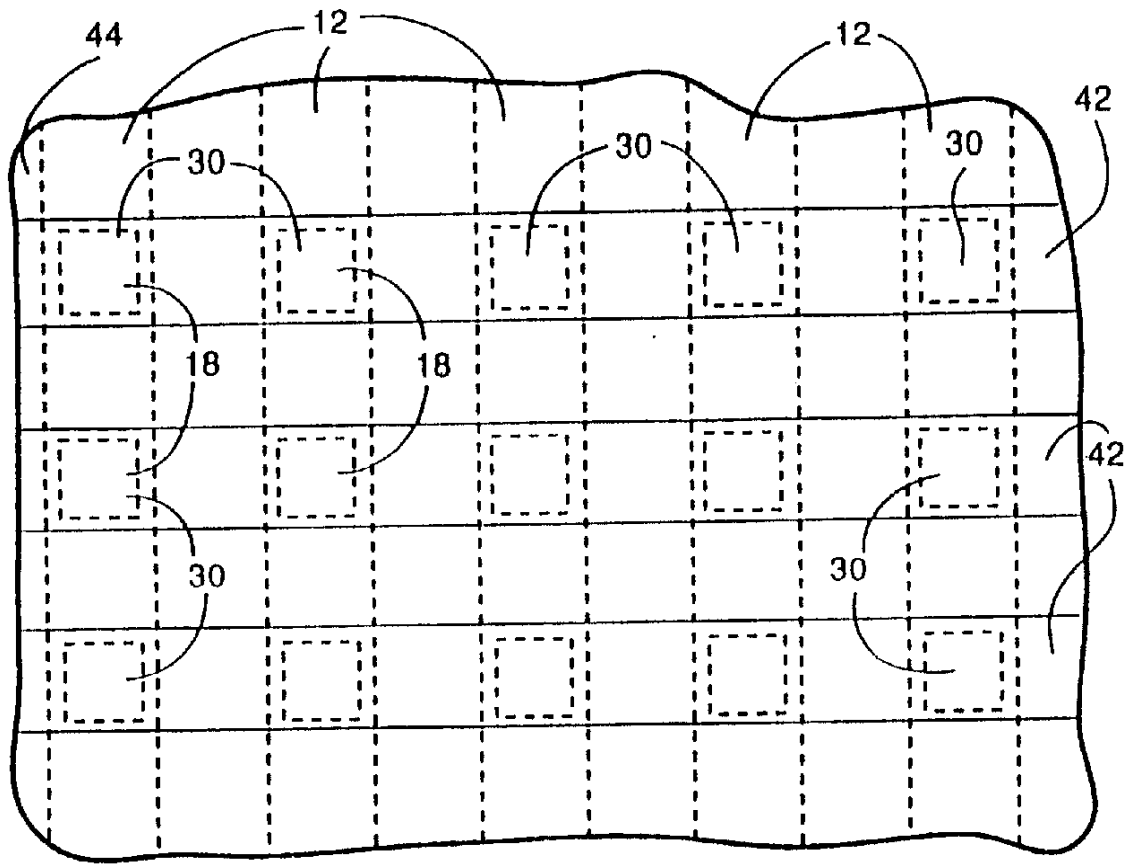


图 3

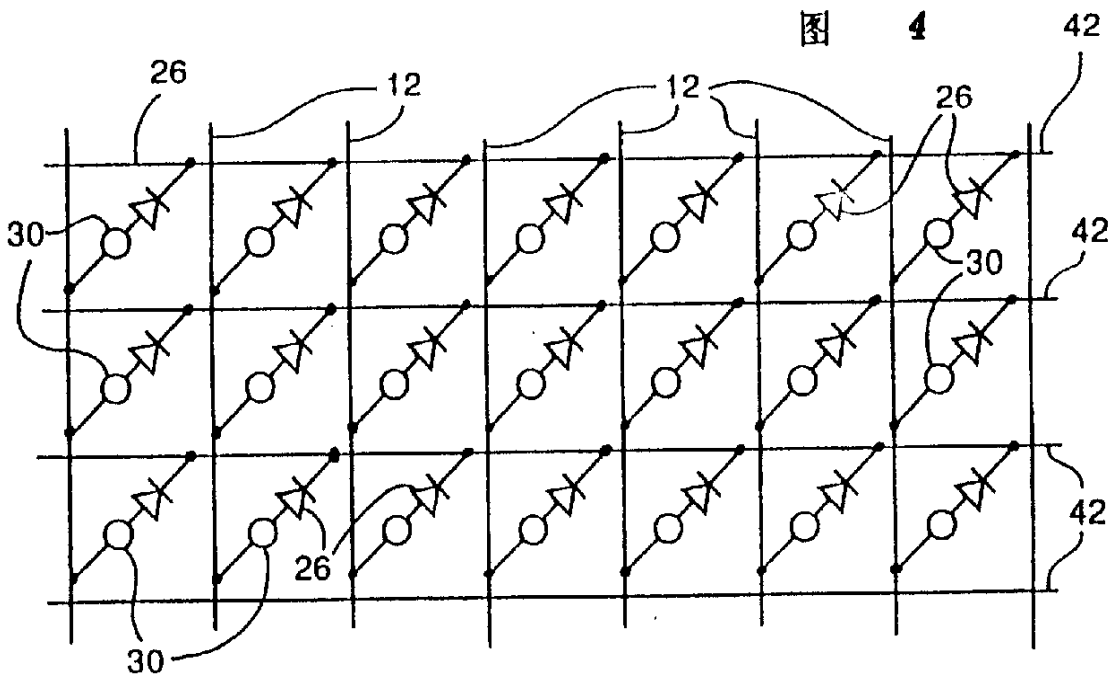


图 4

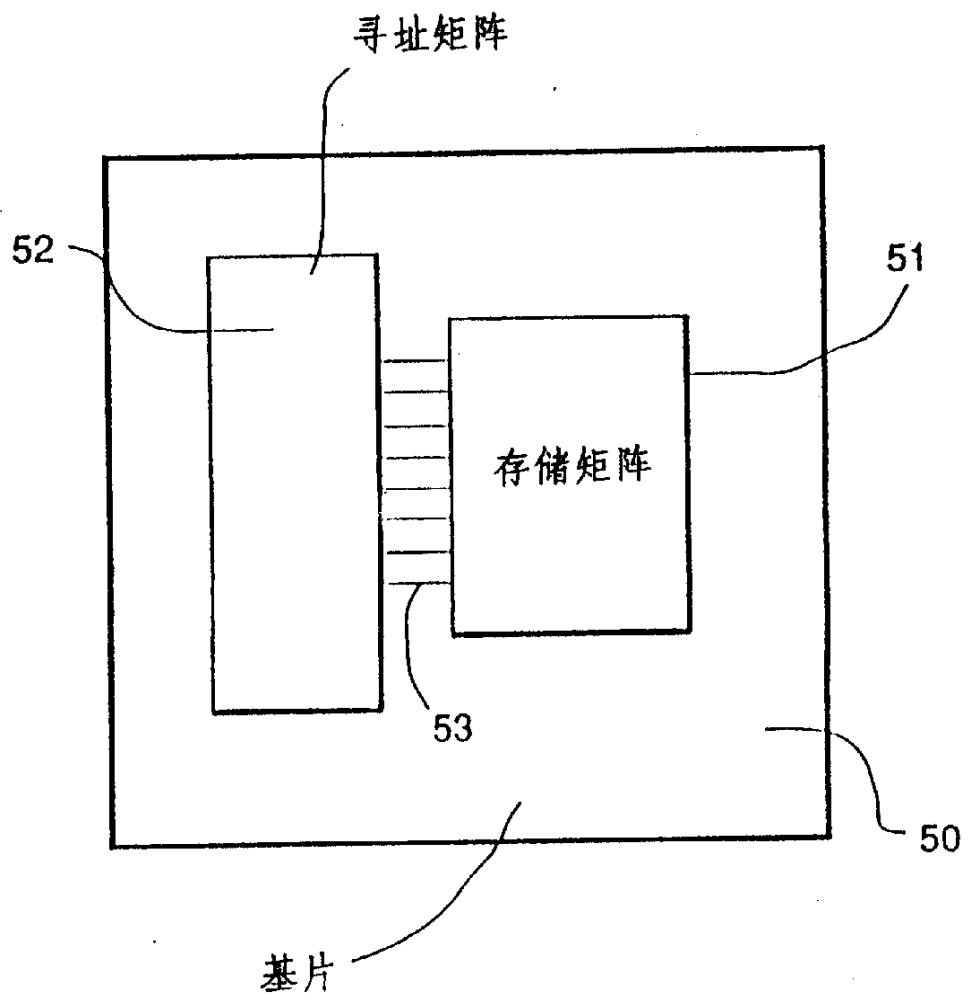
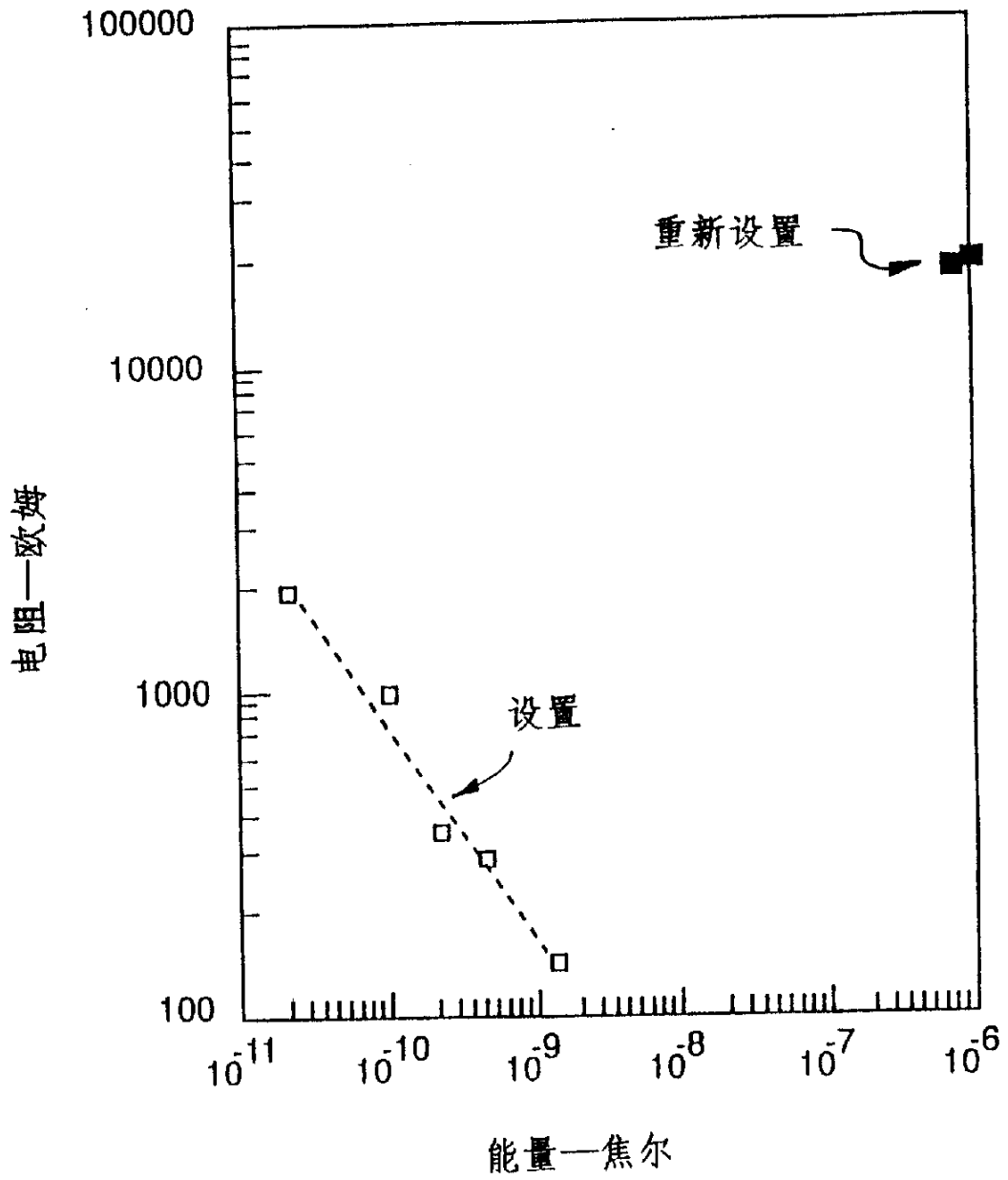


图 4 A

图 5



器件电阻与能量的关系

图 6

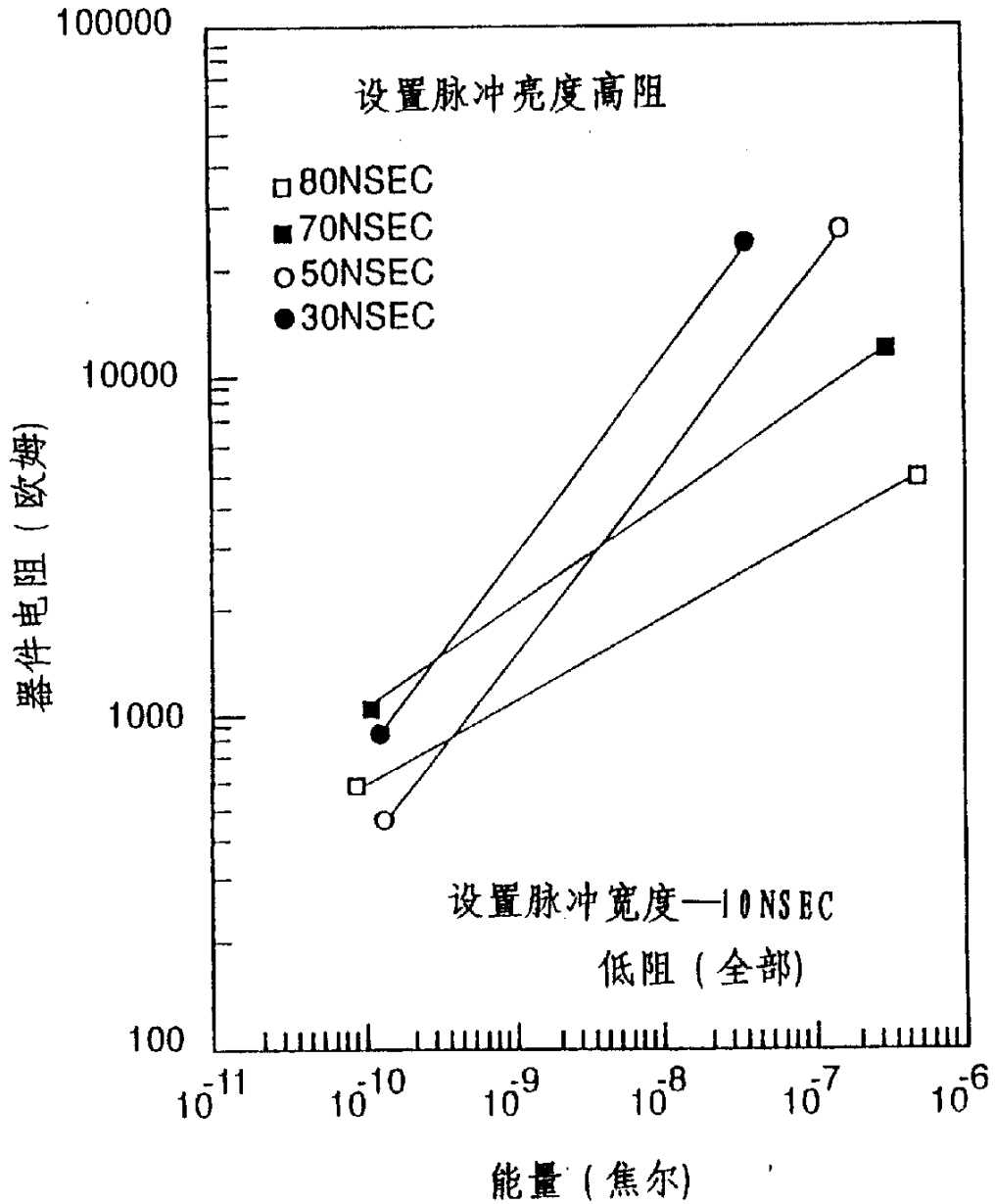


图 7
器件电阻与能量的关系

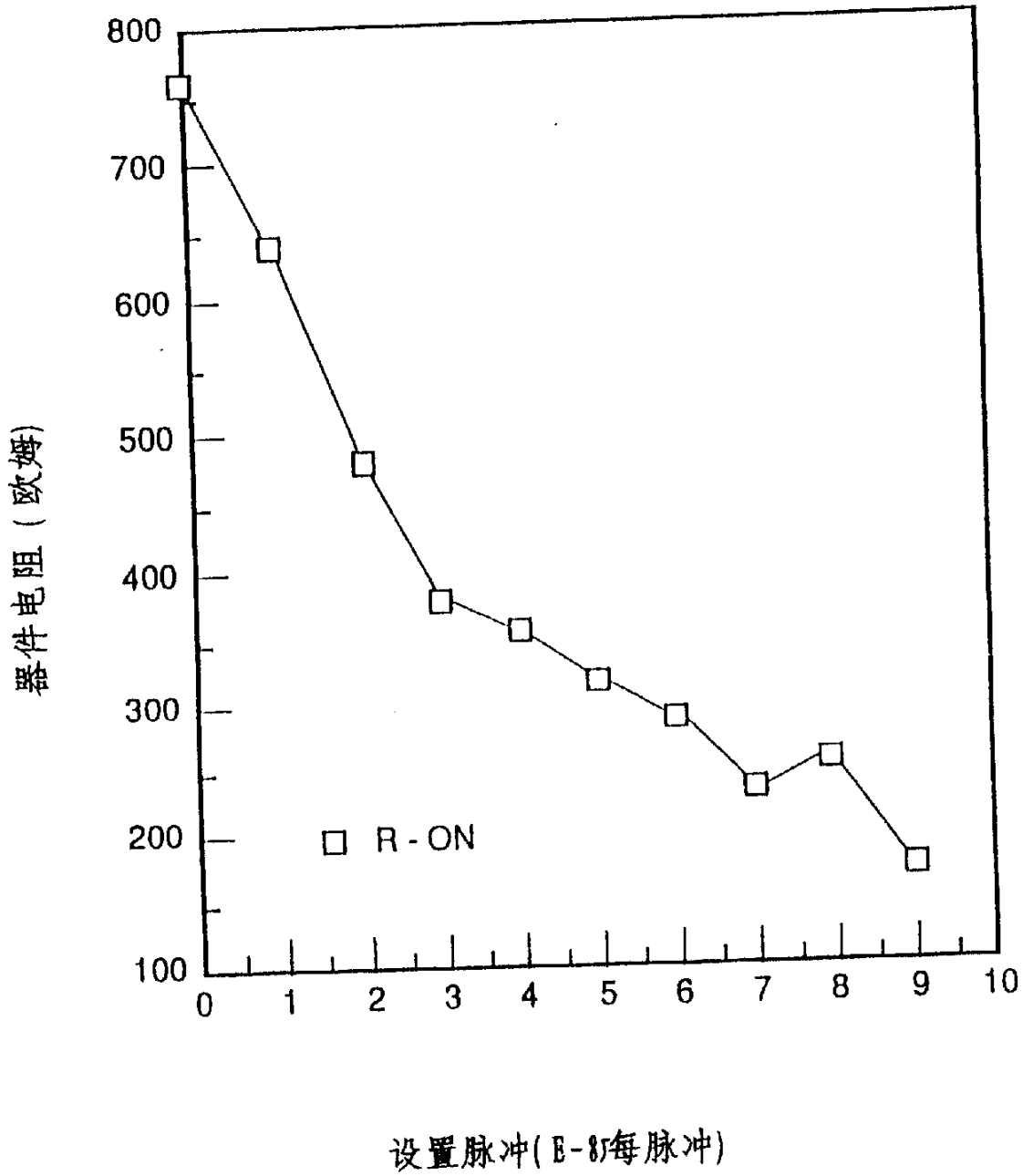


图 8

器件导通电阻与负载电阻的关系

