



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월10일
(11) 등록번호 10-1070845
(24) 등록일자 2011년09월29일

(51) Int. Cl.

H01L 21/335 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2005-7018827

(22) 출원일자(국제출원일자) 2004년03월29일

심사청구일자 2009년03월26일

(85) 번역문제출일자 2005년10월01일

(65) 공개번호 10-2005-0118717

(43) 공개일자 2005년12월19일

(86) 국제출원번호 PCT/US2004/009696

(87) 국제공개번호 WO 2004/093197

국제공개일자 2004년10월28일

(30) 우선권주장

10/405,343 2003년04월03일 미국(US)

(56) 선행기술조사문현

US06475869 B1*

JP04250667 A

JP04354138 A

US06063688 A1

*는 심사관에 의하여 인용된 문현

(73) 특허권자

어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이엠
디 플레이스 메일 스탬68

(72) 발명자

린 링-렌

미국 캘리포니아 95014 쿠퍼티노 산타 테레사 드
라이브 10970

왕 하이홍

미국 캘리포니아 95035 밀피타스 티303 아파트 밀
몬트 드라이브1775

유 빈

미국 캘리포니아 95014 쿠퍼티노 포피 웨이 1373

(74) 대리인

박장원

전체 청구항 수 : 총 10 항

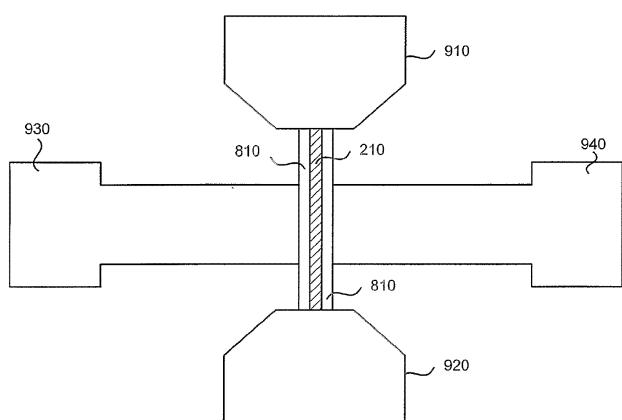
심사관 : 박근용

(54) F i n F E T 디바이스 구조의 형성 방법

(57) 요 약

반도체 디바이스는 제 1 핀 구조(810)와, 제 2 핀 구조(810)와, 그리고 제 3 핀 구조(210)를 포함한다. 제 1 및 제 2 핀 구조(810)는 단결정 실리콘 물질을 포함한다. 제 3 핀 구조(210)는 제 1 핀 구조(810)와 제 2 핀 구조(810) 사이에 위치하고, 유전체 물질을 포함한다. 제 3 핀 구조(210)는 제 1 핀 구조(810)와 제 2 핀 구조(810)의 단결정 실리콘 물질에 유도되는 스트레스를 야기한다.

대 표 도



특허청구의 범위

청구항 1

반도체 디바이스로서,

유전체 물질을 포함하며 제 1 측면과 제 2 측면을 구비한 제 1 핀(fin) 구조(210)와;

단결정 실리콘 물질을 포함하며 상기 제 1 핀 구조(210)의 상기 제 1 측면에 인접하게 형성되는 제 2 핀 구조(810)와;

단결정 실리콘 물질을 포함하며 상기 제 1 핀 구조(210)의 상기 제 2 측면에 인접하게 형성되는 제 3 핀 구조(810)와, 여기서 상기 제 1 핀 구조(210), 제 2 핀 구조(810), 및 제 3 핀 구조(810)는 상기 반도체 디바이스의 기판(200)의 상면(top surface)위에 형성되며;

상기 제 1 핀 구조(210), 제 2 핀 구조(810), 및 제 3 핀 구조(810)의 일 단부(one end)에 형성된 소스 영역(910)과;

상기 제 1 핀 구조(210), 제 2 핀 구조(810), 및 제 3 핀 구조(810)의 대향단부(opposite end)에 형성된 드레인 영역(920)과; 그리고

적어도 하나의 게이트(930 및 940)를 포함하여 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 2

제 1항에 있어서,

상기 제 1 핀 구조(210)의 폭은 200Å 내지 1000Å 범위인 것을 특징으로 하는 반도체 디바이스.

청구항 3

제 1항에 있어서,

상기 유전체 물질은 옥사이드와 나이트라이드 중 하나를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 4

제 1항에 있어서,

상기 제 2 핀 구조(810)와 제 3 핀 구조(810) 각각의 폭은 100Å 내지 1000Å의 범위인 것을 특징으로 하는 반도체 디바이스.

청구항 5

기판(200)과 이 기판(200) 위에 형성된 유전체 층(210)을 포함하는 반도체 디바이스를 제조하는 방법에 있어서,

제 1 핀 구조(210)를 형성하기 위해 상기 유전체 층(210)을 식각하는 단계와;

비정질 실리콘 층(310)을 적층하는 단계와;

상기 제 1 핀 구조(210)의 제 1 측면에 인접하게 제 2 핀 구조(410)를 형성하고, 상기 제 1 핀 구조(210)의 제 2, 대향 측면에 인접하게 제 3 핀 구조(410)를 형성하기 위해, 상기 비정질 실리콘 층(310)을 식각하는 단계와;

적어도 상기 제 2 핀 구조(410)와 상기 제 3 핀 구조(410)의 상면들 위에 금속 층(710)을 적층하는 단계와;

상기 제 2 및 제 3 핀 구조들(410) 내의 상기 비정질 실리콘을 단결정 실리콘 물질로 변환하기 위해, 금속 유도 결정화(metal-induced crystallization) 작업을 수행하는 단계와;

소스 영역(910) 및 드레인 영역(920)을 형성하는 단계와;

상기 제 1, 제 2, 및 제 3 핀 구조들(210 및 810) 위에 게이트 물질을 적층하는 단계와; 그리고

적어도 하나의 게이트 전극들(930 및 940)을 형성하기 위해, 상기 게이트 물질을 패터닝하고 식각하는 단계를

포함하는 것을 특징으로 하는 반도체 디바이스를 제조하는 방법.

청구항 6

제 5항에 있어서,

상기 유전체 층(210)은 옥사이드와 나이트라이드 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하는 방법.

청구항 7

반도체 디바이스로서,

단결정 실리콘 물질을 포함하는 제 1 핀 구조(810)와;

단결정 실리콘 물질을 포함하는 제 2 핀 구조(810)와; 그리고

상기 제 1 핀 구조(810)와 상기 제 2 핀 구조(810) 사이에 위치하고, 유전체 물질을 포함하는 제 3 핀 구조(210)를 포함하며,

상기 제 3 핀 구조(210)는 상기 제 1 핀 구조(810)와 상기 제 2 핀 구조(810)의 상기 단결정 물질 내에 스트레스(stress)를 유발하도록 하는 것을 특징으로 하는 반도체 디바이스.

청구항 8

제 7항에 있어서,

상기 제 1 핀 구조(810)와 상기 제 2 핀 구조(810) 각각의 폭은 100Å 내지 1000Å의 범위인 것을 특징으로 하는 반도체 디바이스.

청구항 9

제 8항에 있어서,

상기 제 3 핀 구조(210)의 폭은 100Å 내지 1000Å의 범위인 것을 특징으로 하는 반도체 디바이스.

청구항 10

제 9항에 있어서,

상기 유전체 물질은 옥사이드와 나이트라이드 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 디바이스.

명세서

기술 분야

[0001] 본 발명은 일반적으로 반도체 제조에 관한 것이고, 더욱 상세하게는 FinFET 디바이스의 형성에 관한 것이다.

배경 기술

[0002] 극대규모 집적회로(ultra large scale integration) 반도체 디바이스에 관련된 고밀도와 고성능에 대한 점증하는 요구는 100nm(nanometer) 미만의 게이트 길이와 같은 디자인 피쳐(feature)와, 고 신뢰도, 및 증대된 제조 수율을 필요로 한다. 100nm 미만으로의 디자인 피쳐의 축소는 종래 방법론의 한계에 대한 해결과제이다.

[0003] 예를 들면, 종래의 평면 금속 옥사이드 반도체 전계 효과 트랜지스터(MOSFET)의 게이트 길이가 100nm 미만으로 축소되면, 소스와 드레인 사이의 과도한 누설전류와 같은 짧은 채널 효과(short channel effect)에 관련된 문제가 점차 극복하기 어려워진다. 게다가, 이동도(mobility) 저하와 수많은 공정 문제도 또한, 종래의 MOSFET를 점진적으로 작아지는 디바이스 피쳐들을 포함하도록 축소시키는 것을 어렵게 한다. 따라서, FET 성능을 개선하고 디바이스를 더 축소시키기 위한 새로운 디바이스 구조가 연구되고 있다.

[0004] 이중-게이트(double-gate) MOSFET이 기존의 평면 MOSFET의 뒤를 잇는 후보자로 간주되는 새로운 구조를 대표한

다. 이중-게이트 MOSFET에서, 두 개의 게이트가 짧은 채널 효과를 제어하는데 사용될 것이다. FinFET는 좋은 짧은 채널 특성을 나타내는 이중-게이트 구조이다. FinFET 구조는 종래의 평면 MOSFET에 사용되는 것과 유사한 레이아웃(layout)과 공정 기술을 사용하여 제조될 것이다.

발명의 상세한 설명

[0005]

본 발명에 따른 실시는 유전체 핀 구조(dielectric fin structure)의 대향 측(opposite side)들에 형성된 단결정 실리콘 핀 구조들을 제공한다. 유전체 핀 구조의 물질은 단결정 실리콘 물질 내에 상당량의 스트레스(stress)를 유발하도록 선택된다. 따라서, 이동도(mobility)가 개선된다.

[0006]

본 명세서에서 구체화되고 일반적으로 설명된 바와 같은 본 발명의 목적에 따르면, 반도체 디바이스는 유전체 물질을 포함하고, 제 1 측면과 제 2 측면을 구비한 제 1 핀 구조와; 단결정 실리콘 물질을 포함하고, 상기 제 1 핀 구조의 제 1 측면에 인접하게 형성된 제 2 핀 구조와; 단결정 실리콘 물질을 포함하고, 상기 제 1 핀 구조의 제 2 측면에 인접하게 형성된 제 3 핀 구조와; 제 1 핀 구조, 제 2 핀 구조, 및 제 3 핀 구조의 일 단부(one end)에 형성된 소스 영역과; 제 1 핀 구조, 제 2 핀 구조, 및 제 3 핀 구조의 대향단부(opposite end)에 형성된 드레인 영역과; 그리고 적어도 하나의 게이트를 포함한다.

[0007]

본 발명에 따른 다른 실시에서, 기판과 이 기판 위에 형성된 유전체 층을 포함하는 반도체를 제조하는 방법이 개시된다. 상기 방법은 제 1 핀 구조를 형성하도록 유전체 층을 식각하는 단계와; 비정질 실리콘층을 적층하는 단계와; 제 1 핀 구조의 제 1 측면에 인접한 제 2 핀 구조와 제 1 핀 구조의 제 2, 대향 측면에 인접한 제 3 핀 구조를 형성하도록 비정질 실리콘층을 식각하는 단계와; 최소한 제 2 핀 구조와 제 3 핀 구조의 상부 표면 위에 금속 층을 적층하는 단계와; 제 2 및 제 3 핀 구조 내의 비정질 실리콘을 단결정 실리콘 물질로 변환하도록 금속 유도 결정화 작업(metal induced crystallization operation)을 수행하는 단계와; 소스 영역 및 드레인 영역을 형성하는 단계와; 제 1, 제 2, 및 제 3 핀 구조 위에 게이트 물질을 적층하는 단계와; 그리고 적어도 하나의 게이트 전극을 형성하도록 게이트 물질을 패터닝하고 식각하는 단계를 포함한다.

[0008]

본 발명에 따른 또 다른 실시에서, 제 1 핀 구조, 제 2 핀 구조, 및 제 3 핀 구조를 포함하는 반도체 디바이스가 개시된다. 제 1 및 제 2 핀 구조는 단결정 실리콘 물질을 포함한다. 제 3 핀 구조는 제 1 핀 구조와 제 2 핀 구조 사이에 위치하고, 유전체 물질을 포함한다. 제 3 핀 구조는 제 1 핀 구조와 제 2 핀 구조의 단결정 실리콘 물질 내에 스트레스가 유발되게 한다.

실시 예

[0014]

본 발명에 따른 하기의 상세한 설명은 첨부된 도면을 참조한다. 서로 다른 도면에서 동일한 참조 번호는 동일하거나 유사한 소자들을 나타낸다. 또한, 하기의 상세한 설명은 본 발명을 한정하지 않는다. 대신, 발명의 범위는 첨부된 청구항 및 이들의 균등물에 의해 한정된다.

[0015]

본 발명에 따른 실시는 유전체 핀 구조의 대향 측면에 형성된 단결정 실리콘 핀 구조들을 제공한다. 유전체 핀 구조의 물질은 단결정 실리콘 물질 내에 상당량의 스트레스를 유발하도록 선택되어, 이동도를 개선한다.

[0016]

도 1은 본 발명에 따른 실시에서 FinFET 디바이스를 위한 핀 구조를 형성하는 예시적인 공정을 도시한다. 도 2-9는 도 1에 기술된 공정에 따라 제조된 FinFET 디바이스의 예시적인 도면이다. 하나의 FinFET 디바이스의 제조가 이하에서 기술된다. 그러나, 본 명세서에서 설명된 기술은 하나 이상의 FinFET 디바이스를 형성하는데도 동일하게 적용될 수 있음을 당연하다.

[0017]

도 1 및 도 2에서, 반도체 디바이스의 기판(200) 위에 유전체 핀 구조(210)를 형성함으로써, 공정이 시작된다(단계 105). 일 실시에서, 기판(200)은 실리콘을 포함한다. 본 발명에 따른 대안적인 실시에서, 기판(200)은 게르마늄과 같은 다른 반도체성 물질, 또는 실리콘-게르마늄과 같은 반도체성 물질의 화합물을 포함할 수 있다. 다른 대안적인 실시에서, 기판(200)은 실리콘이나 게르마늄 기판 위에 형성된 옥사이드 층과 같은 절연체를 포함한다. 유전체 핀 구조(210)는 유전체 핀 구조(210)에 인접하게 형성된 이중 핀 구조에서 상당한 인장 스트레스(응력)를 유발하는 유전체 물질을 포함한다. 일 실시에서, 유전체 핀 구조(210)는 옥사이드나 나이트라이드(nitride)를 포함한다.

[0018]

유전체 핀 구조(210)는 종래 방식으로 형성된다. 예를 들면, 유전체 물질은 대략 200Å 내지 1000Å 범위의 두께로 기판(200) 위에 적층된다. 마스크가 유전체 물질의 일부분 위에 형성되고, 그 다음, 이 유전체 물질은 종래의 방식으로 식각되며, 상기 식각은 기판(200) 상에서 종료되어 유전체 핀 구조(210)를 형성하게 된다. 결과

적으로, 유전체 핀 구조(210)는 대략 100Å 내지 1000Å 범위의 폭을 갖는다.

[0019] 유전체 핀 구조(210)를 형성한 후에, 도 3에 도시된 바와 같이, 비정질 실리콘 층(310)이 반도체 디바이스 위에 적층된다(단계 110). 본 발명에 따른 일 실시에서, 비정질 실리콘 층(310)은 대략 100Å 내지 1000Å 범위의 두께로 적층된다.

[0020] 그 다음, 도 4에 도시된 바와 같이, 비정질 실리콘층이 종래의 방식으로 삭각되며, 이 삭각은 기판(200) 상에서 종료되어 비정질 실리콘 스페이서(핀) 구조(410)를 형성하게 된다(단계 115). 각 비정질 실리콘 핀 구조(410)는 대략 200Å 내지 1000Å 범위의 높이와 100Å 내지 1000Å 범위의 폭을 갖는다.

[0021] 도 5에 도시된 바와 같이, 유전체 층(510)이 반도체 디바이스 위에 적층된다(단계 120). 본 발명에 따른 일 실시에서, 유전체 층(510)은 대략 200Å 내지 1000Å 범위의 두께로 적층된다. 유전체 층(510)은 옥사이드 또는 다른 유전체 물질을 포함한다.

[0022] 도 6에 도시된 바와 같이, 반도체 디바이스는 반도체 디바이스의 상면(top surface)을 평탄화하도록 화학적 기계적 연마(CMP)를 통해 연마되어, 각각의 비정질 실리콘 핀 구조(410)의 상면을 노출 시킨다(단계 120). CMP 동안에, 유전체 핀 구조(210)와 비정질 실리콘 핀 구조(410)의 일부 상면이 제거되어, 비정질 실리콘 핀 구조(410) 각각의 상면이 노출된다. 예를 들면, CMP 후에, 핀(210 및 410)의 높이는 대략 150Å 내지 200Å 범위이다.

[0023] 도 7에 도시된 바와 같이, 니켈(nickel)과 같은 금속 층(710)이 반도체 디바이스 위에 적층된다(단계 125). 일 실시에서, 니켈 층(710)은 대략 20Å의 두께로 적층된다.

[0024] 그 다음, 금속 유도 결정화(MIC) 작업이 수행된다. 도 8에 도시된 바와 같이, MIC 작업은 몇 시간 동안 대략 500°C 내지 대략 550°C에서 니켈 층(710)을 어닐링하는 것을 포함하며, 이 어닐링은 니켈을 비정질 실리콘 내부로 확산하도록 하여, 핀 구조(410)의 비정질 실리콘이 단결정 실리콘(810)으로 변환하도록 한다(단계 130). MIC 작업의 결과, 얇은 니켈 실리콘(NiSi) 화합물(820) 층이 기판(200)과 단결정 실리콘 핀 구조(810) 사이에 형성된다. 일 실시에서, NiSi 층(820)의 두께는 대략 20Å 내지 200Å 범위이다.

[0025] 단결정 실리콘 핀 구조(810)가 형성된 후에, FinFET 디바이스를 위한 트랜지스터(예컨대, 소스 및 드레인 영역들의 형성), 컨택(contact), 상호연결부(interconnect) 및 층간(inter-level) 유전체를 완성하는데, 종래의 FinFET 제조 공정이 이용될 수 있다. 예를 들면, 유전체 층(510)이 제거되고, 실리콘 나이트라이드나 실리콘 옥사이드와 같은 보호 유전체 층이 핀(210 및 810)의 상면 위에 형성되고, 그 다음, 단결정 실리콘 핀 구조(810)의 측면에 게이트 유전체가 형성된다. 그 다음, 소스/드레인 영역이 핀(210 및 810) 각각의 단부에서 형성되고, 하나 이상의 게이트가 형성된다. 예를 들면, 실리콘층, 게르마늄층, 실리콘 및 게르마늄의 화합물, 또는 다양한 금속들이 게이트 물질로 사용될 수 있다. 그 다음, 게이트 물질은 패터닝(pattern)되고 삭각되어 게이트 전극을 형성한다. 예를 들면, 도 9는 소스/드레인 영역 및 게이트 전극이 형성된 후에, 본 발명에 따른 반도체 디바이스의 예시적인 상면을 도시한다. 도시된 바와 같이, 반도체 디바이스는 핀(210 및 810), 소스 및 드레인 영역(910 및 920), 그리고 게이트 전극(930 및 940)을 구비한 이중-게이트 구조(double-gate structure)를 포함한다.

[0026] 그 다음, 소스/드레인 영역(910 및 920)은 최종 디바이스 필요조건(end device requirement)에 기초하여 n-타입 또는 p-타입 불순물로 도핑된다. 추가로, 특정 회로 필요조건에 기초하여 소스/드레인 정션(junction)의 위치를 제어하기 위해, 소스/드레인 이온 주입 전에 측벽 스페이서가 선택적으로 형성된다. 그 다음, 활성화 어닐링(activation annealing)이 수행되어 소스/드레인 영역(910 및 920)을 활성화한다.

[0027] 본 발명은 다수의 핀 구조를 형성하는 경우에 대해서 상기에서 기술되었다. 본 발명에 따른 방법은 특정 회로 필요조건에 기초하여, 임의의 개수의 핀을 형성하는데도 사용될 수 있음을 이해해야 한다.

[0028] 따라서, 본 발명에 따르면, 단결정 실리콘 핀 구조를 사이에 위치한 유전체 핀 구조를 갖는 단결정 실리콘 핀 구조가 형성된다. 유전체 핀 구조의 물질은, 단결정 실리콘 핀 구조에서 상당량의 스트레스(응력)를 유발하도록 선택된다. 결과적으로, 단결정 실리콘 핀 구조에서의 이동도는 향상된다.

[0029] 도 10-15는 본 발명에 따른 대안적인 실시에서 복수의 핀 구조를 형성하는 예시적인 도면이다. 도 10에서, 기판(1000) 위에 형성된 옥사이드 층(1010)을 포함하는 반도체 디바이스에서부터 공정이 시작된다. 기판(1000)은 실리콘이나 게르마늄과 같은 다른 반도체성 물질, 또는 실리콘-게르마늄과 같은 반도체성 물질들의 화합물을 포함한다. 옥사이드 층(1010)은 대략 200Å 내지 대략 1000Å 범위의 높이를 갖는다.

- [0030] 도 10에 도시된 바와 같이, 옥사이드 층(1010)은 식각되어 트랜치(1020)를 형성한다. 일 실시에서, 트랜치(1020)는 대략 200Å 내지 대략 2000Å 범위의 폭을 갖는다. 그 다음, 도 11과 같이, 비정질 실리콘이 적층되고 식각되어 비정질 실리콘 스페이서(1110)를 형성한다. 비정질 실리콘 스페이서(1110) 각각은 대략 100Å 내지 대략 1000Å 범위의 폭을 갖는다. 도 12에 도시된 바와 같이, 유전체 물질(1210)이 비정질 실리콘 스페이서들(1110) 사이의 갭(gap)에 적층된다. 유전체 물질은 옥사이드 또는 다른 유전체 물질을 포함한다.
- [0031] 도 13에 도시된 바와 같이, 니켈 층(1310)이 비정질 실리콘 스페이서(1110)의 상면에 적층된다. 니켈 층(1310)의 두께는 대략 20Å이다. 그 다음, MIC 작업이 수행된다. 도 14에 도시된 바와 같이, 비정질 실리콘 스페이서(1110)를 단결정 실리콘 펈 구조(1410)로 변환하기 위해, MIC 작업은 몇 시간 동안 대략 500°C 내지 대략 550°C에서 니켈 층(1310)을 어닐링하는 것을 포함한다. MIC 작업의 결과로서, 얇은 니켈 실리콘(NiSi) 화합물(1420) 층이 기판(1000)과 단결정 실리콘 펈 구조(1410) 사이에 형성된다. 일 실시에서, NiSi 층(1420)의 두께는 대략 20Å 내지 대략 200Å 범위이다.
- [0032] 도 15에 도시된 바와 같이, 옥사이드 층(1010)은 종래의 방식으로 제거된다. 따라서, 스페이서-유도 병합 FET(spacer-induced merged FET)가 생산될 수 있다.
- [0033] 다른 실시에서, 트랜치 양 측면들 사이에서 커플링 효과(coupling effect)를 제공할 수 있는 폭이 좁은(narrow) 트랜치를 생성하는데 스페이서가 사용될 수 있다. 도 16에 도시된 바와 같이, 반도체 디바이스는 기판(도시되지 않음) 위에 형성된 옥사이드 층(1610)을 포함하며, 상기 옥사이드 층 위에는 실리콘 층(1620)이 형성되어 있다. 실리콘 니트라이드 또는 실리콘 옥사이드와 같은 물질을 적층하고 패터닝하여 하드 마스크(1640)를 형성한다. 그 다음, SiN, SiO, 또는 일부 다른 물질과 같은 스페이서 물질이 적층되고 식각되어, 하드 마스크(1640)의 측면에 스페이서(1630)를 형성한다. 그 다음, 도 17에 도시된 바와 같이, 스페이서(1630) 및 하드 마스크(1640)를 마스크로 사용하여, 실리콘 층(1620)을 식각하여 폭이 좁은 트랜치(1710)를 형성한다. 트랜치(1710)는 대략 100Å 내지 대략 1000Å 범위의 폭을 갖는다. 유리하게, 트랜치(1710)는 트랜치(170) 양 측면에 위치한 펈들(1620) 사이의 커플링 효과를 제공한다.
- [0034] 본 발명에 따른 실시들은 유전체 펈 구조의 대향 측들에 형성된 단결정 실리콘 펈 구조들을 제공한다. 유전체 펈 구조의 물질은 단결정 실리콘 물질 내에 상당량의 스트레스를 유발하도록 선택된다. 이러한 식으로, 이동도가 개선된다.
- [0035] 본 발명의 예시적인 실시예들의 상기 기재는 실례와 설명을 제공할 뿐이며, 완전한 설명을 제공하거나 본 발명을 개시된 명확한 형태로 한정하고자 함이 아니다. 수정 및 변경이 본 명세서의 견지에서 가능하고, 혹은 본 발명의 실시로부터 습득된다. 예를 들면, 본 명세서에서, 본 발명의 완전한 이해를 제공하기 위해, 특정 물질, 구조, 화학물질, 공정, 등과 같은 수많은 특정 세부사항이 열거된다. 그러나, 본 발명은 상기 열거된 특정한 세부사항들 없이도 실시될 수 있다. 다른 경우로, 본 발명의 요지를 불필요하게 모호하게 하지 않기 위해, 잘 알려진 공정 구조는 상세하게 설명되지 않았다. 본 발명의 실시에 있어서, 종래의 적층, 포토리소그래피 및 식각 기술이 사용될 수 있으나, 이러한 기술의 상세한 설명은 본 명세서에서 자세하게 열거하지 않는다.
- [0036] 도 1과 관련하여 기술된 일련의 단계들에도 불구하고, 본 발명에 따른 다른 실시에서 상기 단계들의 순서는 변경될 수 있다. 게다가, 종속적이지 않은 단계들은 동시에 실시될 수 있다.
- [0037] 본 출원의 명세서에서 사용된 그 어떠한 요소, 단계, 혹은 지시도 명시적으로 본 발명에 대해 필수적이거나 본 질적이라고 설명되지 않은 이상, 본 발명에 대해 필수 또는 본질적이라고 해석되지 않는다. 또한, 본 명세서에서 사용하는 단수는 하나 이상의 아이템들을 나타내는 복수의 의미를 갖는 것으로 의도된다. 오직 하나의 아이템을 나타내는 경우에는 하나 또는 이와 유사한 용어가 사용된다.
- [0038] 본 발명의 범위는 청구항들 및 이들의 균등물에 의해 한정된다.

도면의 간단한 설명

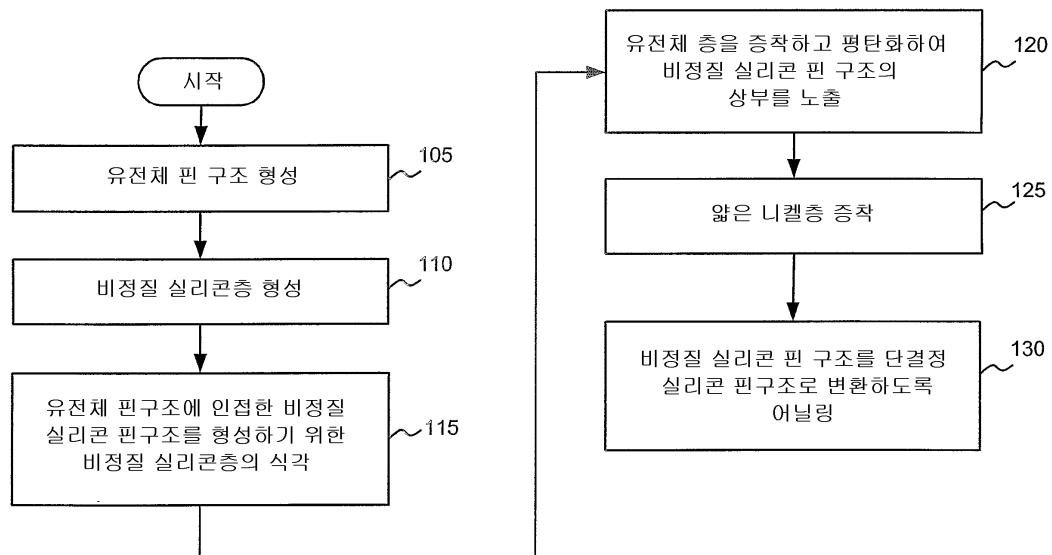
- [0009] 본 명세서에 통합되어 일부분을 구성하는 첨부된 도면은 본 발명의 실시예를 도시하고, 상세한 설명과 함께 본 발명을 설명한다. 도면은 다음과 같다.
- [0010] 도 1은 본 발명에 따른 실시에서의 FinFET 디바이스를 위한 펈 구조를 형성하는 예시적인 공정을 도시한다;
- [0011] 도 2-9는 도 1에 설명된 공정에 따라 제조되는 FinFET 디바이스의 예시적인 도면이다;
- [0012] 도 10-15는 본 발명에 따른 대안적인 실시에서 복수의 펈 구조를 형성하는 예시적인 도면이다; 그리고

[0013]

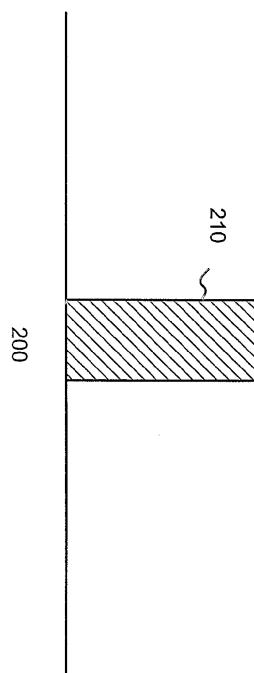
도 16 및 도 17은 본 발명에 따른 대안적인 실시에 따라 트랜치(trench)를 생성하는 예시적인 도면이다.

도면

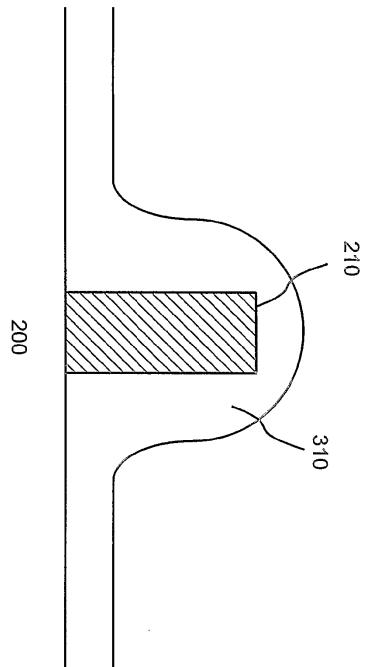
도면1



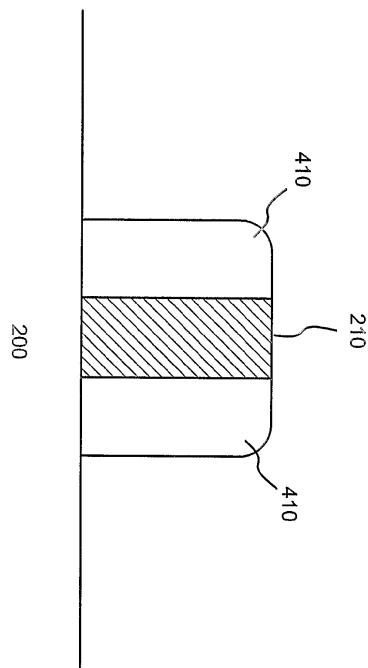
도면2



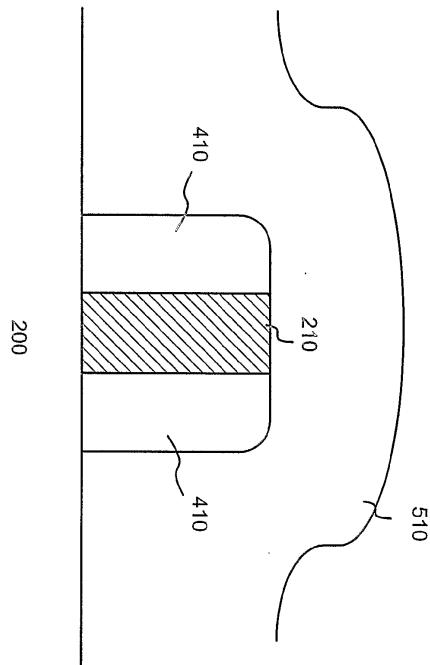
도면3



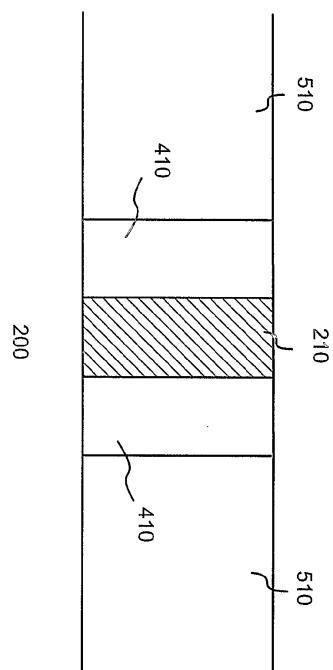
도면4



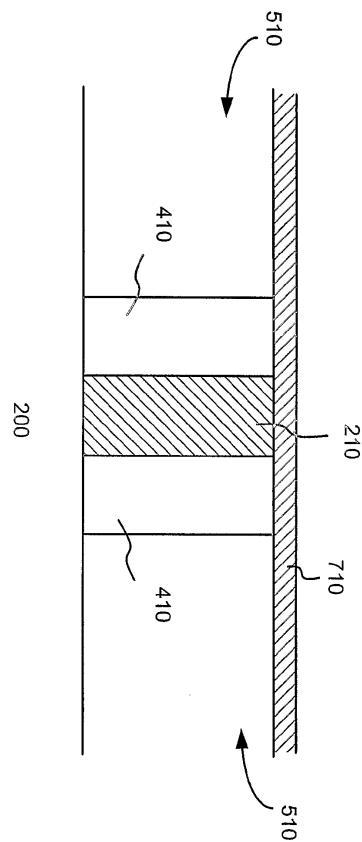
도면5



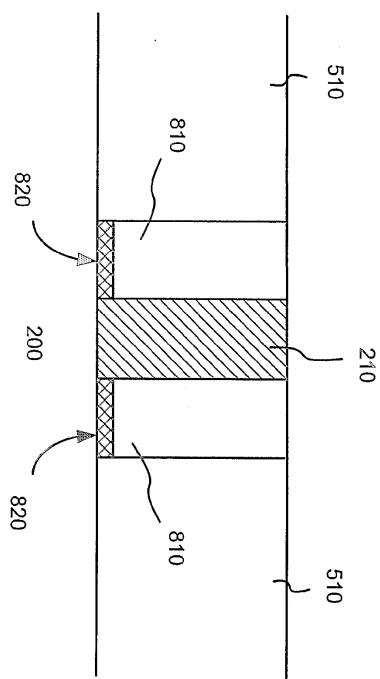
도면6



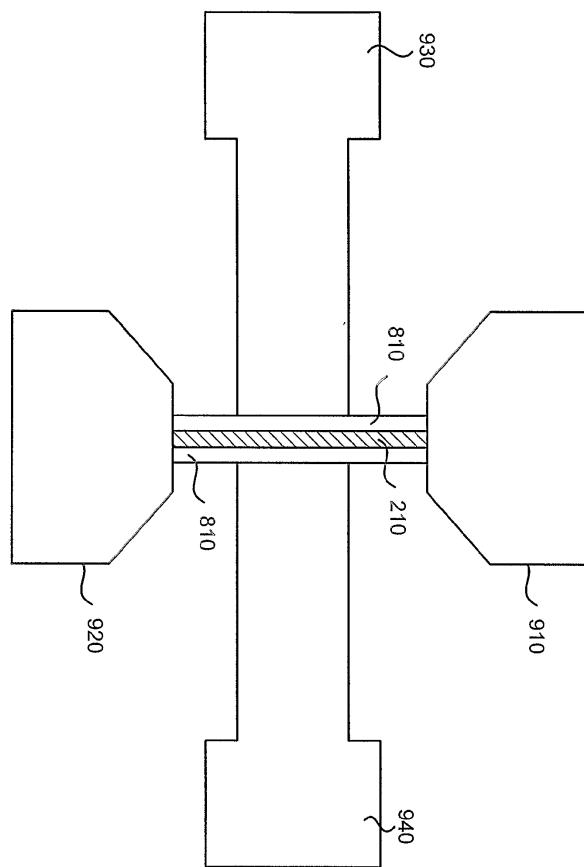
도면7



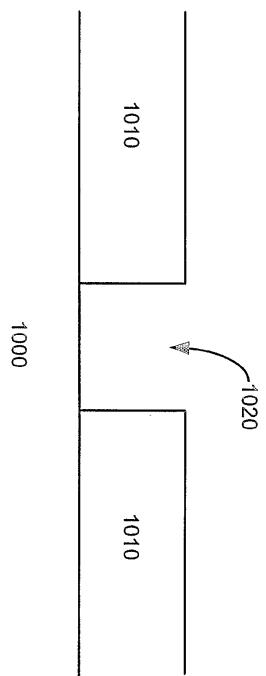
도면8



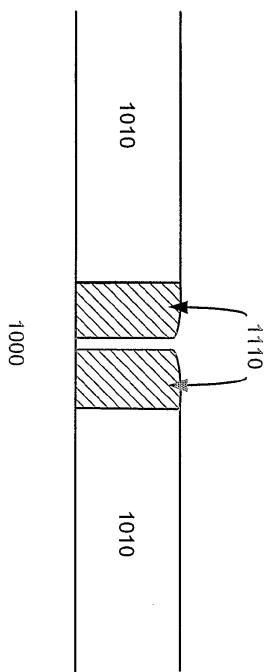
도면9



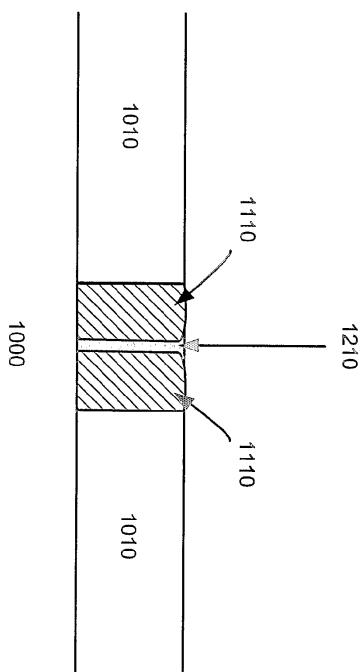
도면10



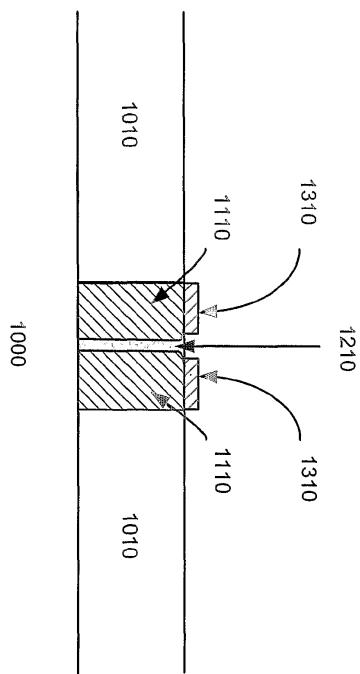
도면11



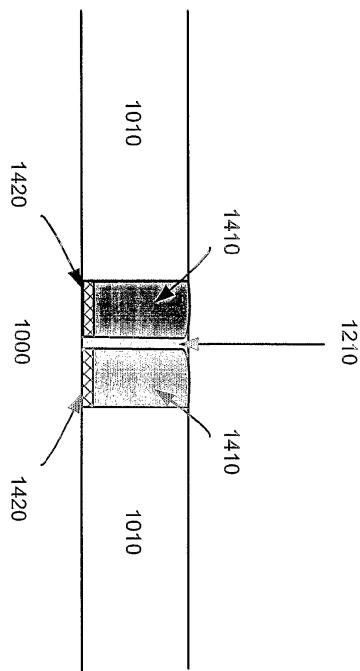
도면12



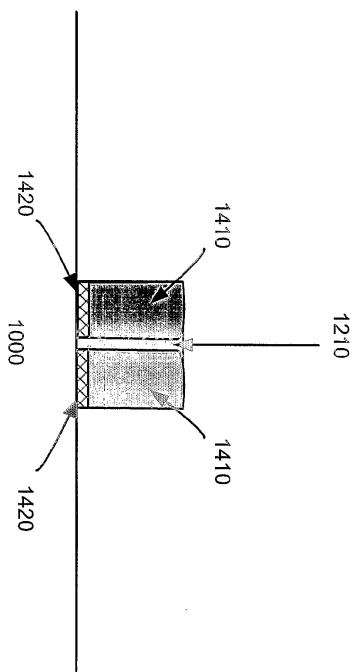
도면13



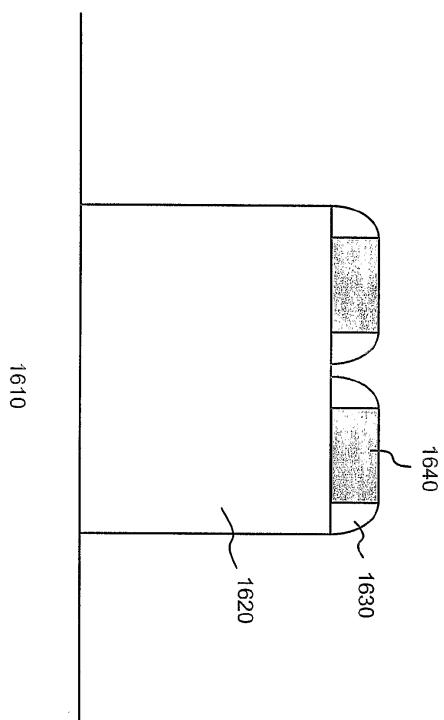
도면14



도면15



도면16



도면17

