



# (12)发明专利

(10)授权公告号 CN 104465352 B

(45)授权公告日 2018.09.04

(21)申请号 201410714842.3

(22)申请日 2014.11.28

(65)同一申请的已公布的文献号  
申请公布号 CN 104465352 A

(43)申请公布日 2015.03.25

(73)专利权人 上海华力微电子有限公司  
地址 201203 上海市浦东新区张江高科技  
园区高斯路568号

(72)发明人 束伟夫 荆泉 任昱 张旭升

(74)专利代理机构 上海申新律师事务所 31272  
代理人 吴俊

(51)Int.Cl.  
H01L 21/28(2006.01)  
H01L 21/66(2006.01)

(56)对比文件

CN 1577786 A,2005.02.09,  
CN 1708837 A,2005.12.14,  
CN 1750237 A,2006.03.22,  
CN 102881578 A,2013.01.16,  
US 6160621 A,2000.12.12,

审查员 王宝林

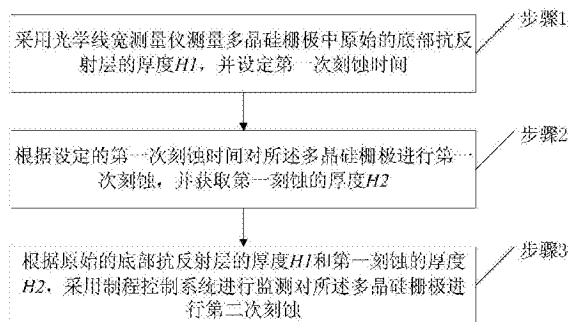
权利要求书1页 说明书3页 附图3页

## (54)发明名称

消除多晶硅刻蚀工艺中多晶硅残余的方法

## (57)摘要

本发明公开了消除多晶硅刻蚀工艺中多晶硅残余的方法,涉及微电子领域。该方法为:采用光学线宽测量仪测量多晶硅栅极中原始的底部抗反射层的厚度H1,并设定第一次刻蚀时间;根据设定的第一次刻蚀时间对多晶硅栅极进行第一次刻蚀,并获取第一刻蚀的厚度H2;根据原始的底部抗反射层的厚度H1和第一刻蚀的厚度H2,采用制程控制系统进行监测对所述多晶硅栅极进行第二次刻蚀。本发明在多晶硅栅极刻蚀前,采用光学线宽测量仪测量多晶硅底部抗反射层厚度;通过制程控制系统针对底部抗反射层的厚度,使用相应的刻蚀工艺参数,时时反馈修正刻蚀时间,对多晶硅多晶硅栅极进行刻蚀,达到消除多晶硅刻蚀工艺中多晶硅残余的目的,提高了产品的良率。



1. 消除多晶硅刻蚀工艺中多晶硅残余的方法,其特征在于,包括下述步骤:

步骤1. 采用光学线宽测量仪测量多晶硅栅极中原始的底部抗反射层的厚度H1,并设定第一次刻蚀时间;

步骤2. 根据设定的第一次刻蚀时间对所述多晶硅栅极进行第一次刻蚀,并获取第一刻蚀的厚度H2;

步骤3. 根据原始的底部抗反射层的厚度H1和第一刻蚀的厚度H2,采用制程控制系统进行监测对所述多晶硅栅极进行第二次刻蚀;

步骤3中采用制程控制系统进行监测对所述多晶硅栅极进行第二次刻蚀的具体过程为:

步骤31. 制程控制系统根据原始的底部抗反射层的厚度H1和第一刻蚀的厚度H2获取第二次刻蚀时间;

步骤32. 根据所述第二次刻蚀时间对所述多晶硅栅极进行第二次刻蚀;

步骤31中获取第二次刻蚀时间的具体过程为:

根据公式(1)获取第二次的刻蚀时间Time:

$$\text{Time} = (H1 - H2) / ER \quad (1)$$

其中,ER表示底部抗反射层刻蚀速率。

## 消除多晶硅刻蚀工艺中多晶硅残余的方法

### 技术领域

[0001] 本发明涉及微电子领域,尤其涉及一种消除多晶硅残余的方法。

### 背景技术

[0002] 在65纳米及以下的工艺技术中,工作区和浅沟槽隔离区域会有一些的高度差,由于受到该高度差的影响,在相同光刻条件下,如图1所示,位于衬底c上方的多晶硅栅极a光刻底部抗反射层厚度会有所差异。在相同的刻蚀与清洗的条件下,底部抗反射层较厚的硅片多晶硅栅极刻蚀会有一些的多晶硅残余b,影响整体性能。

[0003] 为了消除多晶硅残余目前使用的技术手段为:在多晶硅刻蚀底部抗反射层的过程中,观察刻蚀过程中光谱信号变化的情况,根据刻蚀过程中光谱信号的变化趋势确定刻蚀的时间。但存在的问题有:光谱信号确定刻蚀时间有一定误差,当通过光谱信号确定底部抗反射层刻蚀完毕,实际上还有一部分底部抗反射层还未刻蚀完毕。

[0004] 中国专利(CN 101442001B)公开了一种多晶硅栅极刻蚀的方法,该方法包括完成多晶硅沉积的步骤、完成多晶硅光刻的步骤、及完成多晶硅刻蚀的步骤;所述方法还包括清洗晶片底层背面多晶硅的步骤,该步骤完成清洗晶片底层背面多晶硅的过程。

[0005] 该专利通过清洗掉晶片底层背面多晶硅,来增加晶片的拉应力,从而可以有效避免栅极足的形成、提高晶片性能。但并没有解决多晶硅刻蚀工艺中多晶硅残余的问题。

[0006] 中国专利(CN 100383931C)公开了一种能够减少刻蚀工艺中颗粒产生的多晶硅栅极刻蚀工艺,包括以下步骤:BT步骤(硬掩膜刻蚀步骤)前稳定步骤1、BT步骤(硬掩膜刻蚀步骤)、主刻步骤前稳定步骤2、主刻步骤1、主刻步骤2、过刻步骤1和过刻步骤2。

[0007] 该专利兼顾了刻蚀效果和颗粒控制两个方面,根据不同的情况切断或者维持等离子体,在BT步(硬掩膜刻蚀步骤)至主刻步骤的过渡可以切断等离子体,而在主刻步骤至过刻步骤的过渡以及过刻步骤的结束需要维持等离子体的稳定起辉。该发明可以有效地控制反应生产的颗粒对硅片的污染,从而提高芯片成品率。但并没有解决多晶硅刻蚀工艺中多晶硅残余的问题。

### 发明内容

[0008] 本发明为解决多晶硅刻蚀工艺中多晶硅残余的问题,从而提供消除多晶硅刻蚀工艺中多晶硅残余的方法的技术方案。

[0009] 本发明所述消除多晶硅刻蚀工艺中多晶硅残余的方法,包括下述步骤:

[0010] 步骤1.采用光学线宽测量仪测量多晶硅栅极中原始的底部抗反射层的厚度H1,并设定第一次刻蚀时间;

[0011] 步骤2.根据设定的第一次刻蚀时间对所述多晶硅栅极进行第一次刻蚀,并获取第一刻蚀的厚度H2;

[0012] 步骤3.根据原始的底部抗反射层的厚度H1和第一刻蚀的厚度H2,采用制程控制系统进行监测对所述多晶硅栅极进行第二次刻蚀。

[0013] 优选的,步骤3中采用制程控制系统进行监测对所述多晶硅栅极进行第二次刻蚀的具体过程为:

[0014] 步骤31.制程控制系统根据原始的底部抗反射层的厚度H1和第一刻蚀的厚度H2获取第二次刻蚀时间;

[0015] 步骤32.根据所述第二次刻蚀时间对所述多晶硅栅极进行第二次刻蚀。

[0016] 优选的,步骤31中获取第二次刻蚀时间的具体过程为:

[0017] 根据公式(1)获取第二次的刻蚀时间Time:

$$[0018] \quad \text{Time} = (H1 - H2) / ER \quad (1)$$

[0019] 其中,ER表示底部抗反射层刻蚀速率。

[0020] 本发明的有益效果:

[0021] 本发明在多晶硅栅极刻蚀前,采用光学线宽测量仪测量多晶硅底部抗反射层厚度;通过制程控制系统针对底部抗反射层的厚度,使用相应的刻蚀工艺参数,时时反馈修正刻蚀时间,对多晶硅多晶硅栅极进行刻蚀,达到了消除多晶硅刻蚀工艺中多晶硅残余的目的,提高了产品的良率。

## 附图说明

[0022] 图1为现有的多晶硅栅极刻蚀后的多晶硅残余的结构示意图;

[0023] 图2为本发明所述消除多晶硅刻蚀工艺中多晶硅残余的方法流程图;

[0024] 图3为采用光学线宽测量仪对底部抗反射层测量的示意图;

[0025] 图4为对多晶硅栅极进行第二次刻蚀的流程图;

[0026] 图5为采用本发明对多晶硅栅极刻蚀后获得的多晶硅栅极示意图;

[0027] 附图中:a.多晶硅栅极;b.多晶硅残余;c衬底;d.光阻;e.底部抗反射层;f.线宽;H1.原始的底部抗反射层厚度。

## 具体实施方式

[0028] 下面结合附图和具体实施例对本发明作进一步说明,但不作为本发明的限定。

[0029] 如图2至图4所示,本发明提供消除多晶硅刻蚀工艺中多晶硅残余的方法,包括下述步骤:

[0030] 步骤1.采用光学线宽测量仪测量多晶硅栅极a中原始的底部抗反射层e的厚度H1(如图3所示),并设定第一次刻蚀时间,该第一次刻蚀时间短于正常情况下多晶硅栅极的刻蚀时间;

[0031] 步骤2.根据设定的第一次刻蚀时间对多晶硅栅极a进行第一次刻蚀,并获取第一刻蚀的厚度H2;

[0032] 步骤3.根据原始的底部抗反射层e的厚度H1和第一刻蚀的厚度H2,采用制程控制系统进行监测对多晶硅栅极a进行第二次刻蚀,其具体过程为:

[0033] 步骤31.制程控制系统根据原始的底部抗反射层e的厚度H1和第一刻蚀的厚度H2获取第二次刻蚀时间Time:

[0034] 根据公式(1)获取第二次的刻蚀时间Time:

$$[0035] \quad \text{Time} = (H1 - H2) / ER \quad (1)$$

[0036] 其中,ER表示底部抗反射层刻蚀速率;

[0037] 步骤32.根据第二次刻蚀时间对多晶硅栅极a进行第二次刻蚀,实现每一片硅片刻蚀时间的精确控制(每一片的刻蚀时间不同)保证了每一片硅片的各个区域无多晶硅残余b(如图5所示)。

[0038] 在本实施例中采用光学线宽测量仪进行测量多晶硅栅极a上方光阻d的线宽f的同时,在同一个数据库中,增加参数以测量多晶硅栅极a光刻底部抗反射层e的厚度,并采用先进制程控制系统,针对不同硅片不同的底部抗反射层厚度,分别使用不同的刻蚀工艺参数,时时反馈,以消除多晶硅栅极a刻蚀工艺中的多晶硅残余b。

[0039] 上述内容提到的制程控制系统已广泛运用在多晶硅栅极刻蚀的工艺中。其具有强大的自动调节多晶硅线宽的功能,不仅可以弥补前层光刻线宽的差异,而且还能弥补刻蚀本身的差异。本发明通过制程控制系统运用到修正底部抗反射层的刻蚀时间。

[0040] 以上所述仅为本发明较佳的实施例,并非因此限制本发明的实施方式及保护范围,对于本领域技术人员而言,应当能够意识到凡运用本发明说明书及图示内容所作出的等同替换和显而易见的变化所得到的方案,均应当包含在本发明的保护范围内。

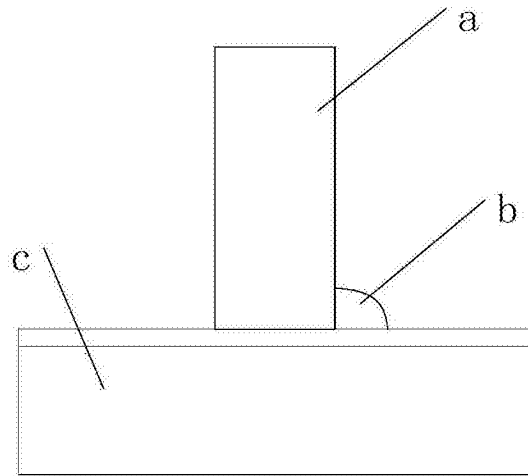


图1

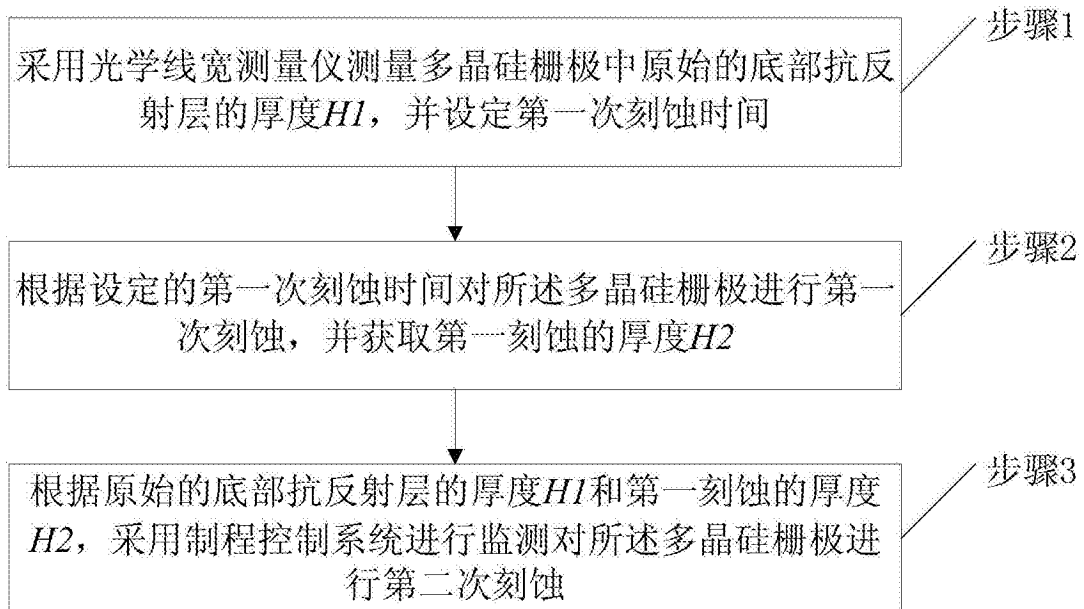


图2

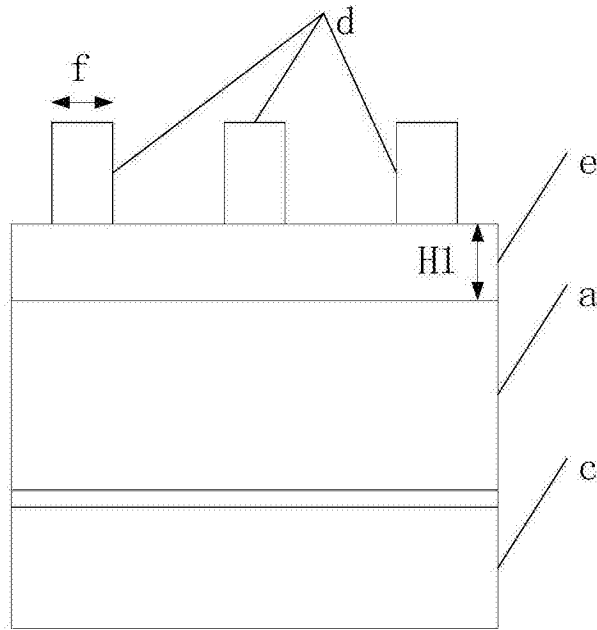


图3

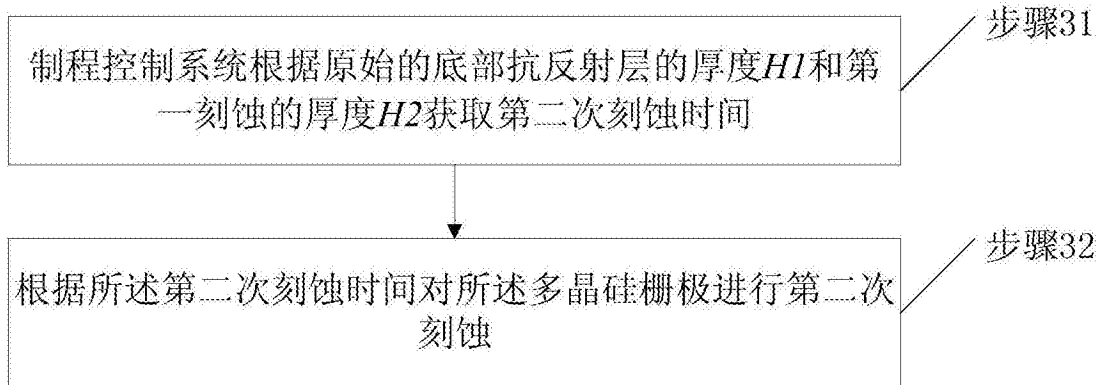


图4

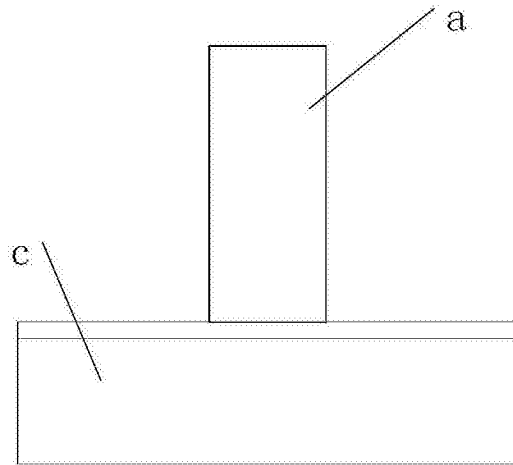


图5