



(12)发明专利

(10)授权公告号 CN 104067252 B

(45)授权公告日 2017.03.01

(21)申请号 201380006412.X

(22)申请日 2013.01.25

(65)同一申请的已公布的文献号
申请公布号 CN 104067252 A

(43)申请公布日 2014.09.24

(30)优先权数据
13/358,312 2012.01.25 US

(85)PCT国际申请进入国家阶段日
2014.07.23

(86)PCT国际申请的申请数据
PCT/US2013/023308 2013.01.25

(87)PCT国际申请的公布数据
W02013/112946 EN 2013.08.01

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 A·沙哈姆 A·吉尔

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 李小芳

(51)Int.Cl.
G06F 13/42(2006.01)

(56)对比文件
US 2009248978 A1,2009.10.01,
US 2009327539 A1,2009.12.31,
CN 101702147 A,2010.05.05,
CN 102129395 A,2011.07.30,

审查员 赵洋

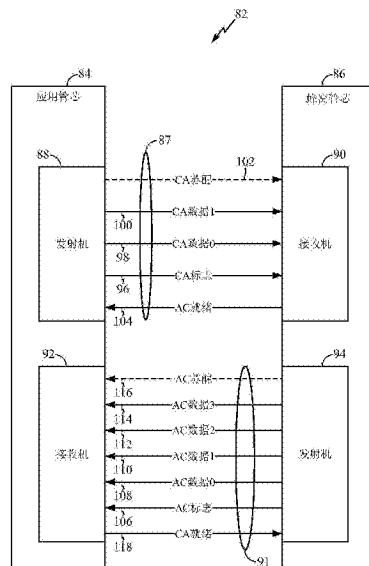
权利要求书2页 说明书6页 附图9页

(54)发明名称

用于高速同步串行接口(HSI)的多通道高速接口及相关系统和方法

(57)摘要

公开了用于经修改的高速同步串行(HSI)系统的多通道高速接口及相关系统和方法。在一个实施例中,使用经修改HSI协议的电子器件包括传送通信接口。传送通信接口包括配置成携带来自该电子器件的数据的数据路径、配置成携带HSI协议兼容就绪信号的就绪路径、以及配置成携带HSI协议兼容标志信号的标志路径,该标志信号指示数据路径上携带的数据的重复比特值。传送通信接口进一步包括一条或多条附加数据路径,其配置成与上述数据路径所携带的数据并行地携带来自该电子器件的附加数据,以使得上述数据路径和该一条或多条附加数据路径携带跨上述数据路径和该一条或多条附加数据路径拆解的HSI协议兼容数据。



1. 一种配置成使用经修改的高速同步串行接口HSI协议进行操作的电子器件(86),所述电子器件包括:

传送通信接口(94),包括:

用于提供HSI协议数据路径的装置(108),其配置成携带来自所述电子器件的数据;

用于提供HSI协议就绪路径的装置(118),其配置成携带HSI协议兼容就绪信号;以及

用于提供HSI协议标志路径的装置(106),其配置成携带标志信号;

其中所述传送通信接口进一步包括:

用于提供一条或多条附加数据路径的装置(110、112、114、116),其配置成与所述用于提供数据路径的装置所携带的数据并行地携带来自所述电子器件的附加数据,以使得所述用于提供数据路径的装置和用于提供所述一条或多条附加数据路径的装置携带跨所述数据路径和所述一条或多条附加数据路径拆解的HSI协议兼容数据。

2. 如权利要求1所述的电子器件,其特征在于,所述HSI协议兼容数据被成帧。

3. 如权利要求2所述的电子器件,其特征在于,成帧的数据由所述数据路径和所述一条或多条附加数据路径上的每个数据流内的帧比特来标记。

4. 如权利要求1所述的电子器件,其特征在于,所述HSI协议兼容数据包括在所述数据路径和所述一条或多条附加数据路径上传达的信道标识符CHID。

5. 如以上权利要求中任一项所述的电子器件,其特征在于,所述一条或多条附加数据路径包括一条、三条、或七条附加数据路径。

6. 如权利要求1所述的电子器件,其特征在于,跨所述HSI协议数据路径和所述一条或多条附加数据路径拆解的数据包括跨所述数据路径拆解的信道标识比特或所述HSI协议数据路径上的第一信息比特或跨四条数据路径拆解的信息比特。

7. 如权利要求1所述的电子器件,其特征在于,进一步包括接收通信接口,所述接收通信接口包括多条接收数据路径。

8. 如权利要求1所述的电子器件,其特征在于,进一步包括数个接口管脚,每个接口管脚被配置成承载所述数据路径和所述一条或多条附加数据路径中的相应数据路径。

9. 如权利要求1所述的电子器件,其特征在于,所述电子器件被集成到半导体管芯中。

10. 如权利要求1所述的电子器件,其特征在于,进一步包括多条接收数据路径,所述接收数据路径被配置成接收跨所述多条接收数据路径拆解的HSI兼容数据。

11. 如权利要求1所述的电子器件,其特征在于,所述一条或多条附加数据路径被配置成仅携带单向地来自所述传送通信接口的数据。

12. 如权利要求1所述的电子器件(86),其特征在于,进一步包括接收通信接口(90),所述接收通信接口包括:

第二HSI协议数据路径(98),其配置成在所述电子器件处接收第二数据;

第二HSI协议标志路径(96),其配置成接收第二标志信号;以及

第二HSI协议就绪路径(104),其配置成传送第二HSI协议兼容就绪信号;

其中所述接收通信接口进一步包括:

一条或多条附加第二数据路径(100),其配置成与所述第二HSI协议数据路径接收的第二数据并行地接收附加第二数据,以使得所述第二HSI协议数据路径和所述一条或多条附加第二数据路径接收跨所述第二HSI协议数据路径和所述一条或多条附加第二数据路径拆

解的HSI协议兼容数据。

13. 如权利要求12所述的电子器件,其特征在于,所述接收通信接口中被配置成接收第二数据的所述一条或多条附加第二数据路径的数量不等于所述传送通信接口中被配置成传送数据的所述一条或多条附加数据路径的数量,或者其中所述接收通信接口中被配置成接收第二数据的所述一条或多条附加第二数据路径的数量等于所述传送通信接口中被配置成传送数据的所述一条或多条附加数据路径的数量。

14. 一种用于操作经修改的高速同步串行接口HSI协议器件的方法,包括:

提供配置成携带HSI协议兼容就绪信号的就绪路径;

提供配置成携带标志信号的标志路径;

提供至少两条传送数据路径,所述至少两条传送数据路径配置成并行地携带来自电子器件的数据以使得跨所述至少两条数据路径拆解HSI协议兼容数据。

用于高速同步串行接口 (HSI) 的多通道高速接口及相关系统 和方法

[0001] 背景

[0002] I. 公开领域

[0003] 本公开的技术一般涉及用于集成电路 (IC) 芯片至 IC 芯片通信的通信接口。

[0004] II. 背景

[0005] 电子器件已经遍布整个社会激增从而支持广泛的应用和使用范围。随着器件的数量及种类的扩增,使电子器件彼此通信的需求渐增。同样,提高单个设备内的组件彼此通信的速度从而提高吞吐量的需求也在增长。响应于提高速度的需求,已提出和采用了各种技术和协议。

[0006] MIPI® 联盟是开发供各种器件使用的通信协议的领导者之一。具体而言,从2008年9月到2009年1月,MIPI® 联盟批准和发布了规定高速同步串行接口 (HSI) 的物理层的物理层协议和规范。此规范的版本1.01.00可供订阅MIPI成员下载,但在www.mipi.org/specifications/high-speed-synchronous-serial-interface-hsi讨论了综述。MIPI HSI 规范略述了允许双向对称芯片至芯片通信且尤其适合用在移动半导体应用中的协议。HSI 规范的一个特别构想的应用是允许移动终端内的应用管芯 (诸如主处理器) 与蜂窝管芯 (例如,蜂窝调制解调器) 通信。该规范的原始吞吐量被限于在每个方向上约为173Mbps。虽然能以这些数据率达成长期演进 (LTE) 类别3 (CAT3) 吞吐量,但不支持更高的LTE类别。期望允许越来越大的带宽和吞吐量要求的新解决方案。

[0007] 公开概述

[0008] 详细描述中所公开的实施例包括用于经修改的高速同步串行接口 (HSI) 系统和方法的多通道高速接口。通过将HSI接口修改成包括多个并行数据路径,数据吞吐量得到改善从而容适更高的数据率。就这一点而言,在一个实施例中,配置成使用经修改的高速同步串行接口 (HSI) 协议进行操作的电子器件包括传送通信接口。传送通信接口包括配置成携带来自该电子器件的数据的HSI协议数据路径、配置成携带HSI协议兼容就绪信号的HSI协议就绪路径、以及配置成携带标志信号的标志路径。传送通信接口进一步包括一条或多条附加数据路径,其配置成与HSI协议数据路径所携带的数据并行地携带附加数据,以使得HSI协议数据路径和该一条或多条附加数据路径携带跨HSI协议数据路径和该一条或多条附加数据路径拆解的HSI协议兼容数据。

[0009] 在另一实施例中,配置成使用经修改的高速同步串行接口 (HSI) 协议进行操作的电子器件包括传送通信接口。该传送通信接口包括:用于提供配置成携带来自该电子器件的数据的数据路径的装置;用于提供配置成携带HSI协议兼容就绪信号的就绪路径的装置;以及用于提供配置成携带标志信号的标志路径的装置。该传送通信接口进一步包括用于提供一条或多条附加数据路径的装置,所述一条或多条附加数据路径配置成与所述用于提供数据路径的装置所携带的数据并行地携带来自该电子器件的附加数据,以使得所述用于提供数据路径的装置和所述用于提供一条或多条附加数据路径的装置携带跨所述数据路径和所述一条或多条附加数据路径拆解的HSI协议兼容数据。

[0010] 在另一实施例中,一种用于操作经修改的高速同步串行接口(HSI)协议器件的方法包括:提供配置成携带HSI协议兼容就绪信号的就绪路径;提供配置成携带标志信号的标志路径;以及提供至少两条传送数据路径,该至少两条传送数据路径配置成并行地携带来自电子器件的数据以使得跨该至少两条数据路径拆解HSI协议兼容数据。

[0011] 附图简述

[0012] 图1是使用HSI通信协议的常规芯片至芯片通信系统的示例性系统级框图;

[0013] 图2是根据HSI通信协议在芯片之间的常规双向通信链路的示例性图示;

[0014] 图3是HSI通信协议中的常规数据和标志信号的示例性图示,其示出了如何使用标志信号来标记比特边沿;

[0015] 图4是根据HSI通信协议的常规串行成帧数据信号的示例性图示;

[0016] 图5是根据本公开的经修改双向HSI通信链路的示例性实施例;

[0017] 图6A-6C解说了本公开的跨附加数据通道拆解的示例性数据信号;

[0018] 图7是解说通过本公开可达成的数据吞吐量的示例性图表;

[0019] 图8是解说用于促成本公开的实施例的附加管脚计数的示例性图表;以及

[0020] 图9是可包括图5的通信芯片的示例性的基于处理器的系统的框图。

[0021] 详细描述

[0022] 现在参照附图,描述了本公开的若干示例性实施例。措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实施例不必被解释为优于或胜过其他实施例。

[0023] 详细描述中所公开的实施例包括用于经修改的高速同步串行接口(HSI)系统和方法的多通道高速接口。通过将HSI接口修改成包括多个并行数据路径,数据吞吐量得到改善从而容适更高的数据率。就这一点而言,在一个实施例中,配置成使用经修改的高速同步串行接口(HSI)协议进行操作的电子器件包括传送通信接口。传送通信接口包括配置成携带来自该电子器件的数据(DATA)的数据路径、配置成携带HSI协议兼容就绪(READY)信号的就绪路径、以及配置成携带标志(FLAG)信号的标志路径。传送通信接口进一步包括一条或多条附加数据路径,其配置成与上述数据路径所携带的数据并行地携带来自该电子器件的附加数据,以使得上述数据路径和该一条或多条附加数据路径携带跨上述数据路径和该一条或多条附加数据路径拆解的HSI协议兼容数据。

[0024] 就这一点而言,图1是常规HSI通信系统10。在示例性实施例中,通信系统10可用在移动终端中,诸如蜂窝电话、智能电话、膝上型计算机、平板计算机等。通信系统10可包括应用配件12,诸如显示器、相机、键盘、和/或其他输入和输出设备。通信系统10可进一步包括通过通信链路16与应用配件12通信的应用模块14。应用模块14可包括直接或通过总线21来控制设备驱动器20的各种应用和操作系统(OS)18。设备驱动器20进而可通过应用管芯(或芯片)22来控制通信链路16。应用管芯22可通过HSI兼容通信链路26与蜂窝调制解调器24通信。蜂窝调制解调器24可包括蜂窝调制解调器管芯28,其与蜂窝系统的设备驱动器30和物理元件32以及蜂窝调制解调器24的软件元件34互操作,这是很好理解的。蜂窝调制解调器管芯28可通过射频(RF)接口36(诸如天线)向RF频谱38通信以进行无线通信(例如,基于蜂窝的电话呼叫等)。

[0025] 参照图2,更详细地解说了HSI兼容通信链路26。应用管芯22包括应用接收机40和

应用发射机42。蜂窝调制解调器管芯28包括蜂窝接收机44和蜂窝发射机46。应用发射机42向蜂窝接收机传送单向链路48。单向链路48包括AC数据路径50、AC标志路径52、和可任选的AC苏醒路径54。蜂窝接收机44还用CA就绪路径56来对应用发射机42作出响应。类似地,蜂窝发射机46向应用接收机40传送单向链路58。单向链路58包括CA数据路径60、CA标志路径62、和可任选的CA苏醒路径64。应用接收机40还用AC就绪路径66来对蜂窝发射机46作出响应。(注意,路径的方向可由前两个字母来确定:AC是应用>蜂窝方向,而CA是蜂窝>应用方向。)两个单向链路48、58一起形成双向链路68。单向链路48、58在它们具有相同数量的路径且在相应路径上传送相同种类的信号的意义上是**对称的**。

[0026] 虽然苏醒、数据、标志、和就绪(AC和CA两者)路径上的信号由MIPI® HSI协议定义,图3提供了标志路径70上的信号与数据路径72上的信号之间的常规相互作用的简要解说74。即,标志信号用于指示数据信号上的重复比特。因此,标志信号在点70A、70B保持恒定。并发地,数据信号在点72A、72B跃变。然而,如果数据信号诸如在点72C、72D保持恒定,则标志信号如在点70C、70D所显见的改变值。由此,在每个比特,要么数据信号要么标志信号跃变,以使得应用接收机40和蜂窝接收机44知道另一比特已被接收到。

[0027] 在MIPI® HSI协议中,数据路径72上的信号可被分解成帧或被流送。图4中解说了示例性常规成帧数据信号73。数据信号73包括具有三十七比特的帧74。第一比特76是用于标记帧74的开始的帧比特。接下来的四比特是信道标识符(CHID)比特78。最后的三十二比特是信息比特80。CHID比特78可用于标识哪个应用(诸如应用(或OS) 18(图1)之一)正发送或将接收信息比特80。再次,图1-4的元件是常规的并且是MIPI® HSI标准的部分。感兴趣的读者可查阅2008年9月30日发布的题为“MIPI ALLIANCE SPECIFICATION FOR HIGH-SPEED SYNCHRONOUS SERIAL INTERFACE (HSI) PHYSICAL LAYER (用于高速同步串行接口(HSI)物理层的MIPI联盟规范)”版本1.01.00的MIPI®标准文献。如上所述,MIPI® HSI标准所阐述的装置被限于约173Mbps吞吐量。虽然这对于长期演进(LTE)类别3(CAT3)要求而言是足够的,但该吞吐量不足以支持更高类别要求(例如CAT4或CAT5)。

[0028] 针对此背景,本公开提议了通过添加并行数据路径或通道并跨数据通道拆解原始HSI标准的数据来提高吞吐量。所添加的附加数据通道的数量将决定可达成的吞吐量。添加一个、三个或七个附加通道是示例性添加,并且后者允许甚至当前构想的要容适的最高吞吐量要求。

[0029] 就这一点而言,参照图5提供根据本公开的示例性实施例的系统82。虽然系统82被解说为非对称的,但是应领会,在期望的情况下可对称地添加附加数据通道而不脱离本公开的范围。系统82包括应用管芯84和蜂窝管芯86。在本上下文中,应用管芯84和蜂窝管芯86两者在本文中有时被称为电子器件84、86。应用管芯84包括应用发射机88(在本文中有时被称为传送通信接口),其经由上行链路信号89与蜂窝管芯86中的蜂窝接收机90通信。应用管芯84还包括应用接收机92(也称为传送通信接口),其经由下行链路信号91与蜂窝管芯86中的蜂窝发射机94通信。

[0030] 继续参照图5,上行链路信号89包括从应用发射机88向蜂窝接收机90传送的CA标志路径96、CA数据0路径98、CA数据1路径100、和可任选的CA苏醒路径102。上行链路信号89还包括从蜂窝接收机90到应用发射机88的AC就绪路径104。虽然示出了CA数据0路径98和CA

数据1路径100,但是应领会,可提供2条、4条、或8条数据路径。

[0031] 继续参照图5,下行链路信号91包括从蜂窝发射机94向应用接收机92传送的AC标志路径106、AC数据0路径108、AC数据1路径110、AC数据2路径112、AC数据3路径114、和可任选的AC苏醒路径116。下行链路信号91还包括从应用接收机92到蜂窝发射机94的CA就绪路径118。虽然解说了4条数据路径,但是应领会,可提供2条、4条、或8条数据路径。

[0032] 继续参照图5,苏醒和就绪路径上的信号与MIPI® HSI协议中找到的那些信号相同。类似于MIPI® HSI协议标准,标志信号通过在数据0路径上的两个相同连贯比特之间的边界处跃变来指示数据0信号上的重复比特。

[0033] 与图4的成帧数据信号73形成对比,该实施例将数据拆解到分开的数据0、数据1等路径中。该数据拆解在图6A-6C中解说。如本文中使用该术语那样,拆解是指获取数据信号73的串行数据并通过多个数据路径来横向分发该数据的过程。参照图6A,数据信号120A在两个通道中提供,具体为通道0 122和通道1 124,它们分别经由数据0路径98和数据1路径100被发送。通道0 122和通道1 124各自具有帧比特126A、126B,两个CHID比特128A、128B,以及十六个信息比特130A、130B。如参照图7更好地解说并在以下解释的,跨两个数据通道拆解数据实质上大致使数据吞吐量加倍,从而使得能使用更高类别的协议(例如,LTE CAT4)。

[0034] 类似地,在图6B中,数据信号120B在四个通道中提供,具体为通道0 130、通道1 132、通道2 134、和通道3 136。每个通道具有帧比特138和CHID比特140、以及八个信息比特142。再次,如参照图7更好地解说并在以下解释的,跨四个通道拆解数据提高了数据吞吐量。

[0035] 类似地,在图6C中,数据信号120C在四个通道中提供,具体为通道0 130、通道1 132、通道2 134、和通道3 136。然而,数据信号120C是以流送模式发送的,从而没有成帧比特138。省略成帧比特允许在边际上有更高的吞吐量,因为没有比特被用于标记帧。消除成帧比特甚至更进一步提高了吞吐量,因为那些比特现在可供用于传达信息比特。

[0036] 继续参照图6A-6C,应领会,应当跨数据路径一致地拆解数据。即,数据0路径98可总是接收D0比特,数据1路径100可总是接收D1比特,依此类推。以此方式,数据不是在任何数据路径上连续地发送,而是跨数据路径被拆解。即,如图6A中所示,在数据0中,D0、D2、D4等被发送并且数据0中的比特不是连续的。

[0037] 图7提供了取决于数据信号中的通道数量的吞吐量速率的比较图表150。如上所述,对应于常规HSI协议的单个通道允许约173Mbps的吞吐量。与单个通道的吞吐量形成对比,本公开的多个并行通道允许取决于添加了多少通道的增加的吞吐量。如果添加一个通道(即,总共两个通道),则吞吐量约为337Mbps。注意,这略少于单个通道的吞吐量的两倍。这种减少是因为帧比特被包括在每个数据路径中(不同于单个路径中的单个帧比特)。如果添加三个通道(即,总共四个通道),则吞吐量约为640Mbps。再次,该值略少于单个通道的吞吐量的四倍,并且再次,这种差异是由于帧比特的复制。如果添加七个通道(即,总共八个通道),则吞吐量约为1067Mbps。再次,该值在一定程度上少于单个数据通道的吞吐量的八倍,并且这种差异是由于存在附加帧比特。如果数据以流送格式发送而非以如上所述的成帧格式发送,则吞吐量会略高。

[0038] 添加数据通道要求向电子器件84、86添加管脚。所添加的管脚数量直接对应于所

添加的通道数量。图8提供了示例性图表160,其解说了基于提供多少上行链路和下行链路通道而需要多少管脚。由此,如果上行链路具有一个通道但下行链路具有四个通道,则需要比在HSI标准下正常地将提供的管脚多额外的三个附加管脚162。由于管脚是管芯中相对昂贵的组件,因此设计者在评估成本/效益折衷时可使用图表,诸如图表160。即,如果需要特定吞吐量并且需要添加管脚,则设计者可评估其对电子器件的成本的影响。

[0039] 注意,添加附加数据通道还可能使得必须定义从应用管芯84到蜂窝调制解调器管芯86的查询和响应,其中应用管芯84初始仅在数据0路径上向蜂窝调制解调器管芯86查询蜂窝调制解调器管芯86的能力(即,蜂窝调制解调器管芯86能处置多少条数据路径的传送和接收)并随后指令蜂窝调制解调器管芯86在与应用管芯84能容适的数据路径数量一致的数量传送和接收数据路径上操作。例如,如果应用管芯84能在四条数据路径上传送并在两条数据路径上接收,但蜂窝调制解调器管芯86能在八条数据路径上传送并在八条数据路径上接收,则应用管芯84可指令蜂窝调制解调器管芯在两条数据路径上传送并在四条数据路径上接收,从而可达成最大吞吐量。

[0040] 根据本文所公开的实施例的用于HSI的多通道高速接口及相关系统和方法可设置在或集成到任何基于处理器的设备中。不作为限定的示例包括机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、便携式计算机、台式计算机、个人数字助理(PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频碟(DVD)播放器、和便携式数字视频播放器。

[0041] 就这一点而言,图9解说了可采用如图5中解说的应用管芯84的基于处理器的系统170的示例。在这一示例中,基于处理器的系统170包括一个或多个中央处理单元(CPU)172,其各自包括一个或多个处理器174。CPU 172可以是主设备。CPU 172可具有耦合到处理器174以用于对临时存储的数据进行快速访问的高速缓存存储器176。CPU 172被耦合到系统总线180,且可交互耦合基于处理器的系统170中所包括的主设备和从设备。如众所周知的,CPU172通过在系统总线180上交换地址、控制和数据信息来与这些其它设备通信。例如,CPU 172可向作为从设备的示例的存储器控制器168(N)传达总线事务请求。尽管未在图9中解说,但可提供多个系统总线180,其中每一系统总线180构成不同的组织。

[0042] 其它主设备和从设备可被连接到系统总线180。如图9中所示,作为示例,这些设备可包括存储器系统182、一个或多个输入设备184、一个或多个输出设备186、以及一个或多个显示控制器190。输入设备184可包括任何类型的输入设备,包括但不限于:输入按键、开关、语音处理器等。输出设备186可包括任何类型的输出设备,包括但不限于:音频、视频、其它视觉指示器等。网络192可以是任何类型的网络,包括但不限于:有线或无线网络、专用或公共网络、局域网(LAN)、广域网(WLAN)和因特网。存储器系统182可包括一个或多个存储器单元196(0-N)。

[0043] CPU 172还可被配置成通过系统总线180访问显示控制器190以控制发送给一个或多个显示器194的信息。显示控制器190经由一个或多个视频处理器198向显示器194发送要显示的信息,视频处理器把要显示的信息处理成适于显示器194的格式。显示器194可包括任何类型的显示器,包括但不限于:阴极射线管(CRT)、液晶显示器(LCD)、等离子显示器等。

[0044] CPU 172和显示控制器190可充当用于通过系统总线180作出存储器访问请求的主

设备。CPU 172和显示控制器190中的不同线程可作出请求。如前所述,作为总线事务请求的一部分,CPU 172和显示控制器190可通过总线提供MID。

[0045] 本领域技术人员将进一步领会,结合本文所公开的实施例描述的各种解说性逻辑块、模块、电路和算法可被实现为电子硬件、存储在存储器中或另一计算机可读介质中并由处理器或其它处理设备执行的指令、或这两者的组合。作为示例,本文描述的仲裁器、主设备和从设备可用在任何电路、硬件组件、集成电路(IC)、或IC芯片中。本文所公开的存储器可以是任何类型和大小的存储器,且可被配置成存储所需的任何类型的信息。为清楚地说明这一可互换性,以上已经以其功能的形式一般地描述了各种解说性组件、框、模块、电路、和步骤。此类功能性如何被实现取决于施加在整体系统上的具体应用、设计选择和/或设计约束。技术人员对于每种特定应用可用不同的方式来实现所描述的功能性,但这样的实现决策不应被解读成导致脱离了本发明的范围。

[0046] 结合本文所公开的实施例描述的各种说明性逻辑块、模块、和电路可用设计成执行本文所描述的功能的处理器、DSP、专用集成电路(ASIC)、FPGA或其它可编程逻辑器件、分立门或晶体管逻辑、分立硬件组件、或其任何组合来实现或执行。处理器可以是微处理器,但在替代方案中,处理器可以是任何常规处理器、控制器、微控制器、或状态机。处理器还可以被实现为计算设备的组合,例如DSP与微处理器的组合、多个微处理器、与DSP核心协同的一个或多个微处理器、或任何其他此类配置。

[0047] 本文所公开的各实施例可被体现为硬件和存储在硬件中的指令,并且可驻留在例如随机存取存储器(RAM)、闪存、只读存储器(ROM)、电可编程ROM(EPROM)、电可擦可编程ROM(EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其它形式的计算机可读介质中。示例性存储介质被耦合到处理器,以使得处理器能从/向该存储介质读取/写入信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在ASIC中。ASIC可驻留在远程站中。在替换方案中,处理器和存储介质可作为分立组件驻留在远程站、基站或服务器中。

[0048] 还注意到,本文任何示例性实施例中描述的操作步骤被描述是为了提供示例和讨论。所描述的操作可按除了所示顺序以外的各种不同顺序执行。而且,在单个操作步骤中描述的操作实际上可在多个不同步骤中执行。另外,在示例性实施例中讨论的一个或多个操作步骤可被组合。可以理解,如对本领域技术人员显而易见地,在流程图中解说的操作步骤可进行各种不同的修改。本领域技术人员还将理解,信息和信号可使用各种不同技术和技艺中的任何技术和技艺来表示。例如,以上描述通篇可能引述的数据、指令、命令、信息、信号、位(比特)、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光学粒子、或其任何组合来表示。

[0049] 提供对本公开的先前描述是为了使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员来说都将是显而易见的,且本文中所定义的普适原理可被应用到其它变体而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖特征一致的最广义的范围。

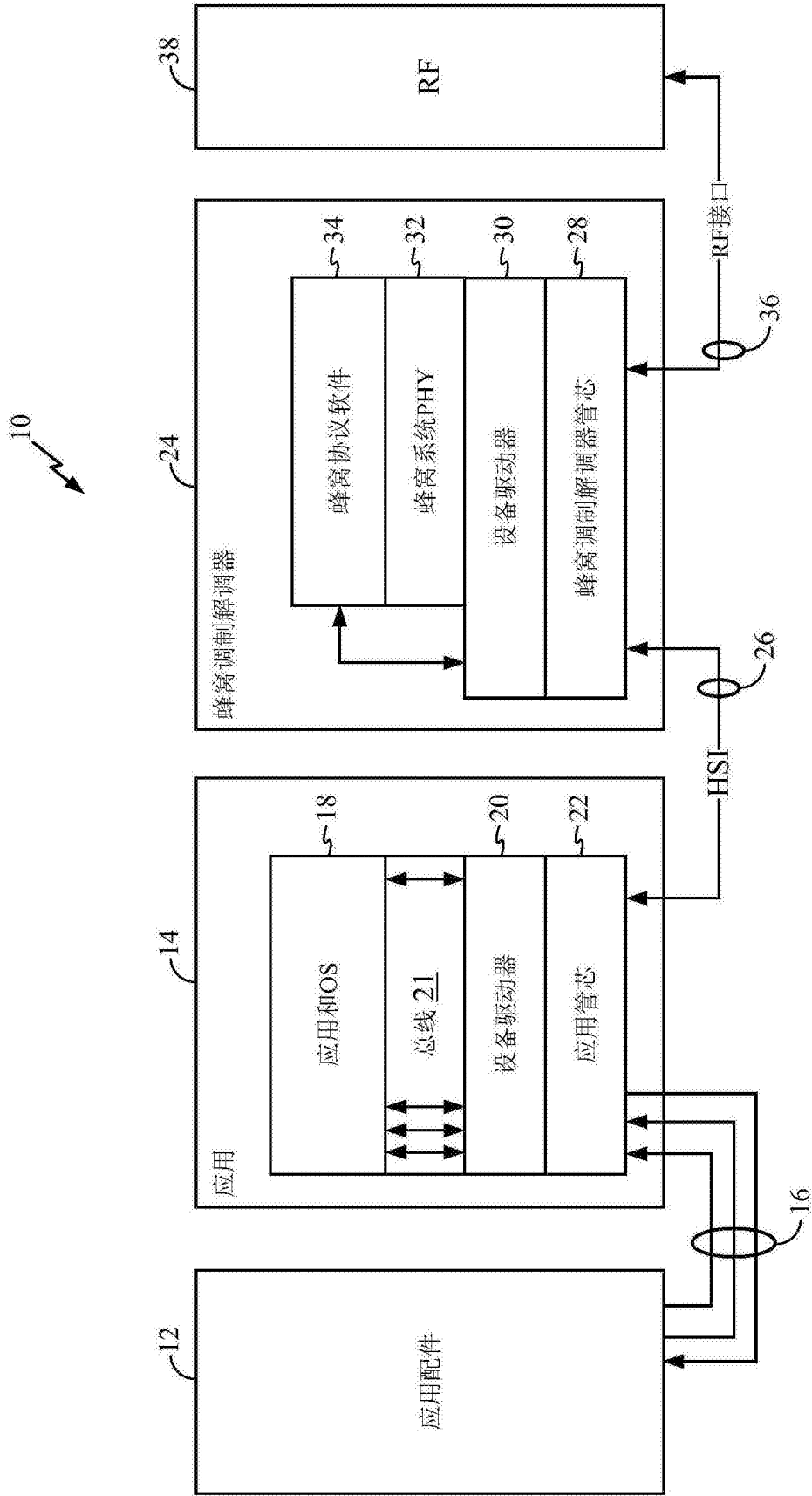


图1

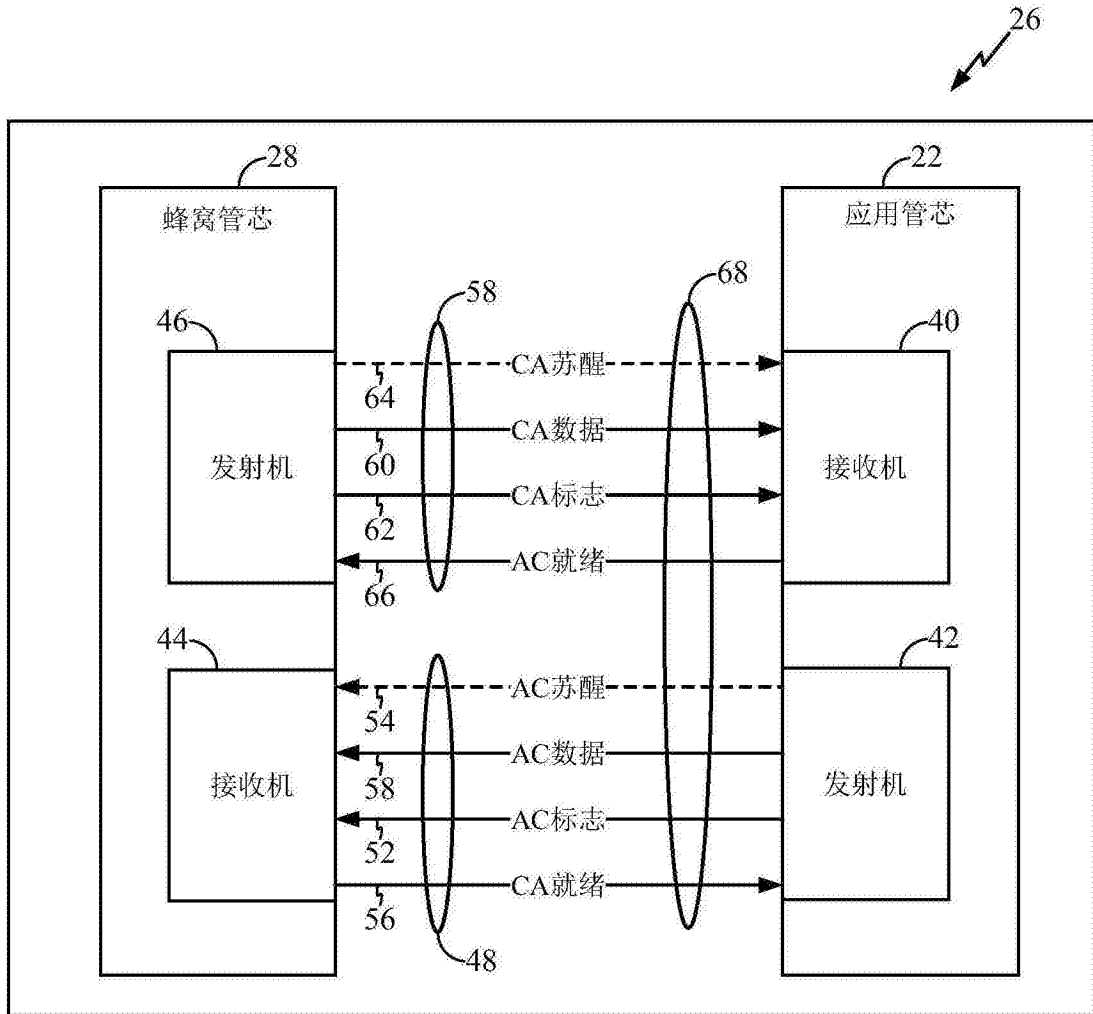


图2

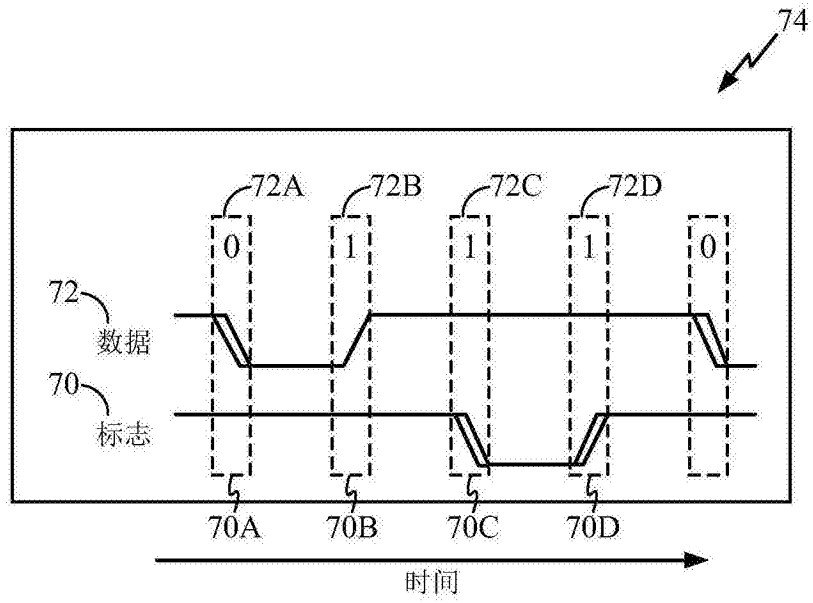


图3

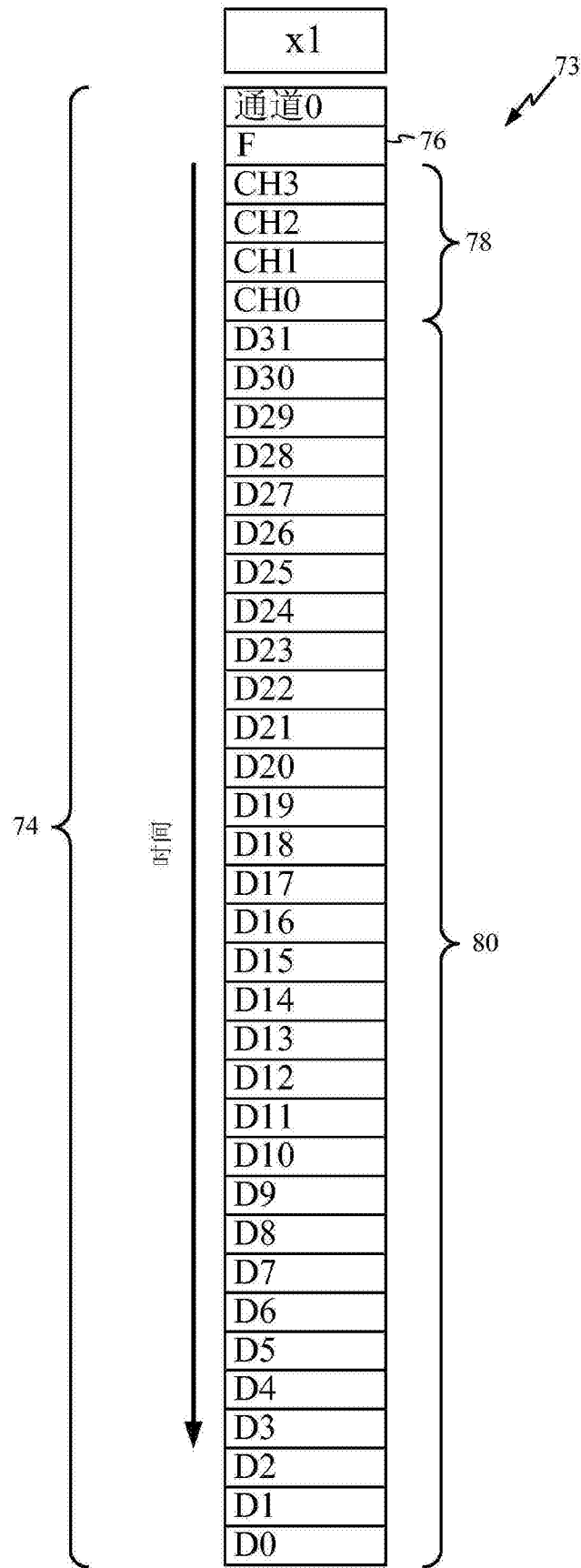


图4

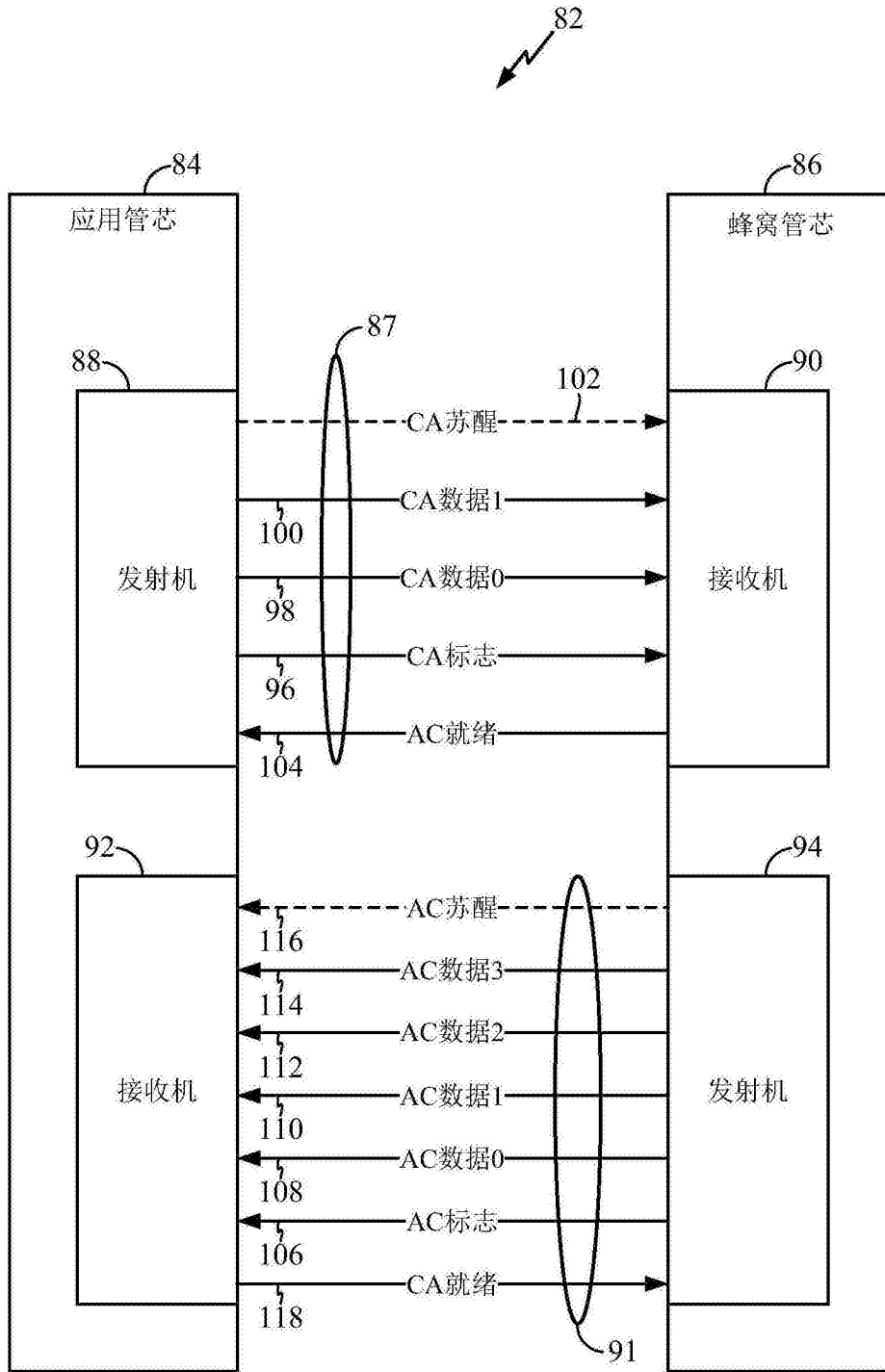


图5

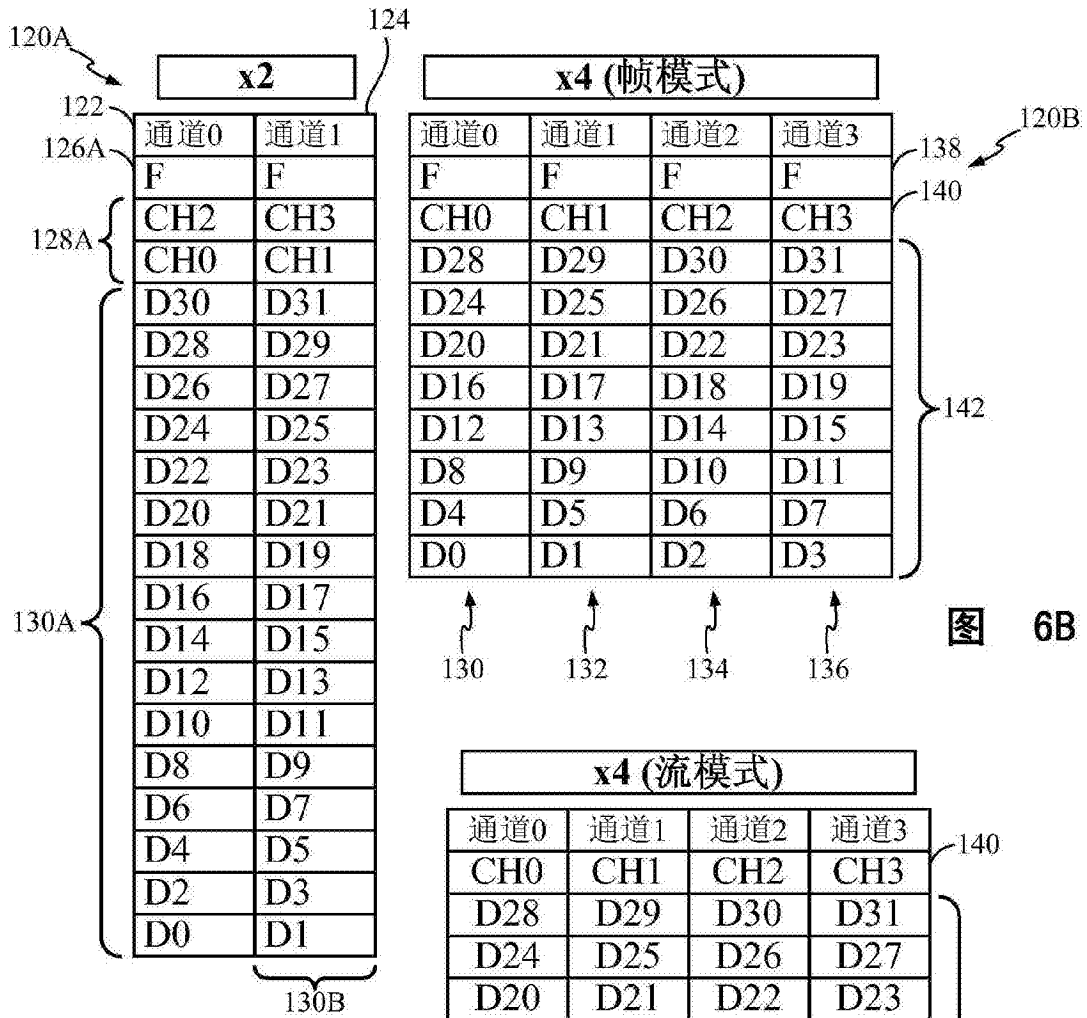


图 6A

图 6B

120C

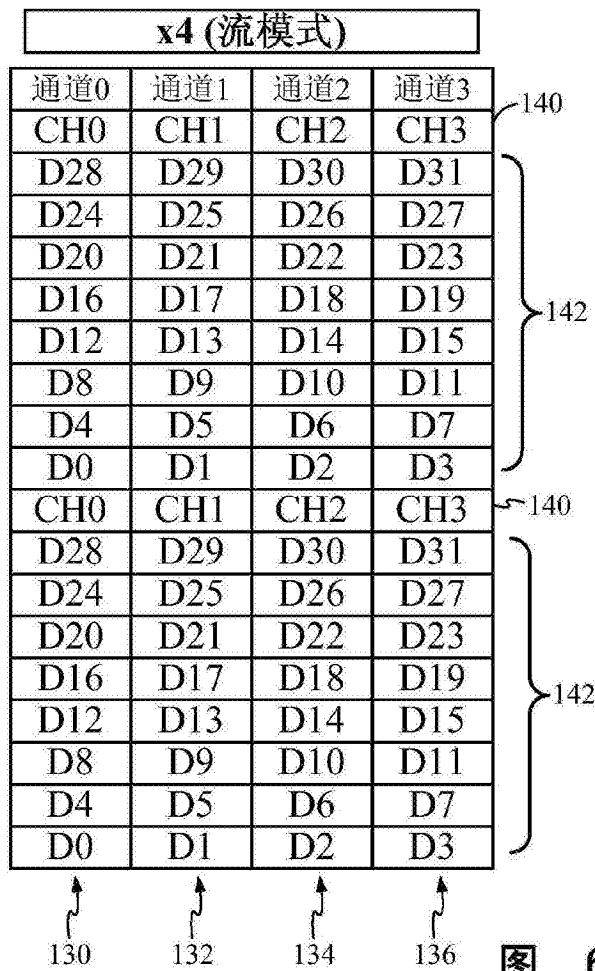


图 6C

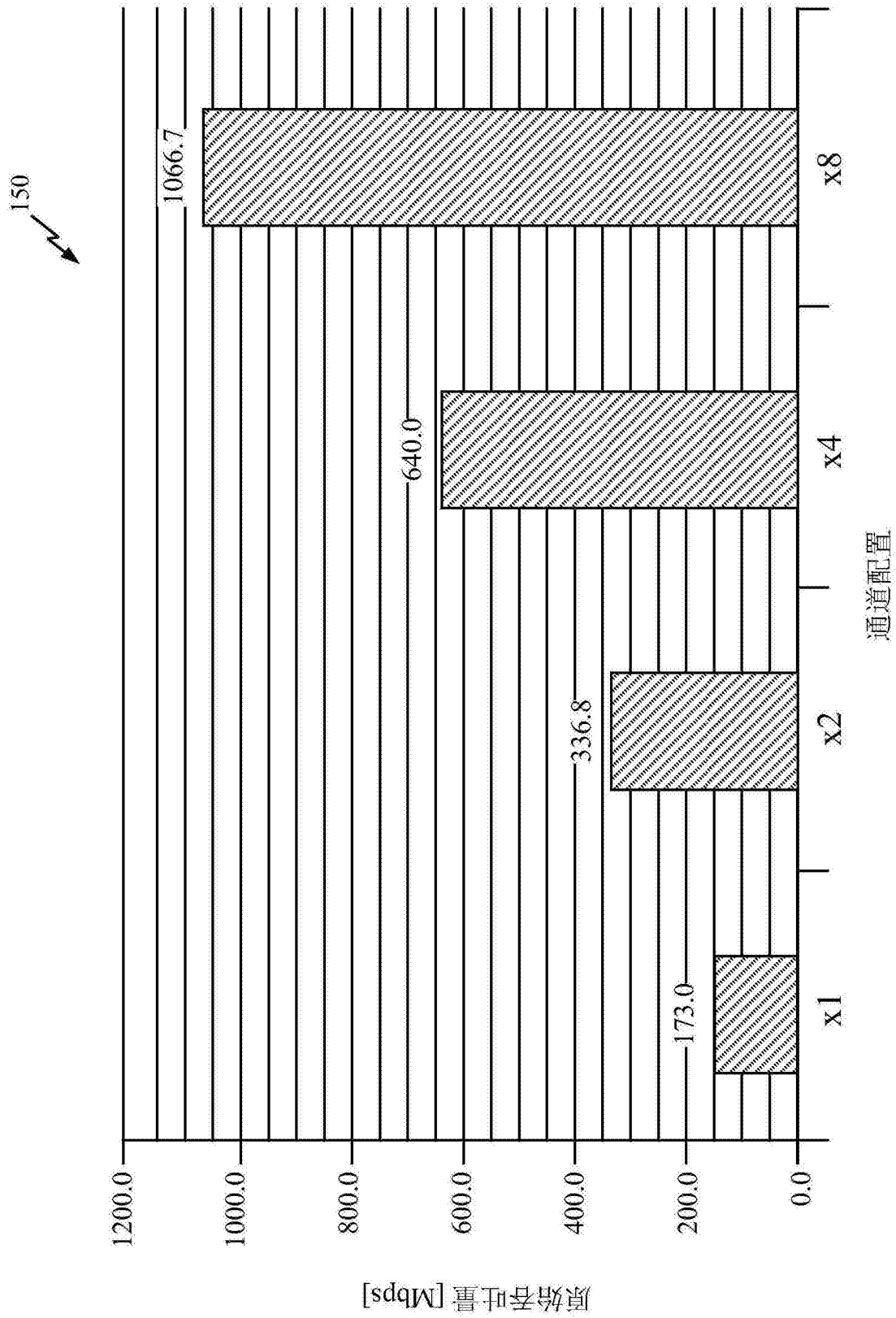


图7

160 ↙

		上行链路			
下行链路		x1	x2	x4	x8
	x1	基本	+1	+3	+7
	x2	+1	+2	+4	+8
	x4	+3	+4	+6	+10
	x8	+7	+8	+10	+14

162

图8

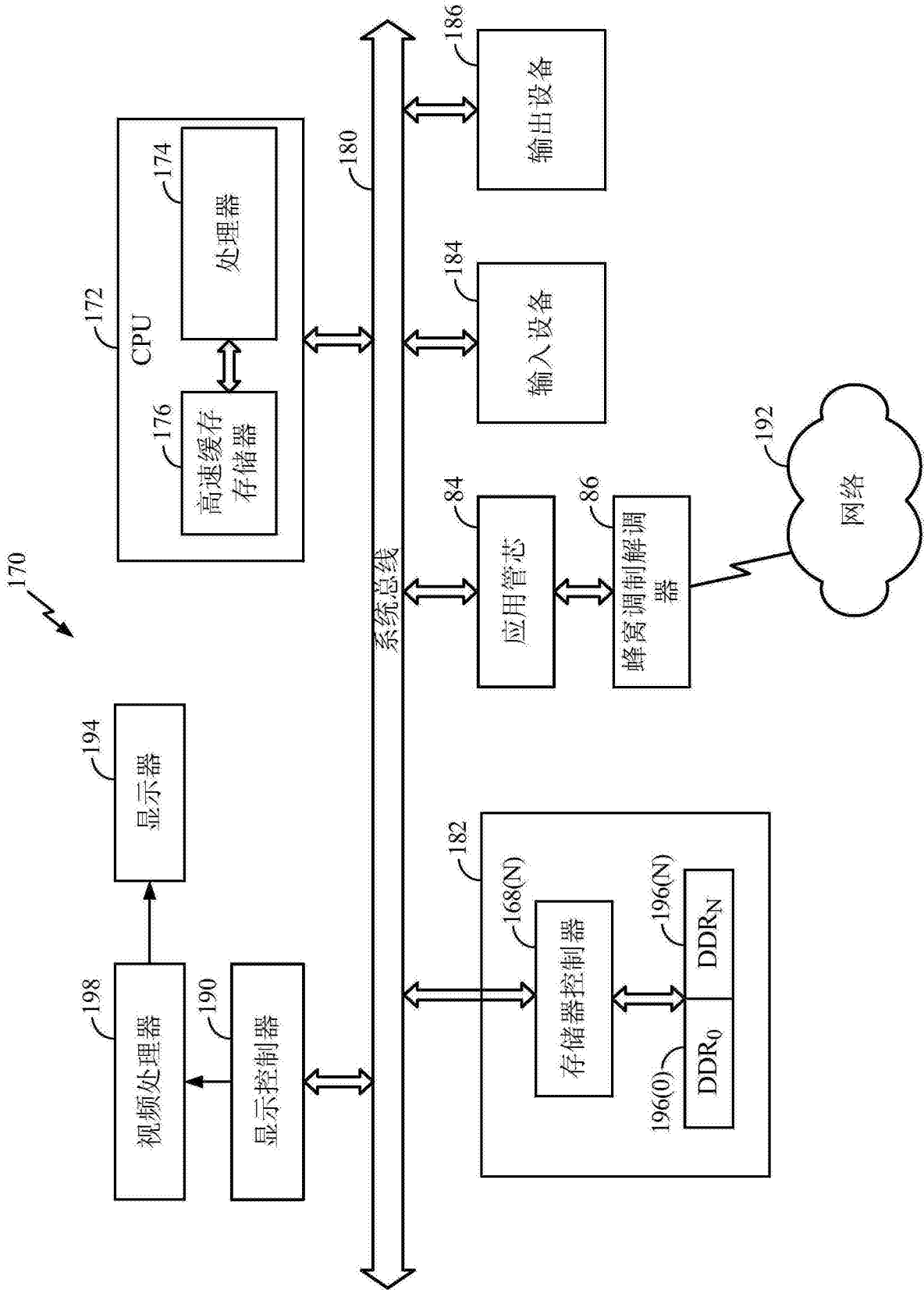


图9