(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 21/312 (2006.01)

(45) 공고일자 2006년12월01일
(11) 등록번호 10-0652395
(24) 등록일자 2006년11월24일

(21) 출원번호 10-2005-0002872
(22) 출원일자 2005년01월12일
심사청구일자 2005년01월12일

(65) 공개번호 10-2006-0082496
(43) 공개일자 2006년07월19일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 서형원
경기 용인시 기흥읍 신갈리 45번지 유정타운 203호

(74) 대리인 리앤목특허법인
이해영

(56) 선행기술조사문헌
JP01291430 A
JP06314664 A
JP58162042 A
JP05343276 A
JP2001093863 A
* 심사관에 의하여 인용된 문헌

심사관 : 김종희

전체 청구항 수 : 총 66 항

(54) 다이-휨이 억제된 반도체 소자 및 그 제조방법

(57) 요약

다이-휨 현상을 억제하여 반도체 소자의 전기적 및 공정적 신뢰성을 향상시킬 수 있는 반도체 소자 및 그것의 제조방법을 개선한다. 본 발명의 일 실시예에 따른 반도체 소자는 칩 크기의 기판 및 이 기판 상에 형성되어 기판의 전면을 제1 물질로 덮는 제1 물질층을 포함한다. 그리고, 이 제1 물질층에는 이것을 둘 또는 그 이상으로 분할하도록 제1 물질층을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴이 존재한다.

대표도

도 8b

특허청구의 범위

청구항 1.

칩 크기의 기판; 및

상기 기판 상에 형성되어 상기 기판의 전면을 제1 물질로 덮는 제1 물질층을 포함하고,

상기 제1 물질층에는 상기 제1 물질층을 둘 또는 그 이상으로 분할하도록 상기 제1 물질층을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴(stress relieving patterns)이 존재하는 것을 특징으로 하는 반도체 소자.

청구항 2.

제1항에 있어서, 상기 제1 스트레스 완화 패턴은 둘 또는 그 이상이 존재하고, 상기 제1 스트레스 완화 패턴 중 적어도 하나의 제1 스트레스 완화 패턴은 나머지 제1 스트레스 완화 패턴과 교차하는 것을 특징으로 하는 반도체 소자.

청구항 3.

제2항에 있어서, 상기 제1 스트레스 완화 패턴은 십자형 패턴인 것을 특징으로 하는 반도체 소자.

청구항 4.

제1항에 있어서, 상기 제1 스트레스 완화 패턴은 1개 내지 10개 사이인 것을 특징으로 하는 반도체 소자.

청구항 5.

제1항에 있어서, 상기 칩은 직사각형이고 상기 제1 스트레스 완화 패턴 중에서 하나 또는 그 이상의 제1 스트레스 완화 패턴은 상기 직사각형의 짧은 변과 평행한 것을 특징으로 하는 반도체 소자.

청구항 6.

제5항에 있어서, 상기 제1 스트레스 완화 패턴은 1개이고, 상기 제1 스트레스 완화 패턴이 상기 직사각형의 짧은 변과 평행한 것을 특징으로 하는 반도체 소자.

청구항 7.

제5항 또는 제6항에 있어서, 상기 직사각형의 짧은 변과 평행한 하나 또는 그 이상의 상기 제1 스트레스 완화 패턴은 상기 제1 물질층을 균등하게 분할하는 것을 특징으로 하는 반도체 소자.

청구항 8.

제1항에 있어서, 상기 제1 스트레스 완화 패턴은 상기 제1 물질층의 분할된 부분간의 경계면인 것을 특징으로 하는 반도체 소자.

청구항 9.

제1항에 있어서, 상기 제1 스트레스 완화 패턴은 상기 제1 물질과 다른 제2 물질로 형성된 제2 물질막 패턴인 것을 특징으로 하는 반도체 소자.

청구항 10.

제9항에 있어서, 상기 제2 물질막 패턴의 폭은 0.01 내지 20㎛인 것을 특징으로 하는 반도체 소자.

청구항 11.

제9항에 있어서, 상기 제2 물질은 상기 제1 물질층 상에 형성되어 있는 제2 물질층을 형성하는 물질과 동일한 물질인 것을 특징으로 하는 반도체 소자.

청구항 12.

제11항에 있어서, 상기 제2 물질층은 상기 제1 물질층의 전면을 커버하고, 상기 제2 물질층에는 상기 제2 물질층을 둘 또는 그 이상으로 분할하도록 상기 제2 물질층을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재하는 것을 특징으로 하는 반도체 소자.

청구항 13.

제12항에 있어서, 상기 제2 스트레스 완화 패턴 중에서 적어도 하나의 제2 스트레스 완화 패턴의 위치는 상기 제1 스트레스 완화 패턴과 대응하지 않는 위치에 존재하는 것을 특징으로 하는 반도체 소자.

청구항 14.

제13항에 있어서, 모든 상기 제2 스트레스 완화 패턴의 위치는 상기 제1 스트레스 완화 패턴의 위치와 대응하지 않는 위치에 존재하는 것을 특징으로 하는 반도체 소자.

청구항 15.

제1항에 있어서, 상기 제1 물질층은 층간 절연막, 패시베이션막 또는 감광성 폴리이미드막인 것을 특징으로 하는 반도체 소자.

청구항 16.

제1항에 있어서, 상기 제1 물질층의 내부에는 다수의 쓰루 홀이 존재하며, 상기 제1 스트레스 완화 패턴이 상기 다수의 쓰루 홀의 일부를 연결하도록 상기 다수의 쓰루 홀이 배열되어 있는 것을 특징으로 하는 반도체 소자.

청구항 17.

칩 크기의 기판;

상기 기판 상에 형성되어 상기 반도체 기판의 전면을 제1 물질로 덮는 제1 물질층; 및

상기 제1 물질층 상에 형성되어 상기 제1 물질층의 전면을 제2 물질로 덮는 제2 물질층을 포함하고,

상기 제2 물질층에는 상기 제2 물질층을 둘 또는 그 이상으로 분할하도록 상기 제2 물질층을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재하는 것을 특징으로 하는 반도체 소자.

청구항 18.

제17항에 있어서,

상기 제1 물질층에는 다수의 제1 쓰루 홀이 배열되어 있고, 상기 제1 쓰루 홀의 위치와 대응하는 위치에 다수의 제2 쓰루 홀이 상기 제2 물질층에 배열되어 있는 것을 특징으로 하는 반도체 소자.

청구항 19.

제18항에 있어서,

상기 제2 스트레스 완화 패턴이 상기 다수의 제2 쓰루 홀의 일부를 연결하도록 상기 다수의 제2 쓰루 홀이 배열되어 있는 것을 특징으로 하는 반도체 소자.

청구항 20.

제19항에 있어서, 상기 제2 스트레스 완화 패턴은 둘 또는 그 이상이 존재하고, 상기 제2 스트레스 완화 패턴 중 적어도 하나의 제2 스트레스 완화 패턴은 나머지 제2 스트레스 완화 패턴과 교차하는 것을 특징으로 하는 반도체 소자.

청구항 21.

제20항에 있어서, 상기 제2 스트레스 완화 패턴은 십자형 패턴인 것을 특징으로 하는 반도체 소자.

청구항 22.

제19항에 있어서, 상기 제2 스트레스 완화 패턴은 1개 내지 10개 사이인 것을 특징으로 하는 반도체 소자.

청구항 23.

제19항에 있어서, 상기 칩은 직사각형이고 상기 제2 스트레스 완화 패턴 중에서 하나 또는 그 이상의 제2 스트레스 완화 패턴은 상기 직사각형의 짧은 변과 평행한 것을 특징으로 하는 반도체 소자.

청구항 24.

제23항에 있어서, 상기 제2 스트레스 완화 패턴은 1개이고, 상기 제2 스트레스 완화 패턴이 상기 직사각형의 짧은 변과 평행한 것을 특징으로 하는 반도체 소자.

청구항 25.

제18항에 있어서, 상기 제1 물질층은 패시베이션막이고, 상기 제2 물질층은 감광성 폴리이미드막이며, 상기 제1 및 제2 쓰루 홀을 통해서 상기 반도체 소자의 접속 패드 및/또는 퓨즈 박스가 노출되어 있는 것을 특징으로 하는 반도체 소자.

청구항 26.

제17항에 있어서, 상기 제2 스트레스 완화 패턴은 상기 제2 물질층의 분할된 부분간의 경계면인 것을 특징으로 하는 반도체 소자.

청구항 27.

제17항에 있어서, 상기 제2 스트레스 완화 패턴은 상기 제2 물질과 다른 제3 물질로 형성된 제3 물질막 패턴인 것을 특징으로 하는 반도체 소자.

청구항 28.

제27항에 있어서, 상기 제3 물질막 패턴의 폭은 0.01 내지 20㎛인 것을 특징으로 하는 반도체 소자.

청구항 29.

제17항에 있어서, 상기 제1 물질층에는 상기 제1 물질층을 둘 또는 그 이상으로 분할하도록 상기 제1 물질층을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴이 존재하는 것을 특징으로 하는 반도체 소자.

청구항 30.

제29항에 있어서, 상기 제1 스트레스 완화 패턴 중에서 적어도 하나의 제1 스트레스 완화 패턴의 위치는 상기 제2 스트레스 완화 패턴과 대응하지 않는 위치에 존재하는 것을 특징으로 하는 반도체 소자.

청구항 31.

삭제

청구항 32.

제29항에 있어서, 적어도 하나의 상기 제1 스트레스 완화 패턴의 위치는 상기 제2 스트레스 완화 패턴의 위치와 대응하는 위치에 존재하는 것을 특징으로 하는 반도체 소자.

청구항 33.

상부로 다수의 접속 패드 및/또는 다수의 퓨즈 박스가 노출되어 있는 칩 크기의 기판;

상기 기판 상에 형성되어 상기 기판의 전면을 덮으며, 상기 다수의 접속 패드 및/또는 다수의 퓨즈 박스를 노출시키는 다수의 제1 쓰루 홀이 그 내부에 형성되어 있는 패시베이션막; 및

상기 패시베이션막 상에 형성되어 상기 패시베이션막의 전면을 덮으며, 상기 다수의 제1 쓰루 홀의 위치와 대응하는 위치에 다수의 제2 쓰루 홀이 그 내부에 형성되어 있는 감광성 폴리이미드막을 포함하고,

상기 감광성 폴리이미드막에는 상기 감광성 폴리이미드막을 둘 또는 그 이상으로 분할하도록 상기 감광성 폴리이미드막을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재하는 것을 특징으로 하는 반도체 소자.

청구항 34.

제33항에 있어서,

상기 제2 스트레스 완화 패턴이 상기 다수의 제2 쓰루 홀의 일부를 연결하도록 상기 다수의 제2 쓰루 홀이 배열되어 있는 것을 특징으로 하는 반도체 소자.

청구항 35.

제34항에 있어서, 상기 제2 스트레스 완화 패턴은 둘 또는 그 이상이 존재하고, 상기 제2 스트레스 완화 패턴 중 적어도 하나의 제2 스트레스 완화 패턴은 나머지 제2 스트레스 완화 패턴과 교차하는 것을 특징으로 하는 반도체 소자.

청구항 36.

제35항에 있어서, 상기 제2 스트레스 완화 패턴은 십자형 패턴인 것을 특징으로 하는 반도체 소자.

청구항 37.

제34항에 있어서, 상기 퓨즈 박스를 노출하는 상기 다수의 제2 쓰루 홀의 일부를 연결하도록 상기 제2 스트레스 완화 패턴이 형성되어 있는 것을 특징으로 하는 반도체 소자.

청구항 38.

제33항에 있어서, 상기 제2 스트레스 완화 패턴은 1개 내지 10개 사이인 것을 특징으로 하는 반도체 소자.

청구항 39.

제33항에 있어서, 상기 칩은 직사각형이고 상기 제2 스트레스 완화 패턴 중에서 하나 또는 그 이상의 제2 스트레스 완화 패턴은 상기 직사각형의 짧은 변과 평행한 것을 특징으로 하는 반도체 소자.

청구항 40.

제39항에 있어서, 상기 제2 스트레스 완화 패턴은 1개이고, 상기 제2 스트레스 완화 패턴이 상기 직사각형의 짧은 변과 평행한 것을 특징으로 하는 반도체 소자.

청구항 41.

제33항에 있어서, 상기 패시베이션막은 실리콘 질화막과 실리콘 산화막의 복합막인 것을 특징으로 하는 반도체 소자.

청구항 42.

제41항에 있어서, 상기 패시베이션막에는 상기 패시베이션막을 둘 또는 그 이상으로 분할하도록 상기 패시베이션막을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴이 존재하는 것을 특징으로 하는 반도체 소자.

청구항 43.

제42항에 있어서, 상기 제1 스트레스 완화 패턴 중에서 적어도 하나의 제1 스트레스 완화 패턴의 위치는 상기 제2 스트레스 완화 패턴과 대응하지 않는 위치에 존재하는 것을 특징으로 하는 반도체 소자.

청구항 44.

제43항에 있어서, 모든 상기 제1 스트레스 완화 패턴의 위치는 상기 제2 스트레스 완화 패턴의 위치와 대응하지 않는 위치에 존재하는 것을 특징으로 하는 반도체 소자.

청구항 45.

제42항에 있어서, 적어도 하나의 상기 제1 스트레스 완화 패턴의 위치는 상기 제2 스트레스 완화 패턴의 위치와 대응하는 위치에 존재하는 것을 특징으로 하는 반도체 소자.

청구항 46.

제33항에 있어서, 상기 제2 스트레스 완화 패턴은 상기 감광성 폴리이미드막 의 분할된 부분간의 경계면인 것을 특징으로 하는 반도체 소자.

청구항 47.

제33항에 있어서, 상기 제2 스트레스 완화 패턴은 상기 감광성 폴리이미드와 다른 제3 물질로 형성된 제3 물질막 패턴인 것을 특징으로 하는 반도체 소자.

청구항 48.

제47항에 있어서, 상기 제3의 물질은 후속 공정에서 상기 제1 및 제2 쓰루 홀을 채우는 물질인 것을 특징으로 하는 반도체 소자.

청구항 49.

제48항에 있어서, 상기 제3 물질막 패턴의 폭은 0.01 내지 20㎛인 것을 특징으로 하는 반도체 소자.

청구항 50.

칩 크기의 기판을 제공하는 단계; 및

상기 기판 상에 상기 기판의 전면을 제1 물질로 덮는 제1 물질층을 형성하되, 상기 제1 물질층에는 상기 제1 물질층을 둘 또는 그 이상으로 분할하도록 상기 제1 물질층을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴(stress relieving patterns)이 존재하도록 상기 제1 스트레스 완화 패턴에 의한 상기 제1 물질층의 분할된 부분을 별개의 공정에서 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 51.

제50항에 있어서, 상기 제1 스트레스 완화 패턴은 상기 제1 물질층의 분할된 부분간의 경계면인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 52.

제50항에 있어서, 상기 제1 물질층은 층간 절연막, 패시베이션막 또는 감광성 폴리이미드막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 53.

제50항에 있어서,

상기 제1 물질층의 전면 상에 제2 물질층을 형성하는 단계를 더 포함하고,

상기 제2 물질층에는 상기 제2 물질층을 둘 또는 그 이상으로 분할하도록 상기 제2 물질층을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 54.

제53항에 있어서, 상기 제2 스트레스 완화 패턴 중에서 하나 또는 그 이상의 제2 스트레스 완화 패턴의 위치는 상기 제1 스트레스 완화 패턴의 위치에 대응하지 않도록 상기 제2 물질층을 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 55.

제53항에 있어서, 상기 제2 스트레스 완화 패턴은 상기 제2 물질층의 분할된 부분간의 경계면이거나 또는 상기 제2 물질과 다른 제3의 물질로 형성된 제3 물질막 패턴인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 56.

칩 크기의 반도체 기판을 제공하는 단계; 및

상기 반도체 기판 상에 상기 반도체 기판의 전면을 제1 물질로 덮는 제1 물질층을 형성하는 단계;

상기 제1 물질층을 패터닝하여 상기 제1 물질층을 둘 또는 그 이상으로 분할하도록 상기 제1 물질층을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴(stress relieving patterns)용 트렌치를 형성하는 단계; 및

제2 물질로 상기 제1 스트레스 완화 패턴용 트렌치를 매립하여 제1 스트레스 완화 패턴을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

청구항 57.

제56항에 있어서, 상기 제2 물질은 상기 제1 물질과 동일한 물질인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 58.

제56항에 있어서, 상기 제2 물질은 상기 제1 물질과 다른 물질로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 59.

제56항에 있어서, 상기 제1 물질층은 층간 절연막, 패시베이션막 또는 감광성 폴리이미드막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 60.

제56항에 있어서,

상기 제1 물질층의 전면 상에 제2 물질층을 형성하는 단계를 더 포함하고,

상기 제2 물질층에는 상기 제2 물질층을 둘 또는 그 이상으로 분할하도록 상기 제2 물질층을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 61.

제60항에 있어서,

상기 제2 물질층을 형성하는 단계는 상기 제1 스트레치 완화 패턴용 트렌치를 매립하는 단계와 동시에 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 62.

제60항에 있어서, 상기 제2 스트레스 완화 패턴 중에서 하나 또는 그 이상의 제2 스트레스 완화 패턴의 위치는 상기 제1 스트레스 완화 패턴의 위치에 대응하지 않도록 상기 제2 물질층을 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 63.

제60항에 있어서, 상기 제2 스트레스 완화 패턴은 상기 제2 물질층의 분할된 부분간의 경계면이거나 또는 상기 제2 물질과 다른 제3의 물질로 형성된 제3 물질막 패턴인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 64.

상부로 다수의 접속 패드가 노출되어 있고, 상기 접속 패드보다 아래쪽에 다수의 퓨즈 박스가 형성되어 있는 칩 크기의 기판을 제공하는 단계;

상기 기판의 전면 상에 패시베이션막 형성용 물질층을 형성하는 단계;

상기 패시베이션막 형성용 물질층 및 상기 기판을 패터닝하여 상기 다수의 접속 패드 및 다수의 퓨즈 박스를 노출시키는 다수의 제1 쓰루 홀이 구비되어 있는 패시베이션막을 형성하는 단계; 및

상기 패시베이션막의 전면 상에 상기 다수의 제1 쓰루 홀의 위치와 대응하는 위치에 다수의 제2 쓰루 홀이 그 내부에 형성되어 있는 감광성 폴리이미드막을 형성하되, 상기 감광성 폴리이미드막을 둘 또는 그 이상으로 분할하도록 상기 감광성 폴리이미드막을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재하는 상기 감광성 폴리이미드막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 65.

제64항에 있어서, 상기 패시베이션막을 형성하는 단계는,

상기 패시베이션막 형성용 물질층 상에 상기 다수의 제2 쓰루 홀을 한정하는 마스크 패턴을 형성하는 단계; 및

상기 마스크 패턴을 식각 마스크로 사용하여 상기 패시베이션막 형성용 물질층을 식각하여 상기 다수의 접속 패드를 노출시키고, 계속해서 상기 기판을 식각하여 상기 다수의 퓨즈 박스가 노출시키는 상기 다수의 쓰루 홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 66.

제64항에 있어서, 상기 감광성 폴리이미드막 형성 단계는,

상기 패시베이션막의 전면 상에 감광성 폴리이미드막을 형성하는 단계;

상기 감광성 폴리이미드막을 패터닝하여 상기 다수의 제2 쓰루 홀과 상기 제2 스트레스 완화 패턴용 트렌치를 형성하는 단계; 및

상기 다수의 제2 쓰루 홀과 상기 제2 스트레스 완화 패턴형 트렌치를 제3의 물질로 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 67.

제66항에 있어서, 상기 다수의 제2 쓰루 홀과 상기 제2 스트레스 완화 패턴용 트렌치 형성 단계에서는,

상기 제2 스트레스 완화 패턴이 상기 다수의 제2 쓰루 홀의 일부와 연결되도록 상기 감광성 폴리이미드막을 패터닝하는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로 다이가 휘는 현상이 억제된 반도체 소자 및 그 제조방법에 관한 것이다.

최근 반도체 소자는 얇고 가벼워지고 있다. 얇고 가벼운 반도체 소자를 제조하기 위한 방법은 여러 가지가 있는데, 예컨대 패키지의 크기를 줄이거나 반도체 칩의 크기를 줄임으로써 작고 가벼운 반도체 소자를 제조할 수가 있다. 전자의 일 예로서, 최근에는 웨이퍼 레벨 패키지(Wafer Level Package, WLP)나 표면 실장 패키지(Surface Mount Package, SMP)와 같은 패키지 유형이 제안되었다. 후자의 일 예로서, 회로 패턴을 미세하고 컴팩트하게 만들거나, 및/또는 웨이퍼에 대한 백-랩(back-lap)의 양을 증가시키는 방법이 있다.

이상의 방법들 중에서, 웨이퍼에 대한 백-랩의 양을 증가시키는 방법은 반도체 칩(다이)의 두께를 줄일 수 있고, 궁극적으로는 반도체 패키지의 크기를 줄일 수 있는 가장 기본적이고 필수적인 방법이다. 현재 디램(DRAM) 소자의 경우에 백-랩 이후의 잔류 웨이퍼 두께가 250㎛를 넘지만 그 두께는 점점 얇아지고 있는 추세이다.

그런데, 잔류 웨이퍼의 두께가 얇아질수록 다이가 휘고 비틀리는 다이-휨(die-warpage) 현상이 심하게 발생한다. 다이-휨 현상은 도 1에 도시된 바와 같이, 반도체 소자의 표면이 평평하지 않고 좌, 우 및/또는 전, 후로 휘는 현상을 말한다. 이러한 다이-휨 현상은 잔류 웨이퍼의 두께가 얇아지면 얇아질수록 더욱 심각한 문제로 대두될 수밖에 없다.

팹 공정(fab. process)이 완료된 반도체 소자는 다수의 도전성 및 절연성 패턴과 각종 절연막 등이 적층된 구조물이다. 전술한 다이-휨 현상은 적층된 구조물을 구성하는 물질막들에 의해서 그 상부 및/또는 하부 구조물에 가해지는 스트레스(궁극적으로는 반도체 기판에 가해지는 스트레스)에 의하여 발생한다. 이 중에서 , ILD 또는 IMD와 같은 층간 절연층, 패시베이션막 및 감광성 폴리이미드(Photo Sensitive PolyImide, PSPI)층과 같이 반도체 기판의 전면을 덮는 물질막이 스트레스 발생의 주요한 원인이 된다. 이하에서는, 감광성 폴리이미드막의 경우를 예를 들어서, 다이-휨 현상에 대해서 보다 상세히 설명하기로 한다.

도 2a에는 종래 기술에 따른 감광성 폴리이미드막을 포함하는 반도체 소자에 대한 평면도가 도시되어 있으며, 도 2b에는 도 2a의 AA' 라인을 따라 절취한 단면도가 도시되어 있고, 도 2c에는 도 2a의 YY'라인을 따라 절취한 단면도가 도시되어 있다.

도 2a, 도 2b 및 도 2c를 참조하면, 팹 공정이 완료된 기판(10)의 최상면에는 접속 패드(12)로 사용되는 전극이 형성되어 있고, 그 하부 층에는 다수의 퓨즈 박스(14) 등이 형성되어 있다. 그리고, 기판(10) 상에는 습기 및/또는 불순물 등으로부터 기판(10)을 보호하기 위한 패시베이션막(20)이 형성되는데, 패시베이션막(20)은 HDP산화막(22)과 같은 실리콘산화막과 PE-SIN막(24)과 같은 실리콘 질화막의 복합막으로 형성될 수 있다. 패시베이션막(20)의 상부에는 감광성 폴리이미드막(30)이 형성되는데, 감광성 폴리이미드막(30)은 ??-입자에 의한 소프트 에러를 방지하고, 후속 공정(예컨대, 패키지 공정) 중에 기판(10)으로 전달되는 충격을 완화시키는 역할을 한다.

패시베이션막(20)과 감광성 폴리이미드막(30)의 내부에는 서로 대응되는 위치에 다수의 쓰루 홀(50)이 형성되어 있다. 다수의 쓰루 홀(50)은 예컨대, 접속 패드(12)를 노출시키는 제1 쓰루 홀(52)과 퓨즈 박스(14)를 노출시키는 제2 쓰루 홀(54)로 구성될 수 있다. 그리고, 제2 쓰루 홀(54)을 통해서는 퓨즈 박스(14)가 노출되도록 기판(10)이 일부까지 제2 쓰루 홀(54)이 연장된다. 시키는 쓰루 홀(54)은 통상적으로 은 통상적으로 패드(12)의 가장자리와 오버랩되어서 접속 패드(12)의 상면을 노출시키고 또한 퓨즈 라인의 상면도 노출시킨다. 도 2a에 도시되어 있는 다수의 쓰루 홀(50)은 현재의 디램 소자에 대하여 예시적으로 도시한 것으로서, 쓰루 홀(50)의 위치는 접속 패드(12) 및 퓨즈 박스(14)의 위치 및 배열에 따라서 달라질 수 있다.

표 1에는 도 2a 내지 도 2c에 도시된 반도체 소자에 대하여, 백-랩 이후에 잔류하는 기판 두께(t_1)와 패시베이션막(20) 상에 형성되는 감광성 폴리이미드막(30)의 두께(t_3) 변화에 따른 다이-휨의 양을 측정하여 도시한 그래프가 도시되어 있다. 상기 실험에서는 다이의 크기가 4.9916mm×10.047mm인 직사각형의 256M DDR DRAM 소자를 사용하였다. 패시베이션막(20)과 감광성 폴리이미드막(30)은 기판(10)의 전면에 걸쳐서 형성되어 있으며, 그것들 내부에는 다수의 쓰루 홀(50)이 구비되어 있다.

[표 1]

	잔류하는 기판 두께(㎛)			
	75	100	150	200

감광성 폴리이미드막의 두께(㎛)	0	43.8	23.2	3.3	0.6
	3.0	47.6	26.4	7.6	1.8
	6.5	54.2	34.4	12.0	2.4

표 1을 참조하면, 잔류하는 기판(10)의 두께(t_1)가 얇을수록 그리고 기판(10) 상에 형성되는 감광성 폴리이미드막(30)의 두께(t_3)가 두꺼울수록 다이-휨의 크기가 증가한다는 사실을 알 수 있다. 감광성 폴리이미드막(30)의 두께(t_3)가 증가하면 이 막에 의한 인장 스트레스(tensile stress)가 증가하기 때문에 다이-휨의 양도 증가한다. 특히, 감광성 폴리이미드막(30)은 감광성 폴리이미드 재료를 예컨대 약 10㎛의 두께로 증착한 다음 노광 및 현상하고, 그리고 이미드화 및 불순물 제거를 위하여 베이킹 공정을 실시하여 약 6-7㎛ 두께로 압축하여 형성하기 때문에, 제조 공정의 특성상 상당히 큰 압축 스트레스를 기판(10)에 가하는 문제점이 있다.

감광성 폴리이미드막에 의하여 생기는 다이-휨 현상을 억제하기 위한 한 가지 방법은 일본 특개평 제11-307525호, "반도체 장치 및 그 제조방법"에 개시되어 있다. 상기 일본 특허 출원에 의하면, 서로 다른 2개의 폴리이미드 재료 즉 순차적으로 도포된 비감광성 폴리이미드 재료와 감광성 폴리이미드 재료를 이용하여 폴리이미드막을 형성한다. 따라서, 상대적으로 압축 스트레스가 작은 비감광성 폴리이미드 재료와 기판이 접촉하기 때문에 기판에 가해지는 스트레스를 감소시킬 수 있다. 하지만, 상기한 일본 특허 출원은 압축 스트레스가 서로 다른 2가지 폴리이미드 재료를 사용하여 폴리이미드 패턴을 형성하기 때문에 공정이 복잡하고, 다이-휨의 억제 효과가 충분하지 않은 단점이 있다. 또한, 하부에 형성되어 있는 비감광성 폴리이미드막의 제거량 및 프로파일을 정밀하게 제어하기가 어렵다.

계속해서 표 1을 참조하면, 잔류하는 기판(10)의 두께(t_3)가 얇은 경우(200㎛ 이하)에는 감광성 폴리이미드막(30)이 전혀 형성되지 않은 경우에도 다이-휨 현상이 생긴다. 이것은 이전 공정에서 형성된 기판(10)을 구성하는 물질막에 의한 스트레스에 의한 것으로 추정되는 바, 감광성 폴리이미드막(30)을 형성하기 이전에도 다이-휨 현상이 발생하는 것을 의미한다. 예컨대, 기판의 전면을 덮고 있는 층간 절연층(ILD, IMD) 및 패시베이션막(passivation layer, 20)에 의한 스트레스에 의하여 다이-휨 현상이 생길 수 있다. 그러므로, 다이-휨 현상은 기판(10) 상에 도포되어 있는 감광성 폴리이미드막(30)만이 원인이 아니라 다수의 물질층이 적층되어 형성된 반도체 소자에서는 불가피한 문제점이다.

그런데, 이와 같은 다이-휨 현상은 그 자체가 기판에 형성된 전도성 및 비전도성 패턴과 그것에 의한 전기 소자에 스트레스를 가하는 것이기 때문에 반도체 소자의 신뢰성을 떨어뜨린다. 그리고, 다이-휨 현상이 생긴 경우에는 후속 공정에서 불량이 생길 가능성이 많다. 예를 들어, 휜 다이를 사용하여 반도체 패키지 공정을 진행하는 경우에, 패키지 공정의 정밀도가 저하될 뿐만이 아니라 미세한 충격에도 다이가 부서지거나 다이를 이송하는 중에 충돌하여 파손될 위험성도 증가한다. 그리고, 휜 다이의 반도체 기판 상에 소정의 패턴을 형성하는 경우, 평평하지 않은 물질막에 대하여 노광 및 식각 공정을 진행하기 때문에 정밀한 포토리소그라피 공정을 수행하기가 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 다이-휨 현상이 억제된 반도체 소자를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 다이-휨 현상이 억제된 반도체 소자의 제조방법을 제공하는데 있다.

발명의 구성

상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자는 칩 크기의 기판 및 상기 기판 상에 형성되어 상기 기판의 전면을 제1 물질로 덮는 제1 물질층을 포함한다. 그리고, 상기 제1 물질층에는 상기 제1 물질층을 둘 또는 그 이상으로 분할하도록 상기 제1 물질층을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴(stress relieving patterns)이 존재한다.

상기한 실시예의 일 측면에 의하면, 상기 제1 스트레스 완화 패턴은 둘 또는 그 이상이 존재하고, 상기 제1 스트레스 완화 패턴 중 적어도 하나의 제1 스트레스 완화 패턴은 나머지 제1 스트레스 완화 패턴과 교차할 수 있다. 이 경우에, 상기 제1 스트레스 완화 패턴은 십자형 패턴일 수 있다. 그리고, 상기 제1 스트레스 완화 패턴은 1개 내지 10개 사이일 수 있다.

상기한 실시예의 다른 측면에 의하면, 상기 칩은 직사각형이고 상기 제1 스트레스 완화 패턴 중에서 하나 또는 그 이상의 제1 스트레스 완화 패턴은 상기 직사각형의 짧은 변과 평행한 패턴일 수 있다. 그리고, 상기 제1 스트레스 완화 패턴은 1개 또는 2개일 수 있다. 또한, 상기 직사각형의 짧은 변과 평행한 하나 또는 그 이상의 상기 제1 스트레스 완화 패턴은 상기 제1 물질층을 균등하게 분할하는 패턴일 수 있다.

상기한 실시예의 또 다른 측면에 의하면, 상기 제1 스트레스 완화 패턴은 상기 제1 물질층의 분할된 부분간의 경계면일 수 있다.

상기한 실시예의 또 다른 측면에 의하면, 상기 제1 스트레스 완화 패턴은 상기 제1 물질과 다른 제2 물질로 형성된 제1 물질막 패턴일 수 있다. 그리고, 상기 제1 물질막 패턴의 폭은 0.01 내지 20㎛ 사이일 수 있다. 또한, 상기 제2 물질은 상기 제1 물질층 상에 형성되어 있는 제2 물질층을 형성하는 물질과 동일한 물질일 수 있다. 이 경우, 상기 제2 물질층은 상기 제1 물질층의 전면을 커버하고, 상기 제2 물질층에는 상기 제2 물질층을 둘 또는 그 이상으로 분할하도록 상기 제2 물질층을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴(stress relieving patterns)은 존재하거나 존재하지 않을 수도 있다. 제2 스트레스 완화 패턴이 존재할 경우에, 상기 제2 스트레스 완화 패턴 중에서 적어도 하나의 제2 스트레스 완화 패턴의 위치는 상기 제1 스트레스 완화 패턴과 대응하지 않는 위치에 존재하는 것이 바람직하며, 모든 상기 제2 스트레스 완화 패턴의 위치는 상기 제1 스트레스 완화 패턴의 위치와 대응하지 않는 위치에 존재하는 것이 더욱 바람직하다.

상기한 실시예의 또 다른 측면에 의하면, 상기 제1 물질층은 층간 절연층, 패시베이션막 또는 감광성 폴리이미드막일 수 있다.

상기한 실시예의 또 다른 측면에 의하면, 상기 제1 물질층의 내부에는 다수의 쓰루 홀이 존재하며, 상기 제1 스트레스 완화 패턴이 상기 다수의 쓰루 홀의 일부를 연결하도록 상기 다수의 쓰루 홀이 배열되어 있을 수 있다.

상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자는 칩 크기의 기판, 상기 기판 상에 형성되어 상기 기판의 전면을 제1 물질로 덮는 제1 물질층 및 상기 제1 물질층 상에 형성되어 상기 제1 물질층의 전면을 제2 물질로 덮는 제2 물질층을 포함한다. 그리고, 상기 제2 물질층에는 상기 제2 물질층을 둘 또는 그 이상으로 분할하도록 상기 제2 물질층을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재한다.

상기한 실시예의 일 측면에 의하면, 상기 제1 물질층에는 다수의 제1 쓰루 홀이 배열되어 있고, 상기 제1 쓰루 홀의 위치와 대응하는 위치에 다수의 제2 쓰루 홀이 배열되어 있을 수 있다. 이 경우, 상기 제2 스트레스 완화 패턴이 상기 다수의 제2 쓰루 홀의 일부를 연결하도록 상기 다수의 제2 쓰루 홀이 배열되어 있을 수 있다.

상기한 실시예의 다른 측면에 의하면, 상기 제1 물질층은 패시베이션막이고, 상기 제2 물질층은 감광성 폴리이미드막이며, 상기 제1 및 제2 쓰루 홀을 통해서 상기 반도체 소자의 접속 패드 및/또는 퓨즈 박스가 노출되어 있을 수 있다.

상기한 실시예의 다른 측면에 의하면, 상기 제1 물질층에는 상기 제1 물질층을 둘 또는 그 이상으로 분할하도록 상기 제1 물질층을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴이 존재하거나 또는 존재하지 않을 수도 있다.

상기한 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 반도체 소자는 상부로 다수의 접속 패드 및/또는 다수의 퓨즈 박스가 노출되어 있는 칩 크기의 기판, 상기 기판 상에 형성되어 상기 기판의 전면을 덮으며, 상기 다수의 접속 패드 및/또는 다수의 퓨즈 박스를 노출시키는 다수의 제1 쓰루 홀이 그 내부에 형성되어 있는 패시베이션막 및 상기 패시베이션막 상에 형성되어 상기 패시베이션막의 전면을 덮으며, 상기 다수의 제1 쓰루 홀의 위치와 대응하는 위치에 다수의 제2 쓰루 홀이 그 내부에 형성되어 있는 감광성 폴리이미드막을 포함한다. 그리고, 상기 감광성 폴리이미드막에는 상기 감광성 폴리이미드막을 둘 또는 그 이상으로 분할하도록 상기 감광성 폴리이미드막을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재한다.

상기한 실시예의 일 측면에 의하면, 상기 제2 스트레스 완화 패턴이 상기 다수의 제2 쓰루 홀의 일부를 연결하도록 상기 다수의 제2 쓰루 홀이 배열되어 있을 수 있다. 이 경우에, 상기 제2 스트레스 완화 패턴은 상기 퓨즈 박스를 노출하는 상기 다수의 제2 쓰루 홀의 일부를 연결하도록 형성되어 있을 수 있다.

상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자의 제조방법은 칩 크기의 반도체 기판을 제공하는 단계 및 상기 반도체 기판 상에 상기 반도체 기판의 전면을 제1 물질로 덮는 제1 물질층을 형성하되, 상기 제1 물질

층에는 상기 제1 물질층을 둘 또는 그 이상으로 분할하도록 상기 제1 물질층을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴(stress relieving patterns)이 존재하도록 상기 제1 스트레스 완화 패턴에 의한 상기 제1 물질층의 분할된 부분을 별개의 공정에서 각각 형성하는 단계를 포함할 수 있다.

상기한 실시예의 일 측면에 의하면, 상기 제1 스트레스 완화 패턴은 상기 제1 물질층의 분할된 부분간의 경계면일 수 있다. 그리고, 상기 제1 물질층은 층간 절연막, 패시베이션막 또는 감광성 폴리이미드막일 수 있다.

그리고, 상기한 반도체 소자의 제조방법은 상기 제1 물질층의 전면 상에 제2 물질층을 형성하는 단계를 더 포함할 수 있다. 이 경우, 상기 제2 물질층에는 상기 제2 물질층을 둘 또는 그 이상으로 분할하도록 상기 제2 물질층을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재하거나 존재하지 않을 수도 있다. 상기 제2 스트레스 완화 패턴이 존재할 경우에, 상기 제2 스트레스 완화 패턴 중에서 하나 또는 그 이상의 제2 스트레스 완화 패턴의 위치는 상기 제1 스트레스 완화 패턴의 위치에 대응하지 않도록 상기 제2 물질층을 형성할 수 있다. 또한, 상기 제2 스트레스 완화 패턴은 상기 제2 물질층의 분할된 부분간의 경계면이거나 또는 상기 제2 물질과 다른 제3의 물질로 형성된 제3 물질막 패턴일 수 있다.

상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자의 제조방법은 칩 크기의 반도체 기판을 제공하는 단계, 상기 반도체 기판 상에 상기 반도체 기판의 전면을 제1 물질로 덮는 제1 물질층을 형성하는 단계, 상기 제1 물질층을 패터닝하여 상기 제1 물질층을 둘 또는 그 이상으로 분할하도록 상기 제1 물질층을 가로지르는 하나 또는 그 이상의 제1 스트레스 완화 패턴(stress relieving patterns)용 트렌치를 형성하는 단계 및 제2 물질로 상기 제1 스트레스 완화 패턴용 트렌치를 매립하여 제1 스트레스 완화 패턴을 형성하는 단계를 포함한다.

상기한 실시예의 일 측면에 의하면, 상기 제2 물질은 상기 제1 물질과 동일한 물질이거나 다른 물질일 수 있다.

상기한 실시예의 다른 측면에 의하면, 상기한 반도체 소자의 제조방법은 상기 제1 물질층의 전면 상에 제2 물질층을 형성하는 단계를 더 포함하고, 상기 제2 물질층에는 상기 제2 물질층을 둘 또는 그 이상으로 분할하도록 상기 제2 물질층을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재할 수 있다. 이 경우, 상기 제2 물질층을 형성하는 단계는 상기 제1 스트레치 완화 패턴용 트렌치를 매립하는 단계와 동시에 수행할 수 있다.

상기한 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 반도체 소자의 제조방법은 상부로 다수의 접속 패드가 노출되어 있고, 상기 접속 패드보다 아래쪽에 다수의 퓨즈 박스가 형성되어 있는 칩 크기의 기판을 제공하는 단계, 상기 기판의 전면 상에 패시베이션막 형성용 물질층을 형성하는 단계, 상기 패시베이션막 형성용 물질층 및 상기 기판을 패터닝하여 상기 다수의 접속 패드 및 다수의 퓨즈 박스를 노출시키는 다수의 제1 쓰루 홀이 구비되어 있는 패시베이션막을 형성하는 단계 및 상기 패시베이션막의 전면 상에 상기 다수의 제1 쓰루 홀의 위치와 대응하는 위치에 다수의 제2 쓰루 홀이 그 내부에 형성되어 있는 감광성 폴리이미드막을 형성하되, 상기 감광성 폴리이미드막을 둘 또는 그 이상으로 분할하도록 상기 감광성 폴리이미드막을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재하는 상기 감광성 폴리이미드막을 형성하는 단계를 포함한다.

상기한 실시예의 일 측면에 의하면, 상기 패시베이션막을 형성하는 단계는, 상기 패시베이션막 형성용 물질층 상에 상기 다수의 제2 쓰루 홀을 한정하는 마스크 패턴을 형성하는 단계 및 상기 마스크 패턴을 식각 마스크로 사용하여 상기 패시베이션막 형성용 물질층을 식각하여 상기 다수의 접속 패드를 노출시키고, 계속해서 상기 기판을 식각하여 상기 다수의 퓨즈 박스가 노출시키는 상기 다수의 쓰루 홀을 형성하는 단계를 포함할 수 있다.

상부로 다수의 접속 패드 및/또는 다수의 퓨즈가 노출되어 있는 칩 크기의 기판을 제공하는 단계, 상기 반도체 기판의 전면 상에 상기 다수의 접속 패드 및/또는 다수의 퓨즈를 노출시키는 다수의 제1 쓰루 홀이 그 내부에 형성되어 있는 패시베이션막을 형성하는 단계 및 상기 패시베이션막의 전면 상에 상기 다수의 제1 쓰루 홀의 위치와 대응하는 위치에 다수의 제2 쓰루 홀이 그 내부에 형성되어 있는 감광성 폴리이미드막을 형성하되, 상기 감광성 폴리이미드막을 둘 또는 그 이상으로 분할하도록 상기 감광성 폴리이미드막을 가로지르는 하나 또는 그 이상의 제2 스트레스 완화 패턴이 존재하는 상기 감광성 폴리이미드막을 형성하는 단계를 포함한다.

상기한 실시예의 다른 측면에 의하면, 상기 감광성 폴리이미드막 형성 단계는, 상기 패시베이션막의 전면 상에 감광성 폴리이미드막을 형성하는 단계, 상기 감광성 폴리이미드막을 패터닝하여 상기 다수의 제2 쓰루 홀과 상기 제2 스트레스 완화 패턴용 트렌치를 형성하는 단계 및 상기 다수의 제2 쓰루 홀과 상기 제2 스트레스 완화 패턴형 트렌치를 제3의 물질로 매립하는 단계를 포함할 수 있다.

상기한 실시예의 또 다른 측면에 의하면, 상기 다수의 제2 쓰루 홀과 상기 제2 스트레스 완화 패턴용 트렌치 형성 단계에서는 상기 제2 스트레스 완화 패턴이 상기 다수의 제2 쓰루 홀의 일부와 연결되도록 상기 감광성 폴리이미드막을 패터닝할 수 있다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있다. 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 본 발명의 사상은 오직 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일한 참조 부호는 동일 구성 요소를 지칭한다.

본 발명에 의한 반도체 소자는 다이-휨 현상을 방지할 수 있도록 칩 크기의 기판 상의 전면에 형성되는 물질층에 스트레스 완화 패턴이 구비되어 있다. 상기 스트레스 완화 패턴은 상기 물질층에 의하여 그 하부의 기판 및/또는 그 상부에 형성되는 물질층에 가하는 스트레스를 완화시켜 준다. 왜냐하면, 물질층의 분할된 부분에 의하여 예컨대 그 하부의 기판에 가해지는 스트레스의 합은 전체가 단일한 물질층에 의하여 그 하부의 기판에 가해지는 스트레스의 합보다 작기 때문이다. 이러한 역할을 하는 스트레스 완화 패턴은 단일한 물질층에 의한 스트레스를 완화시킬 수 있도록 상기 물질층을 가로질러서 상기 물질층을 2부분 이상으로 분할하도록 형성한다.

도 3a 및 도 4a에는 본 발명의 일 실시예에 의한 스트레스 완화 패턴을 포함하는 반도체 소자들에 대한 개략적인 평면도가 도시되어 있다. 그리고, 도 3b에는 도 3a의 CC'라인을 따라 절취한 단면도가 도시되어 있고, 도 4b에는 도 4a의 DD'라인을 따라 절취한 단면도가 도시되어 있다.

도 3a, 도 3b, 도 4a 및 도 4b를 참조하면, 반도체 소자는 반도체 칩 크기의 기판(110, 210) 및 스트레스 완화 패턴(125, 225)이 구비된 물질층(120, 220)을 포함한다. 기판(110, 210)은 예컨대, 단결정 실리콘 기판, 실리콘 저매늄 기판 또는 SOI 기판과 같은 반도체 기판이거나, 이러한 반도체 기판과 그것의 상부에 형성되어 있는 소정의 회로 소자 및/또는 배선 패턴을 구비한 절연층을 포함할 수 있다. 그리고, 스트레스 완화 패턴(125, 225)이 구비된 물질층(120, 220)은 기판(110, 210)의 전면(entire surface)과 같은 상대적으로 넓은 범위에 걸쳐 형성된다. 반도체 소자의 특성상 이러한 물질층(120, 220)은 통상적으로 절연 물질로 형성된다. 또한, 스트레스 완화 패턴(125, 225)은 물질층(120, 220)에 의하여 기판(110, 220)에 가해지는 스트레스를 완화시키는 역할을 하는 패턴이다.

상기한 스트레스의 원인은 여러 가지가 있는데, 그 중의 하나는 물질층(120, 220)을 형성하는 물질의 고유의 특성이다. 물질 고유의 특성에 따라서 물질층(120, 220)은 기판(110, 210)에 대하여 압축 스트레스로 작용하거나 인장 스트레스(tensile stress)로 작용을 할 수 있다.

상기한 스트레스의 원인 중의 다른 하나는 어닐링 공정이다. 반도체 소자의 제조 공정에서는 물질층(120, 220)을 치밀화하거나, 물질층(120, 220) 상에 열산화막을 형성하거나 및/또는 물질층(120, 220) 내에 도핑 프로파일의 조정 등을 위하여 상온보다 훨씬 높은 온도에서 어닐링 공정을 실시한다. 어닐링 공정은 상기 물질층(120, 220)이 형성된 이후의 후속 공정에서 수행될 수도 있다. 이러한 어닐링 공정은 물질층(120, 220)의 수축을 가져오기 때문에, 통상적으로 기판(110, 210)에 대한 압축 스트레스(compressive stress)로 작용을 한다. 반도체 소자의 제조 공정에서 수십 번의 어닐링 공정이 행해지기 때문에, 비록 물질층(120, 220)을 형성하는 물질이 인장 스트레스 특성을 가지고 있다고 하더라도, 물질층(120, 220)은 기판(110, 210)에 대하여 압축 스트레스를 가하는 것이 일반적이다.

물질층(120, 220)이 기판(110, 210)에 대하여 압축 스트레스를 가하게 되면, 기판(110, 210)은 오목하게 휜다. 즉, 기판(110, 210)의 가장자리는 위로 들리고 가운데 부분은 아래로 볼록해진다. 그 결과, 기판(110, 210)의 가장자리와 가운데 부분에는 높이 차이가 생기게 된다. 동일한 넓이의 기판(110, 210)에 대하여 물질층(120, 220)에 의한 압축 스트레스가 크면 클수록 이러한 기판(110, 210)의 가장자리와 가운데 부분의 높이 차이도 크다는 것은 자명하다.

물질층(120, 220)에 의하여 기판(110, 210)에 가해지는 압축 스트레스는 물질층(120, 220)을 분할하는 스트레스 완화 패턴(125, 225)을 물질층(120, 220)에 형성함으로써 감소시킬 수가 있다. 스트레스 완화 패턴(125, 225)은 물질층(120, 220)을 두 부분 이상으로 분할함으로써, 물질층(120, 220)에 의하여 기판(110, 210)의 가장자리로 전달되는 스트레스를 완화시킨다. 이를 위하여, 스트레스 완화 패턴(125, 225)은 물질층(120, 220)을 완전히 가로지르도록 형성되는 것이 바람직하며, 이것의 실시예들에 대해서는 후술한다.

물질층을 가로지르는 스트레스 완화 패턴의 일 예는 도 3a 및 도 3b에 도시된 바와 같이, 물질층(120)의 분할된 영역간의 경계면(125)일 수 있다. 즉, 경계면(125)을 구비한 물질층(120)은 전면이 단일의 물질막으로 형성된 것이 아니라 2개 또는 그 이상으로 분할된 물질막이 서로 접하면서 기판(110) 상의 전면에 형성되어 있다. 이러한 경계면(125)은 기판(110)에 대한 스트레스를 완화시키고, 그 결과 기판(110)의 가운데 부분과 가장자리의 높이 차이를 감소시킨다.

도 3a 및 도 3b에 도시된 바와 같은 경계면(125)을 스트레스 완화 패턴으로 구비한 물질층(120)은 여러 가지 방법으로 형성할 수 있다. 예컨대, 다수의 포토레지스트 마스크를 이용하여 분할된 물질막을 순차적으로 형성함으로써 물질층(120)을 가로지르는 경계면(125)이 형성되도록 하거나, 또는 기판(110) 상의 전면에 물질막을 형성한 후에 일 부분을 식각하여 제거하고, 다시 제거된 부분에 동일한 물질의 물질막을 형성함으로써 경계면(125)이 구비된 물질층(120)을 형성할 수 있다.

물질층을 가로지르는 스트레스 완화 패턴의 다른 예는 도 4a 및 도 4b에 도시된 바와 같이, 물질층(220)을 가로지르도록 상기 물질층(220)을 형성하는 물질과 다른 물질로 형성되어 있는 제2 물질막 패턴(225)일 수 있다. 제2 물질막 패턴(225)이 물질층(225)과 동일한 물질인 경우에는 전술한 실시예인 경계면(125)을 구비한 물질층(125)에 해당되므로, 본 실시예는 제2 물질막 패턴(225)을 형성하는 물질이 물질층(220)을 형성하는 물질과 다른 경우만 해당된다.

제2 물질막 패턴(225)의 폭(w_1)에는 특별한 제한이 없다. 물질층(220)을 가로지르는 경계면이 존재하는 것만으로도 물질층(220)에 의한 스트레스를 어느 정도는 완화시킬 수 있기 때문에, 제2 물질막 패턴(225)의 폭(w_1)은 0㎛를 초과하면 된다. 그리고, 제2 물질막 패턴(225)의 상한에는 특별한 제한은 없으나, 그 폭(w_1)은 최대 물질층(220)의 전체 폭(w_2)의 1/2 이하일 수 있다. 제2 물질막 패턴(225)의 폭(w_1)에 의한 스트레스 완화 효과는 로그 함수의 그래프(도 9 참조)와 같이 그 값이 증가함에 따라서 수렴할 것이라는 점을 고려할 때, 상기 제2 물질막 패턴(225)의 폭(w_1)은 0㎛ 초과 20㎛ 이하인 것이 보다 바람직하다.

이러한 소정의 폭(w_1)을 가지는 제2 물질막 패턴(225)은 통상의 반도체 제조 공정을 사용하여 제조할 수 있다는 것은 당업계에서 통상의 지식을 가진 자에게는 자명하다. 즉, 통상적인 식각 공정을 사용하여 물질층(220)을 패터닝하여 물질층(220)을 가로지르는 하나 이상의 트렌치를 형성하고, 통상적인 증착 공정을 사용하여 상기 트렌치에 소정의 물질을 매립함으로써 제2 물질막 패턴(225)을 형성할 수 있다. 또는, 제2 물질막 패턴(225)을 먼저 형성한 다음, 그 주위에 물질막을 형성하고 평탄화함으로써 물질층(220)을 형성할 수 있다.

물질층(120, 220)에 형성되는 경계면(125) 또는 물질막 패턴(225)의 형태로 형성되는 스트레스 완화용 패턴(125, 225)의 배열 및 형상에는 여러 가지 방법이 적용될 수 있다. 이러한 스트레스 완화용 패턴(125, 25)은 물질층(120, 220)의 스트레스에 의하여 기판(110, 220)의 다이-휨 현상을 가장 효과적으로 억제할 수 있는 배열 및/또는 형상이 되도록 하는 것이 바람직하다.

도 3a 및 도 4a 등에 도시된 바와 같이, 반도체 칩은 통상적으로 가로 방향의 길이가 더 긴 직사각형 모양을 가진다. 이 경우 반도체 칩의 가로 방향으로 다이-휨 현상이 세로 방향보다 훨씬 심하게 발생한다. 즉, 가로 방향으로 가장자리와 가운데 부분의 높이 차이가 세로 방향으로 가장자리와 가운데 부분의 높이 차이보다 크다. 그러므로, 하나의 스트레스 완화 패턴(125, 225)을 형성하는 경우(본 발명의 실시예가 여기에만 한정되는 것은 아니다)에는 가로 방향으로 기판(110, 210)에 가해지는 압축 스트레스를 완화시킬 수 있도록 스트레스 완화 패턴(125, 225)은 세로 방향으로 물질층(120, 220)을 가로지르도록 형성하는 것이 바람직하다. 또한, 스트레스 완화 패턴(125, 225)은 상기 물질층(120, 220)을 균등하게 분할하는 것이 더욱 바람직하다.

도 5a 내지 도 5c는 본 발명의 실시예에 따른 반도체 소자의 스트레스 완화 패턴의 배열을 보여주는 실시예들이다. 도 5a 내지 도 5c는 완전히 예시적인 목적으로 도시된 것으로, 스트레스 완화 패턴(325a, 325b, 325c)은 반도체 칩의 모양, 물질층(320)의 종류, 물질층(320)의 내부에 형성되어 있는 임의적인 회로 패턴(도시하지 않음)의 모양 및 상, 하부의 인접한 물질층에 형성되어 있는 스트레스 완화 패턴이나 회로 패턴의 모양 및 배열에 따라 달라질 수 있다.

도 5a를 참조하면, 기판 상에 형성되어 있는 물질층(320)에는 이것을 3등분하는 스트레스 완화 패턴(325a)이 구비되어 있다. 그리고, 도 5b를 참조하면, 기판 상에 형성되어 있는 물질층(320)에는 물질층(320)을 4등분하는 십자형 스트레스 완화 패턴(325b)이 도시되어 있다. 그리고, 도 5a 및 도 5b에는 스트레스 완화 패턴(325a, 325b)이 물질막 패턴인 경우가 도시되어 있지만 여기에만 한정되지 않고, 상기 스트레스 완화 패턴(325a, 325b)은 물질층(320)의 분할된 부분간의 경계면일 수도 있다.

도 5a에 예시된 스트레스 완화 패턴(325a)은 가로 방향과 세로 방향으로 길이 차이가 크게 나는 반도체 칩의 경우에 적합한 경우이고, 도 5b에 예시된 스트레스 완화 패턴(325b)은 가로 방향과 세로 방향으로 길이 차이가 상대적으로 작은 반도체 칩의 경우에 적합한 경우이지만, 반드시 이러한 경우에만 한정되는 것은 아니다.

예를 들어, 반도체 칩의 가로 방향과 세로 방향으로 길이 차이가 크게 나는 경우에도 다이-휨 현상은 기판의 좌, 우 방향만이 아니라 상, 하 방향으로도 생긴다. 이러한 점을 고려한다면, 2개 이상의 스트레스 완화 패턴은 서로 교차하도록 배열되어 있는 것이 바람직하다. 그리고, 직사각형 모양의 반도체 칩을 고려할 때, 서로 교차하는 스트레스 완화 패턴은 서로 직교하도록 형성하는 것이 보다 바람직하다(도 5b 및 도 5c 참조).

도 5c를 참조하면, 기판 상에 형성되어 있는 물질층(320)에는 물질층(320)을 8등분하는 창문형 스트레스 완화 패턴(325c)이 도시되어 있다. 이러한 창문형 스트레스 완화 패턴(325c)은 반도체 칩의 크기가 상대적으로 크거나 물질층(320)에 의한 스트레스가 상대적으로 커서 다이-휨이 크게 발생하는 경우에 보다 적합하지만, 반드시 여기에만 한정되는 것은 아니다. 그리고, 스트레스 완화 패턴(325c)의 개수는 특별한 제한이 없지만, 공정 단순화, 비용 및 패턴의 기능 등을 고려할 때, 10개 이하인 것이 바람직하다.

도 6a에는 본 발명의 또 다른 실시예에 따른 스트레스 완화 패턴을 구비한 반도체 소자에 대한 평면도가 도시되어 있고, 도 6b에는 도 6a의 EE'라인을 따라 절취한 단면도가 도시되어 있다.

도 6a 및 도 6b를 참조하면, 반도체 소자는 기판(410) 및 상기 기판 상의 전면에 형성되어 있으며, 그 내부에 스트레스 완화 패턴(425, 435)이 구비되어 있는 제1 물질층(420) 및 제2 물질층(430)을 포함한다. 본 실시예는 연속적으로 적층되어 있는 제1 물질층(420)과 제2 물질층(430)에 각각 제1 스트레스 완화 패턴(425)과 제2 스트레스 완화 패턴(435)이 형성되어 있는 경우에 대한 것이다. 각각의 스트레스 완화 패턴(425, 435)의 배열은 전술한 실시예에 도시된 형태이거나 또는 다른 형태일 수 있다.

도 7a에는 본 발명의 또 다른 실시예에 따른 스트레스 완화 패턴을 구비한 반도체 소자에 대한 평면도가 도시되어 있고, 도 7b에는 도 7a의 FF'라인을 따라 절취한 단면도가 도시되어 있다.

도 7a 및 도 7b를 참조하면, 반도체 소자는 기판(510) 및 상기 기판 상의 전면에 형성되어 있으며, 그 내부에는 스트레스 완화 패턴(525, 535, 545)이 구비되어 있는 제1 물질층(520), 제2 물질층(530) 및 제3 물질층(540)을 포함한다. 본 실시예는 연속적으로 적층되어 있는 제1 물질층(520), 제2 물질층(530) 및 제3 물질층(540)에 각각 제1 스트레스 완화 패턴(525), 제2 스트레스 완화 패턴(535) 및 제3 스트레스 완화 패턴(545)이 형성되어 있는 경우에 대한 것이다. 마찬가지로, 각각의 스트레스 완화 패턴(525, 535, 545)의 배열은 전술한 실시예에 도시된 형태이거나 또는 다른 형태일 수 있다.

도 5a, 도 5b, 도 6a 및 도 6b를 참조하면, 서로 인접하게 배열된 스트레스 완화 패턴들(425와 435, 525와 535 및 535와 545)의 위치는 서로 대응하지 않는 위치에 배열되는 것이 바람직하다. 왜냐하면, 인접하게 배열된 스트레스 완화 패턴들의 위치가 대응하지 않을 경우에, 보다 효과적으로 그 하부의 기판(410, 510)에 가하는 전체 스트레스를 완화시킬 수 있기 때문이다. 하지만, 서로 인접하게 배열된 스트레스 완화 패턴들(425와 435, 525와 535 및 535와 545)의 위치가 반드시 이러한 경우에만 한정되는 것은 아니다.

그리고, 전술한 실시예들에서와 마찬가지로 스트레스 완화 패턴(425, 435, 525, 535, 545)은 각각의 물질층(420, 430, 520, 530, 540)의 분할된 영역간의 경계면의 형태이거나 다른 물질층 패턴 형태일 수 있다. 이 경우, 특히, 후자의 경우에는 하부에 존재하는 스트레스 완화 패턴(425, 525, 535)은 각각 그것의 상부에 형성된 물질층(430, 530, 540)을 구성하는 물질로 형성하게 되면, 제조 공정을 단순화시킬 수 있기 때문에 바람직하다.

도 8a, 도 8b 및 도 8c에는 본 발명의 일 실시예에 따른 감광성 폴리이미드막을 포함하는 반도체 소자들에 대한 평면도가 각각 도시되어 있다. 여기서, 반도체 소자의 구성 및 단면도는 종래 기술에 따른 감광성 폴리이미드막을 포함하는 반도체 소자(도 2a 내지 도 2c 참조)의 그것과 동일할 수 있으므로, 이것을 참조하여 설명하기로 한다. 다만, 본 실시예에서는 종래 기술과 다른 구성 요소 예컨대, 감광성 폴리이미드막 및 그 내부에 구비된 스트레스 완화 패턴만 참조 번호를 다르게 사용하였다.

도 8a, 도 8b 및 도 8c를 참조하면, 감광성 폴리이미드막(30a, 30b, 30b)에는 그 하부의 기판(10) 상에 노출되어 있는 전극 패드(12)를 노출시키는 제1 쓰루 홀(40)과 기판(10)에 형성되어 있는 퓨즈 박스(14)를 노출시키는 제2 쓰루 홀(50)이

구비되어 있다. 도시된 제1 및 제2 쓰루 홀(40, 50)은 예시적인 것이다. 도 8a 및 도 8b를 참조하면, 제1 쓰루 홀(40)은 기판(10)의 가장자리에 위치하는데 반하여, 제2 쓰루 홀(40)은 기판(10)의 중심부에 좌, 우 및 상, 하 방향으로 2열로 배열되어 있다.

본 실시예에 의하면, 감광성 폴리이미드막(30a, 30b, 30c)에는 스트레스 완화 패턴(32, 34, 36)이 더 구비되어 있다. 스트레스 완화 패턴(32, 34, 36)은 전술한 실시예에서 설명한 바와 같이 감광성 폴리이미드막(30a, 30b, 30c)을 가로지르도록 형성되는 경우에는 그 모양 및 배열에는 특별한 제한이 없다. 다만, 본 실시예와 같이, 제2 쓰루 홀(50)이 기판의 중심부를 가로지르도록 배열되어 있는 경우에는, 스트레스 완화 패턴(32, 34, 36)은 상기 제2 쓰루 홀(50)을 연장하는 형태로 형성되는 것이 바람직하다. 예컨대, 도 8a에 도시되어 있는 바와 같이, 스트레스 완화 패턴(32)은 상, 하로 배열되어 있는 제2 쓰루 홀(54)을 연장하는 형태로 감광성 폴리이미드막(30a)을 가로지르도록 형성될 수 있다. 그리고, 도 8b에 도시된 바와 같이, 스트레스 완화 패턴(34)은 좌, 우 및 상, 하로 배열되어 있는 제1 쓰루 홀(52) 및 제2 쓰루 홀(52)을 연장하는 십자형 패턴일 수 있다. 또한, 도 8c에 도시된 바와 같이, 스트레스 완화 패턴(36)은 좌, 우 및 상, 하로 배열되어 있는 한 쌍의 제1 쓰루 홀(52) 및 제2 쓰루 홀(52)을 연장하는 한 쌍의 십자형 패턴일 수 있다.

감광성 폴리이미드막(30a, 30b, 30c)에 형성되는 스트레스 완화 패턴(32, 34, 36)은 통상적인 반도체 제조 공정을 사용하여 당업계에서 통상의 지식을 가진 자가 용이하게 제조할 수 있다. 예를 들어, 제1 및 제2 쓰루 홀(50)을 형성하는 공정에서 상기한 스트레스 완화 패턴(32, 34, 36) 형성용 트렌치를 형성한 후에, 후속 패키지 공정 등에서 에폭시 물질을 상기 트렌치에 매립함으로써 스트레스 완화 패턴(32, 34, 36)을 형성할 수 있다. 이 경우, 기존의 제조 공정에서 상기 트렌치를 형성하는 공정을 별도로 추가할 필요가 없는 장점이 있다. 또한, 경우에 따라서는 상기 트렌치를 형성하는 공정은 제1 및 제2 쓰루 홀(50) 형성 공정과 분리하여 따로 수행할 수도 있다.

전술한 바와 같이, 감광성 폴리이미드막(30a, 30b, 30c)의 하부에는 패시베이션층(20)이 형성되어 있다. 본 발명에 의한 반도체 소자는 상기 패시베이션층(20)에도 스트레스 완화 패턴이 형성되어 있을 수 있다. 예를 들어, 패시베이션층(20)이 HDP 산화막(22)과 실리콘 질화막(24)의 복합막이라고 하자. 이 경우, 스트레스 완화 패턴은 패시베이션층(20)을 구성하는 HDP 산화막(22)과 실리콘 질화막(24) 모두에 형성되어 있거나, 패시베이션층(20)을 구성하는 어느 하나의 물질층(22 또는 24)에만 형성되어 있을 수 있다. 그리고, 패시베이션층(20)에 형성되는 스트레스 완화 패턴의 위치는 감광성 폴리이미드막(30a, 30b, 30c)에 형성되는 스트레스 완화 패턴(32, 34, 36)의 위치에 대응하지 않는 위치인 것이 바람직하다.

도 9에는 본 발명의 실시예에 따라 제조된 반도체 소자의 다이-휨 현상의 개선율을 보여주는 그래프가 도시되어 있다. 도 9에서는 감광성 폴리이미드막에 구비되는 스트레스 완화 패턴의 폭에 따른 다이-휨 현상의 개선율을 보여주고 있으며, 실험은 도 5b에 도시된 십자형 스트레스 완화 패턴과 도 5c에 도시된 창문형 스트레스 완화 패턴을 구비한 감광성 폴리이미드막을 포함하는 반도체 소자에 대하여 수행되었다. 그리고, 상기 그래프에서 다이-휨 현상의 개선율이란 다음의 수학식 1로 표시되는 것을 말한다.

수학식 1

$$\text{개선율} = \frac{a-b}{a} \times 100$$

여기서, a는 종래 기술에 따라서 스트레스 완화 패턴을 구비하지 않은 경우에서 기판의 중심부와 (좌, 후 방향의) 가장자리 부분의 높이 차이를 나타내고, b는 본 발명의 실시예에 따라서 스트레스 완화 패턴을 구비한 경우에서 기판의 중심부와 (좌, 후 방향의) 가장자리 부분의 높이 차이를 나타낸다.

도 9를 참조하면, 스트레스 완화 패턴의 모양이 십자형이든 창문형이든 스트레스 완화 패턴이 구비되지 않은 경우(도 9에서 폭이 0㎛인 경우)보다 구비된 경우(도 9에서 폭이 0㎛보다 큰 경우)에 다이-휨 현상이 개선되는 것을 알 수 있다. 그리고, 스트레스 완화 패턴이 아주 작은 경우(예컨대, 스트레스 완화 패턴이 경계면인 경우이거나 0.1㎛ 이하의 폭을 가지는 경우)에는 전혀 없는 경우에 비하여 약 5-8% 가량의 다이-휨 현상이 개선되는 것을 알 수 있다. 또한, 이러한 다이-휨 현상은 스트레스 완화 패턴의 폭이 증가할수록 그리고 그것의 개수가 많을수록 더 효과가 크지만 어느 정도 이상이 되면 다이-휨 현상의 개선율의 증가율이 감소하는 것을 알 수 있다.

발명의 효과

본 발명에 의한 반도체 소자는 상대적으로 넓은 면적에 걸쳐서 형성되는 물질층의 내부에 그것을 가로지르는 하나 또는 그 이상의 스트레스 완화 패턴이 구비되어 있다. 그 결과, 상기 물질층에 의하여 그 하부의 기판에 가해지는 스트레스 특히 압

축 스트레스를 완화시킬 수 있다. 따라서, 본 발명에 의하면 다이-휨 현상을 방지함으로써 반도체 소자의 신뢰성을 향상시킬 수 있고, 후속 공정에서 다이-휨 현상에 따른 공정 불량 및 다이의 파손을 방지할 수 있다. 뿐만 아니라, 본 발명의 실시예에 의하면 기존의 제조 공정에 다른 공정을 추가함이 없이 감광성 폴리이미드막에 스트레스 완화 패턴을 형성할 수 있기 때문에 공정의 단순화도 가능하다.

도면의 간단한 설명

도 1은 종래 기술에 따른 반도체 소자의 다이-휨 현상을 보여주는 도면이다.

도 2a는 종래 기술에 따른 감광성 폴리이미드막을 구비한 반도체 소자에 대한 평면도이다.

도 2b의 도 2a의 AA'라인을 따라 절취한 단면도이다.

도 2c는 도 2a의 BB'라인을 따라 절취한 단면도이다.

도 3a는 본 발명의 일 실시예에 따른 스트레스 완화 패턴을 구비한 반도체 소자에 대한 평면도이다.

도 3b는 도 3a의 CC'라인을 따라 절취한 단면도이다.

도 4a는 본 발명의 다른 실시예에 따른 스트레스 완화 패턴을 구비한 반도체 소자에 대한 평면도이다.

도 4b는 도 4a의 DD'라인을 따라 절취한 단면도이다.

도 5a 내지 도 5c는 본 발명의 실시예에 따른 반도체 소자의 스트레스 완화 패턴의 배열을 보여주는 실시예들이다.

도 6a는 본 발명의 또 다른 실시예에 따른 스트레스 완화 패턴을 구비한 반도체 소자에 대한 평면도이다.

도 6b는 도 6a의 EE'라인을 따라 절취한 단면도이다.

도 7a는 본 발명의 또 다른 실시예에 따른 스트레스 완화 패턴을 구비한 반도체 소자에 대한 평면도이다.

도 7b는 도 7a의 FF'라인을 따라 절취한 단면도이다.

도 8a는 본 발명의 일 실시예에 따른 감광성 폴리이미드막을 포함하는 반도체 소자에 대한 평면도이다.

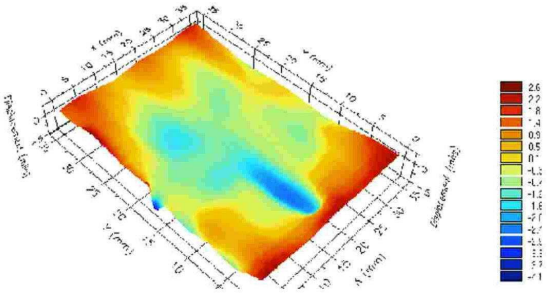
도 8b는 본 발명의 다른 실시예에 따른 감광성 폴리이미드막을 포함하는 반도체 소자에 대한 평면도이다.

도 8c는 본 발명의 또 다른 실시예에 따른 감광성 폴리이미드막을 포함하는 반도체 소자에 대한 평면도이다.

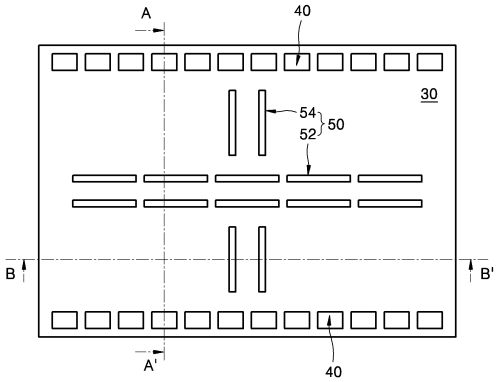
도 9는 본 발명의 실시예에 따른 반도체 소자에 있어서, 스트레스 완화 패턴의 폭의 변화에 따른 다이-휨의 개선율을 보여주는 그래프이다.

도면

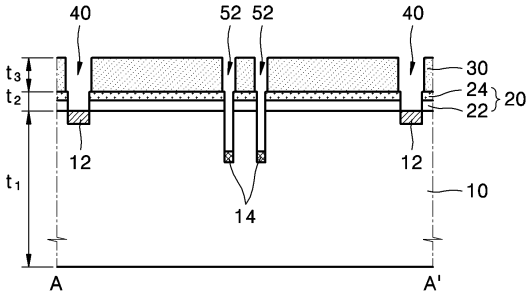
도면1



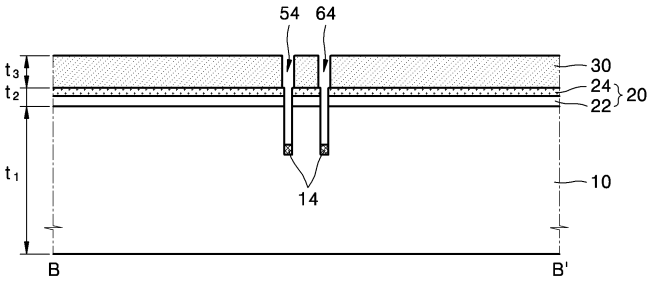
도면2a



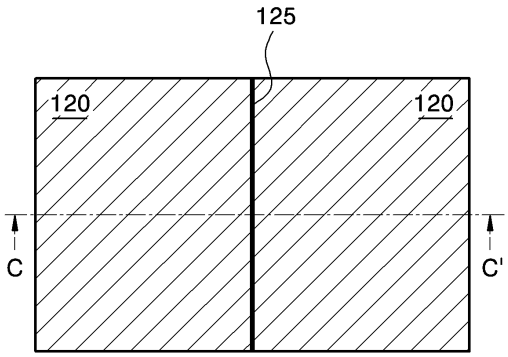
도면2b



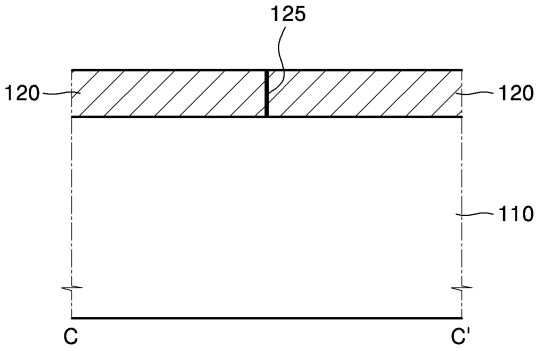
도면2c



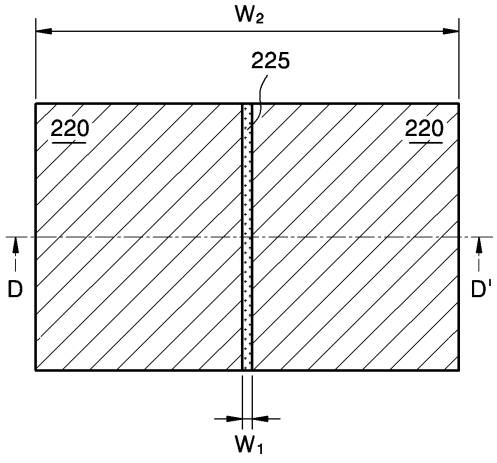
도면3a



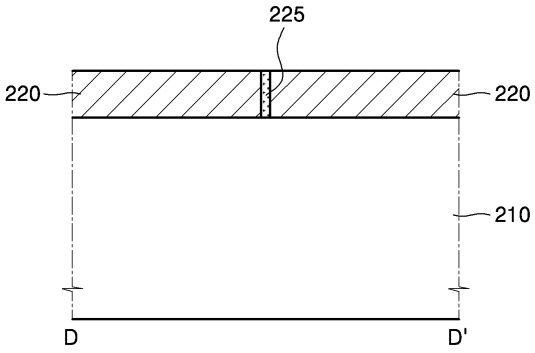
도면3b



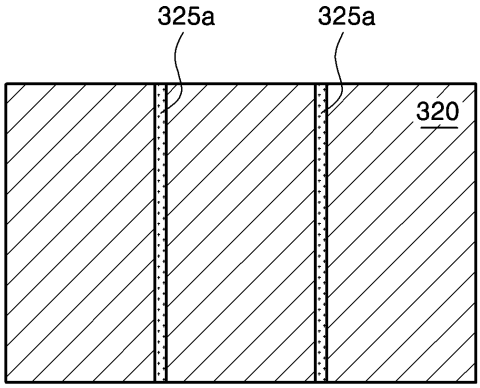
도면4a



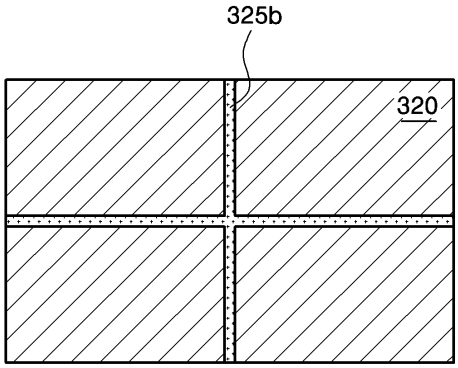
도면4b



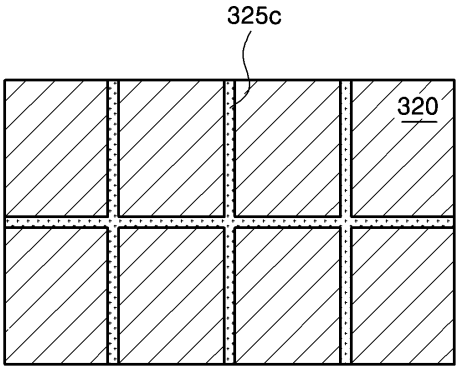
도면5a



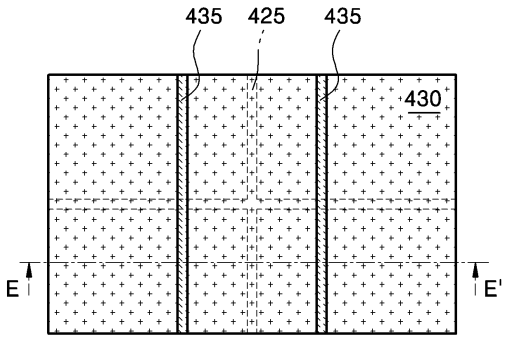
도면5b



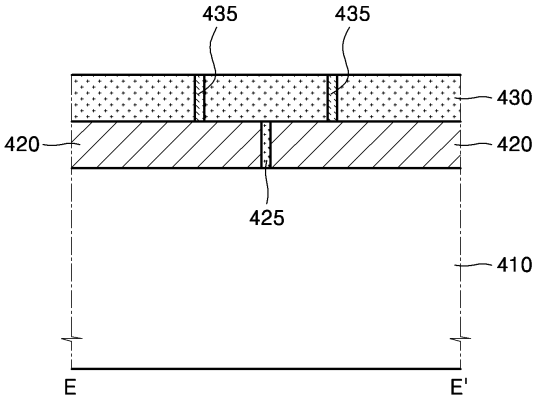
도면5c



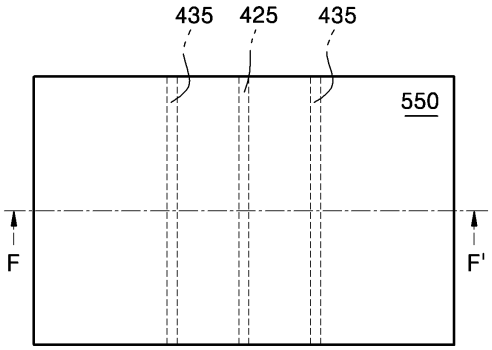
도면6a



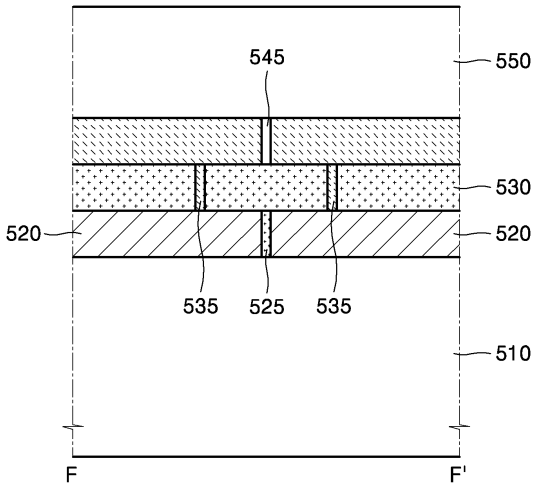
도면6b



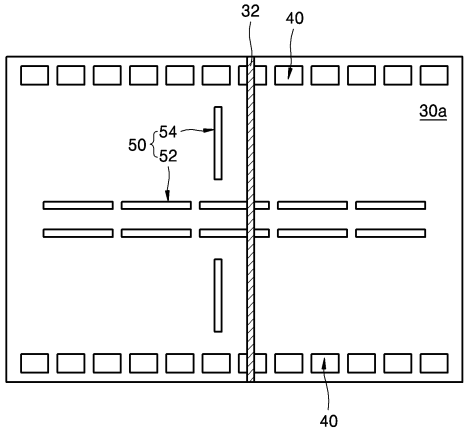
도면7a



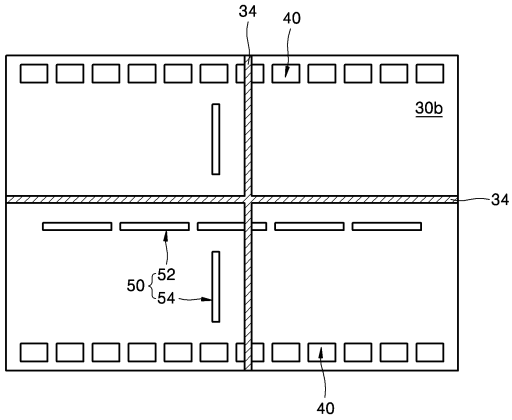
도면7b



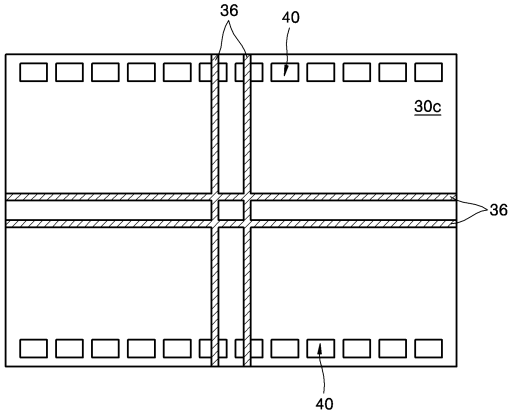
도면8a



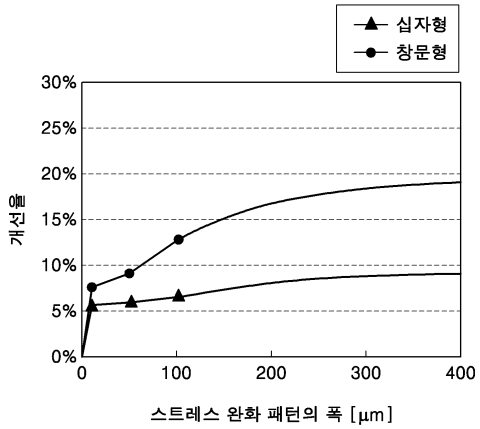
도면8b



도면8c


36
40
30c
36
40

도면9


십자형
창문형
30%
25%
20%
15%
10%
5%
0%
개선율
0
100
200
300
400
스트레스 완화 패턴의 폭 [μm]