



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월19일
(11) 등록번호 10-1065046
(24) 등록일자 2011년09월07일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2005-7024868

(22) 출원일자(국제출원일자) 2004년06월05일

심사청구일자 2009년05월14일

(85) 번역문제출일자 2005년12월23일

(65) 공개번호 10-2006-0062035

(43) 공개일자 2006년06월09일

(86) 국제출원번호 PCT/US2004/017727

(87) 국제공개번호 WO 2005/001908

국제공개일자 2005년01월06일

(30) 우선권주장

10/601,401 2003년06월23일 미국(US)

(56) 선행기술조사문현

US05612230 A1

US20010036731 A1

US20020177263 A1

US20030025126 A1

전체 청구항 수 : 총 12 항

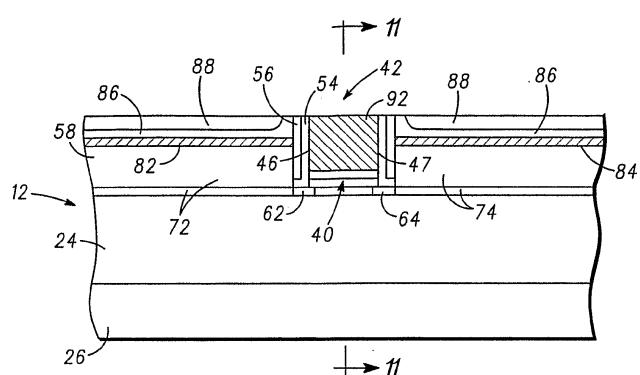
심사관 : 권순근

(54) 반도체 디바이스 및 그 제조 방법

(57) 요 약

집적회로에서 사용하기에 적합한 스트레이нд 반도체 디바이스와 이 스트레이нд 반도체 디바이스의 제조 방법. 메사 절연 구조가 반도체-온-절연체 기판으로부터 형성된다. 게이트 구조가 메사 절연 구조 위에 형성된다. 게이트 구조는 게이트 유전체 물질 상에 배치된 게이트를 갖고 2 세트의 대향 측벽들을 구비한다. 반도체 물질은 게이트 구조의 제 1 세트의 대향 측벽들에 인접한 메사 절연 구조의 부분들 상에서 선택적으로 성장하고 그 다음 도핑된다. 도핑 반도체 물질은 실리사이드화 되고 유전체 물질에 의해 보호된다. 게이트가 실리사이드화 되고 여기서 상기 실리사이드는 제 2 세트의 대향 측벽들 둘레를 랩핑하고 반도체 디바이스의 채널 영역에 응력을 가한다.

대 표 도 - 도10



10

특허청구의 범위

청구항 1

반도체 디바이스(10)의 제조 방법으로서,

유전체 물질층(24) 위에 배치된 제 1 반도체 물질층(22)을 포함하는 반도체 기판(12)을 제공하는 단계와;

상기 반도체 기판(12)으로부터 메사 구조(14)를 형성하는 단계와, 여기서 상기 메사 구조(14)는 제 1 표면(20)과 제 1 및 제 2 측벽들(16 및 18)을 포함하며;

상기 유전체 물질층(24)의 일부분을 언더식각하는 단계와, 상기 측벽들(16 및 18)은 상기 제 1 표면(20) 아래로 연장되며;

상기 메사 구조(14) 위에 게이트 구조(42)를 형성하는 단계와, 상기 게이트 구조(42)는 게이트 표면(44)과 제 1 및 제 2 측면들(46 및 47)을 구비하며, 상기 게이트 구조(42)의 제 1 및 제 2 부분들은 상기 제 1 및 제 2 측면들(46 및 48) 주위를 피복하고, 상기 게이트 구조(42)의 제 1 및 제 2 부분들은 상기 제 1 및 제 2 측벽들(16 및 18) 상에 각각 배치되며; 그리고

상기 게이트 구조(42)의 상기 제 1 및 제 2 측면들(46 및 47)에 인접한 상기 반도체 기판(12) 부분을 도핑하는 단계

를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 2

제1항에 있어서,

상기 게이트 구조(42)를 형성하는 단계는,

상기 메사 구조(14) 위에 제 1 유전체 물질층(28)을 형성하는 단계; 및

상기 제 1 유전체 물질층(28) 위에 제 2 유전체 물질층(30)을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 3

제1항에 있어서,

상기 게이트 구조(42)를 형성하는 단계는,

상기 제 1 및 제 2 측벽들(16 및 18) 상에 제 1 유전체 물질층(28) 부분들을 형성하는 단계와, 상기 제 1 유전체 물질층(28)의 일부분은 상기 게이트 구조(42)의 상기 제 1 부분으로 기능하고 상기 제 1 유전체 물질층(28)의 다른 부분은 상기 게이트 구조(42)의 상기 제 2 부분으로 기능하며; 그리고

상기 제 1 및 제 2 측벽들(16 및 18)을 산화시키는 단계

를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 4

제1항에 있어서,

상기 게이트 구조(42)의 상기 제 1 및 제 2 측면들(46 및 47)에 인접한 상기 반도체 기판(12) 부분을 도핑하기 전에,

상기 게이트 구조(42) 상에 제 1 유전체 물질층(50)을 형성하는 단계와;

상기 제 1 유전체 물질층(50) 상에 제 2 유전체 물질층(52)을 형성하는 단계와, 상기 제 1 및 제 2 유전체 물질층들(50 및 52)은 서로 다른 유전체 물질을 포함하며;

상기 제 1 및 제 2 유전체 물질층들(50 및 52)을 이방성 식각하는 단계와, 상기 반도체 기판(12)의 일부분이 노출되며; 그리고

상기 게이트 구조(42)의 상기 제 1 및 제 2 측면들(46 및 47)에 인접한 상기 반도체 기판(12) 위에 반도체 물질층(58)을 선택적으로 성장시킴으로써 상기 반도체 물질층(58)을 형성하는 단계
를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 5

반도체 디바이스(10)의 스트레인 방법으로서,

반도체-온-절연체 메사 절연 구조(14)를 제공하는 단계와, 상기 반도체-온-절연체 메사 절연 구조(14)는 상부 표면(20)과 제 1 및 제 2 측벽들(16 및 18)을 구비하며;

상기 반도체-온-절연체 메사 절연 구조(14)를 언더식각하는 단계와, 상기 제 1 및 제 2 측벽들(16 및 18)은 상기 상부 표면(20) 아래로 연장되며;

상기 상부 표면(20)과 상기 제 1 및 제 2 측벽들(16 및 18) 상에 게이트 유전체 물질(32)을 형성하는 단계와;

상기 게이트 유전체 물질(32) 위에 게이트(38)를 형성하는 단계와, 상기 게이트(38)와 상기 게이트 유전체 물질(32)이 함께 상부 표면(44) 및 게이트 측벽들(46 및 47)을 구비하는 게이트 구조(42)를 형성하며;

상기 메사 절연 구조(14)의 상기 제 1 및 제 2 측벽들(16 및 18)에 인접한 상기 메사 절연 구조(14)의 상기 상부 표면(20) 부분들 상에 반도체 물질(34)을 형성하는 단계와, 상기 게이트 유전체 물질(32)과 상기 반도체 물질(34)은 상기 게이트 측벽들(46 및 47)의 일부를 피복하며; 그리고

상기 반도체 물질(34) 및 상기 게이트(38)로부터 실리사이드(92)를 형성하는 단계

를 포함하며,

상기 반도체 물질(34) 및 상기 게이트(38)로부터의 상기 실리사이드(92)가 상기 반도체 디바이스를 스트레인시키는 것을 특징으로 하는 반도체 디바이스(10)의 스트레인 방법.

청구항 6

반도체 디바이스(10)의 스트레인 방법으로서,

제 1 유전체 물질층(24) 위에 배치된 제 1 반도체 물질층(22)을 포함하는 반도체 기판(12)을 제공하는 단계와, 상기 반도체 기판(12)은 상부 표면(20)과 측벽들(16 및 18)을 구비하며;

상기 제 1 유전체 물질층(24)의 일부분을 언더식각하는 단계와, 상기 측벽들(16 및 18)은 상기 상부 표면(20) 아래로 연장되며;

상기 반도체 기판(12) 위에 게이트 구조(42)를 형성하는 단계와, 상기 게이트 구조(42)는 게이트 표면(44), 제 1 및 제 2 대향 게이트 측벽들(46 및 47), 그리고 제 1 및 제 2 대향 게이트 측면들(48 및 49)을 구비하며, 그리고

상기 게이트 표면(44)과 제 2 반도체 물질층(34)로부터 실리사이드(92)를 형성하는 단계 -상기 실리사이드(92)가 상기 반도체 기판(12)의 상기 제 1 반도체 물질층(22)을 스트레인시킴-

를 포함하여 이루어지며,

상기 게이트 구조(42)를 형성하는 단계는,

상기 측벽들(16 및 18)의 일부분 상에 제 2 유전체 물질층(28 및 30)을 형성하는 단계와; 그리고

상기 제 2 유전체 물질층(28 및 30)의 일부분 상에 상기 제 2 반도체 물질층(34)을 형성하는 단계

를 포함하며, 상기 제 2 유전체 물질층(28 및 30) 및 제 2 반도체 물질층(34)은 상기 제 1 및 제 2 대향 게이트 측면들(48 및 49)을 피복하는 것을 특징으로 하는 반도체 디바이스의 스트레인 방법.

청구항 7

제6항에 있어서,

상기 제 2 유전체 물질층(28 및 30)은 상기 제 1 및 제 2 대향 게이트 측면들(48, 49)에 인접한 상기 제 1 반도

체 물질층(22) 부분 상에도 형성되며, 그리고

상기 제 2 반도체 물질층(34)을 형성하기 전에 상기 게이트 구조(42)를 보호하는 단계
를 더 포함하는 것을 특징으로 하는 반도체 디바이스의 스트레인 방법.

청구항 8

제6항에 있어서,

상기 게이트 표면(44)으로부터 상기 실리사이드(92)를 형성하기 전에,

상기 제 1 및 제 2 대향 게이트 측면들(48, 49)에 인접한 상기 제 1 반도체 물질층(22) 부분 상에 제 3 반도체 물질층(58)을 형성하는 단계와;

상기 제 3 반도체 물질층(58)을 도핑하는 단계와;

상기 제 3 반도체 물질층(58)으로부터 실리사이드(82 및 84)를 형성하는 단계와; 그리고

상기 제 3 반도체 물질층(58)으로부터 형성된 상기 실리사이드(82 및 84)를 보호하는 단계

를 더 포함하는 것을 특징으로 하는 반도체 디바이스의 스트레인 방법.

청구항 9

집적회로에서 사용되는 스트레인드 반도체 디바이스(10)로서,

메사 절연 구성의 반도체-온-절연체 기판(12)과;

상기 반도체-온-절연체 기판(12) 위에 배치된 게이트 구조(42)와, 상기 게이트 구조(42)는 게이트 표면(44), 제 1 및 제 2 대향 측벽들(46 및 47), 그리고 제 1 및 제 2 대향 측면들(48 및 49)을 구비하며;

상기 게이트 구조(42)의 상기 제 1 및 제 2 대향 측면들(48 및 49) 각각에 인접한 제 1 및 제 2 도핑 영역들(72 및 74)을 포함하며,

상기 게이트 구조(42)는,

절연 측벽들의 일부분 상에 배치된 제 2 유전체 물질층(32)과;

상기 제 2 유전체 물질층(32) 위에 배치된 제 2 반도체 물질층(34)과, 여기서 상기 제 2 유전체 물질층(32) 및 제 2 반도체 물질층(34)이 상기 제 1 및 제 2 대향 측벽들 둘레를 둘러싸며;

상기 제 1 및 제 2 도핑 영역들(72 및 74) 각각 상의 제 1 및 제 2 실리사이드 영역들(82 및 84)과; 그리고

상기 게이트 구조(42)상의 게이트 실리사이드(92)를 포함하며,

상기 게이트 실리사이드(92)가 상기 반도체 디바이스(10)를 스트레인시키는 것을 특징으로 하는 집적회로에서 사용되는 스트레인드 반도체 디바이스.

청구항 10

제 9항에 있어서,

상기 게이트 구조(42)는 제 2 유전체 물질(28) 상에 배치된 제 1 유전체 물질(30)과 상기 제 1 유전체 물질(30) 상에 배치된 반도체 물질(34)을 포함하며,

상기 제 1 유전체 물질(30)은 실리콘 나이트라이드이며,

상기 제 2 유전체 물질(28)은 옥사이드며,

상기 반도체 물질(34)은 폴리실리콘인 것을 특징으로 하는 집적회로에서 사용되는 스트레인드 반도체 디바이스.

청구항 11

제5항 또는 제6항에 있어서,

상기 실리사이드(92)는 적어도 360°C의 온도에서 어닐링되어 채널 영역에서 응력을 증가시키는 것을 특징으로

하는 반도체 디바이스의 스트레인 방법.

청구항 12

제5항 또는 제6항에 있어서,

상기 게이트 구조(42)가 250nm 보다 작은 폭을 갖도록 제조됨으로써, 채널 영역을 인장 응력하에 유지시키는 것을 특징으로 하는 반도체 디바이스의 스트레인 방법.

명세서

기술 분야

[0001]

본 발명은 일반적으로 반도체 디바이스에 관한 것이며, 더욱 상세하게는 반도체 디바이스에서 캐리어 이동도 및 반도체 디바이스의 제조 방법에 관한 것이다.

배경기술

[0002]

マイ크로프로세서, 디지털 신호 처리기, 마이크로제어기, 메모리 디바이스등과 같은 집적회로는 전형적으로 수백만개의 절연 게이트 전계 효과 트랜지스터(Insulated Gate Field Effect Transistor:IGFET)를 포함한다. 집적회로를 구성하는 트랜지스터 또는 디바이스들의 속도를 증가시키기 위해, 집적회로 제조자는 디바이스 사이즈를 감소시켰다. 작은 디바이스가 더 빠른 속도로 동작할 수 있지만, 소스-드레인 항복 전압의 감소, 접합 용량의 증가, 및 임계 전압의 불안정성과 같은 2차 성능 인자들이 트랜지스터 성능에 부정적인 영향을 미친다. 총괄적으로, 이러한 바람직하지 않은 성능 효과는 짧은 채널 효과(short channel effect)로 불린다.

[0003]

디바이스 속도를 증가시키는 기술은 디바이스 사이즈를 줄이는 문제에서 캐리어 이동도를 개선하고 짧은 채널 효과를 완화하는 문제로 변경되었다. 예를 들면, 짧은 채널 효과들은 드레인 콩핍 영역의 피크(peak) 측면 전계를 최소화하도록 채널 영역에서 전계를 조정함으로써 완화될 수 있다. 측면 전계를 낮추는 한가지 기술은 소스 및 드레인 확장 영역들을 포함시키는 것이다. 캐리어 이동도를 증가시키고 짧은 채널 효과를 완화시키는 다른 적당한 기술은 디바이스를 실리콘-온-절연체(SOI) 기판 상에 제조하는 것이다. 반도체 디바이스들을 스트레인(straining)시킴으로써, 이동도를 더욱 개선할 수 있다. 스트레인드(strained) 반도체 디바이스들의 제조하는 경우의 단점은, 실질적으로 동일한 양의 스트레인을 갖는 반도체 디바이스들을 생산할 수 있는 대규모 제조 공정들을 개발할 수 없다는 것이다.

[0004]

따라서, 소정의 스트레인 양을 갖는 반도체 디바이스와 이러한 반도체 디바이스를 제조하는 방법이 필요하다.

발명의 상세한 설명

[0005]

본 발명은 스트레인드 채널 영역을 구비한 반도체 디바이스와 이러한 반도체 디바이스를 제조하는 방법을 제공함으로써 전술한 필요사항을 충족시킨다. 일양상에 따르면, 본 발명은 반도체 기판으로부터 메사(mesa) 구조를 형성하는 것을 포함하며, 여기서 이러한 메사 구조는 제 1 표면과 제 1 및 제 2 측벽(sidewall)들을 포함한다. 게이트 표면과 제 1 및 제 2 측면(side)들을 구비한 게이트 구조가 메사 구조 위에 형성되고, 여기서 게이트 구조의 제 1 및 제 2 부분들은 각각 제 1 및 제 2 측벽들 상에 배치된다. 게이트 구조의 제 1 및 제 2 측면들에 인접한 반도체 기판 부분들은 도핑된다.

[0006]

다른 양상에 따르면, 본 발명은 집적회로에서 사용하기에 적당한 스트레인드 반도체 디바이스를 제조하는 방법을 포함한다. 상부 표면과 제 1 및 제 2 측벽들을 구비한 반도체-온-절연체 메사 절연 구조가 제공된다. 게이트 절연 물질은 상부 표면과 제 1 및 제 2 측벽들 상에 형성되고 게이트가 게이트 절연 물질 상에 형성되며, 여기서 상기 게이트 및 게이트 절연 물질은 함께 상부 표면 및 게이트 측벽들을 구비한 게이트 구조를 형성한다. 반도체 물질은 제 1 및 제 2 측벽들에 인접한 메사 절연 구조의 상부 표면들의 부분 상에 형성된다. 실리사이드(silicide)가 반도체 물질 및 게이트로부터 형성되며, 여기서 게이트로부터의 실리사이드는 반도체-온-절연체 메사 절연 구조를 스트레인시킨다.

[0007]

또 다른 양상에 따르면, 본 발명은 반도체 디바이스를 스트레인하는 방법을 포함한다. 제 1 반도체 물질 층을 포함하는 반도체 기판이 유전체 물질 층 위에 놓이며, 여기서 상기 반도체 기판은 상부 표면 및 절연 측벽들을 갖는다. 게이트 표면, 제 1 및 제 2 대향(opposing) 게이트 측벽들, 그리고 제 1 및 제 2 대향 측면들을 구비한

게이트 구조가 반도체 기판 위에 형성된다. 실리사이드가 게이트 구조의 게이트 표면과 제 1 및 제 2 대향 측벽들로부터 형성되고, 여기서 실리사이드는 반도체 기판의 반도체 물질을 스트레인시킨다.

[0008] 또 다른 양상에 따르면, 본 발명은 집적회로에서 사용하기에 적합한 스트레인드 반도체 디바이스를 포함한다. 스트레인드 반도체 디바이스는 메사 절연 구조에서 반도체-온-절연체 기판을 포함한다. 게이트 표면, 제 1 및 제 2 대향 측벽들, 그리고 제 3 및 제 4 대향 측벽들을 구비한 게이트 구조가 반도체-온-절연체 기판 위에 놓인다. 제 1 및 제 2 도핑 영역들이 각각 게이트 구조의 제 3 및 제 4 측벽들에 인접하여 있다. 제 1 및 제 2 실리사이드 영역들이 제 1 및 제 2 도핑 영역들 상에 각각 위치한다. 게이트 실리사이드가 게이트 상에 위치하고, 여기서 게이트 실리사이드는 반도체 디바이스의 채널 영역을 스트레인시킨다.

실시예

[0021] 일반적으로, 본 발명은 스트레인드 반도체 디바이스나 트랜지스터를 포함하는 집적회로와 상기 스트레인드 반도체 디바이스를 제조하는 방법을 제공한다. 반도체 디바이스는 스트레인되어 채널 영역에서 전자들 및 정공들의 이동도를 증가시킨다. 일 실시예에 따르면, 메사 절연 구조 및 실리사이드 게이트 구조의 결합은 채널 영역을 압축 응력(compressive stress)하에 있도록 함으로써 정공 이동도를 개선한다. 다른 실시예에 따르면, 메사 구조의 매립 옥사이드(buried oxide)를 언더식각(underetching)하고 그리고 게이트 유전체와 언더식각된 메사 구조 주변의 게이트 물질을 피복(wrappering)하여 채널 영역을 인장 응력(tensile stress)하에 있도록 함으로써 전자 및 정공 이동도를 개선한다. 이러한 실시예에서, 실리사이드는 바람직하게 니켈 실리사이드(nickel silicide)이다. 이러한 응력은 실리사이드를 높은 온도에서 어닐링함으로써 더욱 개선할 수 있다. 예를 들면, 니켈 실리사이드 게이트의 인장 응력은 360°C의 온도에서 어닐링된 때 대략 800MPa(메가파스칼)이고 400°C의 온도에서 어닐링된 때 대략 1.25GPa(기가파스칼)이다. 또 다른 실시예에 따르면, 게이트가 대략 250nm보다 작은 폭을 갖도록 제조함으로써 채널 영역이 인장 응력하에 유지된다.

[0022] 도 1은 본 발명의 실시예에 따른 제조 동안에 반도체 디바이스(10)의 일부분의 사시도이다. 도 1에 기판 표면(20)과 측벽들(16 및 18)을 구비한 메사 절연 구조(14)를 포함하도록 패턴된 반도체-온-절연체(SOI) 기판(12)이 도시된다. SOI 기판(12)은 유전체 물질 층(24) 상에 배치된 반도체 물질 층(22)을 포함하며, 상기 유전체 물질 층(24)은 반도체 물질의 몸체(26) 위에 배치된다. 바람직하게, 반도체 물질 층(22)은 비도핑(undoped) 실리콘으로 실리콘 단층(monolayer) 내지 대략 25nm 범위의 두께를 갖고 유전체 층(24)은 대략 50nm 내지 대략 500nm 범위의 두께를 갖는다. 더욱 바람직하게, 실리콘 층(22)은 10nm 미만의 두께를 갖고 유전체 층(24)은 대략 200nm의 두께를 갖는다. 기판 표면(22)은 또한 활성 표면 또는 기판의 상부 표면으로 불린다. 메사 절연 구조들을 형성하는 기술들은 기술분야의 당업자에게 알려져 있다.

[0023] 도 2에서, 도 1의 구분 라인 2-2을 따라 취해지는 패턴된 SOI 기판(12)이 도시된다. 더욱 상세하게, 도 2는 기판 표면(20), 실리콘 층(22), 실리콘 다이옥사이드 층(24) 및 실리콘 층(26)을 나타내는 측단면도이다. 도 3에서, 유전체 물질 층(28)이 기판 표면(20) 위에 형성되고 유전체 물질(30)이 유전체 물질(28) 위에 형성된다. 예시로서, 유전체 물질(28)은 실리콘 다이옥사이드 층(24)과 함께 게이트 유전체 물질(32)을 형성한다. 실리콘 다이옥사이드 층(28) 및 실리콘 나이트라이드 층(30)은 열산화 기술(thermal oxidation), 화학적 기상 증착 등과 같은 기술분야의 당업자에게 알려진 기술들로 형성될 수 있다. 바람직하게, 게이트 유전체 물질(32)은 대략 0.8nm 내지 대략 2.0nm 범위의 두께를 갖는다. 더욱 바람직하게, 게이트 유전체 물질(32)은 대략 1.3nm의 두께를 갖는다. 게이트 유전체 물질(32)은 두 개의 유전체 물질 층들 또는 실리콘 다이옥사이드 층 위에 배치된 실리콘 나이트라이드 층에 한정되지 않는다. 예를 들면, 게이트 유전체 물질(32)은 예컨대, 3.9보다 큰 고유전상수(k)를 갖는 물질, 옥사이드 단일 층, 또는 이들의 결합으로 구성된다.

[0024] 폴리실리콘 층(34)이 예를 들면 화학적 기상 증착 기술을 사용하여 게이트 유전체 물질(32) 위에 형성된다. 폴리실리콘 층(34)에 대한 적당한 두께 범위는 대략 1nm와 2nm 사이이다. 포토레지스트 층이 폴리실리콘 층(34) 위에 증착되고 패턴되어 식각 마스크(36)를 형성한다.

[0025] 도 4에서, 폴리실리콘 층(34)이 식각 화학물질을 사용하여 식각되는바, 상기 식각 화학물질은 우선적으로 폴리실리콘을 식각한다. 즉, 식각 화학 물질은 포토레지스트 식각 마스크(36)에 선택적이다. 예시로서, 폴리실리콘 층(34)은 이방성 반응성 이온 식각(RIE)과 포토레지스트에 선택적인 식각액 종(etchant species)을 사용하여 식각된다. 선택적으로, 게이트 유전체 물질(32), 즉 실리콘 다이옥사이드 층(28)과 실리콘 나이트라이드 층(30)은 폴리실리콘 층(34)의 식각 후에 이방성 식각된다. 폴리실리콘과 게이트 유전체 물질의 식각 방법은 당해 기술분야의 당업자에게 잘 알려져 있다. 식각 마스크(36)가 제거된다. 폴리실리콘 층(34)의 잔존 부분(38)은 반도체

디바이스(10)의 게이트로서 기능한다. 게이트(38)와 기판(22) 사이의 게이트 유전체 물질(32) 부분(40)은 게이트 유전체로서 기능한다. 게이트(38)와 게이트 유전체(40)는 함께 게이트 구조(42)를 형성한다. 게이트 구조(42)는 게이트 표면(44)과 대향 측벽들(46 및 47)을 구비한다.

[0026] 간단하게, 도 5에서, 도 4의 구분 라인 5-5를 따라 취해지는 단면도가 도시된다. 도 5는 메사 절연 구조의 실리콘층(26), 실리콘 다이옥사이드 층(24) 및 실리콘 층(22)이 도시한다. 주목할 사항은, 실리콘 다이옥사이드층(24)의 일부분이 반도체 디바이스(10)의 제조 동안에 식각되었기 때문에 측벽들(16 및 18)이 실리콘층(22) 아래에서 연장된다는 점이다. 특히, 실리콘 다이옥사이드 층(24)은 폴리실리콘 층(34)의 형성을 위한 제조에서 수행되는 클리닝(cleaning) 단계 동안에 식각된다. 이러한 식각은 또한 언더식각으로도 불릴 수 있는바, 소정 양의 실리콘 다이옥사이드층(24)이 언더식각되도록 제어될 수 있다. 바람직하게, 각 측면, 즉 측벽들(16 및 18)로부터 식각되는 실리콘 다이옥사이드 층(24)의 양은 대략 10nm와 대략 30nm 사이이다. 더욱 바람직하게, 각 측면으로부터 식각되는 실리콘 다이옥사이드 층(24)의 양은 대략 20nm이다. 언더식각으로 인해, 게이트 유전체 물질(32)이 실리콘층(22)의 대향 측면들(48 및 49) 둘레를 피복한다. 유사하게, 폴리실리콘 층(34)은 대향 측면들(48 및 49)에 인접한 게이트 유전체(40) 부분 둘레를 피복한다.

[0027] 도 6에서, 대략 2.5nm 내지 대략 10nm 범위의 두께를 갖는 실리콘 다이옥사이드 층(50)은 게이트(38) 및 실리콘 나이트라이드 층(30) 위에 형성된다. 대략 5nm 내지 대략 50nm 범위의 두께를 갖는 실리콘 나이트라이드 층(52)이 실리콘 다이옥사이드 층(50) 위에 형성된다. 바람직하게, 실리콘 다이옥사이드 층(50)은 5nm의 두께를 갖고 실리콘 나이트라이드 층(52)은 30nm의 두께를 갖는다.

[0028] 도 7에서, 실리콘 나이트라이드 층(52) 및 실리콘 다이옥사이드 층(50)이 이방성 반응성 이온 식각을 사용하여 식각된다. 이방성 식각후에, 실리콘 다이옥사이드 층(50)의 일부분(54) 및 실리콘 나이트라이드 층(52)의 일부분(56)이 게이트 구조(42) 및 게이트 구조(42)에 인접한 실리콘층(22) 부분 위에 잔존한다. 주목할 사항은, 만약 게이트 유전체 물질(32)이 도 4에 도시된 바와 같은 게이트(38)의 형성 후에 이방성으로 식각되지 않았다면, 게이트 유전체 물질(32)은 실리콘 나이트라이드 층(52) 및 실리콘 다이옥사이드 층(50)을 이방성으로 식각한 후에 이방성으로 식각될 것이라는 점이다.

[0029] 표면(60)을 구비하고 대략 15nm 내지 대략 45nm 범위의 두께를 갖는 실리콘층(58)은 실리콘층(22)의 노출된 부분 위에 성장된다. 바람직하게, 실리콘층(58)은 선택적 에피택실 성장 기술을 사용하여 성장된다. 실리콘 층(58)은 실리콘에만 한정되지 않으며, 예를 들면 실리콘 게르마늄(silicon germanium) 또는 게르마늄과 같은 다른 모든 적절한 반도체 물질일 수 있다.

[0030] 예를 들면, 비소(arsenic) 또는 인(phosphorus)과 같은 N타입 전도성 불순물이 실리콘층(58)에 주입되어 도핑 영역(62 및 64)을 형성하며, 이들은 각각 소스 및 드레인 확장 영역들로 기능한다. 바람직하게, 소스 확장 영역(62)은 게이트 측면(46)으로부터 게이트 구조(42) 아래로 확장하고 드레인 확장 영역(64)은 게이트 측면(47)으로부터 게이트 구조(42) 아래로 확장한다. 확장 영역들(62 및 64)은 유전체 층(24) 안으로도 확장할 수 있다. 예시로서, 확장 영역들(62 및 64)의 불순물 농도는 약 1×10^{18} 원자/ cm^3 내지 약 5×10^{20} 원자/ cm^3 범위이다. 바람직하게는, 확장 영역들(62 및 64)은 대략 7° 내지 대략 45° 범위인 틸트 앵글(tilt angle)을 갖는 틸트 앵글 주입을 사용하여 형성되며, 여기서 상기 앵글은 표면(60)과 표면(60)으로부터 수직으로 연장된 가상선(imaginary line) 사이에 형성된다. 소스 및 드레인 확장 영역들(62 및 64)을 각각 형성하는데 적당한 주입 파라미터는 대략 10^{12} 이온/ cm^2 내지 대략 10^{15} 이온/ cm^2 범위의 주입 도오즈(dose)와 대략 1keV 내지 대략 20keV 범위의 주입 에너지를 포함한다. 주입 후에, 반도체 디바이스(10)가 어닐링된다. 소스 및 드레인 확장 영역들(62 및 64) 각각은 경사화된(angled) 또는 틸트 앵글 주입을 사용하여 형성되지만, 상기 주입은 게이트 구조(42) 아래 부분들이 아닌 실리콘 층(58 및 72)의 부분들에 행해질 수도 있음을 이해해야 한다.

[0031] 소스/드레인 주입이 수행되어 소스 영역(72) 및 드레인 영역(74)을 형성한다. 소스/드레인 주입은 또한 게이트 구조(42)를 도핑한다. 소스/드레인 주입을 위한 적절한 파라미터 세트는 예를 들면 대략 1×10^{14} 이온/ cm^2 내지 대략 1×10^{16} 이온/ cm^2 범위의 도오즈 및 대략 20keV 내지 대략 50keV 범위의 주입 에너지를 사용하여 비소와 같은 N 타입 불순물을 주입하는 것을 포함한다. 도핑 반도체 물질은 대략 800°C 내지 1,100°C 범위의 온도로 가열함으로써 어닐링된다.

[0032] 내열성 금속(refractory metal) 층(76)이 실리콘 표면(60) 위 및 실리콘 나이트라이드 층(52)의 일부분(56) 위에 등각적으로(conformally) 증착된다. 예시로서, 내열성 금속층(76)의 금속은 대략 50Å 내지 대략 150Å 범위

의 두께를 갖는 니켈이다. 내열성 금속은 350°C 내지 500°C 범위의 온도로 가열된다.

[0033] 도 8에서, 열처리로 인해서 니켈이 실리콘과 반응하여 니켈이 실리콘과 접촉하는 모든 영역에서 니켈 실리사이드(NiSi)를 형성한다. 따라서, 니켈 실리사이드 영역(82)이 소스 영역(72)에 형성되고 니켈 실리사이드 영역(84)이 드레인 영역(74)에 형성된다. 실리콘 나이트라이드 층(52)의 일부분(56)에 인접한 니켈 부분은 비반응 상태로 남는다. 니켈 실리사이드 영역들(82 및 84)의 형성 후에, 모든 비반응 니켈 실리사이드는 제거된다. 실리사이드 타입은 본 발명의 한정사항이 아님을 인식해야 한다. 다른 적당한 실리사이드는 예를 들면, 티탄 실리사이드(TiSi), 백금 실리사이드(PtSi), 코발트 실리사이드(CoSi) 등을 포함한다. 기술분야의 당업자가 이해하는 바와 같이, 실리콘은 실리사이드 형성 동안에 소비되고 실리콘 소비량은 형성되는 실리사이드 타입에 대한 함수이다.

[0034] 대략 250Å 내지 대략 750Å 범위의 두께를 갖는 유전체 물질층(86)이 실리사이드 영역들(82 및 84) 및 실리콘 나이트라이드 층(52)의 부분(56) 위에 형성된다. 대략 500Å 내지 대략 2,500Å 범위의 두께를 갖는 유전체 물질층(88)이 유전체 층(86) 위에 형성된다. 예시로서, 유전체 물질(86)은 대략 500Å 두께를 갖는 실리콘 옥시나이트라이드이고 유전체 층(88)은 대략 1,500Å의 두께를 갖는 테트라에틸오르토실리케이트(tetraethylorthosilicate, TEOS)의 분해에 의해 형성된 옥사이드이다.

[0035] 도 9에서, TEOS 층(88)은 예를 들면 폴리실리콘에 대한 고 선택률을 갖는 화학 기계적 연마(CMP) 기술을 사용하여 평탄화된다. 그 다음, 평탄화는 게이트(38) 상에서 중단된다. 내열성금속 층(90)이 실리콘 표면(44), TEOS 층(88), 실리콘 옥시나이트라이드 층(86)의 노출 부분 그리고 실리콘 다이옥사이드 층(54) 및 실리콘 나이트라이드 층(56)의 노출 부분 위에 등각적으로 증착된다. 예시로서, 내열성금속 층(90)의 금속은 대략 700Å 두께를 갖는 니켈이다. 내열성금속은 대략 350°C 내지 500°C 범위의 온도로 가열된다.

[0036] 도 10에서, 열처리로 인해서 니켈이 실리콘과 반응하여 니켈이 실리콘과 접촉하는 모든 영역에서 니켈 실리사이드(NiSi)를 형성한다. 따라서, 니켈 실리사이드 영역(92)이 게이트(38)로부터 형성된다. 비실리콘 영역, 즉, TEOS 층(88), SiON 층(86)의 노출 부분, 그리고 실리콘 다이옥사이드 층(54) 및 실리콘 나이트라이드 층(56)의 노출 부분 상에 배치된 니켈 부분은 비반응 상태로 남는다. 니켈 실리사이드 영역(92)의 형성 후에, 비반응 니켈 실리사이드는 제거된다. 실리사이드 타입은 본 발명의 한정사항이 아님을 인식해야 한다. 다른 적당한 실리사이드는 예를 들면, 티탄 실리사이드(TiSi), 백금 실리사이드(PtSi), 코발트 실리사이드(CoSi) 등을 포함한다. 기술분야의 당업자가 이해하는 바와 같이, 실리콘은 실리사이드 형성 동안에 소비되고 실리콘 소비량은 형성되는 실리사이드 타입에 대한 함수이다.

[0037] 도 11을 간략히 설명하면, 도11에는 도10의 구분 라인 11-11을 따라 취해지는 반도체 디바이스(10)의 측단면이 도시된다. 도11에는 유전체층(24) 위에 배치된 실리콘층(22)이 도시되어 있고, 유전체층(24)은 반도체 물질의 물체(26) 위에 배치된다. 실리콘 다이옥사이드층(28)과 실리콘 나이트라이드층(30)을 갖는 게이트 유전체(40)가 실리콘층(22)의 대향하는 측면(48, 49)을 피복한다. 이와 유사하게, 게이트(38)의 니켈 실리사이드 영역(92)은, 대향하는 측면(48, 49)에 인접한 게이트 유전체(40)의 일부를 피복한다. 여기까지에서, 접적회로에서의 사용에 적합한 스트레인드 반도체 디바이스가 제공된 것이 이해되어야 한다. 본 발명의 장점은 게이트의 폭, 어닐링 온도의 선택, 및 메사 구조의 언더식각을 조절함으로써 반도체 디바이스가 압축 또는 인장 응력 하에서 제조될 수 있다는 점이다. 반도체 디바이스는 응력을 제공하기 위해 이러한 기술들 중 하나 또는 이러한 기술들 중 하나 이상의 결합을 포함할 수 있다. 따라서, 전자 이동도, 정공 이동도 또는 전자 및 정공 모두의 이동도가 최적화될 수 있다. 이동도가 증가한 결과로서 디바이스 성능이 개선된다. 예를 들면, 본 발명의 실시예에 따라 제조되는 NMOS 및 PMOS 트랜지스터들은 각각 0.2ps 및 0.3ps(picosecond) 만큼 작은 CV/I 지연을 갖는다. 본 발명의 다른 장점은 응력이 최종의 더 높은 온도 공정 단계에서 정의된다는 점인데, 이는 후속 완화(subsequent relaxation)를 방지하는데 도움을 준다. 또 다른 장점은 높은 이동도가 디바이스의 구동 전류를 증가시키는 반면, 이러한 매우 얇은(ultra-thin) 반도체-온-절연체 디바이스에서의 양자 효과가 임계 전압을 증가시켜서 오프셋(offset) 전류를 개선한다.

[0038] 특정 바람직한 실시예 및 방법들이 본 명세서에서 개시되었지만, 당해 기술분야의 당업자에게는 전술한 개시사항으로부터 본 발명의 사상 및 범위를 벗어남이 없이 상기 실시예 및 방법의 변경 및 수정이 가능함이 명백할 것이다. 본 발명은 첨부된 청구항에 의해 규정된 범위 및 응용 범률들의 법칙 및 원리에만 한정된다.

도면의 간단한 설명

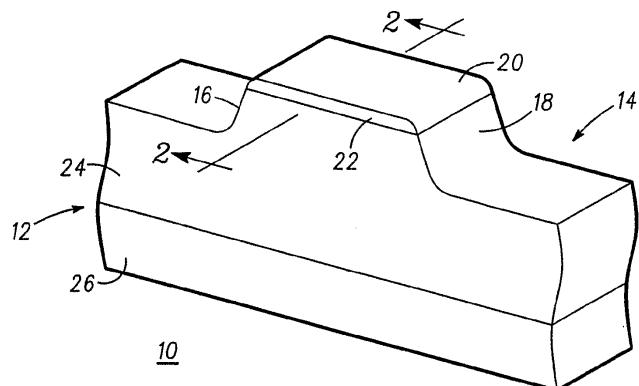
[0009] 본 발명은 첨부된 도면들과 함께 하기의 상세한 설명을 살펴보면서 더욱 잘 이해할 수 있으며, 동일한 참조 번

호는 동일한 요소들을 나타낸다.

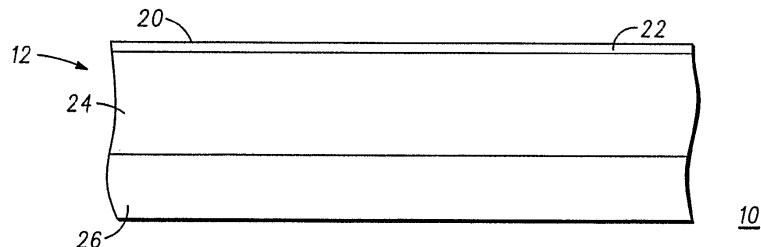
- [0010] 도 1은 본 발명의 실시예에 따른 제조의 착수 단계에서 반도체 디바이스의 일부분의 사시도이다;
- [0011] 도 2는 구분 라인 2-2을 따라 취해지는 도 1의 디바이스의 측단면도이다;
- [0012] 도 3은 후속 공정 후의 도 2의 반도체 디바이스의 측단면도이다;
- [0013] 도 4는 후속 공정 후의 도 3의 반도체 디바이스의 측단면도이다;
- [0014] 도 5는 구분 라인 5-5를 따라 취해지는 도 4의 반도체 디바이스의 측단면도이다;
- [0015] 도 6은 후속 공정 후의 도 4 및 도 5의 반도체 디바이스의 측단면도이다;
- [0016] 도 7은 후속 공정 후의 도 6의 반도체 디바이스의 측단면도이다;
- [0017] 도 8은 후속 공정 후의 도 7의 반도체 디바이스의 측단면도이다;
- [0018] 도 9는 후속 공정 후의 도 8의 반도체 디바이스의 측단면도이다;
- [0019] 도 10은 후속 공정 후의 도 9의 반도체 디바이스의 측단면도이다;
- [0020] 도 11은 구분 라인 11-11을 따라 취해지는 도 10의 반도체 디바이스의 측단면도이다.

도면

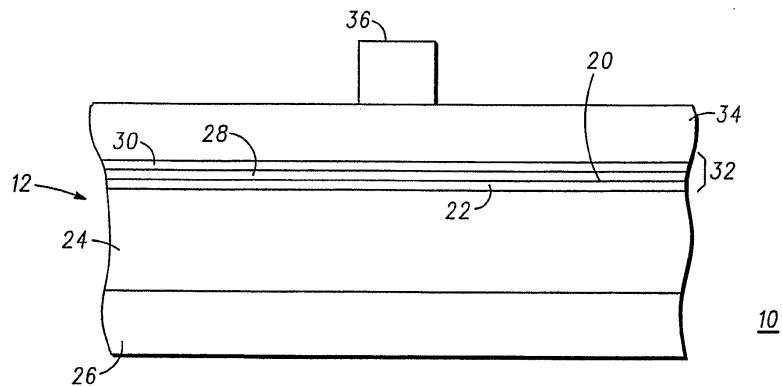
도면1



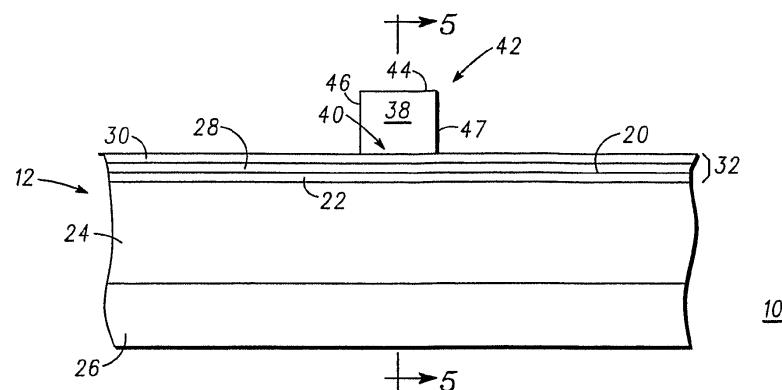
도면2



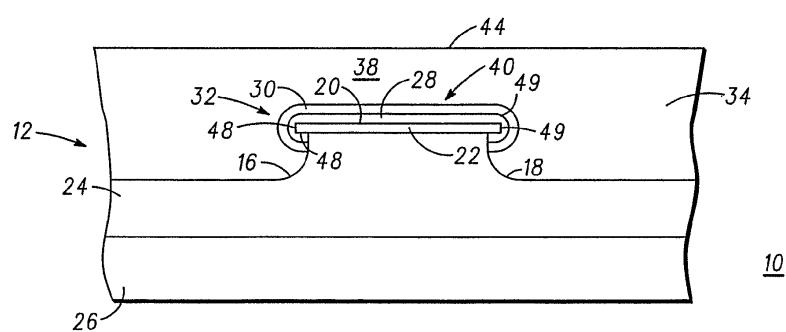
도면3



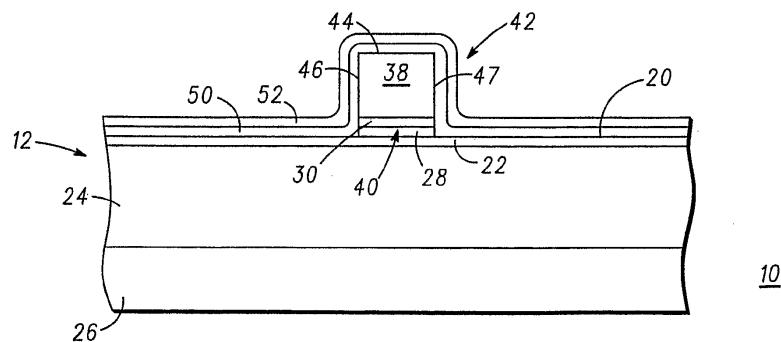
도면4



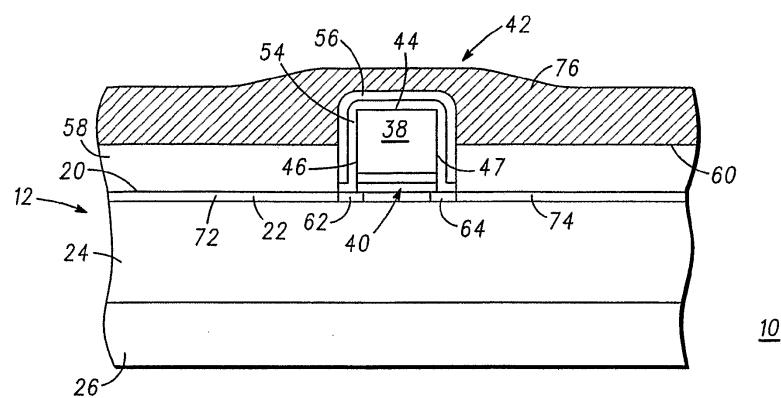
도면5



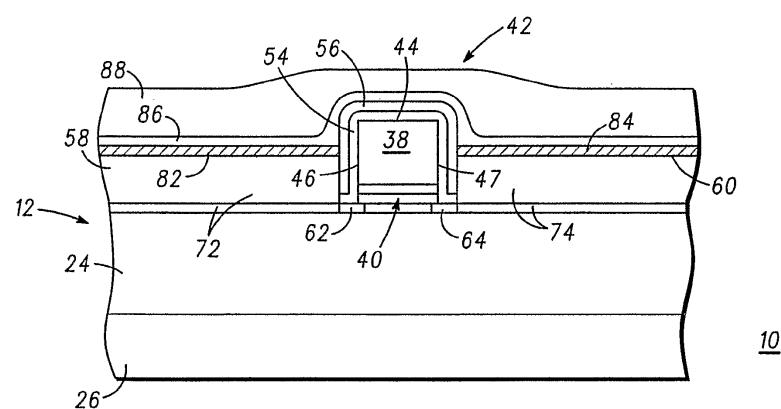
도면6

10

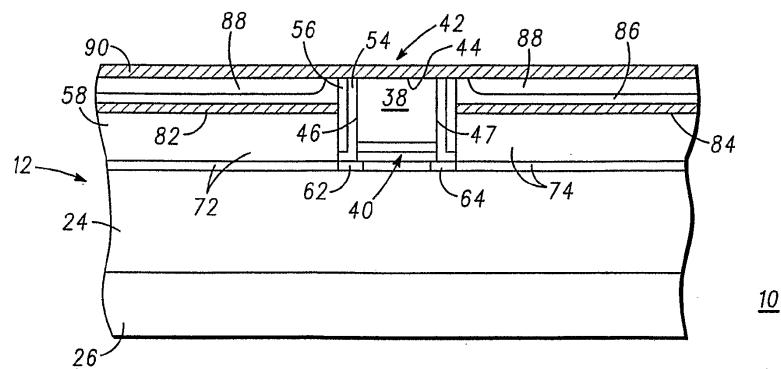
도면7

10

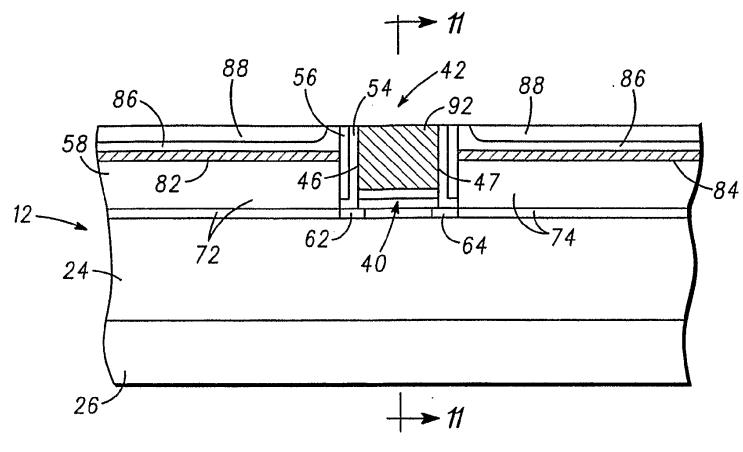
도면8

10

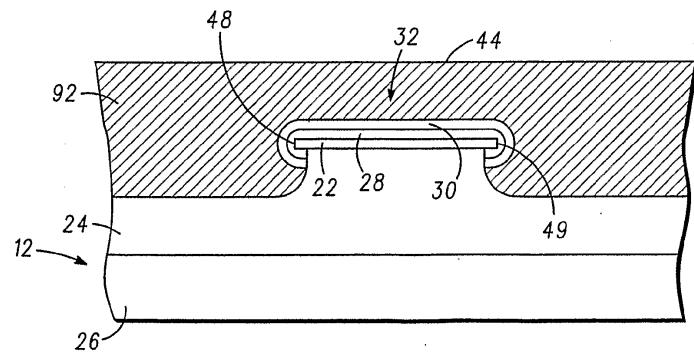
도면9



도면10

10

도면11

10