

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成27年6月18日 (2015.6.18)

【公開番号】特開2012-256412(P2012-256412A)

【公開日】平成24年12月27日 (2012.12.27)

【年通号数】公開・登録公報2012-055

【出願番号】特願2012-110167(P2012-110167)

【国際特許分類】

G 1 1 C 19/28 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/786 (2006.01)

G 1 1 C 16/04 (2006.01)

C 2 3 C 14/08 (2006.01)

【F I】

G 1 1 C 19/28 D

H 0 1 L 27/10 3 2 1

H 0 1 L 27/10 4 4 1

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 4 9 1

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 B

G 1 1 C 17/00 6 2 3 Z

C 2 3 C 14/08 K

【手続補正書】

【提出日】平成27年4月20日 (2015.4.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

記憶回路がカスケード接続された半導体記憶装置において、

( $2m - 1$ ) 段 ( $m$  は 1 以上の自然数) の記憶回路は、

第 1 端子よりデータが供給される第 ( $2m - 1$ ) のトランジスタと、

前記第 ( $2m - 1$ ) のトランジスタの第 2 端子と、 $2m$  段の記憶回路が有する第  $2m$  のトランジスタの第 1 端子と、第 ( $2m - 1$ ) の容量素子の第 1 の電極と、に電氣的に接続され、前記データを保持する第 ( $2m - 1$ ) のデータ保持部と、

前記第 ( $2m - 1$ ) のデータ保持部における電位を保持した状態で前記データの出力を行う第 ( $2m - 1$ ) のデータ電位保持出力回路と、

前記第 ( $2m - 1$ ) のデータ電位保持出力回路の出力信号と第 1 の容量素子制御信号とが入力され、前記第 ( $2m - 1$ ) の容量素子の第 2 の電極の電位を制御する第 ( $2m - 1$ ) のデータ電位制御回路と、を有し、

$2m$  段の記憶回路は、

前記第  $2m$  のトランジスタと、

前記第  $2m$  のトランジスタの第 2 端子と、 $(2m + 1)$  段の記憶回路が有する第  $(2m + 1)$  のトランジスタの第 1 端子と、第  $2m$  の容量素子の第 1 の電極と、に電氣的に接続され、前記第  $2m$  のトランジスタを介して供給される前記データを保持する第  $2m$  のデータ保持部と、

前記第  $2m$  のデータ保持部における電位を保持した状態で前記データの出力を行う第  $2m$  のデータ電位保持出力回路と、

前記第  $2m$  のデータ電位保持出力回路の出力信号と第 2 の容量素子制御信号とが入力され、前記第  $2m$  の容量素子の第 2 の電極の電位を制御する第  $2m$  のデータ電位制御回路と、を有し、

前記第  $(2m - 1)$  のトランジスタは、第 1 のゲート制御信号及び第  $(2m - 1)$  のイネーブル信号が入力される第  $(2m - 1)$  のゲート選択信号生成回路がゲートに接続され、当該第  $(2m - 1)$  のゲート選択信号生成回路により導通状態または非導通状態が制御され、

前記第  $2m$  のトランジスタは、第 2 のゲート制御信号及び第  $2m$  のイネーブル信号が入力される第  $2m$  のゲート選択信号生成回路がゲートに接続され、当該第  $2m$  のゲート選択信号生成回路により導通状態または非導通状態が制御され、

前記第  $(2m - 1)$  のデータ保持部は、前記第  $(2m - 1)$  のトランジスタ及び前記第  $2m$  のトランジスタを非導通状態とすることで前記データを保持し、

前記第  $2m$  のデータ保持部は、前記第  $2m$  のトランジスタ及び前記第  $(2m + 1)$  のトランジスタを非導通状態とすることで前記データを保持し、

前記第  $(2m - 1)$  のデータ電位制御回路は、前記第  $(2m - 1)$  のデータ電位制御回路の出力端子の電位を変化させ、前記第  $(2m - 1)$  の容量素子を介した容量結合により前記第  $(2m - 1)$  のデータ保持部の電位を制御し、

前記第  $2m$  のデータ電位制御回路は、前記第  $2m$  のデータ電位制御回路の出力端子の電位を変化させ、前記第  $2m$  の容量素子を介した容量結合により前記第  $2m$  のデータ保持部の電位を制御する、半導体記憶装置。

#### 【請求項 2】

記憶回路がカスケード接続された半導体記憶装置において、

$(2m - 1)$  段の記憶回路は、

第 1 端子よりデータが供給される第  $(2m - 1)$  のトランジスタと、

前記第  $(2m - 1)$  のトランジスタの第 2 端子と、 $2m$  段の記憶回路が有する第  $2m$  のトランジスタの第 1 端子と、第  $(2m - 1)$  の容量素子の第 1 の電極と、第  $(2m - 1)$  のインバータ回路の入力端子と、に電氣的に接続され、前記データを保持する第  $(2m - 1)$  のデータ保持部と、

前記第  $(2m - 1)$  のインバータ回路の出力端子の信号と第 1 の容量素子制御信号とが入力され、出力端子が前記第  $(2m - 1)$  の容量素子の第 2 の電極に電氣的に接続された第  $(2m - 1)$  の否定論理和回路と、を有し、

$2m$  段の記憶回路は、

前記第  $2m$  のトランジスタと、

前記第  $2m$  のトランジスタの第 2 端子と、 $(2m + 1)$  段の記憶回路が有する第  $(2m + 1)$  のトランジスタの第 1 端子と、第  $2m$  の容量素子の第 1 の電極と、第  $2m$  のインバータ回路の入力端子と、に電氣的に接続され、前記第  $2m$  のトランジスタを介して供給される前記データを保持する第  $2m$  のデータ保持部と、

前記第  $2m$  のインバータ回路の出力端子の信号と第 2 の容量素子制御信号とが入力され、出力端子が前記第  $2m$  の容量素子の第 2 の電極に電氣的に接続された第  $2m$  の否定論理和回路と、を有し、

前記  $(2m - 1)$  段目の記憶回路における前記第  $(2m - 1)$  のトランジスタは、第 1 のゲート制御信号及び第  $(2m - 1)$  のイネーブル信号が入力される第  $(2m - 1)$  のゲート選択信号生成回路がゲートに接続され、当該第  $(2m - 1)$  のゲート選択信号生成回路により導通状態または非導通状態が制御され、

前記 2 m 段目の記憶回路における前記第 2 m のトランジスタは、第 2 のゲート制御信号及び第 2 m のイネーブル信号が入力される第 2 m のゲート選択信号生成回路がゲートに接続され、当該第 2 m のゲート選択信号生成回路により導通状態または非導通状態が制御され、

前記第 ( 2 m - 1 ) のデータ保持部は、前記第 ( 2 m - 1 ) のトランジスタ及び前記第 2 m のトランジスタを非導通状態とすることで前記データを保持し、

前記第 2 m のデータ保持部は、前記第 2 m のトランジスタ及び前記第 ( 2 m + 1 ) のトランジスタを非導通状態とすることで前記データを保持し、

前記第 ( 2 m - 1 ) の否定論理和回路は、前記第 ( 2 m - 1 ) のインバータ回路の出力端子の信号及び前記第 1 の容量素子制御信号により前記第 ( 2 m - 1 ) の否定論理和回路の出力端子の電位を変化させ、前記第 ( 2 m - 1 ) の容量素子を介した容量結合により前記第 ( 2 m - 1 ) のデータ保持部の電位を制御し、

前記第 2 m の否定論理和回路は、前記第 2 m のインバータ回路の出力端子の信号及び前記第 2 の容量素子制御信号により前記第 2 m の否定論理和回路の出力端子の電位を変化させ、前記第 2 m の容量素子を介した容量結合により前記第 2 m のデータ保持部の電位を制御する、半導体記憶装置。

【請求項 3】

請求項 2 において、前記第 ( 2 m - 1 ) のインバータ回路、前記第 2 m のインバータ回路、前記第 ( 2 m - 1 ) の否定論理和回路、前記第 2 m の否定論理和回路、前記第 ( 2 m - 1 ) のゲート選択信号生成回路、前記第 2 m のゲート選択信号生成回路を構成するトランジスタはシリコンを半導体層に有するトランジスタである半導体記憶装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、前記シリコンをチャネル形成領域に有するトランジスタと前記第 ( 2 m - 1 ) のトランジスタ及び第 2 m のトランジスタとが積層して設けられている半導体記憶装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、前記第 ( 2 m - 1 ) のトランジスタ及び前記第 2 m のトランジスタは、酸化物半導体をチャネル形成領域に有するトランジスタである半導体記憶装置。