

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-309226

(P2006-309226A)

(43) 公開日 平成18年11月9日(2006.11.9)

(51) Int.CI.	F 1	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2 H 092
G09G 3/20 (2006.01)	G09G 3/20	2 H 093
G09G 3/30 (2006.01)	G09G 3/20	3 K 107
G02F 1/1368 (2006.01)	G09G 3/20	5 C 006
G02F 1/133 (2006.01)	G09G 3/20	5 C 080
	審査請求 未請求 請求項の数 29 O L (全 19 頁)	最終頁に続く

(21) 出願番号	特願2006-118201 (P2006-118201)	(71) 出願人	390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国 443-742 京畿道水原市靈通区梅灘洞 416
(22) 出願日	平成18年4月21日 (2006.4.21)	(74) 代理人	110000051 特許業務法人共生国際特許事務所
(31) 優先権主張番号	10-2005-0034603	(72) 発明者	朴哲佑 大韓民国 京畿道 水原市 灵通区 梅灘 2洞 韓国1次アパート 102棟 60 1号
(32) 優先日	平成17年4月26日 (2005.4.26)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

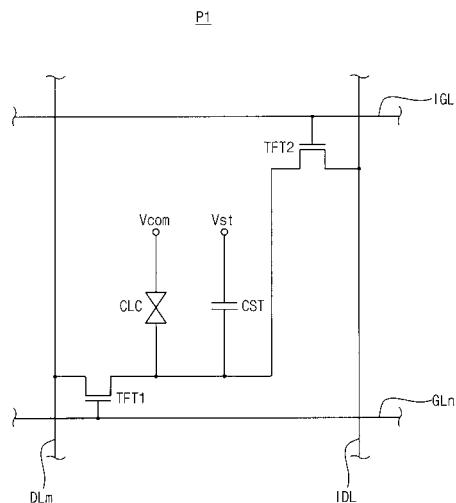
(54) 【発明の名称】表示パネルとこれを具備した表示装置、及びその駆動方法

(57) 【要約】

【課題】一般的な駆動速度でインパルシブ駆動を可能にするための表示パネルとこれを具備した表示装置、及びその駆動方法を提供する。

【解決手段】ゲート配線及びデータ配線によって囲まれた領域に形成される液晶キャパシタと、ゲート配線が活性化されることによってデータ配線に印加されたデータ電圧を液晶キャパシタに伝達するスイッチング素子と、液晶キャパシタに連結されるストレージキャパシタと、インパルスゲート信号を伝達するインパルスゲート配線と、インパルスゲート配線が活性化されることによってストレージキャパシタの共通電圧を液晶キャパシタに伝達するインパルス駆動素子と、を有する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

ゲート配線及びデータ配線によって囲まれた領域に形成された液晶キャパシタと、
前記ゲート配線にゲート電圧が印加され活性化されることによって、前記データ配線に
印加されたデータ電圧を前記液晶キャパシタに伝達するスイッチング素子と、
前記液晶キャパシタに連結されたストレージキャパシタと、
インパルスゲート信号を伝達するインパルスゲート配線と、
前記インパルスゲート配線にインパルスゲート信号が印加され活性化されることによっ
て、共通電圧を前記液晶キャパシタに伝達し、更に前記ストレージキャパシタに伝達する
インパルス駆動素子と、を有することを特徴とする表示パネル。
10

【請求項 2】

前記インパルスゲート配線は、前記ゲート配線と平行であることを特徴とする請求項 1
に記載の表示パネル。

【請求項 3】

前記インパルス駆動素子は、前記インパルスゲート配線に電気的に連結されたゲート電
極、前記ストレージキャパシタにインパルス電圧を印加するための共通配線に電気的に連
結されたソース電極、及び前記液晶キャパシタ及びストレージキャパシタに電気的に連結
されたドレイン電極を有することを特徴とする請求項 1 に記載の表示パネル。

【請求項 4】

前記データ配線と平行でインパルス電圧が印加されるインパルスデータ配線を更に有し
、
前記インパルス駆動素子は前記インパルスゲート配線にインパルスゲート信号が印加さ
れ活性化されることによってインパルス電圧を前記液晶キャパシタに伝達することを特徴
とする請求項 1 に記載の表示パネル。
20

【請求項 5】

前記インパルス駆動素子は、前記インパルスゲート配線に電気的に連結されたゲート電
極、前記インパルスデータ配線に電気的に連結されたソース電極、及び前記液晶キャパシ
タに電気的に連結されたドレイン電極を有することを特徴とする請求項 4 に記載の表示パ
ネル。
30

【請求項 6】

ゲート配線、データ配線、及び電源電圧配線に囲まれた領域に形成され、共通電圧配線
と電気的に連結される有機電界発光素子と、
インパルスゲート信号を伝達するインパルスゲート配線と、
前記有機電界発光素子を駆動させる駆動素子と、
前記ゲート配線にゲート電圧が印加され活性化されることによって、前記データ配線に
印加されたデータ電圧を前記駆動素子に伝達するスイッチング素子と、
前記インパルスゲート配線にインパルスゲート信号が印加され活性化されることによっ
て、前記有機電界発光素子に印加された共通電圧を前記駆動素子に伝達するインパルス駆
動素子と、を有することを特徴とする表示パネル。
40

【請求項 7】

前記インパルス駆動素子は、前記インパルスゲート配線に電気的に連結されたゲート電
極、前記有機電界発光素子に連結された共通電圧配線に電気的に連結されたソース電極、
及び前記駆動素子のゲート電極に電気的に連結されたドレイン電極を有することを特徴と
する請求項 6 に記載の表示パネル。

【請求項 8】

前記データ配線と平行でインパルス電圧が印加されるインパルスデータ配線を更に有し
、
前記インパルス駆動素子は、前記インパルスゲート配線にインパルスゲート信号が印加
され活性化されることによってインパルス電圧を前記駆動素子に伝達することを特徴とす
る請求項 6 に記載の表示パネル。
50

【請求項 9】

前記インパルス駆動素子は、前記インパルスゲート配線に電気的に連結されたゲート電極、前記インパルスデータ配線に電気的に連結されたソース電極、及び前記駆動素子のゲート電極に電気的に連結されたドレイン電極を有することを特徴とする請求項 8 に記載の表示パネル。

【請求項 10】

インパルス電圧を出力する駆動電圧発生部と、
データ電圧を出力するデータ駆動部と、
駆動周波数に基づいて第 1 制御信号、及び前記第 1 制御信号より一定時間だけ遅延された第 2 制御信号を出力するタイミング制御部と、

10

前記第 1 制御信号に基づいてゲート信号を出力するゲート駆動部と、
前記第 2 制御信号に基づいてインパルスゲート信号を出力するインパルス駆動部と、
1 フレームの第 1 区間には前記ゲート信号に応答して前記データ電圧に対応する通常階調を表示し、前記 1 フレームの第 2 区間には前記インパルスゲート信号に応答して前記インパルス電圧に対応するインパルス階調を表示する表示パネルと、を有することを特徴とする表示装置。

【請求項 11】

前記第 1 及び第 2 制御信号は、スキャン開始信号であることを特徴とする請求項 10 に記載の表示装置。

20

【請求項 12】

前記駆動周波数は、実質的に 60 Hz ~ 80 Hz であることを特徴とする請求項 10 に記載の表示装置。

【請求項 13】

前記表示パネルは、階調電圧を充電する液晶キャパシタと、
前記ゲート信号に応答してターンオンし前記液晶キャパシタに前記データ電圧を充電させる第 1 スイッチング素子と、
前記インパルスゲート信号に応答してターンオンし前記液晶キャパシタに前記インパルス電圧を充電させる第 2 スイッチング素子と、を有することを特徴とする請求項 10 に記載の表示装置。

30

【請求項 14】

前記表示パネルはストレージキャパシタを更に有し、前記インパルス電圧は前記ストレージキャパシタの共通電圧であることを特徴とする請求項 13 に記載の表示装置。

【請求項 15】

前記表示パネルは、無電圧印加状態でブラック階調を表示するノーマリブラックモードであることを特徴とする請求項 14 に記載の表示装置。

【請求項 16】

前記表示パネルは、階調を表示する有機電界発光素子と、
有機電界発光素子を駆動する駆動素子と、
前記ゲート信号に応答してターンオンし前記駆動素子に前記データ電圧を伝達するスイッチング素子と、

40

前記インパルスゲート信号に応答してターンオンし前記駆動素子に前記インパルス電圧を伝達するインパルス駆動素子と、を有することを特徴とする請求項 10 に記載の表示装置。

【請求項 17】

前記インパルス電圧は、前記有機電界発光素子に印加される共通電圧であることを特徴とする請求項 16 に記載の表示装置。

【請求項 18】

前記タイミング制御部は、遅延時間量を調整して前記第 1 区間と第 2 区間の比率を調整することを特徴とする請求項 10 に記載の表示装置。

【請求項 19】

50

前記表示パネルは複数のゲート配線を含み、一つのインパルスゲート信号は、互いに隣接した所定個のゲート配線に共通で同時に印加されることを特徴とする請求項 10 記載の表示装置。

【請求項 20】

データ信号を出力する段階と、

インパルス信号を出力する段階と、

ゲート信号を第 1 画素の第 1 データスイッチに出力する段階と、

前記ゲート信号に応答して 1 フレームの第 1 区間に前記データ信号に対応する階調を前記第 1 画素に表示する段階と、

前記ゲート信号より一定時間だけ遅延されたインパルスゲート信号を前記第 1 画素の第 1 インパルススイッチに出力する段階と、

前記インパルスゲート信号に応答して前記 1 フレームの第 2 区間に前記インパルス信号に対応するインパルス階調を前記第 1 画素に表示する段階と、を有することを特徴とする表示装置の駆動方法。 10

【請求項 21】

他のデータ信号を出力する段階と、

前記 1 フレームの前記第 1 区間に、他のゲート信号を前記第 1 画素とは異なる第 2 画素の第 2 データスイッチに出力する段階と、

前記 1 フレームの前記第 2 区間に、前記インパルスゲート信号又は他のインパルスゲート信号を前記第 2 画素の第 2 インパルススイッチに印加する段階と、を更に有することを特徴とする請求項 20 に記載の表示装置の駆動方法。 20

【請求項 22】

前記 1 フレームの前記第 2 区間に、前記インパルスゲート信号又は他のインパルスゲート信号を前記第 2 画素の第 2 インパルススイッチに印加する段階は、前記インパルスゲート信号を前記第 2 画素の第 2 インパルススイッチに印加する段階を含むことを特徴とする請求項 21 に記載の表示装置の駆動方法。

【請求項 23】

第 1 画素及び 1 フレームの第 1 区間にデータ電圧を出力して第 2 区間にインパルス電圧を第 1 画素に出力する第 1 スイッチング回路を含む第 1 画素領域と、

第 2 画素及び前記 1 フレームの前記第 1 区間にデータ電圧を第 2 画素に出力する第 2 スイッチング回路を含む第 2 画素領域と、を有することを特徴とする表示装置。 30

【請求項 24】

前記第 2 スイッチング回路は、前記 1 フレームの前記第 2 区間にインパルス電圧を前記第 2 画素に出力することを特徴とする請求項 23 に記載の表示装置。

【請求項 25】

前記第 1 スイッチング回路は、データスイッチ、及び該データスイッチと分離されたインパルススイッチを有することを特徴とする請求項 23 に記載の表示装置。

【請求項 26】

前記データスイッチ及びインパルススイッチは、それぞれ薄膜トランジスタで構成されていることを特徴とする請求項 25 に記載の表示装置。 40

【請求項 27】

前記第 1 画素は液晶画素で構成され、前記第 1 スイッチング回路は前記データ電圧を前記 1 フレームの前記第 1 区間に前記液晶画素の液晶キャパシタに印加することを特徴とする請求項 23 に記載の表示装置。

【請求項 28】

前記第 1 スイッチング回路は、前記インパルス電圧を前記 1 フレームの前記第 2 区間に前記液晶画素の前記液晶キャパシタに印加することを特徴とする請求項 27 に記載の表示装置。

【請求項 29】

前記 1 フレームの前記第 2 区間に、前記液晶キャパシタは放電されることを特徴とする 50

請求項 2 8 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、表示パネルとこれを具備した表示装置、及びその駆動方法に関し、より詳細には、一般的な駆動速度でインパルシブ (impulsive) 駆動を可能にするための表示パネルとこれを具備した表示装置、及びその駆動方法に関する。 10

【背景技術】

【0 0 0 2】

最近、液晶表示装置は、大型化及び性能向上によって用途が拡大され、テレビ市場に進出して、CRT (Cathode Ray Tube)、PDP (Plasma Display Panel) 等のような他の表示装置との競争が加速化している。これによって、液晶表示装置は、視野角、色再現性、及び動画像表示特性等において現在より高い性能が要求されている。特に、動画像表示特性が CRT に対して劣るという背景から、動画像表示特性を向上させるための多様な技術が開発されている。 20

【0 0 0 3】

その技術の一つであって、正常画面に連続してブラック画面を挿入するインパルシブ駆動方式が採用されている。このインパルシブ駆動方式は、1 フレーム区間の間に正常画面とブラック画面を表示するので、120 Hz 以上の高速駆動を採用することが必須となる。 20

【0 0 0 4】

しかしながら、このような高速駆動方式を採用することによって液晶セルの充電率に対する駆動マージンが足りないという問題点を生じる。 20

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 5】

そこで、本発明は上記従来の液晶表示装置の駆動方式の問題点に鑑みてなされたものであって、本発明の目的は、一般的な駆動速度でインパルシブ駆動を可能にするための表示パネルを提供することにある。 30

【0 0 0 6】

また、本発明の他の目的は、この表示パネルを具備した表示装置を提供することにある。 30

【0 0 0 7】

また、本発明の更に他の目的は、この表示装置の駆動方法を提供することにある。 40

【課題を解決するための手段】

【0 0 0 8】

上記目的を達成するためになされた本発明の一特徴による表示パネルは、液晶キャパシタ、スイッチング素子、ストレージキャパシタ、インパルスゲート配線、及びインパルス駆動素子を含む。前記液晶キャパシタは、ゲート配線及びデータ配線によって囲まれた領域に形成される。前記スイッチング素子は、前記ゲート配線が活性化されることによって、前記データ配線に印加されたデータ電圧を前記液晶キャパシタに伝達する。前記ストレージキャパシタは、前記液晶キャパシタに連結される。前記インパルスゲート配線は、インパルスゲート信号を伝達する。前記インパルス駆動素子は、前記インパルスゲート配線が活性化されることによって、前記ストレージキャパシタの共通電圧を前記液晶キャパシタに伝達する。 40

【0 0 0 9】

前記インパルス駆動素子は、前記インパルスゲート配線に連結されたゲート電極、前記ストレージキャパシタの共通配線に連結されたソース電極、及び前記液晶キャパシタに連結されたドレイン電極を含む。 50

【0 0 1 0】

前記データ配線と平行でインパルス電圧が印加されるインパルス配線を更に含み、前記インパルス駆動素子は前記インパルスゲート配線が活性化されることによって前記インパルス電圧を前記液晶キャパシタに伝達する。この際、前記インパルス駆動素子は、前記インパルスゲート配線に連結されたゲート電極、前記インパルス配線に連結されたソース電極、及び前記液晶キャパシタに連結されたドレイン電極を含む。

【0011】

また、上記目的を達成するためになされた本発明の他の特徴による表示パネルは、有機電界発光素子、インパルスゲート配線、駆動素子、スイッチング素子、及びインパルス駆動素子を含む。前記有機電界発光素子は、ゲート配線、データ配線、及び電源電圧配線に囲まれた領域に形成される。前記インパルスゲート配線は、インパルスゲート信号を伝達する。前記駆動素子は、前記有機電界発光素子を駆動させる。前記スイッチング素子は、前記ゲート配線が活性化されることによって、前記データ配線に印加されたデータ電圧を前記駆動素子に伝達する。前記インパルス駆動素子は、前記インパルスゲート配線が活性化されることによって、前記有機電界発光素子の共通電圧を前記駆動素子に伝達する。

【0012】

上記目的を達成するためになされた本発明の一特徴による表示装置は、電圧発生部、データ駆動部、制御部、ゲート駆動部、インパルス駆動部、及び表示パネルを含む。前記電圧発生部はインパルス電圧を出力し、前記データ駆動部はデータ電圧を出力する。前記制御部は、駆動周波数に基づいて第1制御信号、及び前記第1制御信号より一定時間だけ遅延された第2制御信号を出力する。前記ゲート駆動部は、前記第1制御信号に基づいてゲート信号を出力する。前記インパルス駆動部は、前記第2制御信号に基づいてインパルスゲート信号を出力する。前記表示パネルは、1フレームの第1区間には前記ゲート信号に応答して前記データ電圧に対応する階調を表示し、前記1フレームの第2区間には前記インパルスゲート信号に応答して前記インパルス電圧に対応するインパルス階調を表示する。

【0013】

上記目的を達成するためになされた本発明の一特徴による表示装置の駆動方法は、データ信号を出力する段階、インパルス信号を出力する段階、ゲート信号を出力する段階、前記ゲート信号に応答して1フレームの第1区間に前記データ信号に対応する階調を表示する段階、前記ゲート信号より一定時間だけ遅延されたインパルスゲート信号を出力する段階、及び前記インパルスゲート信号に応答して前記1フレームの第2区間に前記インパルス信号に対応するインパルス階調を表示する段階を含む。

【発明の効果】

【0014】

このような本発明の表示パネルとこれを具備した表示装置、及びその駆動方法によれば、単位画素にインパルス駆動のための駆動素子を形成することによって、一般的な駆動速度でインパルシブ駆動を可能にすることができる。これによってインパルシブ駆動時、駆動マージンを確保して動画像表示特性を向上させることができる。

【発明を実施するための最良の形態】

【0015】

次に、本発明の表示パネルとこれを具備した表示装置、及びその駆動方法を実施するための最良の形態の具体例を、図面を参照しながら説明する。

【0016】

上述したように、動画像の正確なイメージ具現は非常に重要である。以下に説明するシステムと技術は、動画像のイメージ具現のためのインパルシブ駆動に関するものである。インパルシブ駆動において、ブラックイメージ（又は、他のレファレンス）が画像を表現する普通のイメージ後に挿入される。従って、普通のイメージとブラックイメージは一つのフレームでディスプレイされる。あるインパルス駆動システムでは、レファレンスイメージの挿入のために、例えば、120Hzまで駆動周波数を増加させる。しかし、液晶表示（LCD）装置で駆動周波数が増加する場合、液晶セルの液晶キャパシタンスの駆動マ

10

20

30

40

50

ーディンが減少する。

【0017】

以下に説明するシステムと技術は、より効率的なインパルス駆動のために、画素領域と関連するインパルス駆動回路を提供する。即ち、以下に記述する実施例は駆動周波数を増加させることなく、駆動マージンを向上させる。

【実施例1】

【0018】

図1は、本発明の一実施例による表示パネルの単位画素に対する等価回路図である。

【0019】

図1に示すように、単位画素P1は、ゲート配線GLn、データ配線DLm、インパルスゲート配線IGL、及びインパルスデータ配線IDLによって定義される。
10

【0020】

単位画素P1は、第1スイッチング素子TFT1（単にスイッチング素子と称する場合もある）、液晶キャパシタCLC、ストレージキャパシタCST、及び第2スイッチング素子TFT2（インパルス駆動素子と称する場合もある）を含む。第1スイッチング素子TFT1と第2スイッチング素子TFT2は薄膜トランジスタとして記載されているが、他のスイッチング素子を利用することもできる。

【0021】

第1スイッチング素子TFT1は、ゲート配線GLnに電気的に連結された第1ゲート電極、データ配線DLmに電気的に連結された第1ソース電極、及び液晶キャパシタCLCと電気的に連結された第1ドレイン電極を含む。
20

【0022】

液晶キャパシタCLCは、第1スイッチング素子TFT1と電気的に連結された第1電極、及び共通電圧Vcomが印加される第2電極を含む。

【0023】

ストレージキャパシタCSTは、第1スイッチング素子TFT1と液晶キャパシタCLCとのそれぞれに電気的に連結された第1電極、及び共通電圧Vstが印加される第2電極を含む。

【0024】

第2スイッチング素子TFT2は、インパルスゲート配線IGLと電気的に連結された第2ゲート電極、インパルスデータ配線IDLと電気的に連結された第2ソース電極、及び液晶キャパシタCLC及びストレージキャパシタCSTと電気的に連結された第2ドレイン電極を含む。
30

【0025】

単位画素P1の駆動を説明すると、次のようにある。

【0026】

ゲート配線GLnからゲート信号が印加されると、第1スイッチング素子TFT1がターンオンしデータ配線DLmに印加されたデータ電圧が液晶キャパシタCLC及びストレージキャパシタCSTにそれぞれ充電される。

【0027】

液晶キャパシタCLCに充電されたデータ電圧に基づいて、単位画素P1はデータ電圧に対応する正常階調を表示する。
40

【0028】

一方、所定時間後、インパルスゲート配線IGLにインパルスゲート信号が印加されると、第2スイッチング素子TFT2がターンオンしインパルスデータ配線IDLに印加されたインパルス電圧が液晶キャパシタCLC及びストレージキャパシタCSTにそれぞれ充電される。インパルス電圧はインパルス駆動のための電圧であって、データ電圧に対して低輝度を有するデータ電圧で、一般的にブラック又はグレイに該当するデータ電圧である。

【0029】

インパルス電圧によって液晶キャパシタCLCが充電されることによって、単位画素P1は、インパルス電圧に対応するインパルス階調（例えば、ブラック階調）を表示する。他の方で、単位画素P1は、第2スイッチング素子TFT2がターンオンすることによって、液晶キャパシタCLCに予め充電されたデータ電圧を放電する。

【実施例2】

【0030】

図2は、本発明の他の実施例による表示パネルの単位画素に対する等価回路図である。

【0031】

図2に示すように、単位画素P2は、ゲート配線GLn、データ配線DLm、及びインパルスゲート配線IGLによって定義される。

【0032】

単位画素P2は、第1スイッチング素子TFT1、液晶キャパシタCLC、ストレージキャパシタCST、及び第2スイッチング素子TFT2'を含む。図2に示した第2スイッチング素子TFT2'は、図1に示した第2スイッチング素子TFT2とは異なり、図1に示したインパルスデータ配線IDLと連結されない。図2に示した第2スイッチング素子TFT2'も薄膜トランジスタではない他のスイッチング素子を適用することができる。ここで、第1スイッチング素子TFT1、液晶キャパシタCLC、及びストレージキャパシタCSTは、前述した図1に示した構成要素と同じなので、詳細な説明は省略する。

【0033】

第2スイッチング素子TFT2'は、第2ゲート電極、第2ソース電極、及び第3ドレン電極を含む。第2ゲート電極は、インパルスゲート配線IGLと電気的に連結される。第2ソース電極は、ストレージキャパシタCSTに共通電圧Vstを印加する共通配線（図示せず）と電気的に連結される。ドレン電極は、液晶キャパシタCLC及びストレージキャパシタCSTと電気的に連結される。

【0034】

第2スイッチング素子TFT2'のソース電極にストレージキャパシタCSTの共通電圧Vstが連結されインパルス駆動をする場合には、表示パネルが無電界（無電圧印加）状態でブラック階調を表示するノーマリブラックモードで動作しなければならない。

【0035】

単位画素P2の駆動を説明すると、次のようにある。

【0036】

ゲート配線GLnからゲート信号が印加されると、第1スイッチング素子TFT1がターンオンし、データ配線DLmに印加されたデータ電圧が液晶キャパシタCLC及びストレージキャパシタCSTにそれぞれ充電される。

【0037】

液晶キャパシタCLCに充電されたデータ電圧に基づいて単位画素P2は、データ電圧に対応する正常階調を表示する。

【0038】

一方、所定時間後、インパルスゲート配線IGLにインパルスゲート信号が印加されると、第2スイッチング素子TFT2'がターンオンし、ストレージキャパシタCSTに印加される共通電圧Vstが液晶キャパシタCLC及びストレージキャパシタCSTにそれぞれ充電される。即ち、共通電圧Vstがインパルス電圧になる。

【0039】

共通電圧Vstによって液晶キャパシタCLCが充電されることによって、単位画素P2は共通電圧Vstに対応する非正常階調（例えば、ブラック階調）を表示する。即ち、単位画素P2は、第2スイッチング素子TFT2'がターンオンすることによって、液晶キャパシタCLCに予め充電されたデータ電圧を放電する。

【0040】

図3は、本発明の一実施例による液晶表示装置の概略的なブロック図である。

10

20

30

40

50

【0041】

図3に示すように、液晶表示装置は、タイミング制御部110、駆動電圧発生部120、データ駆動部130、ゲート駆動部140、インパルス駆動部150、及び液晶表示パネル160を含む。

【0042】

タイミング制御部110は、外部装置から入力された制御信号102を駆動周波数に基づいて第1乃至第4制御信号111、112、113、114に変換する。駆動周波数は約60Hz又は75Hzである。

【0043】

制御信号102は、メインクロック信号MCLK、水平同期信号H SYNC、垂直同期信号V SYNC、及びデータタイネーブル信号DEを含む。 10

【0044】

第1制御信号111は、メインクロック信号MCLKを含み、駆動電圧発生部120に提供される。

【0045】

第2制御信号112は、水平開始信号STH及びロード信号TPを含み、データ駆動部130に提供される。 20

【0046】

第3制御信号113は、第1スキャン開始信号STV1、第1スキャンクロック信号CPV1、及び第1出力イネーブル信号OE1を含み、ゲート駆動部140に提供される。 20

【0047】

第4制御信号114は、第2スキャン開始信号STV2、第2スキャンクロック信号CPV2、及び第2出力イネーブル信号OE2を含み、インパルス駆動部150に提供される。 20

【0048】

駆動電圧発生部120は、第1制御信号111に基づいて表示装置を駆動するための駆動電圧を発生する。具体的に、データ駆動部130には基準階調電圧121を出力する。ゲート駆動部140には、第1ゲート電圧122を出力して、インパルス駆動部150には、第2ゲート電圧123を出力する。液晶表示パネル160には、液晶キャパシタの共通電圧Vcom、ストレージキャパシタCSTの共通電圧Vstを出力する。一方、液晶表示パネル160が図1に示すような単位画素構造を有する場合、駆動電圧発生部120はインパルスデータ配線IDLに印加されるインパルス電圧を出力する。 30

【0049】

データ駆動部130は、第2制御信号112に基づいて画像データ115を、基準階調電圧121に基づくアナログ形態のデータ電圧に変換する。データ駆動部130は、変換されたアナログ形態のデータ電圧(D1、D2、…、DM)を液晶表示パネル160のデータ配線DLに出力する。

【0050】

ゲート駆動部140は、タイミング制御部110から提供された第3制御信号113、及び駆動電圧発生部120から提供された第1ゲート電圧122を利用してゲート信号(G1、G2、…、GN)を生成し、生成されたゲート信号(G1、G2、…、GN)を液晶表示パネル160のゲート配線GLに出力する。 40

【0051】

インパルス駆動部150は、タイミング制御部110から提供された第4制御信号114、及び駆動電圧発生部120から提供された第2ゲート電圧123を利用してインパルスゲート信号(IG1、IG2、…、IGN)を生成し、生成されたインパルスゲート信号(IG1、IG2、…、IGN)を液晶表示パネル160のインパルスゲート配線IGLに出力する。

【0052】

第3制御信号113のうち、第1スキャン開始信号STV1と、第4制御信号114の 50

うち、第2スキャン開始信号STV2は所定の遅延差を有する。即ち、第2スキャン開始信号STV2は、第1スキャン開始信号STV1が出力され、所定時間だけ遅延された後に出力される。

【0053】

結果的に、第2スキャン開始信号STV2によって始まるインパルスゲート信号(IG1、IG2、…、IGN)は、第1スキャン開始信号STV1によってゲート信号(G1、G2、…、GN)が出力された後、所定時間以後から出力される。これによって、液晶表示パネル160は、1フレーム区間の間、データ電圧による正常画面と、インパルス電圧によるインパルス画面が表示される。

【0054】

液晶表示パネル160は、液晶層と、液晶層を収容する第1及び第2基板を含み、図1及び図2に示した単位画素P1、P2のうちのいずれか一つの画素構造を有する。

【0055】

図4は、図3に示した表示パネルの一実施例による平面図である。

【0056】

図4に示すように、表示パネル165は、第1基板161と、第2基板162及び第1及び第2基板161、162の間に介在された液晶層163を含む。

【0057】

第1基板161は、表示領域DAと、表示領域DAを取り囲む第1乃至第3周辺領域PA1、PA2、PA3とで構成される。

【0058】

表示領域DAには、第1方向に延長されたデータ配線DL及びインパルスデータ配線IDLと、第1方向と交差する第2方向に配列されたゲート配線GL及びインパルスゲート配線IGLが形成され、データ配線DLとゲート配線GLによって複数の単位画素が定義される。ここで、インパルスデータ配線IDLは、図1に示すように、別の配線で形成することもでき、図2に示すように、別の配線を形成することなく、ストレージキャパシタの共通配線を使用することもできる。

【0059】

第1周辺領域PA1には、データ配線DLにデータ電圧を出力するデータ駆動チップが搭載されたデータテープキャリアパッケージ(以下、TCP)131が配置される。第2周辺領域PA2には、ゲート配線GLにゲート信号を出力する第1ゲート駆動チップが搭載された第1ゲートTCP141が配置される。第3周辺領域PA3には、インパルスゲート配線IGLにインパルスゲート信号を出力する第2ゲート駆動チップが搭載された第2ゲートTCP151が配置される。

【0060】

第2ゲートTCP151の出力端子は、インパルスゲート配線IGLと一対一でそれぞれ連結される。

【0061】

図5は、図3に示した表示パネルの他の実施例による平面図である。

【0062】

図5に示すように、表示パネル265は、第1基板261と、第2基板262及び第1及び第2基板261、262の間に介在された液晶層263を含む。

【0063】

第1基板261は、表示領域DAと表示領域DAを取り囲む第1乃至第3周辺領域PA1、PA2、PA3とで構成される。

【0064】

表示領域DAには、第1方向に延長されたデータ配線DL及びインパルスデータ配線IDLと、第1方向と交差する第2方向に配列されたゲート配線GL及びインパルスゲート配線IGLが形成され、データ配線DLとゲート配線GLによって複数の単位画素が定義される。

10

20

30

40

50

【0065】

ここで、インパルスデータ配線 I D L は、図 1 に示すように、別の配線で形成することもでき、図 2 に示すように、別の配線を形成することなく、ストレージキャパシタの共通配線を使用することもできる。

【0066】

第 1 周辺領域 P A 1 にはデータ T C P 2 3 1 が配置され、第 2 周辺領域 P A 2 には第 1 ゲート T C P 2 4 2 が配置される。第 3 周辺領域 P A 3 にはインパルスゲート配線 I G L にインパルスゲート信号を出力する第 2 ゲート T C P 2 5 5 が配置される。

【0067】

第 2 ゲート T C P 2 5 5 の出力端子は、インパルスゲート配線 I G L と一対多で連結される配線構造を有する。即ち、一つのゲート T C P 出力端子に所定個のインパルス配線 I G L が電気的に連結される。

【0068】

これによって、インパルスゲート駆動チップ（又は、ゲート T C P ）の個数を減少することができる。例えば、図示したように、3 個のインパルスゲート配線に一つの出力端子を連結させて、一対一で連結された図 4 に示したインパルスゲート駆動チップ（又は、ゲート T C P ）より 2 個減少することができる。

【0069】

以上の図 4 及び図 5 では、ゲート T C P を利用して表示パネルにゲート駆動チップが実装される例を図示したが、表示パネルの周辺領域にアモルファスシリコン薄膜トランジスタを実装してゲート駆動回路を具現することもできる。

【0070】

図 6 乃至図 10 は、本発明による一実施例のインパルシブ駆動方式を説明するためのタイミング図である。以下では、図 3、図 4、及び図 6 乃至図 10 を参照して説明する。

【0071】

タイミング制御部 1 1 0 は、ゲート駆動部 1 4 0 に、図 6 に示す第 1 スキャン開始信号 S T V 1 を提供する。

【0072】

ゲート駆動部 1 4 0 は、第 1 スキャン開始信号 S T V 1 のハイパルスが印加されると、N 個のゲート信号 (G 1 、 G 2 、 ... 、 G N) を順次出力する。即ち、1 フレームを周期として N 個のゲート信号 (G 1 、 G 2 、 ... 、 G N) が順次出力される。一つのゲート信号は、図 7 に示すように一つの水平区間 1 H に対応する。

【0073】

ゲート信号 (G 1 、 G 2 、 ... 、 G N) によって液晶表示パネル 1 6 0 のゲート配線 (G L 1 、 G L 2 、 ... 、 G L N) が順次活性化され、これによって第 1 スイッチング素子 T F T 1 がターンオンする。第 1 スイッチング素子 T F T 1 がターンオンすると、液晶キャパシタ C L C にデータ電圧が充電され、単位画素はデータ電圧に該当する正常階調をそれぞれ表示する。

【0074】

タイミング制御部 1 1 0 は、インパルス駆動部 1 5 0 に、第 1 スキャン開始信号 S T V 1 に対して所定時間だけ遅延された図 8 に示す第 2 スキャン開始信号 S T V 2 を提供する。

【0075】

インパルス駆動部 1 5 0 は、第 2 スキャン開始信号 S T V 2 のハイパルスが印加されると、N 個のインパルスゲート信号 (I G 1 、 I G 2 、 ... 、 I G N) を順次出力する。即ち、1 フレームを周期として N 個のゲート信号 (I G 1 、 I G 2 、 ... 、 I G N) が順次出力される。一つのインパルスゲート信号は、図 9 に示すように一つの水平区間 1 H に対応する。

【0076】

インパルスゲート信号 (I G 1 、 I G 2 、 ... 、 I G N) によって液晶表示パネル 1 6 0

10

20

30

40

50

のインパルスゲート配線 (I G L 1、I G L 2、... I G L N) が順次活性化され、これによって第 2 スイッチング素子 T F T 2 がターンオンして液晶キャパシタ C L C に充電されたデータ電圧を放電させる。即ち、第 2 スイッチング素子 T F T 2 がターンオンすると、インパルス電圧が液晶キャパシタ C L C に充電されることによって、単位画素はインパルス階調を表示する。

【 0 0 7 7 】

図 10 は、上述のようなインパルシブ駆動による表示パネルの透過率を示すグラフである。図 10 に示すように、第 1 スキャン開始信号 S T V 1 のハイパルスが出力され、正常画面が表示される区間 D の間は透過率が高い反面、第 2 スキャン開始信号 S T V 2 のハイパルスが出力されインパルス画面が表示される区間 B の間は相対的に透過率が低い。

10

【 0 0 7 8 】

このように、一般駆動速度（例えば、60 Hz）で 1 フレーム区間の間に正常画面とインパルス画面を交互に表示するインパルシブ駆動方式を利用して動画像の表示特性を向上させることができる。

【 0 0 7 9 】

又、第 1 スキャン開始信号 S T V 1 と第 2 スキャン開始信号 S T V 2 との遅延時間を調整して、1 フレーム画面に表示される正常画面とインパルス画面の比率を多様に調整することができる。

【 0 0 8 0 】

図 11 乃至図 15 は、本発明による他の実施例のインパルシブ駆動方式を説明するためのタイミング図である。以下では、図 3、図 5、及び図 11 乃至図 15 を参照して説明する。

20

【 0 0 8 1 】

タイミング制御部 110 は、ゲート駆動部 140 に、図 11 に示す第 1 スキャン開始信号 S T V 1 を提供する。

【 0 0 8 2 】

ゲート駆動部 140 は、第 1 スキャン開始信号 S T V 1 のハイパルスが印加されると、図 12 に示すように N 個のゲート信号 (G 1、G 2、...、G N) を順次出力する。

【 0 0 8 3 】

ゲート信号 (G 1、G 2、...、G N) によって液晶表示パネル 160 のゲート配線 (G L 1、G L 2、...、G L N) が順次活性化され、これによって第 1 スイッチング素子 T F T 1 がターンオンする。第 1 スイッチング素子 T F T 1 がターンオンすると、液晶キャパシタ C L C にデータ電圧が充電され、単位画素はデータ電圧に該当する正常階調をそれぞれ表示する。

30

【 0 0 8 4 】

タイミング制御部 110 は、インパルス駆動部 150 に、第 1 スキャン開始信号 S T V 1 に対して所定時間だけ遅延された図 13 に示す第 2 スキャン開始信号 S T V 2 を提供する。

【 0 0 8 5 】

インパルス駆動部 150 は、第 2 スキャン開始信号 S T V 2 のハイパルスが印加されると、N 個のインパルスゲート信号 (I G 1、I G 2、...、I G N) を順次出力する。

40

【 0 0 8 6 】

ここで、図 5 に示すように、q 番目のインパルスゲート信号 I G q が 3 q - 2、3 q - 1、3 q 番目インパルスゲート配線 (I G L (3 q - 1)、I G L (3 q - 2)、I G L (3 q)) に共用に印加される。従って、インパルスゲート信号 (I G 1、I G 2、...、I G N) は、図 14 に示すように液晶表示パネル 160 のインパルスゲート配線 (I G L 1、I G L 2、...、I G L N) が 3 個ずつグルーピングされ同時に印加される。

【 0 0 8 7 】

これによって、3 個の水平ライン 3 H に該当する第 2 スイッチング素子 T F T 2 がターンオンし、液晶キャパシタ C L C に充電されたデータ電圧を放電させる。即ち、第 2 スイ

50

ツチング素子 T F T 2 がターンオンすると、インパルス電圧が液晶キャパシタ C L C に充電されることによって、単位画素はインパルス階調を表示する。

【0088】

図15は、上述のようなインパルシブ駆動による表示パネルの透過率を示すグラフである。図15に示すように、第1スキャン開始信号 S T V 1 のハイパルスが出力され、正常画面が表示される区間 D の間は透過率が高い反面、第2スキャン開始信号 S T V 2 のハイパルスが出力されインパルス画面が表示される区間 B の間は相対的に透過率が低い。

【0089】

このように、一般駆動速度（例えば、60 H z）で1フレーム区間の間に正常画面とインパルス画面を交互に表示するインパルシブ駆動方式を利用して動画像の表示特性を向上させることができる。

【0090】

又、第1スキャン開始信号 S T V 1 と第2スキャン開始信号 S T V 2 との遅延時間を調整して、1フレーム画面に表示される正常画面とインパルス画面の比率を多様に調整することができる。

【実施例3】

【0091】

図16は、本発明の更に他の実施例による表示パネルの単位画素に対する等価回路図である。

【0092】

図16に示すように、単位画素 P 3 は、ゲート配線 G L n 、データ配線 D L m 、バイアス電圧 V L k 、及びインパルスゲート配線 I G L によって定義される。

【0093】

単位画素 P 3 は、スイッチング素子 T s 、駆動素子 T d 、有機電界発光素子（Organic Light Emission Element）E L 、ストレージキャパシタ C S T 、及びインパルス駆動素子 T i を含む。

【0094】

スイッチング素子 T s は、ゲート配線 G L n と電気的に連結されたゲート電極と、データ配線 D L m に電気的に連結されたソース電極、及び駆動素子 T d と電気的に連結されたドレイン電極を含む。

【0095】

駆動素子 T d は、スイッチング素子 T s と電気的に連結されたゲート電極と、バイアス電圧配線 V L k と電気的に連結されたソース電極、及び有機電界発光素子 E L と電気的に連結されたドレイン電極を含む。

【0096】

有機電界発光素子 E L は、駆動素子 T d と電気的に連結された第1端と、共通電圧 V c o m が印加される共通電圧配線（図示せず）と電気的に連結された第2端を含む。

【0097】

ストレージキャパシタ C S T は、バイアス電圧配線 V L k と電気的に連結された第1端と、スイッチング素子 T s 及び駆動素子 T d と電気的に連結された第2端を含む。

【0098】

インパルス駆動素子 T i は、インパルスゲート配線 I G L と電気的に連結されたゲート電極と、有機電界発光素子 E L に共通電圧 V c o m を印加する共通電圧配線（図示せず）と電気的に連結されたソース電極、及び駆動素子 T d と電気的に連結されたドレイン電極を含む。

【0099】

単位画素 P 3 の駆動を説明すると、次のようにある。

【0100】

ゲート配線 G L n からゲート信号が印加されると、スイッチング素子 T s がターンオンし、データ配線 D L m に印加されたデータ電圧が駆動素子 T d に印加される。駆動素子 T

10

20

30

40

50

d に印加されたデータ電圧は有機電界発光素子 E L に印加され、有機電界発光素子 E L はデータ電圧に対応して発光する。単位画素 P 3 は、データ電圧に該当する正常階調を表示する。

【0101】

一方、所定時間以後、インパルスゲート配線 I G L にインパルスゲート信号が印加されると、インパルス駆動素子 T i がターンオンし、共通電圧 V c o m が駆動素子 T d に印加される。駆動素子 T d に印加された共通電圧 V c o m は、有機電界発光素子 E L に印加され、有機電界発光素子 E L は、共通電圧 V c o m に応答して消える。即ち、有機電界発光素子 E L は放電される。結果的に、共通電圧 V c o m はインパルス電圧になって、単位画素 P 3 にブラック階調を表示させる。

10

【0102】

以上では、インパルス電圧として有機電界発光素子 E L に印加される共通電圧 V c o m を使用する例を説明したが、別のインパルスデータ配線を形成して別のインパルス電圧を印加することもできるのは自明である。

【0103】

図 17 は、本発明の他の実施例による有機発光表示装置の概略的なブロック図である。

【0104】

図 17 に示すように、有機発光表示装置は、タイミング制御部 310、駆動電圧発生部 320、データ駆動部 330、ゲート駆動部 340、インパルス駆動部 350、及び O L E D (Organic Light Emitting Display) パネル 360 を含む。

20

【0105】

タイミング制御部 310 は、外部装置から入力された制御信号 302 を駆動周波数に基づいて、第 1 乃至第 4 制御信号 311、312、313、314 に変換する。駆動周波数は約 60 Hz 又は 75 Hz である。

【0106】

タイミング制御部 310 は、外部装置から入力された原始データ 304 を信号処理して画像データ 315 として出力する。

【0107】

第 1 制御信号 311 は駆動電圧発生部 320 に提供され、第 2 制御信号 312 はデータ駆動部 330 に提供され、第 3 制御信号 313 はゲート駆動部 340 に提供され、第 4 制御信号 314 はインパルス駆動部 350 に提供される。

30

【0108】

第 3 制御信号 313 は第 1 スキャン開始信号 S T V 1、第 1 スキャンクロック信号 C P V 1、及び第 1 出力イネーブル信号 O E 1 を含み、第 4 制御信号 314 は、第 2 スキャン開始信号 S T V 2、第 2 スキャンクロック信号 C P V 2、及び第 2 出力イネーブル信号 O E 2 を含む。

【0109】

駆動電圧発生部 320 は、第 1 制御信号 311 に基づいて表示装置を駆動するための駆動電圧を発生する。具体的に、データ駆動部 330 には基準階調電圧 321 を出力する。ゲート駆動部 340 には、第 1 ゲート電圧 322 を出力して、インパルス駆動部 350 には、第 2 ゲート電圧 323 を出力する。O L E D パネル 360 には、有機電界発光素子 E L の共通電圧 V c o m 、バイアス電圧 V L を出力する。

40

【0110】

一方、O L E D パネル 360 が、図 1 に示すように、別のインパルスデータ配線 I D L が形成された場合には、駆動電圧発生部 320 はインパルスデータ配線 I D L に印加されるインパルス電圧を出力する。

【0111】

データ駆動部 330 は、第 2 制御信号 312 に基づいて画像データ 315 を、基準階調電圧 321 に基づくアナログ形態のデータ電圧に変換する。データ駆動部 330 は、変換

50

されたアナログ形態のデータ電圧(D₁、D₂、…、D_M)をOLEDパネル360のデータ配線D_Lに出力する。

【0112】

ゲート駆動部340は、第3制御信号313及び第1ゲート電圧322を利用してゲート信号(G₁、G₂、…、G_N)を生成し、OLEDパネル360のゲート配線G_Lに出力する。

【0113】

インパルス駆動部350は、第4制御信号314及び第2ゲート電圧323を利用してインパルスゲート信号(I_{G1}、I_{G2}、…、I_{GN})を生成し、OLEDパネル360のインパルスゲート配線I_{GL}に出力する。

10

【0114】

第3制御信号313のうち、第1スキャン開始信号STV1と、第4制御信号314のうち、第2スキャン開始信号STV2は所定の遅延差を有する。即ち、第2スキャン開始信号STV2によって始まるインパルスゲート信号は、第1スキャン開始信号STV1によって始まるゲート信号が出力された後、所定時間以後から出力される。これによって、OLEDパネル360は、1フレーム区間の間、データ電圧による正常画面と、インパルス電圧によるインパルス画面が表示される。

【0115】

OLEDパネル360は、図16に示すような単位画素構造P3を有する。OLEDパネル360のインパルスゲート信号の印加方法は、上述した図4及び図5に示すように多様に具現することができ、それに対する詳細な説明は省略する。

20

【0116】

又、図17に示した有機発光表示装置のインパルシブ駆動方式も、上述した図6乃至図10と、図11乃至図15に示すように多様に具現することができ、それに対する詳細な説明は省略する。

【0117】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

30

【図面の簡単な説明】

【0118】

【図1】本発明の一実施例による表示パネルの単位画素に対する等価回路図である。

【図2】本発明の他の実施例による表示パネルの単位画素に対する等価回路図である。

【図3】本発明の一実施例による液晶表示装置の概略的なブロック図である。

【図4】図3に示した表示パネルの一実施例による平面図である。

【図5】図3に示した表示パネルの他の実施例による平面図である。

【図6】本発明による一実施例のインパルシブ駆動方式を説明するためのタイミング図である。

【図7】本発明による一実施例のインパルシブ駆動方式を説明するためのタイミング図である。

【図8】本発明による一実施例のインパルシブ駆動方式を説明するためのタイミング図である。

40

【図9】本発明による一実施例のインパルシブ駆動方式を説明するためのタイミング図である。

【図10】本発明による一実施例のインパルシブ駆動方式を説明するためのタイミング図である。

【図11】本発明による他の実施例のインパルシブ駆動方式を説明するためのタイミング図である。

【図12】本発明による他の実施例のインパルシブ駆動方式を説明するためのタイミング図である。

50

【図13】本発明による他の実施例のインパルシブ駆動方式を説明するためのタイミング図である。

【図14】本発明による他の実施例のインパルシブ駆動方式を説明するためのタイミング図である。

【図15】本発明による他の実施例のインパルシブ駆動方式を説明するためのタイミング図である。

【図16】本発明の更に他の実施例による表示パネルの単位画素に対する等価回路図である。

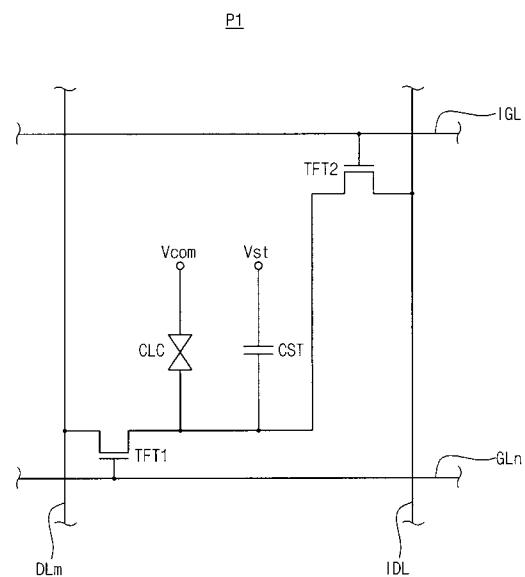
【図17】本発明の更に他の実施例による有機発光表示装置の概略的なブロック図である。
10

【符号の説明】

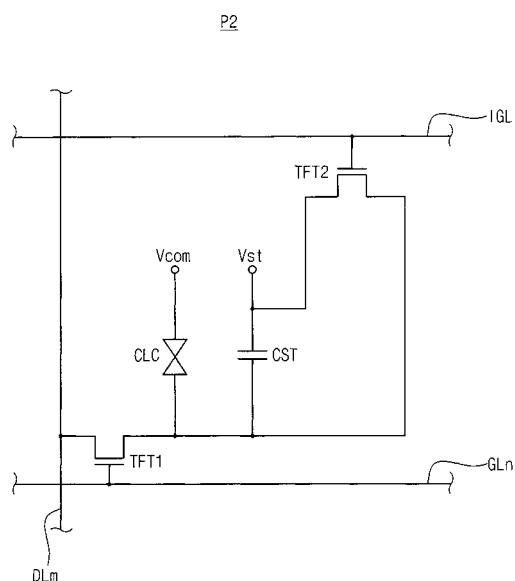
【0119】

110、310	タイミング制御部
120、320	駆動電圧発生部
130、330	データ駆動部
140、340	ゲート駆動部
150、350	インパルス駆動部
160	液晶表示パネル
360	OLEDパネル

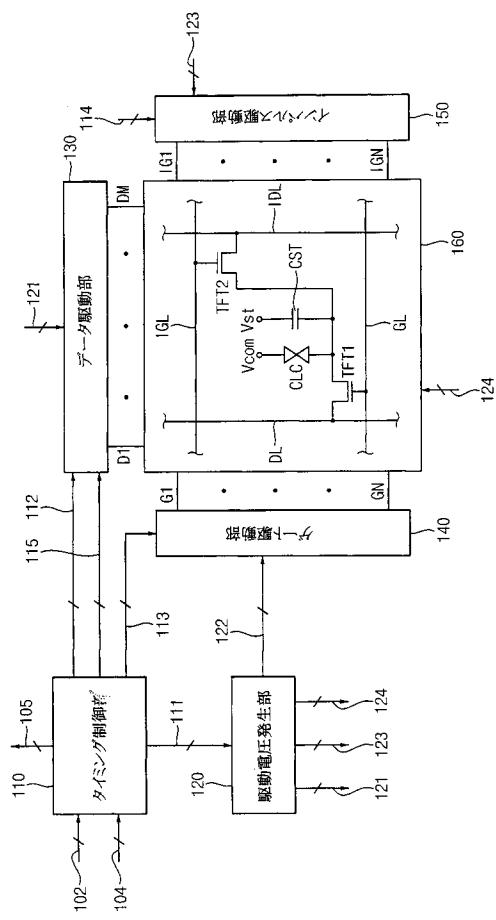
【図1】



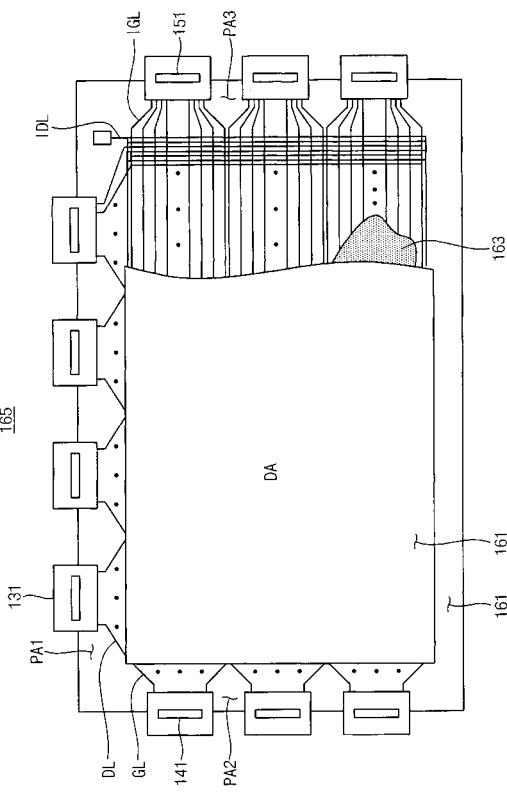
【図2】



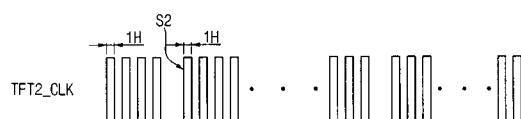
【図3】



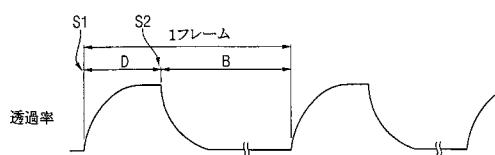
【図4】



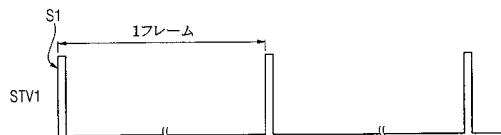
【 四 9 】



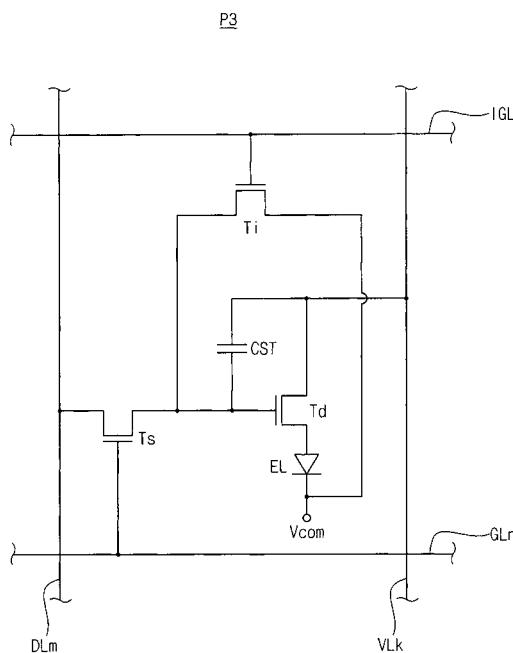
【 図 1 0 】



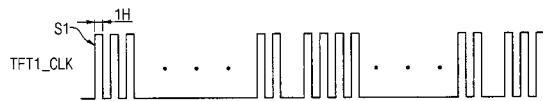
【 図 1 1 】



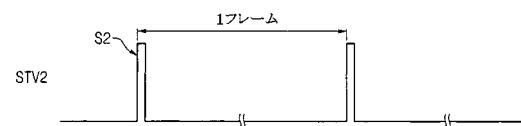
【 図 1 6 】



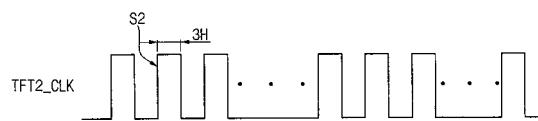
【 図 1 2 】



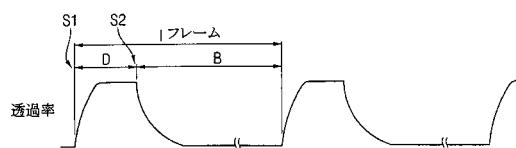
【 図 1 3 】



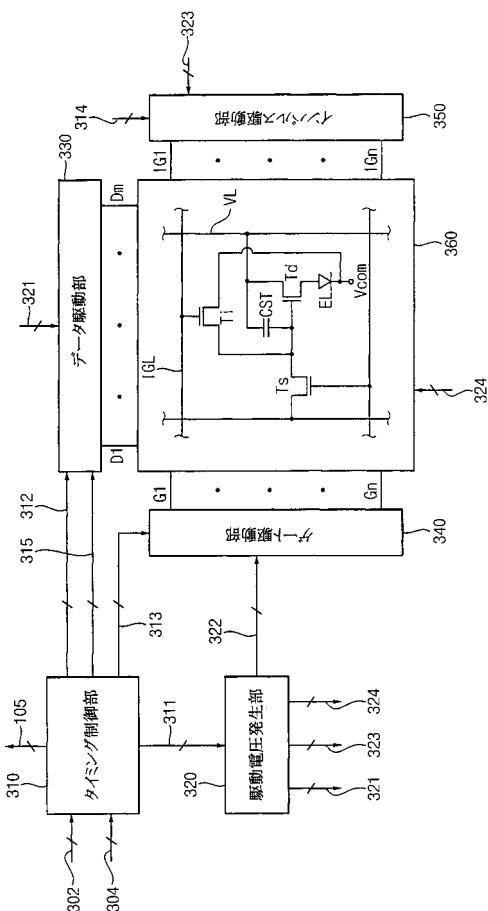
【 図 1 4 】



【 15 】



【 図 1 7 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 01 L 51/50 (2006.01)	G 09 G 3/20 621A	
	G 09 G 3/30 J	
	G 02 F 1/1368	
	G 02 F 1/133 550	
	H 05 B 33/14 A	

(72)発明者 申 ギョン 周
大韓民国 京畿道 龍仁市 器興邑 甫羅里 289-12 サムジョンソンビマウル 102/
504

F ターム(参考) 2H092 JA24 JB42 JB69 NA01 PA06
2H093 NA16 NC34 NC35 NC36 ND37
3K107 AA01 BB01 CC31 EE04 HH00 HH04 HH05
5C006 AC25 AF42 AF51 AF71 BB16 BC03 BC06 BC11 BF34 FA12
FA15 FA16
5C080 AA06 AA10 BB05 DD01 DD30 EE19 FF11 JJ02 JJ03 JJ04
JJ06