[19]中华人民共和国国家知识产权局

[51]Int.Cl[7]
H01L 27/108
H01L 21/8242

[12]发明专利申请公开说明书

[21]申请号 99124475.3

[43]公开日 2000年6月7日

[11]公开号 CN 1255752A

[22]申请日 1999.11.19 [21]申请号 99124475.3

[30]优先权

[32]1998.11.19 [33]US[31]09/195602

[71]申请人 西门子公司

地址 联邦德国慕尼黑

[72]发明人 T·S·鲁普

[74]专利代理机构 中国专利代理(香港)有限公司

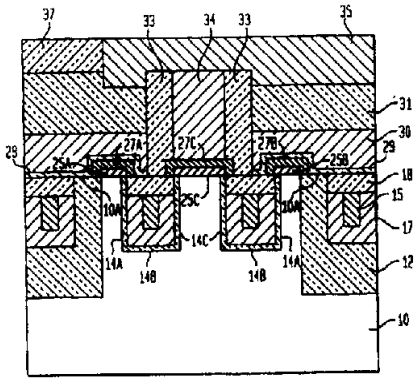
代理人 邹光新 张志醒

权利要求书3页 说明书6页 附图页数9页

[54]发明名称 具有叠置电容器和埋置字线的动态随机存取存储器

[57]摘要

一种在DRAM中使用的存储单元,包括在半导体本体的上表面源和漏区之间 形成的沟槽。沟槽由适合于用做栅介质的层作衬里,并用作为栅电极的掺杂多 晶硅局部地填充。沟槽的导电填充物的位置低于半导体本体的表面,位置之间 的差异由氧化硅填充。连接栅导体的字线类似地低于半导体本体的上表面。



ISSN1008-4274

权　利　要　求　书

1．一种包括与存储电容器串联的晶体管的存储单元，用在形成动态随机存取存储器的存储单元的阵列中，包括：

具有上表面的一种导电类型的半导体本体；

第一和第二区域与半导体本体的导电类型相反，适合于作为晶体管的源和漏区，它们形成在半导体本体中，由部分半导体本体隔开，每个源和漏部分包括部分上表面；

在隔开区域之间中部的半导体本体区域中的沟槽，沟槽包括导电的填充物，导电填充物的位置低于半导体本体上表面，并与周围的半导体本体通过适用于作为晶体管栅介质的材料层电隔离并包括上面覆盖的介质层；

位于半导体本体上的存储电容器，并包括作为下极板的源区域上的导电层、覆盖下极板的适合于用作电容器介质的材料层、以及在电容器介质上作为上极板的导电层。

2．根据权利要求1的存储单元，其中沟槽的导电填充物为掺杂的多晶硅，环绕的介质为氧化硅。

3．根据权利要求2的存储单元，其中沟槽的导电填充包括硅化物芯。

4．根据权利要求1的存储单元，其中源和漏区包括在半导体本体的初始表面上生长的掺杂外延硅层，作为存储电容器的内极板。

5．根据权利要求4的存储单元，其中硅化物层覆盖掺杂的外延硅层。

6．一种包括与存储电容器串联的晶体管的存储单元，在形成动态随机存取存储器的存储单元的陈列中使用，包括：

一种导电类型的单晶硅层，包括沿它的上表面的隔开的相反导电类型的源和漏区：

在所述隔开区域之间硅区中的沟槽，沟槽包括较厚的介质材料的顶层，掺杂多晶硅的侧壁和底部以及高导电材料的芯区，壁和底部的多晶硅部分通过较薄的介质层与硅层隔开；

上述较薄的介质层作为晶体管栅的介质，掺杂的多晶硅层作为栅导体，芯区作为到存储器字线的栅接触栓塞；以及

在沟槽内填充物的导电部分的位置低于单晶硅层上表面的位置。

7. 根据权利要求 6 的存储单元，其中外延硅的第一导电层覆盖隔开的区域中的一个，形成作为存储单元的叠置电容器的电容器的下极板，介质层夹在第二导电层和第一导电层之间，介质层和第二导电层分别作为电容器的介质和上极板。

8. 根据权利要求 7 的存储单元，其中导电的外延层覆盖其它隔开的区域，作为晶体管漏接触。

9. 一种包括晶体管和电容器的存储单元的形成方法，包括以下步骤：

在单晶硅片的表面部分内限定要形成开关晶体管的有源区域；

在所述表面部分的中间区域内形成沟槽；

用适合于作为晶体管栅介质的介质层作沟槽内衬里；

用适合于作为晶体管栅电极的导电材料部分填充沟槽到硅晶片上表面以下的位置；

在沟槽上形成介质层，填充沟槽基本上到硅晶片上表面的位置；

在沟槽相对侧的硅晶片内形成源和漏区；

在源区上形成适合于作为存储电容器的介质层的层；以及

在存储电容器的所述介质层上形成适合于作为介质的外极板的导电层。

10. 根据权利要求 9 的方法，其中适合于作为栅介质的导电材料包括由掺杂的多晶硅环绕的硅化物的内芯。

11. 根据权利要求 9 的方法，还包括在源区上形成掺杂硅的外延层作为存储电容器的内极板的步骤。

12. 根据权利要求 11 的方法，还包括在漏区上形成掺杂硅的外延层作为到漏区的位线接触。

13. 根据权利要求 9 的方法，其中有源区域由填充介质材料的环绕沟槽限定。

14. 根据权利要求 9 的方法，其中在有源区域内形成一对沟槽，在两个沟槽之间的中间区域中形成公共的漏区，隔开的源区形成在两个沟槽外的两个区域中，每个沟槽类似地填充。

15. 根据权利要求 14 的方法，其中有源区域由氧化硅填充的环绕沟槽限定。

16. 根据权利要求 14 的方法，其中两个沟槽的每一个类似地用硅化物的内芯和掺杂的多晶硅的环绕层填充。

17. 根据权利要求 14 的方法，其中掺杂的外延层生长在源和漏区的每一个上。

18. 根据权利要求 17 的方法，其中两个源区上掺杂的外延硅层由介质层和导电层覆盖形成隔开的存储电容器。

说　明　书

具有叠置电容器和埋置字线的动态随机存取存储器

本发明涉及使用晶体管和存储电容器串联组合作为存储器单元的动态随机存取存储器（DRAM），特别涉及由多个叠层在已形成有晶体管的半导体本体（衬底、芯片）上表面上形成存储电容器的那种 DRAM。

以上介绍种类的(DRAM)已变为很重要的集成电路器件之一。此外，发展趋势是越来越大容量的存储器。要增加存储器的容量，重要的是增加密度并减小形成存储器使用的存储单元的尺寸。

在典型的 DRAM 中，存储器的存储单元以行和列排列在半导体本体（硅芯片、衬底）内，借助位线和字线，读入和读出各单元的二进制数（位），位线和字线通常由覆盖在由介质层相互隔开的芯片表面上的导电层提供。

在 DRAM 的常见形式中，晶体管形成硅集成电路芯片中，由芯片的上表面上的多个叠层形成存储电容器。随着存储单元密度的增加，已很难将所述叠置的电容器设置在表面上，同时保持各电容器之间、电容器及位线和字线之间需要的电隔离，所有这些都争夺芯片表面上的空间。

本发明尝试通过将通常在半导体本体（衬底、芯片）表面上的字线埋置到半导体本体内来减少各电容器之间以及电容器与位线和字线之间空间的争夺。特别是，字线埋置在存储电容器和位线下面。通过如此设置字线而空余的空间可以用于增加仍处于半导体本体表面上空间内的存储电容器和位线的间隔。

在一个方案中，本发明致力于一种在 DRAM 中使用的新型存储单元，单元的特征在于字线埋置在硅芯片表面下并沿其侧壁和底部形成晶体管开关的导电沟道。此外，优选形式中，由芯片表面上的外延层形成电容器的下极板。

在装置的方面，本发明致力于一种包括与存储电容器串联的晶体管的存储单元，用在形成动态随机存取存储器的存储单元的阵列中。存储单元包括具有上表面、一种导电类型的半导体本体，第一和第二区域、半导体本体中的沟槽以及存储电容器。第一和第二区域与半导体本体的导电类型相反，适于作为晶体管的源和漏区。它们形成在半

导体本体中，并由部分半导体本体隔开。每个源和漏的部分包括部分上表面。沟槽位于隔开区域之间中部的半导体本体区域内并包含导电的填充物。导电填充物的位置低于半导体本体上表面的位置，并由适于作为晶体管栅介质的材料层与半导体本体电隔离，包括上面覆盖的介质层。存储电容器位于半导体本体上，包括作为下极板的源区域上的导电层、适合于覆盖下极板的电容器介质的材料层、以及电容器介质上作为上极板的导电层。

从另一方面，本发明致力于制造具有大量分离结构的存储器。特别是，新工艺沿埋置在半导体本体表面下的字线侧壁和底部形成晶体管开关的导电沟道。因此，各沟道部分可以具有不同的阈值。此外，以不需构图各叠置层的方式，叠置的电容器形成在晶片的表面上和埋置的字线上。

在工艺的方面，本发明致力于一种包括晶体管和电容器的存储单元的形成方法，该方法包括以下步骤：在单晶硅片的表面部分内限定要形成晶体管开关的有源区域；在所述表面部分的中间区域内形成沟槽；用适合于作为晶体管栅介质的介质层作沟槽衬里；用适合于作为晶体管栅电极的导电材料部分填充沟槽到硅晶片上表面以下的位置；在沟槽上形成介质层填充沟槽基本上到硅晶片上表面的位置；在硅晶片内沟槽的相对侧形成源和漏区；在源区上形成适合于作为存储电容器介质层的层；以及在存储电容器的所述介质层上形成适合于作为介质的外极板的导电层。

通过下面结合附图的详细说明可以更好地理解本发明。

图 1-11 示出了根据本发明半导体本体（衬底、芯片、硅晶片）在其内形成一对存储单元的各阶段的剖面图；以及

图 12、13 和 14 示出了根据本发明 DRAM 的晶体管、存储电容器、字线和位线的示意性俯视图。

参考形成存储器的那部分半导体本体（芯片、衬底）更方便地介绍本发明，其尺寸足以形成一对存储单元。众所周知，通常大多数 DRAM 的处理在晶片规模上进行，之后，将晶片切割成单个 DRAM 的各芯片用于以后的处理步骤。

下面具体参考使用 n 沟道金属-氧化物半导体场效应晶体管（MOSFET），也表示为绝缘栅场效应晶体管（IGFET）作为晶体管的存

储单元的制备介绍工艺。为此，首先制备包括至少上表面 10A 的半导体本体（硅芯片、衬底、工件）10。在示例性的实施例中，半导体本体 10 为 p 导电类型的单晶，也可以为 p 导电类型和 n 导电类型衬底中的层或阱。此外，可以由在适当的衬底、硅或绝缘体上生长的外延层形成 p 型层。

通过在半导体本体 10 的表面 10A 上形成“PAD”层 11A 开始处理，“PAD”层 11A 一般包括氧化硅的底层和氮化硅的覆盖层。为简化起见，PAD 层 11A 显示为单层。构图所述 PAD 层露出将用通常为氧化硅的介质材料填充的浅沟槽形成的区域，沟槽将存储单元相互隔离。氧化物填充的沟槽 12 显示在本体 10 的两端。浅氧化物填充的沟槽通常约 2500 埃深并环绕有源区域，通常为方形或矩形，其中主要形成有存储单元对。

图 2 示出了已腐蚀半导体本体 10 在其中间区域中形成垂直沟槽 13 和氧化物填充的沟槽 12。通常这可以通过以下步骤完成：首先除去初始 PAD 层 11A 的残留物、在表面上形成第二 PAD 层 11B、构图之形成在反应离子腐蚀（RIE）中使用的掩模限定示出的垂直沟槽 13。沟槽 13 通常约 2000 埃深，在半导体本体 10 中完全地容纳埋置的字线。沟槽 13 的壁也将限定沟槽和栅电极。为此，适于用做栅介质并包括两个垂直段 14A 和 14C 及水平段 14B 的介质层形成在每个沟槽 13 的侧壁和底部上。在所述氧化物的生长之前，对侧壁和底部进行离子注入，设置将与三个介质段 14A、14B 和 14C 相邻形成的三个沟道部分的每一段的阈值电压。从三个不同离子束方向中的一个对这三段的每一段进行离子注入，如果需要，可以为每一段提供不同的阈值电压 VT。

如图 3 所示，这些浅中心沟槽 13 已局部地用作为栅导体的掺杂多晶硅填充物 15 填充。如图所示，使多晶硅填充物的上部位置低于半导体本体 10 的上表面 10A 的位置，通常约 500 埃以下，以确保字线仍埋置在半导体本体 10 的上表面 10A 以下。这通常通过保形淀积多晶硅过填充沟槽 13 然后使用反应离子腐蚀在填充物中形成到表面 10A 以下的沟槽完成。

图 4 示出了在沟槽 13 的侧壁上形成的约 150 埃厚的间隔层 16。这可以通过首先填充沟槽 13，然后使用反应离子腐蚀形成中心开口，留下侧壁间隔层 16 形成。间隔层 16 在原位，现在在每个多晶硅填充

物 15 中形成凹槽，通常不影响沿栅导体多晶硅填充物 15 的侧壁和底部提供字线的栅氧化层 14A、14B 和 14C。

现在用如硅化钨等的硅化物填充物 17 填充多晶硅栅导体 15 中形成的每个凹槽，来增加它的电导率以用做字线。为此，通常需要首先填充每个开口，并腐蚀掉过量物。需要注意使字线填充物 17 明显低于表面 10A，通常为以前提到的 500 埃。

图 5 示出了已剥离掉的第二 PAD 层 11B 和间隔层 16，通过所述除去留下的凹槽由通常为氧化硅的介质 18 填充。这可以通过氧化硅的化学汽相淀积（CVD）覆盖表面，然后使用单晶硅作为腐蚀终止化学机械抛光（CMP）平面化表面获得。

此时，如图 5 所示，包括掺杂的多晶硅 15 和硅化物 17 的字线完全地由栅介质 14 或新介质 18 环绕，并位于表面 10A 以下，这就是本发明工艺的主要特征。

此外，图 5 所示的结果通过以下步骤得到：仅剥离间隔层 16，并仅在氧化层形成到需要的位置除去 PAD 层 11B，得到显示的结构。

图 6 示出了已形成的 n+导电区 20、21 和 22 正好位于半导体本体 10 的表面 10A 以下。通常，区域 20 和 22 分别称为源，21 作为在一个有源区域内形成的两个晶体管共同漏区。然而，如 DRAM 中公知的，晶体管的源和漏在读入和读出操作期间互换角色，但通常将连接到位线的区域称为漏，连接到存储电容器的存储节点的区域称为源。

在图 6 中还示出已分别选择性地生长在单晶硅源/漏区域 20、22 和 21 上的 n+导电类型的外延接触区 25A、25B 和 25C，以提供这些区域的进一步的升高和可能的横向膨胀，以简化源和漏接触的提供。应该理解所述步骤可选。

此外，应该理解几乎不需要限制源和漏扩散区域的深度，是由于通过提供在栅导体 15 上的栅氧化层 18 的厚度可以控制源和漏区的有效深度。

如图 7 所示，源接触 25A 和 25B 以及漏接触 25C 的每一个已由分别为通常为 Ti 或 W 的硅化物的覆盖层 27A、27B 和 27C 环绕，以提高它们的电导率。由于升高的源和漏接触 25A、25B、25C 已良好地限定，因此硅化物接触需要自对准（硅化接触）.

图 8 示出了在半导体本体 10 的表面 10A 上叠置的电容器。为此，

首先用适合于作为存储电容器介质的高介电常数材料，例如钛酸锶钡（BSTO）在表面 10A 上淀积介质层 29，作为所有存储电容器的公共介质层。之后依次由将作为半导体本体 10 的存储区域中存储单元的每个存储电容器的上或第二极板的高电导率金属层 30 覆盖。掩蔽含有存储单元支撑电路的周边区域，防止在其上形成层 29 和 30。第二极板通常保持在地或参考电位，由此铂的连续单层可以作为 DRAM 中每个存储电容器的第二极板。如上所述，电容器的下或第一极板由各升高的硅化接触 25A 和 25B 以及也作为源接触的 27A 和 27B 提供。

应该指出不需要任何构图腐蚀已基本上形成了电容器-源接触。

现在得到图 9 所示的结构，如硼磷硅玻璃（BPSG）层 31 等的介质帽盖已淀积在层 30 的顶部。在半导体本体 10 的周边区域中，首先除去以上指出的掩模层，然后在周边区域上淀积层 30，同时也淀积在存储单元区域上。然后通过局部腐蚀除去半导体本体 10 上层 31、30 和 29 的中心部分，露出硅化的漏接触 27C。

现在得到图 10 所示的结构，介质间隔层 33 提供在已在 BPSG 中形成的开口的侧壁上。通过用如氮化硅等适当的间隔层介质填充开口，之后使用 RIE 在氮化硅中形成开口留下间隔层 33。现在用如掺杂的多晶硅或金属等适当的位线接触材料过填充开口，之后通过 CMP 平面化表面使位线接触栓塞 34 在原位。

接下来实现图 11 所示的结果，其中已添加位线 35 接触位线接触栓塞 34。首先在 BPSG 的上表面淀积和平面化层间 TEOS 介质 37。然后构图 TEOS 和 BPSG 并腐蚀到低于接触栓塞 34 的位置以下，之后也可以淀积并平面化布线金属，获得图 11 所示的结构。此外，淀积并构图位线布线 35。然后淀积并平面化层间介质层 37，通常为称做 TEOS 的氧化硅，这在本领域中常用于此目的。

图 12、13 和 14 为示出 DRAM 的存储阵列的存储单元的各种可能布局的俯视图。每一个图中，在图 12 和 13 中显示有八个字线 40，为简化起见在图 14 中显示有六条垂直延伸的字线，仅示出了两条水平地延伸的位线 41。位线接触的位置由表示间隔层的外圆 44 环绕的内圆 43 显示。作为存储电容器下极板的外延生长的硅区位置由圆 45 表示。通常浅氧化物隔离槽不包括在区域 46 中。

图 1-11 的各剖面图基本上示出了沿图 12 的虚线 X-X 截取的剖面

图.

显然介绍的具体实施例仅说明了本发明的一般原则，可以不脱离本发明的精神和范围进行各种修改. 特别是，显然可以改变提到的用做介质层、间隔层以及接触的特定材料. 显然可以采用使用 p 沟道晶体管的互补结构.

说 明 书 附 图

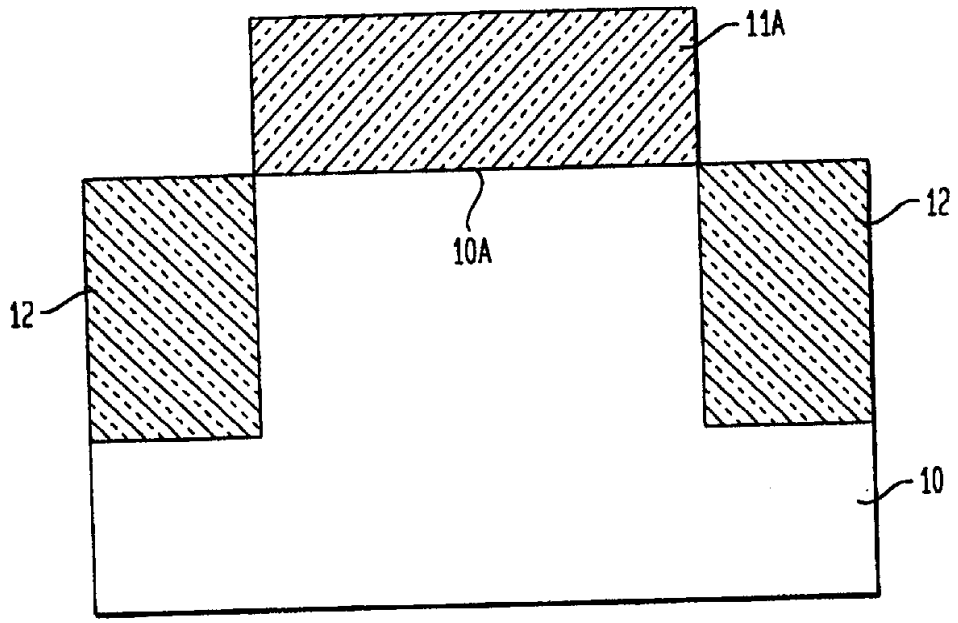

11A
12
10A
12
10

图 1

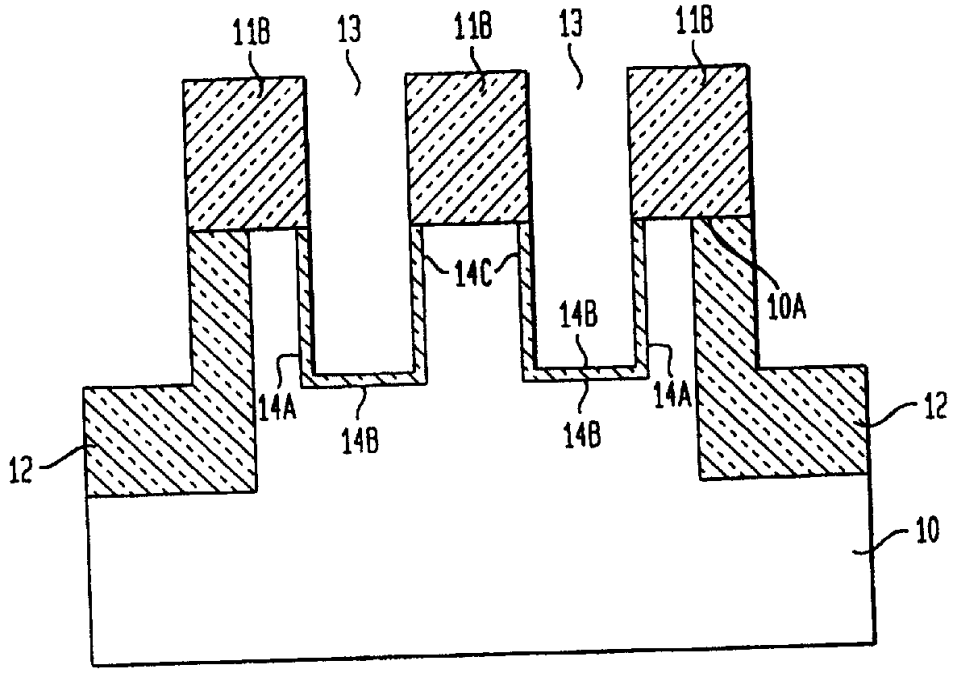

11B
13
11B
13
11B
14C
10A
14B
14A
14A
14B
14B
12
12
10

图 2

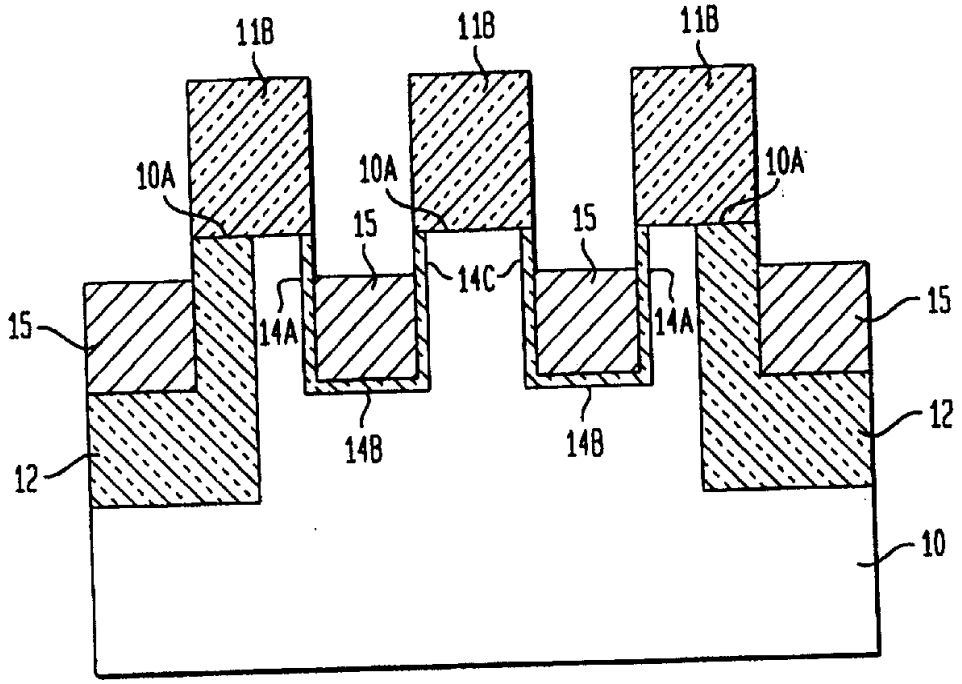

11B
11B
11B
10A
10A
10A
15
15
15
14C
14A
14A
15
15
12
12
14B
14B
10

图 3

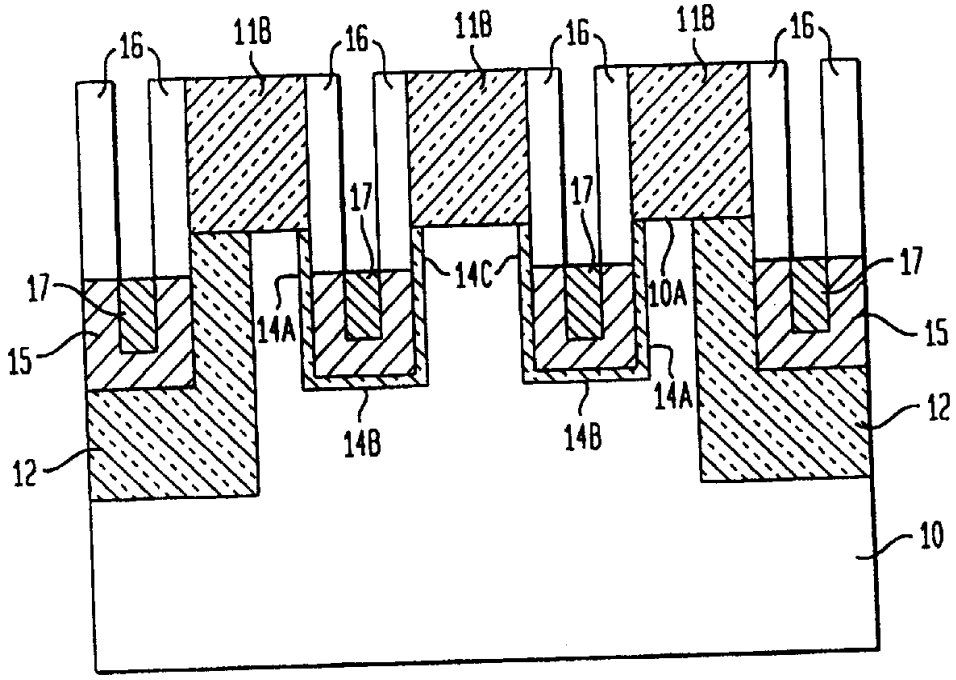

16
11B
16
11B
16
11B
16
17
17
17
14C
10A
14A
14A
15
15
17
12
12
14B
14B
10

图 4

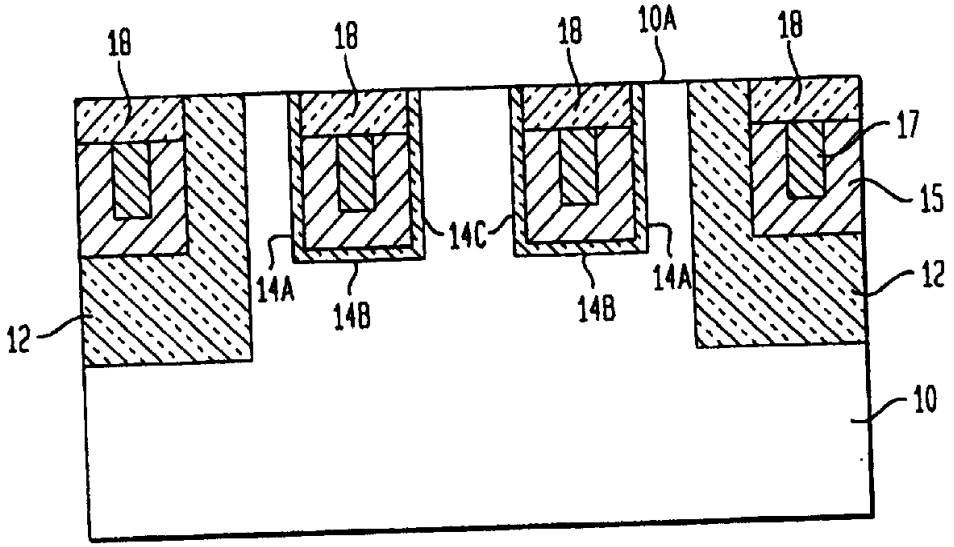

18
18
18
10A
18
17
15
14C
14A
14B
14B
14A
12
12
10

图 5

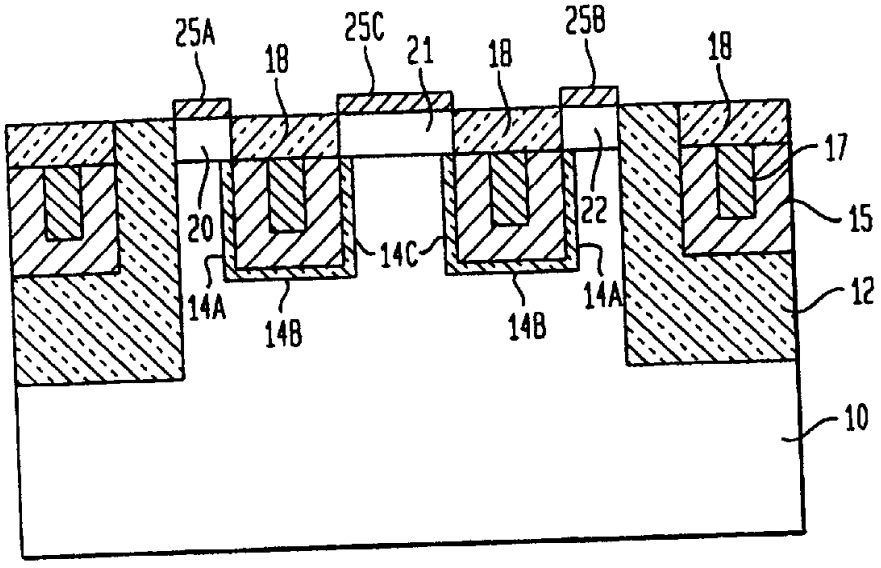

25A
18
25C
21
18
25B
18
17
15
20
14C
22
14A
14B
14B
14A
12
10

图 6

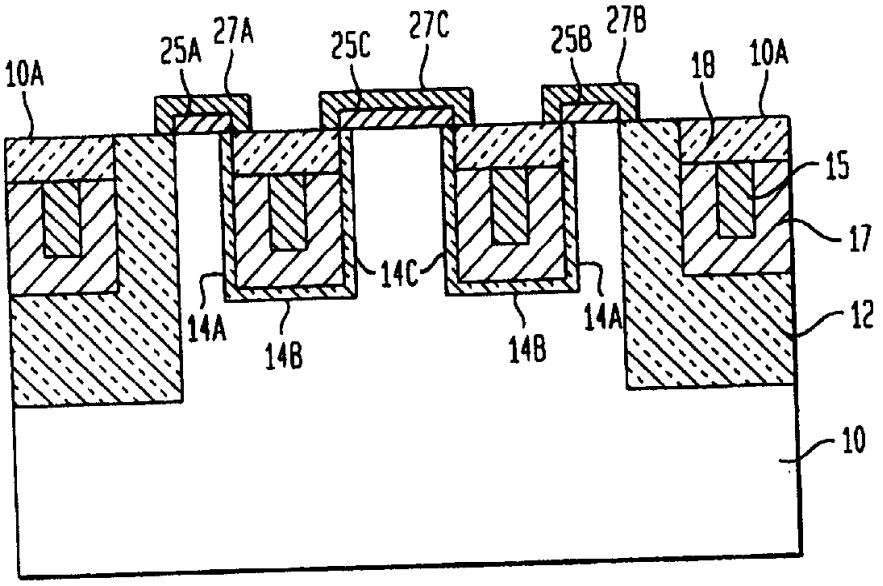

10A
25A
27A
25C
27C
25B
27B
18
10A
15
17
14C
14A
14B
14B
14A
12
10

图 7

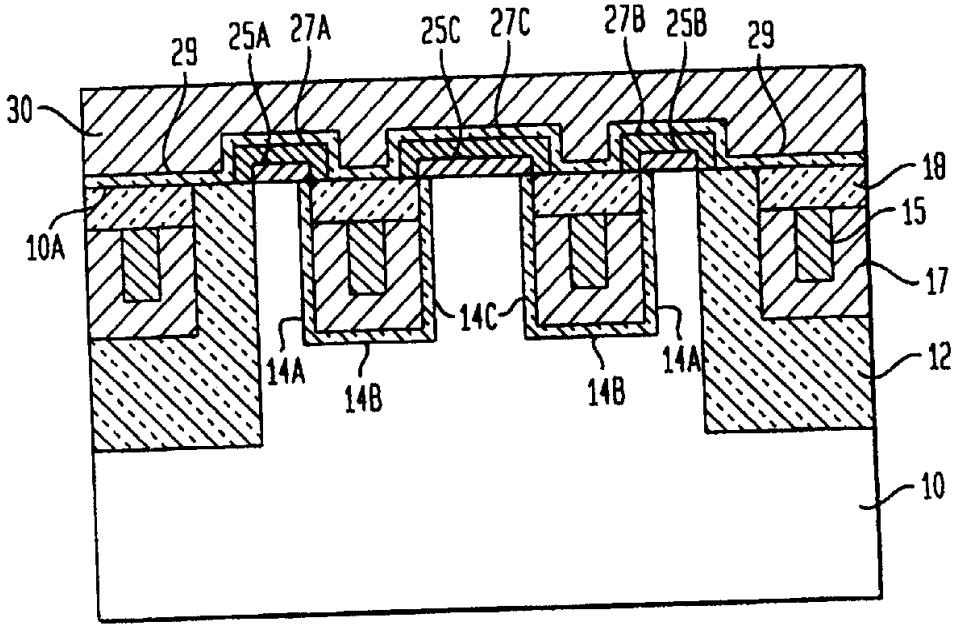

29
25A
27A
25C
27C
27B
25B
29
30
18
10A
15
17
14C
14A
14B
14B
14A
12
10

图 8

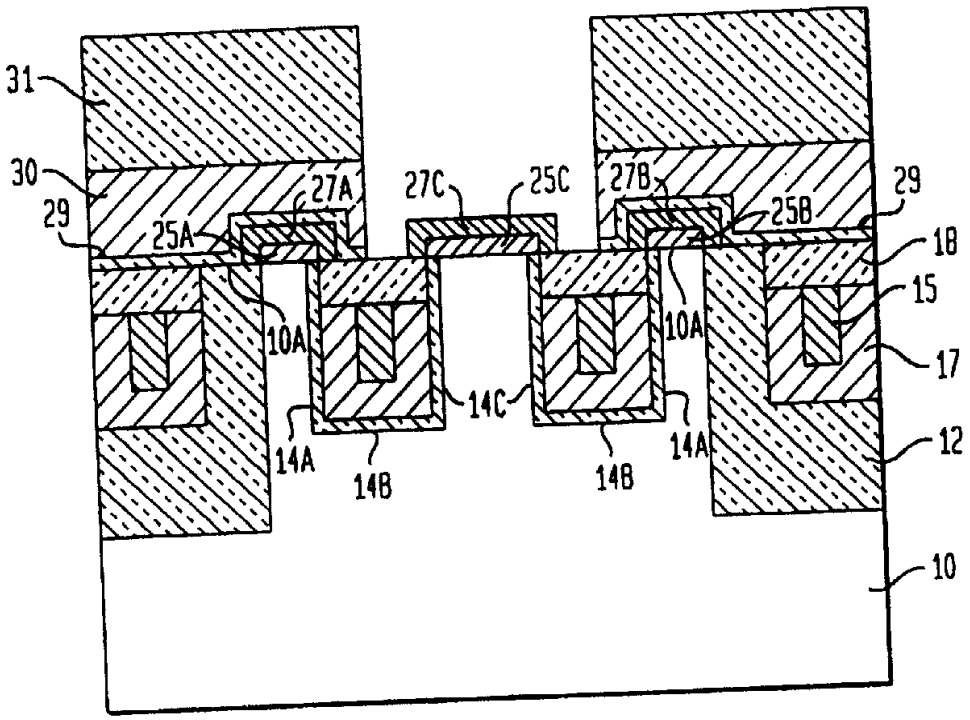

31
30
29
29
27A
27C
25C
27B
25B
25A
29
18
15
17
10A
10A
14C
14A
14B
14B
14A
12
10

图 9

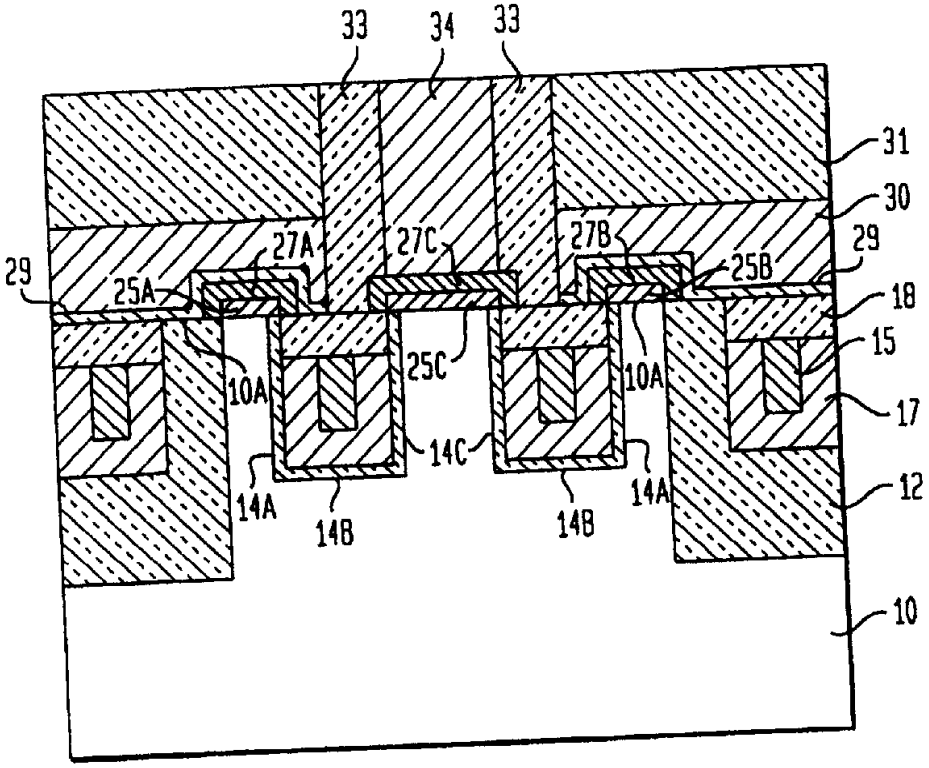

33
34
33
31
30
29
29
27A
27C
27B
25B
25A
18
15
10A
25C
10A
17
14C
14A
14B
14B
14A
12
10

图 10

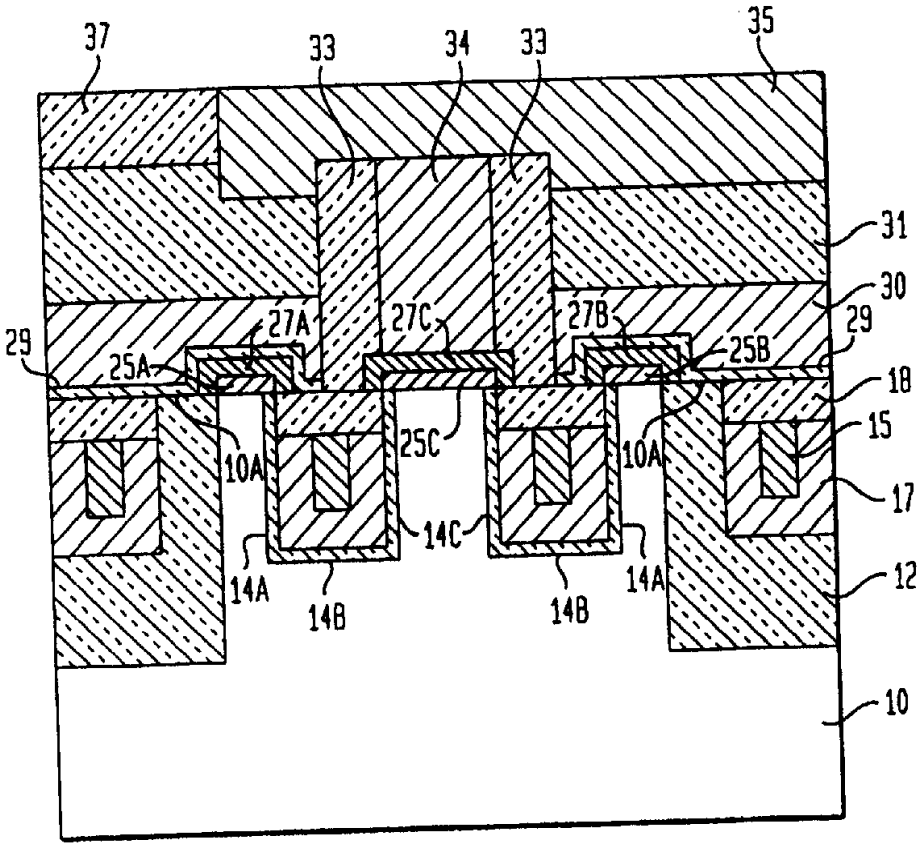

37
33
34
33
35
31
30
29
29
27A
27C
27B
25A
25B
18
15
10A
25C
10A
17
14C
14A
14B
14B
14A
12
10

图 11

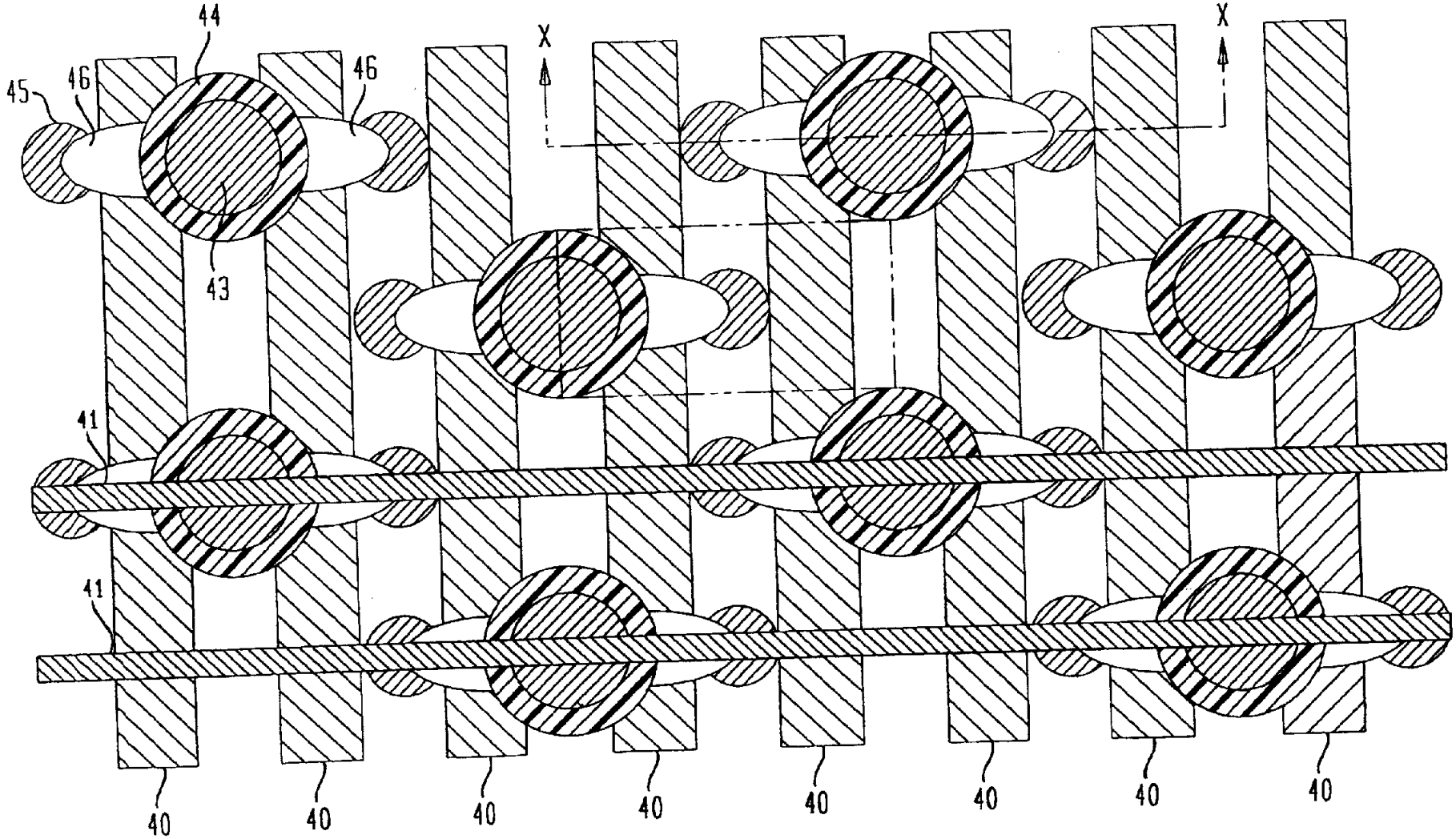


图 12

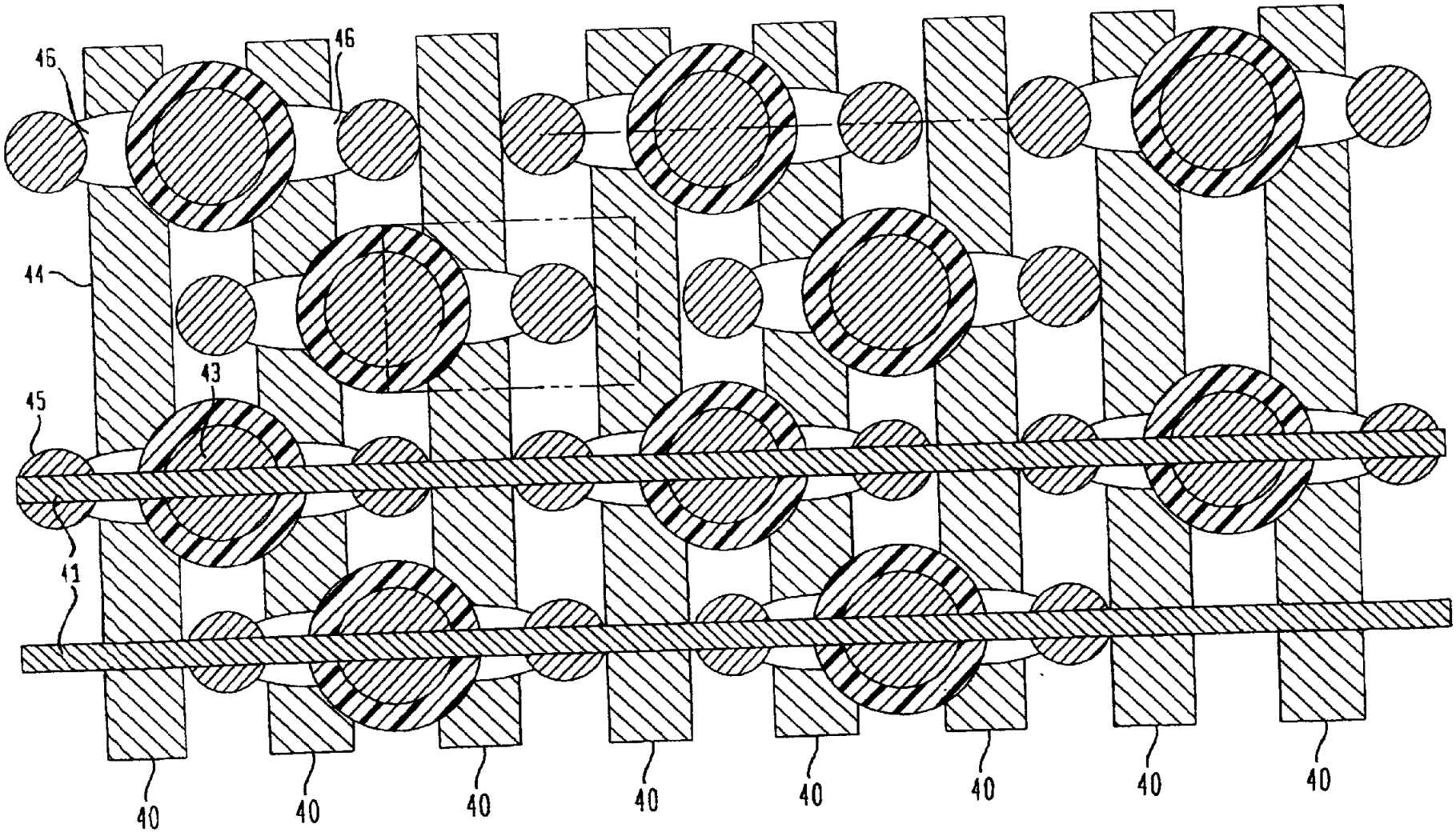


图 13

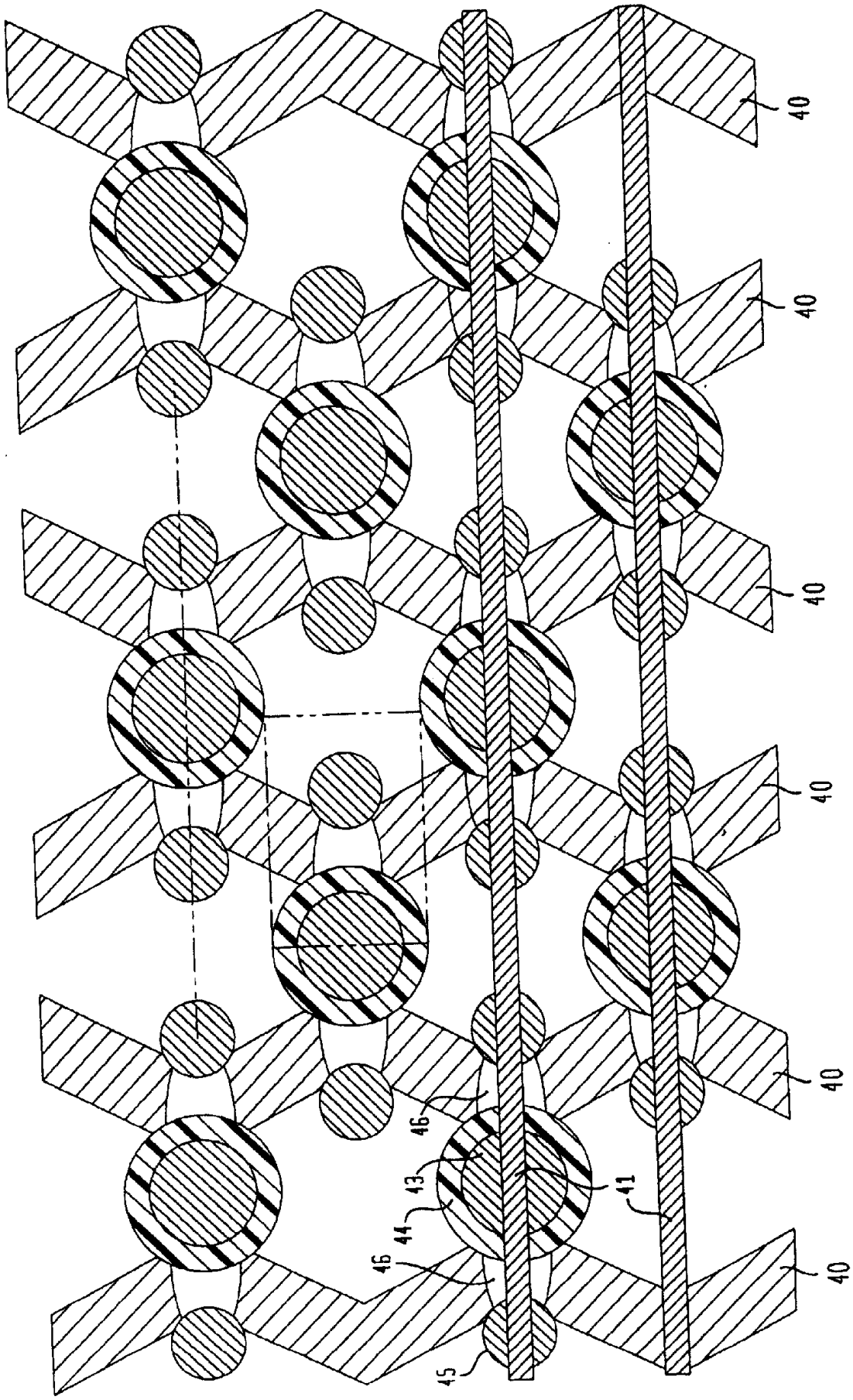


図 14