



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0129503
(43) 공개일자 2017년11월27일

(51) 국제특허분류(Int. Cl.)

H01L 33/02 (2010.01) H01L 33/00 (2010.01)

H01L 33/44 (2010.01) H01L 33/60 (2010.01)

(52) CPC특허분류

H01L 33/02 (2013.01)

H01L 33/005 (2013.01)

(21) 출원번호 10-2016-0060299

(22) 출원일자 2016년05월17일

심사청구일자 없음

(71) 출원인

엘지이노텍 주식회사

서울특별시 중구 후암로 98 (남대문로5가)

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

오정탁

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

송준오

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

(뒷면에 계속)

(74) 대리인

박영복, 황영욱

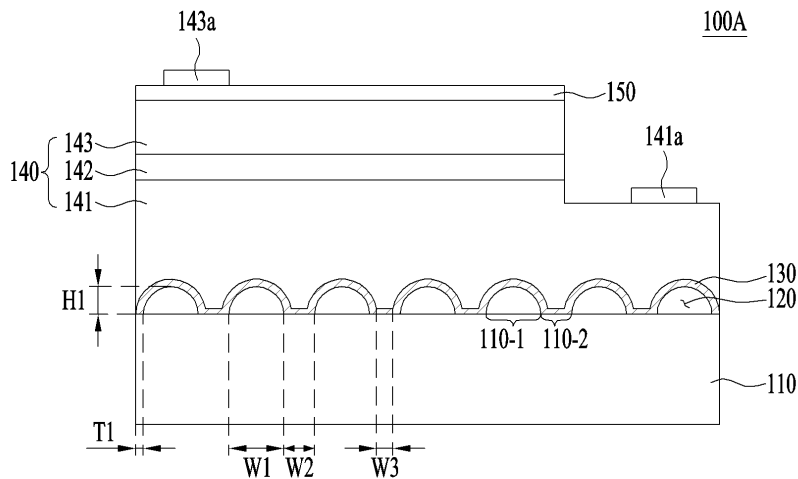
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 반도체 소자 및 제조 방법

(57) 요약

실시예는 반도체 소자에 관한 것으로서, 기판; 상기 기판 상에 선택적으로 배치된 에어층; 상기 기판과 상기 에어층 상에 배치된 질화물층; 및 상기 질화물층 상에 배치된 질화물계 발광 구조물을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 33/0095 (2013.01)

H01L 33/44 (2013.01)

H01L 33/60 (2013.01)

H01L 2924/12041 (2013.01)

(72) 발명자

정환희

서울특별시 중구 한강대로 416 (남대문로5가, 서울
스퀘어)

이현

서울특별시 서초구 동광로22길 23, 302호(방배동,
그랑씨엘)

성영훈

경기도 용인시 수지구 신봉2로 26, 108동 303호(신
봉동, LG신봉자이1차아파트)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 선택적으로 배치된 에어층;

상기 기관과 상기 에어층 상에 배치된 질화물층; 및

상기 질화물층 상에 배치된 질화물계 발광 구조물을 포함하는 반도체 소자.

청구항 2

제1 항에 있어서,

상기 기관 상의 제1 영역에 상기 에어층이 배치되고, 상기 기관 상의 제2 영역에 상기 질화물층이 배치되는 반도체 소자.

청구항 3

제1 항에 있어서,

상기 에어층의 측단면은 반구, 사다리꼴 또는 삼각형 중 하나인 반도체 소자.

청구항 4

제1 항에 있어서,

상기 기관은 사파이어, 실리콘(Si) 또는 실리콘 카바이드(SiC) 중 적어도 하나인 반도체 소자.

청구항 5

제1 항에 있어서,

상기 질화물층은 질화 알루미늄(AlN)을 포함하는 반도체 소자.

청구항 6

제5 항에 있어서,

상기 질화물층은 산소(O)를 더 포함하는 반도체 소자.

청구항 7

제1 항에 있어서,

상기 질화물계 발광 구조물은 GaN을 포함하고, 상기 GaN은 (002)면의 결정성이 10 arcsec 내지 35 arcsec인 반도체 소자.

청구항 8

제1 항에 있어서,

상기 질화물계 발광 구조물은 GaN을 포함하고, 상기 GaN은 (102)면의 결정성이 45 arcsec 내지 85 arcsec인 반도체 소자.

청구항 9

제1 항에 있어서,

상기 에어층과상기 질화물층 사이에 배치되는 중간층을 더 포함하는 반도체 소자.

청구항 10

제1 항에 있어서,

상기 에어층의 높이는 $1.5\mu\text{m}$ 내지 $2.0\mu\text{m}$ 인 반도체 소자.

청구항 11

제1 항에 있어서,

상기 에어층의 폭은 $2.5\mu\text{m}$ 내지 $3.0\mu\text{m}$ 인 반도체 소자.

청구항 12

제1 항에 있어서,

상기 질화물층의 두께는 18nm 내지 22nm인 반도체 소자.

청구항 13

제12 항에 있어서,

인접한 상기 에어층 사이의 간격은 상기 제2 영역에 배치된 상기 질화물층의 폭과 상기 질화물층의 두께의 2배와의 합인 반도체 소자.

청구항 14

제9 항에 있어서,

상기 중간층의 두께는 90nm 내지 100nm인 반도체 소자.

청구항 15

기판 상에 유기물을 선택적으로 배치하는 단계;

상기 기판과 상기 유기물을 덮도록 AlN층을 성장시키는 단계;

상기 유기물을 제거하는 단계; 및

상기 AlN층 상에 질화물계 발광 구조물을 성장시키는 단계를 포함하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 실시예는 반도체 소자 및 제조 방법에 관한 것이다.

배경 기술

[0002] GaN, AlGaIn 등의 화합물을 포함하는 반도체 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.

[0003] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경 친화성의 장점을 가진다.

[0004] 뿐만 아니라, 광검출기나 태양 전지와 같은 수광 소자도 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용하여 제작하는 경우 소자 재료의 개발로 다양한 파장 영역의 빛을 흡수하여 광 전류를 생성함으로써 감마선부터 라디오 파장 영역까지 다양한 파장 영역의 빛을 이용할 수 있다. 또한 빠른 응답속도, 안전성, 환경 친화성 및

소자 재료의 용이한 조절의 장점을 가져 전력 제어 또는 초고주파 회로나 통신용 모듈에도 용이하게 이용할 수 있다.

[0005] 따라서, 반도체 소자는 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트 및 신호등 및 Gas나 화재를 감지하는 센서 등에까지 응용이 확대되고 있다. 또한, 반도체 소자는 고주파 응용 회로나 기타 전력 제어 장치, 통신용 모듈에까지 응용이 확대될 수 있다.

[0006] 반도체 소자의 광추출을 향상시키기 위하여, 다양한 방법이 제안되고 있다. 예를 들어, 반도체 소자의 발광 구조물로부터 출광되는 광이 기판을 투과할 때 산란할 수 있도록 기판에 패턴(pattern)을 형성할 수 있다.

[0007] 그러나, 기판에 패턴을 형성할 때, 균일한 형상으로 패턴을 구현하기가 어렵고 다양한 패턴을 구현하는데 한계가 있다. 또한, 기판에 패턴이 형성될 때, 기판 상에서 성장되는 GaN 등 반도체에 결함이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0008] 실시예는 반도체 소자의 기판 상에 다양한 형태의 패턴이 균일하게 배치되고, 반도체층의 품질이 우수한 반도체 소자 및 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0009] 실시예에 의한 반도체 소자는 기판; 상기 기판 상에 선택적으로 배치된 에어층; 상기 기판과 상기 에어층 상에 배치된 질화물층; 및 상기 질화물층 상에 배치된 질화물계 발광 구조물을 포함할 수 있다.

[0010] 상기 기판 상의 제1 영역에 상기 에어층이 배치되고, 상기 기판 상의 제2 영역에 상기 질화물층이 배치될 수 있다.

[0011] 상기 에어층의 측단면은 반구, 사다리꼴 또는 삼각형 중 하나일 수 있다.

[0012] 상기 기판은 사파이어, 실리콘(Si) 또는 실리콘 카바이드(SiC) 중 적어도 하나일 수 있다.

[0013] 상기 질화물층은 질화 알루미늄(AlN)을 포함할 수 있다.

[0014] 상기 질화물층은 산소(O)를 더 포함할 수 있다.

[0015] 상기 질화물계 발광 구조물은 GaN을 포함하고, 상기 GaN은 (002)면의 결정성이 10 arcsec 내지 35 arcsec일 수 있다.

[0016] 상기 질화물계 발광 구조물은 GaN을 포함하고, 상기 GaN은 (102)면의 결정성이 45 arcsec 내지 85 arcsec일 수 있다.

[0017] 상기 에어층과 상기 질화물층 사이에 배치되는 중간층을 더 포함할 수 있다.

[0018] 상기 에어층의 높이는 1.5 μ m 내지 2.0 μ m일 수 있다.

[0019] 상기 에어층의 폭은 2.5 μ m 내지 3.0 μ m일 수 있다.

[0020] 상기 질화물층의 두께는 18nm 내지 22nm일 수 있다.

[0021] 인접한 상기 에어층 사이의 간격은 상기 제2 영역에 배치된 상기 질화물층의 폭과 상기 질화물층의 두께의 2배와의 합일 수 있다.

[0022] 상기 중간층의 두께는 90nm 내지 100nm일 수 있다.

[0023] 다른 실시예에 의한 반도체 소자 제조 방법은 기판 상에 유기물을 선택적으로 배치하는 단계; 상기 기판과 상기 유기물을 덮도록 AlN층을 성장시키는 단계; 상기 유기물을 제거하는 단계; 및 상기 AlN층 상에 질화물계 발광 구조물을 성장시키는 단계를 포함할 수 있다.

발명의 효과

[0024] 실시예에 따른 반도체 소자와 제조 방법은 결정성이 우수한 광추출 구조를 갖고, 광추출 효율을 향상시킬 수 있다.

도면의 간단한 설명

[0025] 도 1은 제1 실시예에 따른 반도체 소자를 나타내는 도면이다.

도 2a 내지 도 2e는 제1 실시예에 따른 반도체 소자의 제조 방법을 나타내는 도면이다.

도 3은 제2 실시예에 따른 반도체 소자를 나타내는 도면이다.

도 4는 제3 실시예에 따른 반도체 소자를 나타내는 도면이다.

도 5는 제4 실시예에 따른 반도체 소자를 나타내는 도면이다.

도 6은 제5 실시예에 따른 반도체 소자를 나타내는 도면이다.

도 7은 실시예들에 따른 반도체 소자가 배치된 반도체 소자 패키지를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하 상기의 목적을 구체적으로 실현할 수 있는 본 발명의 실시예를 첨부한 도면을 참조하여 설명한다.

[0027] 본 발명에 따른 실시예의 설명에 있어서, 각 element의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly) 접촉되거나 하나 이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

[0028] 반도체 소자는 발광소자, 수광 소자 등 각종 전자 소자 포함할 수 있으며, 발광소자와 수광소자는 모두 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다.

[0029] 본 실시예에 따른 반도체 소자는 발광소자일 수 있다.

[0030] 발광소자는 전자와 정공이 재결합함으로써 빛을 방출하게 되고, 이 빛의 파장은 물질 고유의 에너지 밴드갭에 의해서 결정된다. 따라서, 방출되는 빛은 상기 물질의 조성에 따라 다를 수 있다.

[0031] 이하, 전술한 발광 소자에 포함되는 실시예에 의한 반도체 소자를 설명한다.

[0032] 도 1은 제1 실시예에 따른 반도체 소자를 나타내는 도면이다.

[0033] 도 1에 도시된 바와 같이, 본 실시예에 따른 반도체 소자(100A)는 기판(110), 에어층(120), 질화물층(130) 및 발광 구조물(140)을 포함할 수 있다.

[0034] 기판(110)은 사파이어, 실리콘(Si) 또는 실리콘 카바이드(SiC) 중 적어도 하나로 형성될 수 있으나, 기판(110)을 이루는 재질은 이에 한정하지 않는다.

[0035] 기판(110) 상에는 에어층(120)이 배치될 수 있다. 에어층(120)은 기판(110) 상에 선택적으로 배치될 수 있다.

[0036] 에어층(120)이 형성되는 과정은 후술하기로 한다.

[0037] 기판(110) 상의 제1 영역(110-1)에 에어층(120)이 배치되고, 질화물층(130)은 기판(110) 상의 에어층(120)과 제2 영역(110-2)에 연결되어 배치될 수 있다. 여기서, 질화물층(130)은 제2 영역(110-2)에 접촉되어 배치될 수 있다.

[0038] 질화물층(130)은 질화 알루미늄(AlN)을 포함할 수 있다.

[0039] 그리고, 질화물층(130)의 결정성을 개선하기 위해 질화물층(130)은 산소(O)를 더 포함할 수 있는데, 산소(O)는 질화 알루미늄(AlN)의 N vacancy 즉, 질화 알루미늄에서 질소 공핍 영역에 결합될 수 있다.

[0040] 에어층(120)의 높이(H1)는 1.5 μ m(마이크로 미터) 내지 2.0 μ m일 수 있다, 여기서, 에어층(120)의 높이(H1)가 1.5 μ m보다 낮으면, 에어층(120)을 투과하는 광의 굴절도가 작아서 광추출 효율을 향상시키기에 한계가 있고, 에어층(120)의 높이(H1)가 2.0 μ m보다 높게 형성되면, 에어층(120) 상에 질화물층(130)을 성장시킬 때 에어층(120)의 지지력이 약해져서 질화물층(130)이 안정적으로 성장되지 못할 수 있다.

- [0041] 에어층(120)의 폭(W1)은 2.5 μ m내지 3.0 μ m일 수 있다. 여기서, 에어층(120)의 폭(W1)이 2.5 μ m보다 작으면, 에어층(120)이 형성되는 공간이 충분히 확보되지 못해 에어층(120)이 형성되는데 어려움이 있고, 에어층(120)의 폭(W1)이 3.0 μ m보다 크게 형성되면, 기판(110) 상에 배치되는 에어층(120)의 개수가 적어져 광출력을 향상시키기 어려울 수 있다.
- [0042] 에어층(120)의 높이(H1)와 에어층(120)의 폭(W1)은 에어층(120)의 형상과 에어층(120)이 기판(110) 상에 배치되는 위치에 따라 달라질 수 있다.
- [0043] 그리고, 질화물층(130)의 두께(T1)는 18nm(나노미터) 내지 22nm일 수 있다. 여기서, 질화물층(130)의 두께(T1)가 18nm보다 얇게 형성되면, 에어층(120)을 형성시키는 과정에서 가해지는 열로 인해 질화물층(130)이 손상될 수 있고, 질화물층(130)의 두께(T1)가 22nm보다 두껍게 형성되면, 발광 구조물로부터 에어층으로 진행하는 광의 투과력이 저하될 수 있다.
- [0044] 질화물층(130)의 두께(T1)는 진화물층(130)의 재질이나 에어층(120)에 배치되는 형상에 따라 달라질 수 있으며, 상기 질화물층(130)의 두께(T1)에 한정하지는 않는다.
- [0045] 질화물층(130)의 측면면에서 제2 영역(110-2)에 접촉하여 배치된 질화물층(130)의 상단 폭(W3)은 0.15nm 내지 0.25nm일 수 있다. 여기서, 질화물층(130)의 상단 폭(W3)이 0.15nm보다 작으면, 이웃하는 에어층(120) 간의 간격이 너무 좁아져 각각의 에어층(120)을 투과하는 광들의 빛의 간섭이 일어날 수 있다. 그리고, 질화물층(130)의 상단 폭(W3)이 0.25nm보다 크게 형성되면, 기판(110) 상에 배치될 수 있는 에어층(120)의 개수가 적어져 광 추출 효율을 향상시키는데 한계가 있다.
- [0046] 따라서, 인접한 에어층(120) 사이의 간격(W2)은 제2 영역(110-2)에 배치된 질화물층(130)의 폭(W3)과 질화물층(130)의 두께(T1)의 2배와의 합일 수 있다.
- [0047] 질화물층(130) 상에는 복수의 반도체 화합물이 적층된 발광 구조물(140)이 배치될 수 있으며, 여기서, 발광 구조물(140)은 질화물계 발광 구조물일 수 있다.
- [0048] 질화물계 발광 구조물(140)은 GaN을 포함하고, GaN은 (002)면의 결정성이 10 arcsec 내지 35 arcsec일 수 있고, GaN은 (102)면의 결정성이 45 arcsec 내지 85 arcsec일 수 있다.
- [0049] 발광 구조물의 결정성을 평가하는 방법 중, XRC(X-ray Rocking Curve) 분석법에 따라 결정면의 (002)면과 (102)면의 반치폭(FWHM: Full Width at Half Maximum)을 측정한 결과, 본 실시예에 따른 반도체 소자의 발광 구조물의 결정성은 종래 반도체 소자의 발광 구조물의 결정성보다 반치폭이 낮게 측정되어 결정성이 우수함을 알 수 있다.
- [0050] 발광 구조물(140)은 제1 도전형 반도체층(141), 제1 도전형 반도체층(142)의 상부에 배치되는 활성층(142) 및 활성층(142)의 상부에 배치되는 제2 도전형 반도체층(143)을 포함한다.
- [0051] 또한, 제1 도전형 반도체층(141)과 질화물층(130) 사이에는 버퍼층(미도시)을 성장시킬 수 있는데, 재료의 격자 부정합 및 열 팽창 계수의 차이를 완화하기 위한 것이다. 버퍼층의 재료는 3족-5족 화합물 반도체 예컨대, GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있다. 버퍼층 위에는 언도프트(undoped) 반도체층이 형성될 수도 있으며, 이에 대해 한정하지는 않는다.
- [0052] 아울러, 제1 도전형 반도체층(141)은 반도체 화합물로 형성될 수 있다. 보다 상세히 설명하면, 3족-5족, 2족-6족 등의 화합물 반도체로 구현될 수 있으며, 제1 도전형 도펀트가 도핑될 수 있다. 제1 도전형 반도체층(141)이 n형 반도체층인 경우, 제1도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다.
- [0053] 그리고, 제1 도전형 반도체층(141)은 $Al_xIn_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 제1 도전형 반도체층(141)은 GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다.
- [0054] 한편, 활성층(142)은 제1 도전형 반도체층(141)을 통해서 주입되는 전자와 이후 형성되는 제2 도전형 반도체층(143)을 통해서 주입되는 정공이 서로 만나서 활성층(142)을 이루는 물질 고유의 에너지 밴드에 의해서 결정되는 에너지를 갖는 빛을 방출하는 층이다.
- [0055] 또한, 활성층(142)은 이중 접합 구조(Double Hetero Junction Structure), 단일 양자 우물 구조, 다중 양자 우

물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다. 예를 들어, 활성층(142)은 트리메틸 갈륨 가스(TMGa), 암모니아 가스(NH₃), 질소 가스(N₂), 및 트리메틸 인듐 가스(TMIn)가 주입되어 다중 양자우물구조가 형성될 수 있으나 이에 한정되는 것은 아니다.

[0056] 활성층(142)의 우물층/장벽층은 예를 들어, InGa_xN/GaN, InGa_xN/InGa_yN, GaN/AlGa_xN, InAlGa_xN/GaN, InAlGa_xN/InAlGa_yN, GaAs(InGaAs)/AlGaAs, GaP(InGaP)/AlGaP 중 어느 하나 이상의 패어 구조로 형성될 수 있으나 이에 한정되지 않는다. 여기서, 우물층은 상기 장벽층의 밴드 갭보다 낮은 밴드 갭을 갖는 물질로 형성될 수 있다.

[0057] 그리고, 활성층(142) 상에는 제2 도전형 반도체층(143)이 반도체 화합물로 형성될 수 있다. 보다 상세히 설명하면, 3족-5족, 2족-6족 등의 화합물 반도체로 구현될 수 있으며, 제2 도전형 도펀트가 도핑될 수 있다. 예컨대, In_xAl_yGa_{1-x-y}N (0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 0 ≤ x+y ≤ 1)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 그리고, 제2 도전형 반도체층(143)이 p형 반도체층인 경우, 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다.

[0058] 한편, 반도체 소자(100A)에 구비되는 제1 전극패드(141a)는 제1 도전형 반도체층(141)의 일부가 메사 식각되어 일부가 노출된 면에 배치되고, 제2 전극패드(143a)는 제2 도전형 반도체층(143)의 상단면 일측에 배치된다. 여기서, 도전성을 높이기 위해 제2 도전형 반도체층(143)의 상단면과 제2 전극패드(143a) 사이에는 ITO(Indium Tin Oxide)(150)가 배치될 수 있다.

[0059] 또한, 제1 전극패드(141a)와 제2 전극패드(143a)는 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 니켈(Ni), 구리(Cu), 금(Au) 중 적어도 하나를 포함하여 단층 또는 다층 구조로 형성될 수 있다.

[0060] 도 2a 내지 도 2e는 제1 실시예에 따른 반도체 소자의 제조 방법을 나타내는 도면이다.

[0061] 도 2a에 도시된 바와 같이, 기판(110)이 마련될 수 있고, 기판(110)은 사파이어, 실리콘(Si) 또는 실리콘 카바이드(SiC) 중 적어도 하나로 형성될 수 있으나, 기판(110)을 이루는 재질은 이에 한정하지 않는다.

[0062] 도 2b에 도시된 바와 같이, 기판(110) 상의 제1 영역(110-1)에 유기물(20)을 선택적으로 배치할 수 있다. 유기물(20)은 도 2b와 같이 반구 형태로 형성시킬 수 있고, 이외에도 삼각형, 사다리꼴 등 다양한 형태로 배치될 수 있다.

[0063] 도 2c와 같이, 기판(110)과 유기물(20)을 덮도록 질화물층(130)을 성장시킬 수 있다.

[0064] 질화물층(130)은 기판(110) 상의 제1 영역(110-1)을 제외한 제2 영역(110-2)과 유기물(20)의 표면 상에 연결되어 배치될 수 있다.

[0065] 질화물층(130)은 기판(110)과 유기물(20) 상에 PVD(Physical Vapor Deposition) 방식으로 증착될 수 있고, 질화물층(130)은 기판(110)과 유기물(20)의 표면 상에 동일한 두께로 증착될 수 있다.

[0066] 질화물층(130)은 질화 알루미늄(AlN)을 포함할 수 있고, 산소(O)를 더 포함할 수 있다. 그리고, 산소(O)는 질화 알루미늄(AlN)의 N vacancy 즉, 질화 알루미늄에서 질소 공핍 영역에 결합될 수 있다.

[0067] 도 2d와 같이, 질화물층(130)을 기판(110)과 유기물(20) 상에 증착시킨 뒤, 열처리를 통해 유기물을 제거할 수 있다. 유기물이 제거된 공간에는 기판 상에 배치되었던 유기물의 형상으로 에어층(120)이 형성될 수 있다.

[0068] 종래에는 반도체 소자의 광추출 효율을 향상시키기 위해 기판의 표면에 직접 패턴을 형성시켰으나, 패턴의 형상을 다양하게 형성시킬 수 없었다. 하지만, 실시예에 따른 반도체 소자에 따르면, 기판 상에 다양한 형태로 유기물로 패턴을 형성시키고, 기판 상에 배치된 유기물의 형태로 에어층을 형성시킨 뒤 기판과 유기물 상에 질화물층을 배치시킴으로써 기판 상에 다양한 형상의 패턴을 형성시킬 수 있다. 기판 상에 다양한 형상의 패턴을 형성시킴으로써 반도체 소자의 광추출 효율을 향상시킬 수 있다.

[0069] 도 2e에 도시된 바와 같이, 질화물층(130) 상에 질화물계 발광 구조물(140)을 성장시킬 수 있다.

[0070] 발광 구조물(140)은 제1 도전형 반도체층(141), 제1 도전형 반도체층(142)의 상부에 배치되는 활성층(142) 및 활성층(142)의 상부에 배치되는 제2 도전형 반도체층(143)을 포함하며, 질화물층(130) 상에 순차적으로 배치될 수 있다.

- [0071] 여기서, 제1 도전형 반도체층(141)과 활성층(142) 및 제2 도전형 반도체층(143)을 포함하는 발광구조물(140)은 예를 들어, 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxy), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy) 등의 방법을 이용하여 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0072] 제2 도전형 반도체층(143), 활성층(142) 및 제1 도전형 반도체층(141)의 일부까지 메사 식각하여 제1 도전형 반도체층(141)이 일부 노출될 수 있다.
- [0073] 제1 도전형 반도체층(141) 상에는 제1 전극패드(141a)가 배치되고, 제2 도전형 반도체층(143) 상에는 제2 전극패드(143a)가 배치될 수 있다.
- [0074] 그리고, 도전성을 높이기 위해 제2 도전형 반도체층(143)의 상단면과 제2 전극패드(143a) 사이에는 ITO(Indium Tin Oxide)(150)가 배치될 수 있다.
- [0075] 도 3은 제2 실시예에 따른 반도체 소자(100B)를 나타내는 도면이고, 도 4는 제3 실시예에 따른 반도체 소자(100C)를 나타내는 도면이며, 도 5는 제4 실시예에 따른 반도체 소자(100D)를 나타내는 도면이다.
- [0076] 상술한 제1 실시예와 제2 실시예에서 에어층(120)의 측단면은 반구 형태일 수 있다. 그리고, 도 3 내지 도 5에 도시된 바와 같이, 에어층(120)의 측단면은 반구, 사다리꼴 또는 삼각형 중 하나일 수 있다. 에어층(120)의 형상에 따라 기판(110) 상에 다양한 형태의 패턴을 형성시킬 수 있으며, 실시예에 따른 반도체 소자의 광출력을 향상시킬 수 있다.
- [0077] 도 6은 제5 실시예에 따른 반도체 소자(100E)를 나타내는 도면이다.
- [0078] 도 6을 참조하면, 제5 실시예에 따른 반도체 소자(100E)는 에어층(120)과 질화물층(130) 사이에 배치되는 중간층(160)을 더 포함할 수 있다.
- [0079] 중간층(160)은 에어층(120)과 질화물층(130) 사이에 배치되어 에어층(120)의 형상이 유지될 수 있도록 에어층(120)을 보호해 줄 수 있으며, 중간층(160)은 질화 실리콘(SiN) 또는 실리카(SiO₂) 중 하나를 포함할 수 있다.
- [0080] 그리고, 중간층(160)의 두께(T2)는 90nm 내지 100nm일 수 있다. 여기서, 중간층(160)의 두께(T2)가 90nm보다 얇게 형성되면, 에어층(120)을 지지해 주는 지지력이 약해질 수 있고, 중간층(160)의 두께(T2)가 100nm보다 두껍게 형성되면 발광 구조물(140)로부터 에어층(120)을 투과하는 광의 투과력이 저하될 수 있다.
- [0081] 중간층(160)은 질화물층(130) 상에 배치될 수도 있다.
- [0082] 실시예들에 따른 반도체 소자는 반도체 소자의 기판 상에 다양한 형태의 패턴을 균일하게 배치시켜 광추출 효율을 향상시킬 수 있고, 결정성이 우수한 광추출 구조를 가질 수 있어 내부 양자 효율을 증가시킬 수 있다.
- [0083] 도 7은 실시예들에 따른 반도체 소자가 배치된 반도체 소자 패키지(300)를 나타내는 도면이다.
- [0084] 실시예에 따른 반도체 소자 패키지(300)는, 몸체부(310), 몸체부(310) 상에 형성된 캐비티(cavity) 및 캐비티 내에 배치되는 반도체 소자(200)를 포함할 수 있으며, 몸체부(310)에는 반도체 소자(200)와의 전기적 연결을 위한 리드 프레임(321, 322)을 포함할 수 있다.
- [0085] 반도체 소자(200)는 캐비티의 바닥면에 배치될 수 있고, 캐비티 내에는 반도체 소자(200)를 둘러싸고 몰딩부(355)가 배치될 수 있으며, 몰딩부(355)에는 형광체(350)가 포함되어 반도체 소자(200)로부터 방출되는 제1 파장 영역의 광에 의하여 여기되어 제2 파장 영역의 광을 방출할 수 있다.
- [0086] 몰딩부(350)에서 형광체와 같이 혼합되어 사용될 수 있는 수지는 실리콘계 수지, 에폭시계 수지, 아크릴계 수지 중 어느 하나 또는 그 혼합물의 형태일 수 있다. 형광체(350)는 야그(YAG) 계열의 형광체나, 나이트라이드(Nitride) 계열의 형광체, 실리케이트(Silicate) 또는 이들이 혼합되어 사용될 수 있으나, 이에 한정하지 않는다.
- [0087] 몸체부(310)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 상부가 개방되고 측면과 바닥면으로 이루어진 캐비티를 가질 수 있다.
- [0088] 캐비티는 컵 형상, 오목한 용기 형상 등으로 형성될 수 있으며, 캐비티의 측면은 바닥면에 대하여 수직이거나 경사지게 형성될 수 있으며, 그 크기 및 형태가 다양할 수 있다.

- [0089] 캐비티를 위에서 바라본 형상은 원형, 다각형, 타원형 등일 수 있으며, 모서리가 곡선인 형상일 수도 있으나, 이에 한정하지 않는다.
- [0090] 몸체부(310)에는 제1 리드 프레임(321) 및 제2 리드 프레임(322)이 포함되어 반도체 소자(200)와 와이어(340)를 통하여 전기적으로 연결될 수 있다. 몸체부(310)가 금속 재질 등 도전성 물질로 이루어지는 경우, 도식되지는 않았으나 몸체부(310)의 표면에 절연층이 코팅되어 제1, 2 리드 프레임(321, 322) 간의 전기적 단락을 방지할 수 있다.
- [0091] 제1 리드 프레임(321) 및 제2 리드 프레임(322)은 서로 전기적으로 분리되며, 반도체 소자(200)에 전류를 공급할 수 있다. 또한, 제1 리드 프레임(321) 및 제2 리드 프레임(322)은 반도체 소자(200)에서 발생된 광을 반사시켜 광 효율을 증가시킬 수 있으며, 반도체 소자(200)에서 발생된 열을 외부로 배출시킬 수도 있다.
- [0092] 도 7에 도시된 실시예에서는 반도체 소자(200)가 제1 리드 프레임(321) 및 제2 리드 프레임(322)과는 와이어(340)를 통하여 연결될 수 있으나, 와이어 본딩 방식 외에 플립칩 본딩 또는 다이 본딩 방식에 의하여 연결될 수도 있다.
- [0093] 상술한 반도체 소자는 발광소자 패키지로 구성되어, 조명 시스템의 광원으로 사용될 수 있는데, 예를 들어 영상 표시장치의 광원이나 조명 장치 등의 광원으로 사용될 수 있다.
- [0094] 영상표시장치의 백라이트 유닛으로 사용될 때 에지 타입의 백라이트 유닛으로 사용되거나 직하 타입의 백라이트 유닛으로 사용될 수 있고, 조명 장치의 광원으로 사용될 때 등기구나 별브 타입으로 사용될 수도 있으며, 또한 이동 단말기의 광원으로 사용될 수도 있다.
- [0095] 발광 소자는 상술한 발광 다이오드 외에 레이저 다이오드가 있다.
- [0096] 레이저 다이오드는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다. 그리고, p-형의 제1 도전형 반도체와 n-형의 제2 도전형 반도체를 접합시킨 뒤 전류를 흘려주었을 때 빛이 방출되는 electro-luminescence(전계발광) 현상을 이용하나, 방출되는 광의 방향성과 위상에서 차이점이 있다. 즉, 레이저 다이오드는 여기 방출(stimulated emission)이라는 현상과 보강간섭 현상 등을 이용하여 하나의 특정한 파장(단색광, monochromatic beam)을 가지는 빛이 동일한 위상을 가지고 동일한 방향으로 방출될 수 있으며, 이러한 특성으로 인하여 광통신이나 의료용 장비 및 반도체 공정 장비 등에 사용될 수 있다.
- [0097] 수광 소자로는 빛을 검출하여 그 강도를 전기 신호로 변환하는 일종의 트랜스듀서인 광 검출기(photodetector)를 예로 들 수 있다. 이러한 광 검출기로서, 광전지(실리콘, 셀렌), 광도전 소자(황화 카드뮴, 셀렌화 카드뮴), 포토 다이오드(예를 들어, visible blind spectral region이나 true blind spectral region에서 피크 파장을 갖는 PD), 포토 트랜지스터, 광전자 증배관, 광전관(진공, 가스 봉입), IR(Infra-Red) 검출기 등이 있으나, 실시 예는 이에 국한되지 않는다.
- [0098] 또한, 광검출기와 같은 반도체 소자는 일반적으로 광변환 효율이 우수한 직접 천이 반도체(direct bandgap semiconductor)를 이용하여 제작될 수 있다. 또는, 광검출기는 구조가 다양하여 가장 일반적인 구조로는 p-n 접합을 이용하는 pin형 광검출기와, 쇼트키접합(Schottky junction)을 이용하는 쇼트키형 광검출기와, MSM(Metal Semiconductor Metal)형 광검출기 등이 있다.
- [0099] 포토 다이오드(Photodiode)는 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있고, pn접합 또는 pin 구조로 이루어진다. 포토 다이오드는 역바이어스 혹은 제로바이어스를 가하여 동작하게 되며, 광이 포토 다이오드에 입사되면 전자와 정공이 생성되어 전류가 흐른다. 이때 전류의 크기는 포토 다이오드에 입사되는 광의 강도에 거의 비례할 수 있다.
- [0100] 광전지 또는 태양 전지(solar cell)는 포토 다이오드의 일종으로, 광을 전류로 변환할 수 있다. 태양 전지는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다.
- [0101] 또한, p-n 접합을 이용한 일반적인 다이오드의 정류 특성을 통하여 전자 회로의 정류기로 이용될 수도 있으며, 초고주파 회로에 적용되어 발진 회로 등에 적용될 수 있다.
- [0102] 또한, 상술한 반도체 소자는 반드시 반도체로만 구현되지 않으며 경우에 따라 금속 물질을 더 포함할 수도 있다. 예를 들어, 수광 소자와 같은 반도체 소자는 Ag, Al, Au, In, Ga, N, Zn, Se, P, 또는 As 중 적어도 하나를 이용하여 구현될 수 있으며, p형이나 n형 도펀트에 의해 도핑된 반도체 물질이나 진성 반도체 물질을 이용

하여 구현될 수도 있다. 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0103]

100A, 100B, 100C, 100D, 100E, 200: 반도체 소자

110: 기판 110-1: 제1 영역

110-2: 제2 영역 120: 에어층

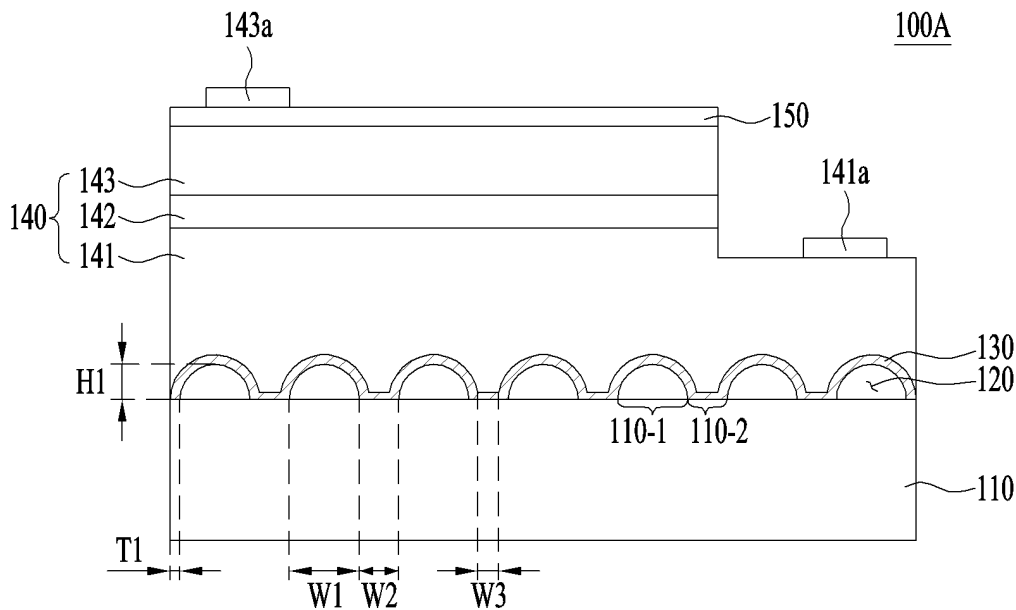
130: 질화물층 140: 발광 구조물

150: ITO 160: 중간층

300: 반도체 소자 패키지

도면

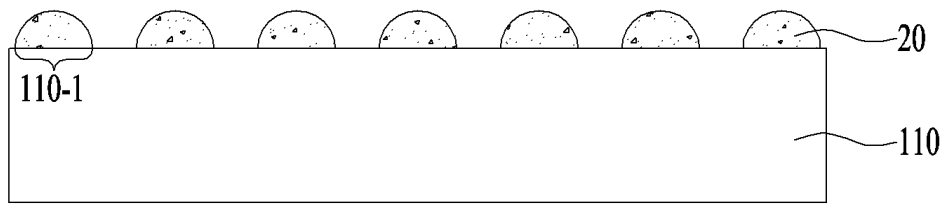
도면1



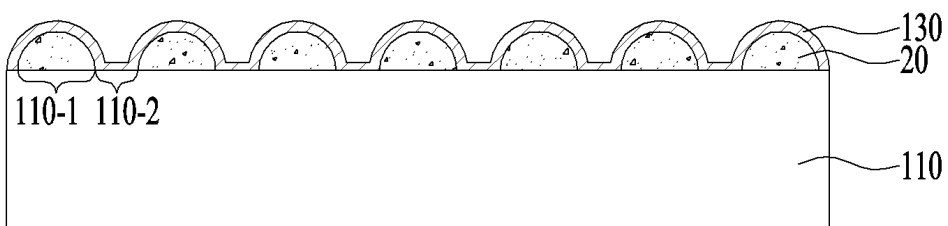
도면2a



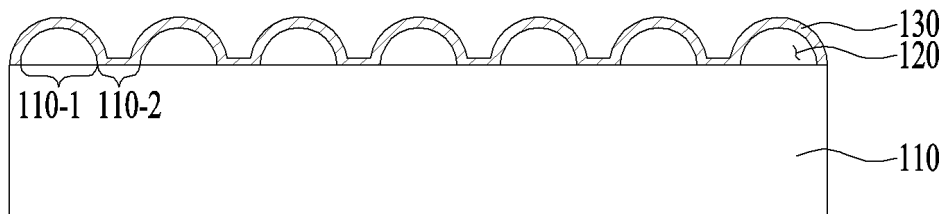
도면2b



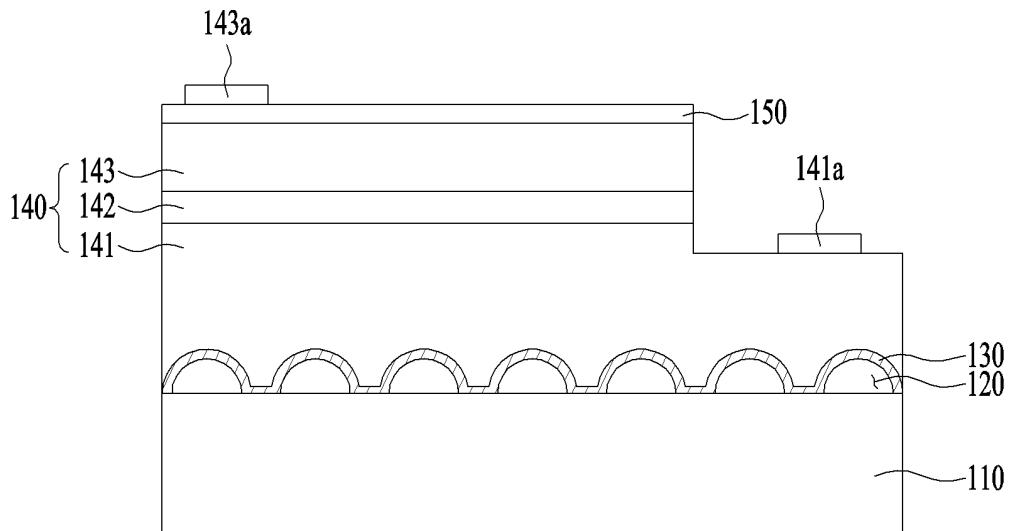
도면2c



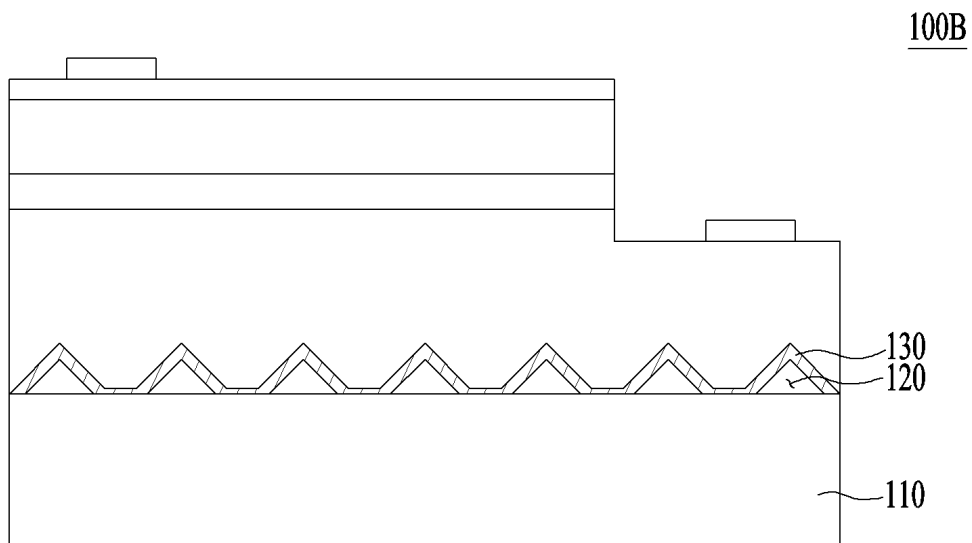
도면2d



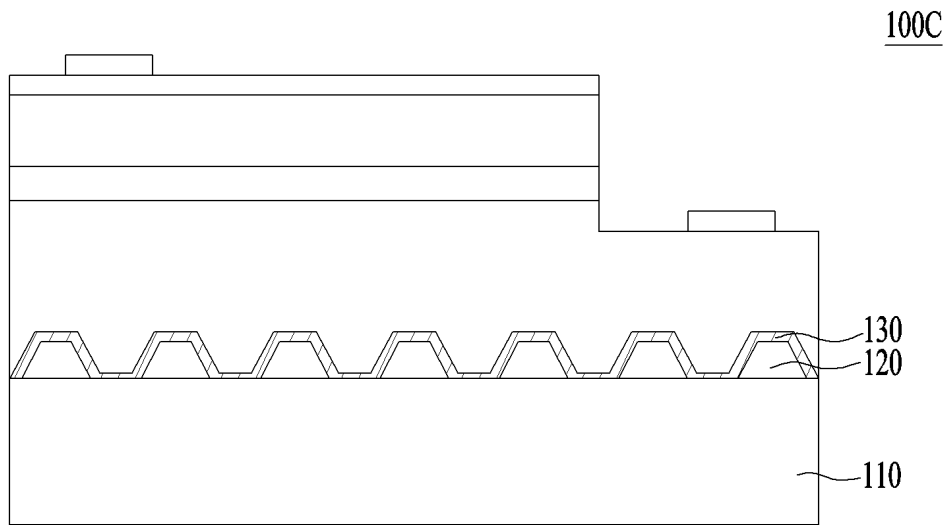
도면2e



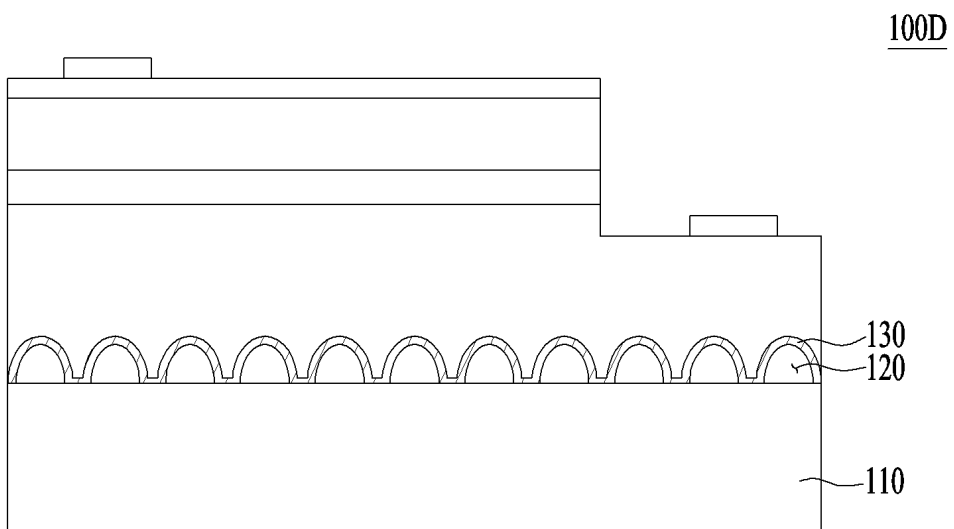
도면3



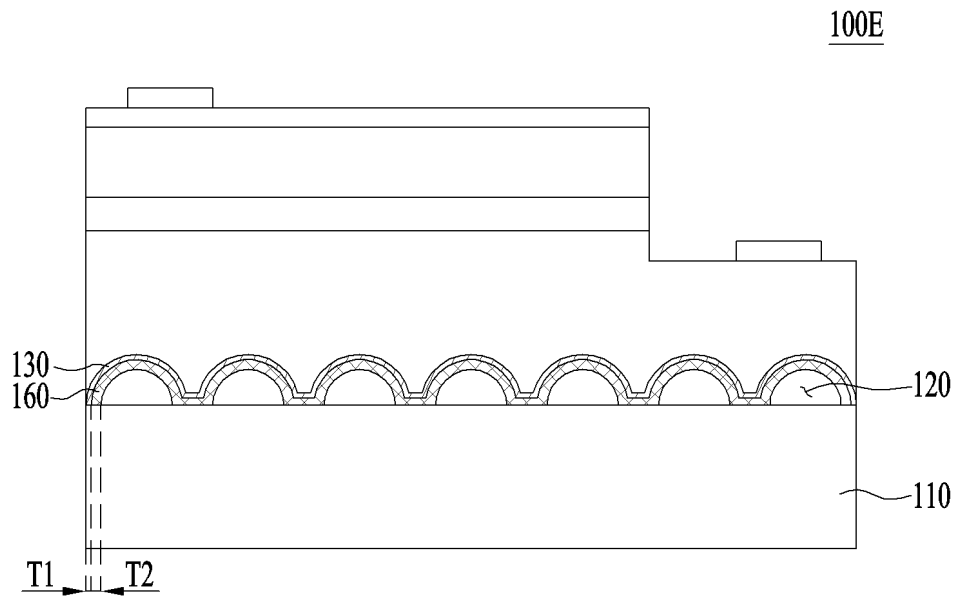
도면4



도면5



도면6



도면7

