



(10)授权公告号 CN 105981131 B

(45)授权公告日 2019.12.03

(21)申请号 201580007817.4

伊什瓦拉·B·巴特 周达成

(22)申请日 2015.02.10

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112

(65)同一申请的已公布的文献号

申请公布号 CN 105981131 A

代理人 顾丽波 李荣胜

(43)申请公布日 2016.09.28

(51)Int.Cl.

(30)优先权数据

61/937,736 2014.02.10 US

H01L 21/00(2006.01)

H01L 21/46(2006.01)

H01L 21/465(2006.01)

(85)PCT国际申请进入国家阶段日

2016.08.09

(56)对比文件

CN 102782818 A,2012.11.14,

CN 102782818 A,2012.11.14,

US 5454915 A,1995.10.03,

WO 2009115551 A1,2009.09.24,

US 2003116813 A1,2003.06.26,

CN 103081107 A,2013.05.01,

(86)PCT国际申请的申请数据

PCT/US2015/015112 2015.02.10

(87)PCT国际申请的公布数据

W02015/120424 EN 2015.08.13

(73)专利权人 伦斯勒理工学院

地址 美国纽约州

审查员 曹丽冉

(72)发明人 拉金德拉·P·达哈尔

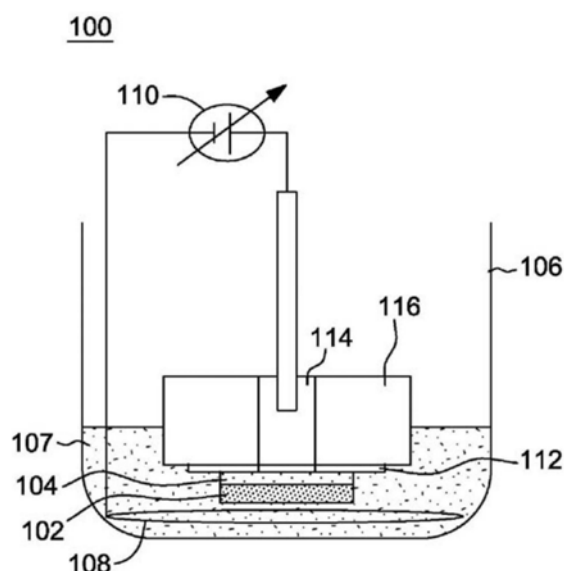
权利要求书2页 说明书13页 附图21页

(54)发明名称

半导体的选择性电化学蚀刻

(57)摘要

提供了用于促成半导体结构制造的方法,包括:提供包括半导体层的多层结构,该半导体层包括掺杂物并且具有增大的电导率;使用电化学处理,至少部分地选择性增大半导体层的孔隙度,选择性增大孔隙度利用了半导体层的增大的电导率;和借助选择性增大的孔隙度从多层结构中至少部分地除掉半导体层。作为例子,选择性增大孔隙度可以包括至少部分地对多层结构的半导体层有选择地进行阳极氧化。



1. 一种方法,包括:

提供包括第一半导体层和第二半导体层的多层结构,所述第一半导体层和所述第二半导体层各自包含碳化硅或硅碳合金,所述第一半导体层包括比所述第二半导体层更高浓度的掺杂物和更高的电导率,所述第一半导体层是 n^+ 层;

通过在包含无机酸和氧化物类的电解液中用电化学方法处理所述第一半导体层,至少部分地选择性增大所述第一半导体层的孔隙度,选择性增大孔隙度利用了所述第一半导体层的更高的电导率;和

借助选择性增大的孔隙度从所述多层结构中用电化学方法处理至少部分地除掉所述第一半导体层,所述第二半导体层具有高品质C面和Si面,

其中用电化学方法处理包括对通过所述电解液和所述第一半导体层施加的电流密度进行控制,选择性增大的孔隙度至少部分地是所施加电流密度的函数,所施加的电流密度处于 $0.1\text{A}/\text{cm}^2$ 到 $1\text{A}/\text{cm}^2$ 的范围之内。

2. 按照权利要求1的方法,其中所述选择性增大孔隙度包括至少部分地对所述第一半导体层选择性地阳极氧化。

3. 按照权利要求2的方法,其中用电化学方法处理选择性地至少部分地对所述第一半导体层进行阳极氧化,所述第一半导体层的更高浓度的掺杂物使得所述第一半导体层的阳极氧化得到增强,以选择性地增大所述第一半导体层的孔隙度并且促成从所述多层结构中至少部分地除掉所述第一半导体层。

4. 按照权利要求2的方法,其中所述提供包括在选择性增大第一半导体层的孔隙度之前,在所述第一半导体层上外延生长所述第二半导体层。

5. 按照权利要求4的方法,其中所述第一半导体层和所述第二半导体层各自包含宽禁带半导体材料。

6. 按照权利要求4的方法,其中所述第一半导体层的阳极氧化利用所述第一半导体层的较大的电导率来至少部分地选择性增大所述第一半导体层的孔隙度,而不增大所述第二半导体层的孔隙度。

7. 按照权利要求6的方法,其中所述第一半导体层的第一电导率比所述第二半导体层的第二电导率大十倍或更大。

8. 按照权利要求1-7中任何一项所述的方法,其中所述提供包括提供所述第一半导体层和所述第二半导体层作为所述多层结构的半导体衬底,所述选择性增大孔隙度促成了至少部分地除掉所述半导体衬底的所述第一半导体层。

9. 按照权利要求8的方法,其中提供所述多层结构进一步包括在选择性增大所述第一半导体层的孔隙度之前在所述第一半导体层和所述第二半导体层上方提供多层半导体器件。

10. 按照权利要求9的方法,其中所述多层半导体器件包括p-i-n二极管。

11. 按照权利要求9的方法,其中所述多层半导体器件包括肖特基二极管。

12. 按照权利要求1-6中任何一项所述的方法,其中提供所述多层结构包括在半导体衬底上方提供所述第一半导体层和所述第二半导体层,所述选择性增大孔隙度和所述至少部分地除掉所述第一半导体层促成了从所述多层结构上除掉所述半导体衬底。

13. 按照权利要求12的方法,其中提供所述多层结构进一步包括在选择性增大所述第

一半导体层的孔隙度之前在所述第一半导体层和所述第二半导体层上方提供多层半导体器件。

14. 按照权利要求13的方法, 进一步包括在除掉所述多层结构的半导体衬底之前, 将所述多层结构粘接到支撑基板上。

15. 按照权利要求1-6中任何一项所述的方法, 其中所述除掉包括从所述多层结构中仅部分地除掉所述第一半导体层, 留下变薄的所述第一半导体层作为所述多层结构的一部分。

16. 按照权利要求15的方法, 其中提供所述多层结构进一步包括在所述第一半导体层和所述第二半导体层上方提供多层半导体器件。

17. 按照权利要求15的方法, 其中所述提供包括提供所述第一半导体层和所述第二半导体层作为所述多层结构的半导体衬底, 变薄的半导体层是所述多层结构的变薄的第一半导体衬底。

半导体的选择性电化学蚀刻

[0001] 相关申请的交叉引用

[0002] 本申请要求于2014年2月10日提交的美国临时专利申请第61/937736号的优先权，该美国临时专利申请由此以引用的方式整体并入本文。

技术领域

背景技术

[0003] 半导体产业的发展一直以来始终被寄予这样的期望：希望能够解决各种各样的应用中对能够实现高性能和低功耗的半导体器件的需求。在一种或多种应用中，对于例如高速电力开关应用而言，可能期望用到增强型高压半导体器件，比如增强型肖特基二极管、p-i-n二极管、绝缘栅双极型晶体管 (IGBT)、双极结型晶体管 (BJT) 等等。

[0004] 举例来说，可以在相对较厚的半导体衬底上制造高压半导体器件，这样的衬底在制造期间为半导体器件提供结构支撑。不利的一面是，这样相对较厚的半导体衬底可能会给最终的器件带来性能问题，比如半导体衬底中的载流子迁移率较低，导致例如(多个)半导体器件较热，甚至过热。

[0005] 因此，始终希望进一步提高诸如大功率器件这样的半导体器件的制造技术。

发明内容

[0006] 在一个方面，通过提供一种方法克服了现有技术的缺点并且提供了额外的优点，该方法包括：提供包括半导体层的多层结构，该半导体层包括掺杂物，并且具有增大的导电率；使用电化学处理，至少部分地选择性增大半导体层的孔隙度，选择性增大孔隙度利用了半导体层的增大的电导率；和借助选择性增大的孔隙度从多层结构中至少部分地除掉半导体层。

[0007] 通过本发明的技术实现了额外的特征和优点。本文将会详细介绍本发明的其它实施例和方面，并且这些实施例和方面会被当作要求保护的发明的一部分。

附图说明

[0008] 在本说明书结尾处的权利要求书中以举例的方式具体指出了并且清楚地要求保护本发明的一个或多个方面。从配合附图得到的下列详细说明中，可以显而易见地得出前面提到的和本发明的其它目的、特征和优点，其中：

[0009] 图1A-图1C描述的是按照本发明的一个或多个方面，选择性地增大第一半导体层的孔隙度以例如促成从第二半导体层上除掉第一半导体层的电化学处理的一个实施例。

[0010] 图2是按照本发明的一个或多个方面，用电化学方法在电解液内处理第一半导体层的图1B的组件的另一种描述；

[0011] 图3是按照本发明的一个或多个方面，在半导体层的电化学处理期间获得的电流密度-电压变化图；

[0012] 图4A-图4G描绘的是按照本发明的一个或多个方面,利用例如图1A-图1C的选择性半导体层去除处理制造示范性半导体结构的处理的一个实施例;

[0013] 图5A-图5F描绘的是按照本发明的一个或多个方面,利用例如图1A-1C的选择性半导体层去除处理制造另一种半导体结构的处理的一个实施例;

[0014] 图6A-图6C描述的是按照本发明的一个或多个方面,选择性地增大半导体层的孔隙度以促成半导体衬底与多层结构的分离的电化学处理的一个实施例。

[0015] 图7A-图7F描绘的是按照本发明的一个或多个方面,部分地利用图6A-6C的选择性半导体层去除处理制造半导体结构的处理的一个实施例;

[0016] 图8A-图8C描绘的是按照本发明的一个或多个方面,选择性地增大多层结构的半导体衬底的孔隙度以削薄该半导体衬底的电化学处理的一个实施例;和

[0017] 图9A-图9D描绘的是按照本发明的一个或多个方面,部分地使用图8A-图8C的选择性半导体衬底削薄处理制造半导体结构的处理的一个实施例。

具体实施方式

[0018] 下面将参照在附图中图解说明的非限定性实施例更加完整地解释说明本发明的各个方面及其某些特征、优点和细节。省略了对公知材料、制造工具、处理技术等说明,以便不致在细节上不必要地造成本发明晦涩难懂。不过,应当理解,在说明本发明的实施例的时候,详细说明和具体的例子仅仅是为了说明而给出的,并非为了限定。从本文公开的内容中,本领域技术人员将会显而易见地得出处于基本发明构思的思想和/或范围内的各种不同的替换、改变、增加和/或调整。

[0019] 在一种或多种具体实现方案中,本文公开的是,通过使用电化学处理有选择地增大(多个)重掺杂半导体层的孔隙度,从诸如肖特基二极管、p-i-n二极管等等之类的高压功率器件中选择性地除掉诸如碳化硅(SiC)衬底之类的重掺杂半导体层的方法。按照传统方法并且如前面所提到的,诸如肖特基二极管、p-i-n二极管、绝缘栅双极型晶体管(IGBT)、双极结型晶体管(BJT)等等之类的高压半导体器件是在相对较厚的半导体衬底上制造的,比如相对较厚的单晶硅半导体晶圆。为了增强,可以使用诸如III-V和/或II-VI族化合物(例如,碳化硅(SiC),氮化镓(GaN)等)之类的宽带隙半导体材料来增大正在制造的半导体器件的速度。例如,诸如碳化硅和/或氮化镓之类的宽带隙半导体材料可以适合于提高晶体管的性能,原因在于它们具有相对较宽的带隙、较高的击穿电场强度、较高的电子迁移率和较高的导热率特性。有益地,在这样的半导体材料上形成的大功率半导体器件可以在较高的温度、较高的功率电平下和/或在特征导通电阻较低的情况下工作,从而改善晶体管的性能和效率。

[0020] 在不为外延层的晶体品质和传输特性引入恶化的前提下从外延碳化硅或氮化镓层中分别除掉宽带隙半导体衬底(比如碳化硅或氮化镓衬底)被认为特别有利于在外延碳化硅或氮化镓层的两面上制造双极型功率器件。不过,从外延层中除掉厚的宽带隙衬底(例如,厚度为350微米或更大)并非易事。例如,碳化硅和氮化镓晶体都是坚硬衬底,并且因此这些衬底的机械抛光速度会非常缓慢。例如,碳化硅或氮化镓晶体衬底的化学机械抛光仅仅可以以每小时几微米的速度进行。快速打磨是可以的,但是可能会在外延膜上引入机械应力并且最终折断外延膜,这限制了使用这种方法处理的晶圆的尺寸。此外,按照这种结

构,在外延层与衬底的交界面上没有明显的用来停止机械抛光处理的'蚀刻终止'层。此外,晶圆在生长外延层之后可能会具有一定曲率,因此抛光速度可能会在整个晶圆上不均匀。

[0021] 此外,在碳化硅衬底的情况下,在C面衬底上外延生长碳化硅比在Si面衬底上的外延生长要难。有益地,使用本文公开的处理从碳化硅衬底上脱落下来的外延碳化硅层C面和Si面都具有很高品质,这就为进一步的器件制造做好了准备。因此,通过在Si面碳化硅衬底上生长碳化硅膜,并且然后使外延碳化硅膜从衬底上脱落下来,方便地获得了用于器件制造的高品质C面外延层。

[0022] 本公开(在一个或多个方面)提供了这样的技术:通过例如使用重掺杂半导体层的电化学处理选择性地增大重掺杂半导体层的孔隙度,从轻掺杂的外延生长半导体层中选择性地除掉诸如碳化硅(SiC)衬底之类的重掺杂半导体层。本文公开的方法方便地促进提高外延生长半导体层的结晶度,这样的半导体层可以用于制造诸如肖特基二极管、p-i-n二极管、IGBT、BJT等等之类的高压功率器件。此外,可以采用轻掺杂的外延生长半导体层来在该外延生长半导体层的任何可用结晶面上制造器件。此外,一旦除掉,孔隙度增大的重掺杂半导体层就可以用于各种各样的用途,包括例如,用在制造高效率气敏传感器、分子过滤器、电子场发射器的电极等等中。

[0023] 这样,本文公开的在一个或多个方面中一般性地提出的是使制造半导体结构更加便利的方法,包括例如:提供包括半导体层的多层结构,该半导体层包括掺杂物并且具有增大的电导率;使用电化学处理至少部分地选择性增大半导体层的孔隙度,选择性增大孔隙度利用了半导体层的增大的电导率;并且从该多层结构中至少部分地除掉具有选择性增大的孔隙度的半导体层。

[0024] 在一个或多个实施例中,选择性增大孔隙度包括至少部分地对半导体层进行阳极氧化。例如,选择性增大孔隙度可以包括在包含无机酸和氧化物类(oxidizing species)的电解液中用电化学方法处理半导体层,以选择性地至少部分地对半导体层进行阳极氧化,半导体层的掺杂物使得它的阳极氧化得到增强,以选择性地增大半导体层的孔隙度并且促成从多层结构中至少部分地除掉半导体层。用电化学方法处理可以包括对通过电解液和半导体层施加的电流密度进行控制,此时选择性增大孔隙度至少部分地是所施加电流密度的函数。

[0025] 在一种或多种实现方案中,半导体层是第一半导体层,并且该方法进一步包括在选择性增大第一半导体层的孔隙度之前,在第一半导体层上外延生长第二半导体层。举例来说,第一半导体层和第二半导体层可以各自包含宽带隙半导体材料。例如,第一半导体层和第二半导体层可以各自包含碳化硅或硅碳合金(silicon carbide alloy)。按照另外可供选用的方案,第一半导体层和第二半导体层可以各自包含氮化镓或镓氮合金(gallium nitride alloy)。

[0026] 在某些实施例中,第一半导体层的增大的电导率可以是第一电导率,并且第二半导体层可以具有第二电导率,其中第一半导体层的第一电导率大于第二半导体层的第二电导率,并且第一半导体层的阳极氧化可以利用第一半导体层的较大的电导率来至少部分地选择性增大第一半导体层的孔隙度,而不增大第二半导体层的孔隙度。举例来说,第一半导体层的第一电导率可以比第二半导体层的第二电导率大十倍或更大。

[0027] 在一个或多个实施例中,提供多层结构可以包括提供半导体层作为半导体衬底,

其中选择性增大的孔隙度有助于至少部分地除掉半导体衬底。通过这种办法,本方法可以进一步包括在选择性增大半导体层的孔隙度之前在该半导体层上方提供多层半导体器件。举例来说,多层半导体器件可以是或可以包括二极管,比如p-i-n二极管或肖特基二极管。

[0028] 在一个或多个其它实施例中,提供多层结构可以包括在半导体衬底上方提供半导体层,并且选择性增大孔隙度可以有助于从多层结构中除掉半导体衬底。此外,提供多层结构可以包括在选择性增大半导体层的孔隙度之前在该半导体层上方提供多层半导体器件。在一种或多种实现方案中,本方法可以包括在除掉多层结构的半导体衬底之前,将多层结构粘接到支撑基板上。在一个或多个进一步的实施例中,除掉可以包括从多层结构中仅仅部分地除掉半导体层,留下变薄的半导体层作为多层结构的一部分。与这些实施例相结合,提供多层结构还可以包括在半导体层上方提供多层半导体器件。而且,提供多层结构可以包括提供半导体层作为多层结构的半导体衬底,其中变薄的半导体层是多层结构的变薄的半导体衬底。

[0029] 下面将参照附图,为了便于理解,这些附图不是按比例绘制的,其中贯穿不同附图使用的相同的附图标记指代相同的或类似的层或部件。

[0030] 如前面所提到的,在一个或多个方面,本文公开的是这样的方法:在不需要任何紫外线照射的情况下通过使用电化学蚀刻(ECE)处理使得半导体材料多孔,来选择性地蚀刻包括碳化硅和氮化镓以及它们的合金的重掺杂宽带隙半导体,比如重掺杂n型宽带隙半导体。在ECE处理中,多层结构(包括例如具有电导率不同的两层或更多层的碳化硅或氮化镓晶圆)充当工作电极,并且例如提供铂(Pt)线作为反电极。在电解液电池中,工作电极可以是正偏的;不过,在重掺杂碳化硅或氮化镓衬底与电解液之间的交接处是反偏的。当施加的电压大于肖特基结的击穿电压(例如,5—20伏特)时,电流可以流动,并且(多个)重掺杂碳化硅或氮化镓层借助氧化物形成而变为选择性地多孔,并且随后(在一个实施例中)分离并溶解在电解液内。在这种方法中,可以使用无机酸与氧化剂的混合物作为电解液。例如,在氧化物溶解酸作为电解液的情况下,碳化硅变得多孔,并且50—100微米厚(或更大)的多孔碳化硅可以从衬底上整层脱落。在一种或多种实现方案中,这种自脱落处理与多孔碳化硅中晶格失配造成的较大应力发展有关。可以重复进行该处理,直到例如基本上所有高导电性的宽带隙衬底材料都被分离和消耗掉。有益地,这一处理在高导电性衬底与外延层(电导率较低)的界面处具有自限性。此外,如果将高导电性层嵌入在例如半绝缘衬底与轻掺杂外延层之间,则可以通过借助所介绍的ECE处理使所嵌入的导电性层多孔来将半绝缘衬底与轻掺杂外延层分离开。这有益地促成了在除掉了用于器件制造的(多个)外延层之后对昂贵的半绝缘的碳化硅或氮化镓衬底进行再利用的可能。

[0031] 举例来说,图1A-图1C描述的是按照本发明的一个或多个方面,使用电化学处理选择性地增大第一半导体层的孔隙度以例如促成从第二半导体层上(至少部分地)除掉第一半导体层的处理的实施例。

[0032] 图1A图解说明按照本发明的一个或多个方面的在诸如高压功率器件(例如,IGBT或BJT器件、肖特基或p-i-n二极管等等)这样的半导体器件的制造期间获得的半成品多层结构100的一个实施例。如图所示,半导体结构100包括第一半导体层102和设置在第一半导体层102上方的第二半导体层104。在一种或多种实现方案中,第一半导体层102包括高度掺杂的高导电性的 n^+ 层,并且第二半导体层104是低度掺杂的低导电性的 n^- 层。

[0033] 更加具体地讲,在一个或多个实施例中,第一半导体层102可以是半导体衬底,比如块状半导体材料。例如,第一半导体层102可以是或可以包括宽带隙半导体材料,比如III-V和/或II-VI族化合物(例如,碳化硅(SiC),氮化镓(GaN),等等),并且可以用n型掺杂物或p型掺杂物掺杂的。注意,如本文所使用的,宽带隙半导体材料指的是带隙能量大于大约1eV的半导体材料。仅仅作为例子,假设第一半导体层102是用高浓度的n型掺杂物进行了注入,以创造出高导电性 n^+ 半导体层102(另外取决于实现方案,本文中也称为 n^+ 衬底102或 n^+ 层102)。注意,n型掺杂指的是将n型掺杂物杂质加入到例如本征(无掺杂)半导体材料中。杂质为本征材料贡献了更多电子,部分定义了掺杂半导体层的导电性。可用的n型掺杂物的例子包括(例如)磷、砷或锑。在一个例子中,可以使用一个或多个离子注入工艺和/或扩散工艺用例如n型掺杂物对碳化硅半导体层进行注入,以在 n^+ 衬底102内提供n型掺杂物的期望浓度。在具体的例子中, n^+ 衬底102内注入的n型掺杂物的浓度可以为大约 10^{17} atoms/cm³或以上,如前所述,这增大了衬底的电导率。 n^+ 衬底102的厚度足以为第二半导体层104提供结构稳定性,并且在某些实施例中,足以为在后续器件处理期间形成的额外的半导体器件层提供结构稳定性。在一个例子中, n^+ 衬底102的厚度可以处于大约300到600微米的范围内或更大。注意,另外可供选用的是,如果具体应用需要的话,可以用p型掺杂物对衬底进行注入,以创造高导电性p+衬底。

[0034] 如上所述,在这个例子中多层结构100还包括第二半导体层104,第二半导体层104可以是在 n^+ 衬底102上方外延生长出来的或沉积出来的。例如,在一个或多个实施例中,第二半导体层104可以是外延单晶半导体层。第二半导体层104的材料可以类似于 n^+ 衬底102的材料,并且可以是(例如)通过诸如超高真空化学气相沉积(UHV-CVD)、分子束外延(MBE)之类的不同外延生长工艺形成的。此外,要注意第二半导体层104也可以是用n型掺杂物注入的,但是是以较低浓度注入的,以创造低导电性 n^- 半导体层(另外也称为 n^- 外延层104)。举例来说, n^- 外延层104内注入的n型掺杂物的浓度可以为大约 10^{16} atoms/cm³或以下,如前所述,这限定了 n^- 外延层104的电导率。本领域技术人员因而会理解,与 n^- 外延层104相比, n^+ 衬底102是用n型掺杂物进行了重掺杂,其中例如 n^+ 衬底102的电导率为 n^- 外延层104的电导率的大约十倍或以上(作为例子)。

[0035] 如图1B中所图解说明的,按照本发明的一个或多个方面,多层结构100,并且尤其是 n^+ 衬底102,可以受到电化学处理。举例来说,可以利用例如设置在电化学电池106(具体来说,是阳极电池)内的电解液107来完成 n^+ 衬底102的电化学处理,连同导电电极108一起,多层结构100被浸没在或至少部分浸泡在该电解液中。注意,在一个实施例中,包括 n^+ 衬底102和 n^- 外延层104的多层结构100充当工作电极,而导电电极108(例如,可以是或可以包括金属,比如铂)充当反电极。在一个实施例中,电解液107是可以导电的液体,那么,可以包括无机酸和氧化物类。在具体的例子中,无机酸可以是或可以包括诸如氢氟酸(HF)(用于SiL或GaN去除)或者盐酸(HCl)(用于GaN去除)之类的酸,而氧化物类可以是或可以包括诸如过氧化氢(H₂O₂)或硝酸钾(KNO₃)之类的含氧的氧化剂。可以使用例如电源110将多层结构100电连接到导电电极108,电源110将该结构(并且具体来说,将 n^+ 衬底102)相对于导电电极108偏置到期望的偏置电压,从而使得 n^+ 衬底102可以被阳极蚀刻。

[0036] 举例来说,包含 n^+ 衬底102的多层结构100可以由电源110正偏的,而 n^+ 衬底102和电解液107之间的交接处是反偏的。当施加的电压大于肖特基结的击穿电压时,电流可以是

例如从电解液107到 n^+ 衬底102的方向,导致 n^+ 衬底102的暴露表面阳极氧化。假设 n^+ 衬底102是 n^+ 碳化硅层,则在一个例子中, n^+ 衬底102的暴露表面可以被氧化形成二氧化硅和二氧化碳。这样的氧化由于例如肖特基二极管效应造成了可迁移载流子的耗尽而有益地增大了 n^+ 衬底102表面的孔隙度。注意,如前面所讨论的那样, n^+ 衬底102的电导率相比于 n^- 外延层104的电导率较大使得电流能够选择性地通过衬底,从而改变了 n^+ 衬底102的孔隙度,而不会改变或明显改变 n^- 外延层104的孔隙度。注意,在一个或多个实施例中, n^+ 衬底102的氧化表面的厚度可以通过控制经电解液107施加的电流密度来加以控制。这继而促成了对氧化表面孔隙度增大的控制,其中 n^+ 衬底102的增大的孔隙度至少部分是经电解液施加的电流密度的函数。在一种或多种实现方案中,所施加的电流密度可以处于 $0.1\text{A}/\text{cm}^2$ 到 $1\text{A}/\text{cm}^2$ 的范围之内或更大。

[0037] 如前面所提到的, n^+ 衬底102的电化学处理可以在 n^+ 衬底102的氧化多孔表面/层内由于例如 n^+ 衬底102的氧化的和未氧化的部分之间的晶格失配而引发内在应力。氧化的多孔表面内的内在应力可以达到期望的临界值,造成例如氧化的多孔层从 n^+ 衬底102的未氧化部分上脱离,并且在一个或多个实施例中,随后溶解在电解液107中。虽然从 n^+ 衬底的未氧化部分上除掉氧化的多孔部分的速度可以取决于诸如所施加的电流密度、电解液中无机酸的浓度和/或氧化时间这样的处理参数,但是在一个例子中,除去氧化的多孔部分的速度可以是大约 $200\mu\text{m}/\text{小时}$ 或者更快,这明显比使用化学机械抛光方法的衬底去除快得多。还要注意,可以通过一次或多次重复循环持续进行增大孔隙度和剥离氧化的多孔部分的 n^+ 衬底电化学处理,例如直到 n^+ 衬底被完全耗尽和/或氧化的多孔 n^+ 衬底达到临界厚度,使得多孔的 n^+ 衬底102'能够被完全从 n^- 外延层104上除掉,如图1C中所画出的那样。在一个例子中,多孔的 n^+ 衬底102'的临界厚度可以处于大约 50 到 $100\mu\text{m}$ 的范围内或更大。注意,如图所示, n^- 外延层104在 n^+ 衬底的电化学处理期间保持不受影响,得到例如独立的外延生长 n^- 外延层104。有益地,这个独立的 n^- 外延层104可以用于在 n^- 外延层104的任何可用晶体表面(例如,碳化硅材料的Si面或C面,或者氮化镓材料的Ga面或N面)上制造增强型半导体器件,例如,电子器件或光电子器件。此外,如本文所讨论的,独立的外延生长 n^- 外延层104本身可以被用作制造诸如p-i-n二极管、肖特基二极管、IGBT器件等等之类的高压功率器件的半导体衬底。在这些应用中,较薄的半导体衬底层可以在(多个)大功率器件工作期间有益地促成更好的散热效果。而且,多孔的 n^+ 衬底102'可以有益地再用于其它应用,比如例如用在制造高效率气敏传感器、分子过滤器、电子场发射器的电极等等中。

[0038] 作为进一步的例子,包括 n^+ 衬底102和 n^- 外延层104的多层结构100可以被安装到承载基板112上,比如图2的电化学处理组件中所示的那样。如图所示,可以包括非导体金属(比如例如钢等)或由非导体金属制成的承载基板112可以位于一个基座114(例如,金属基板,比如黄铜基板)上并且被送入到电化学电池106中,从而使得多层结构100浸没或至少部分浸泡在电解液107内。假设半导体层是 n^+ 碳化硅衬底和 n^- 碳化硅外延层,则在一个例子中,电解液可以包括大约 90mL 诸如过氧化氢(H_2O_2)这样的氧化物类中的大约 10mL 诸如 HCl 这样的无机酸。此外,可以通过例如将基座114密封在诸如例如蜡或其它适当保护材料之类的惰性保护材料116中来照顾到保护任何暴露表面在电化学处理期间免遭不希望的蚀刻。

[0039] 如前所述,可以使用例如电源110将所描绘的多层结构电连接到导电电极108,以将多层结构,并且具体来说,将 n^+ 衬底102相对于导电电极108偏置到期望的偏置电压,从而

使得 n^+ 衬底102可以如本文所介绍的那样被阳极氧化和蚀刻。在一个实施例中,在施加了期望的电流密度时,多层结构的电化学处理导致 n^+ 衬底102的暴露表面被阳极氧化,这一氧化会持续朝向 n^- 外延层104进行,终止于 n^+ 衬底102与 n^- 外延层104的交界面,不会改变和/或影响 n^- 外延层104的孔隙度。如图3中绘制的电流密度—电压变化图(其中纵轴代表电流密度(A/Cm^2),横轴代表电压(V))所证明的,在建立了适当的电流密度(例如,大约0.1Amps或0.2Amps)时,多层结构会经历阳极氧化,导致多孔 n^+ 衬底102的氧化和蚀刻。在图3中,曲线A描绘的是最初通过电解液施加的电流密度,曲线B描绘的是在 n^+ 衬底102被消耗掉之后电流密度明显下降,例如接近于零,表明刻蚀过程在 n^+ 衬底102和 n^- 外延层104的交界面处是自限制的,并且表明 n^+ 衬底102的增大的孔隙度是经电解液施加的电流密度的函数。

[0040] 举例来说,图4A-图4G描绘了(部分地)利用本文介绍的处理制造包括诸如p-i-n二极管这样的多层半导体器件的半导体结构的处理的一个实施例。

[0041] 参照图4A,多层结构400被图示为最初类似于或等同于前面介绍的处理流程的图1A的结构100。简要地讲,结构400包括 n^+ 衬底102和 n^- 外延层104。如前所述, n^+ 衬底102和 n^- 外延层104可以是或可以包括半导体材料,比如前面结合图1A-图1C介绍的那些材料。举例来说, n^+ 衬底102可以是或可以包括半导体层(例如,碳化硅),该半导体层用n型掺杂物进行了掺杂,创造出了 n^+ 碳化硅层。在具体的例子中,注入到 n^+ 衬底102内的n型掺杂物的浓度可以是大约 $10^{17}atoms/cm^3$ 或者更大。此外, n^- 外延层104可以包括半导体层(例如,碳化硅)或由半导体层制成,该半导体层是外延生长出来的并且用例如n型掺杂物进行了轻掺杂,以创造出低导电性 n^- 半导体层。例如, n^- 外延层104可以例如是在 n^+ 衬底102上方外延生长出来的或者沉积出来的,并且注入于其中的n型掺杂物的浓度可以为大约 $10^{16}atoms/cm^3$ 或更小,如前面参照图1A-图1C介绍的那样。

[0042] 图4B图解说明图4A的多层结构,其中多层半导体器件410被设置在 n^- 外延层104上方。在一个例子中,多层半导体器件410可以是p-i-n二极管,并且可以包括一个或多个电导率和/或掺杂物不同的半导体层,所述半导体层被一个未掺杂的和/或低导电性的半导体层分离开,以形成p-i-n二极管结构。如图所示,多层半导体器件410可以包括例如欧姆接触层412、设置在欧姆接触层412上方的漂移层414和设置在漂移层414上方的欧姆接触层416。多层半导体器件410的各层的材料可以类似于或等同于 n^+ 衬底102和 n^- 外延层104的材料,并且可以是(例如)通过诸如分子束外延(MBE)、超高真空化学气相沉积(UHV-CVD)之类的不同外延生长工艺形成的。所描绘的层412、414、416的厚度可以依据所采用的制造工艺和结果得到的二极管的期望功能而不同。注意,在一个例子中, n^- 外延层104可以有益地充当停止层,停止层有助于保护p-i-n二极管的一个或多个高导电性半导体层412、416在本文介绍的电化学蚀刻处理期间不被蚀刻。

[0043] 在一个或多个具体实施例中,欧姆接触层412例如可以包括宽带隙半导体材料(例如,碳化硅(SiC),氮化镓(GaN))或者由宽带隙半导体材料制成,可以是在 n^- 外延层104上方外延生长或沉积出来的,并且用(多种)n型掺杂物进行了注入,以创造高导电性 n^+ 欧姆接触层412。漂移层414可以是在欧姆接触层412上方外延生长或沉积出来的。正如所理解的那样,漂移层充当p-i-n二极管的漂移区,并且因此可以相对于欧姆接触层412、416用掺杂物(例如n型掺杂物和/或p型掺杂物)较轻微掺杂。作为一种替代,漂移层414可以是p-i-n二极管结构的本征区,并且因此可以是实质上未掺杂或者非有意掺杂半导体层。此外,例如电导

率不同于欧姆接触层412的电导率的欧姆接触层416可以是在漂移层414上方外延生长或沉积出来的。举例来说,并且如前面所提到的,欧姆接触层412可以是用n型掺杂物注入的,而欧姆接触层416可以是用p型掺杂物注入的,或者反过来。

[0044] 图4C图解说明在多层半导体器件410上方提供了接触层418之后的图4B的半导体结构。接触层418充当欧姆接触层416的欧姆接触,并且可以包括诸如例如钽、钨或它们的组合或合金这样的金属或者由这样的金属制造。在一个实施例中,接触层418可以使用一种或多种处理技术形成,比如溅射、蒸镀等等。

[0045] 在一种或多种实现方案中,多层结构400被翻转并例如使用适当的粘接材料420安装到支撑基板422上。举例来说,支撑基板422可以是由例如黄铜、铜、铝或诸如氮化铝 (AlN) 等等之类的金属合金制成的金属基板,并且粘接材料420可以是例如诸如钢这样的粘接金属,粘接金属有助于将支撑基板422粘接到接触层418上。

[0046] 如本文所公开的,多层结构400,具体来说是 n^+ 衬底102,会受到电化学处理,以在设置在电化学电池内的电解液内对 n^+ 衬底进行阳极氧化,如上所述。如前面所提到的,电化学处理有益地有助于通过阳极氧化选择性地增大 n^+ 衬底102的孔隙度,阳极氧化有助于从多层结构中除掉 n^+ 衬底102、产生多孔 n^+ 衬底102' (在图4E中示出) 以及所示出的剩余多层结构400。注意,在一个例子中, n^- 外延层104在电化学处理期间作为蚀刻停止层并且有助于保护多层半导体器件410的高导电性半导体层。如前面所提到的,如果需要的话,多孔的 n^+ 衬底102'可以有益地再用于其它应用,比如例如用在制造高效率气敏传感器、分子过滤器和/或电子束发射器的电极中。

[0047] 如图4F中所示, n^- 外延层104 (图4E) 可以被除掉,留下如图所示的独立的多层器件结构。举例来说,可以采用化学机械抛光或者一个或多个蚀刻工艺来除掉 n^- 外延层,比如使用 (在一个实施例中) 多层半导体器件410的欧姆接触层412作为蚀刻停止层进行反应离子蚀刻 (RIE)。随后可以执行一个或多个光刻工艺来使暴露的欧姆接触层412图案化,并且在其上方形成接触结构424,如图4G中所示。接触结构424可以充当欧姆接触层412的欧姆接触,并且可以包括诸如例如钽、钨或它们的组合物或合金这样的金属或者是由这样的金属制造的。

[0048] 作为进一步的例子,图5A-图5F描绘了 (部分地) 利用本文介绍的处理制造包括诸如肖特基二极管这样的多层半导体器件的半导体结构的处理的一个实施例。

[0049] 参照图5A,多层结构500被图示为最初类似于或等同于前面介绍的处理流程的图1A的结构100。简要地讲,结构500包括 n^+ 衬底102和设置于其上方的 n^- 外延层104。如前所述, n^+ 衬底102和 n^- 外延层104可以是或可以包括半导体材料,比如前面结合图1A-图1C介绍的那些材料。举例来说, n^+ 衬底102可以是或可以包括半导体层 (比如碳化硅),该半导体层用n型掺杂物进行了掺杂,创造出了 n^+ 碳化硅层。在具体的例子中,注入到 n^+ 衬底102内的n型掺杂物的浓度可以是大约 10^{17} atoms/cm³或者更大。此外, n^- 外延层104可以包括半导体层 (例如,碳化硅) 或由半导体层制成,该半导体层是外延生长出来的并且用例如n型掺杂物进行了轻掺杂,以创造出低导电性 n^- 半导体层。例如, n^- 外延层104可以例如是在 n^+ 衬底102上方外延生长出来的或者沉积出来的,并且注入于其中的n型掺杂物的浓度可以为大约 10^{16} atoms/cm³或更小,如前面参照图1A-图1C介绍的那样。

[0050] 如图5B中所示,可以视情况在 n^- 外延层104上方外延生长或沉积出额外的半导体

层512,以有助于例如限定多层半导体器件510,比如肖特基二极管。半导体层512的材料可以类似于或等同于 n^- 外延层104的材料,并且该层可以是(例如)通过例如MBE、UHV-CVD之类的不同外延生长工艺形成的。此外,要注意(在一个或多个实施例中)半导体层512可以用例如 n 型掺杂物进行注入,以创造高导电性 n^+ 外延层,其电导率比 n^- 外延层104的电导率大得多。还要注意,在这个例子中,多层半导体器件510包括 n^- 外延层104作为器件的一部分。

[0051] 图5C图解说明在多层半导体器件510上方提供了接触层514之后的图5B的多层结构500。接触层514可以充当半导体层512的欧姆接触,并且可以包括诸如例如钽、钨或它们的组合物或合金这样的金属或者是由这样的金属制造的。在一个实施例中,接触层514可以是使用一种或多种处理技术形成的,比如溅射、蒸镀等等。

[0052] 类似于前面结合图4A-图4G介绍的处理,可以将多层结构500翻转并且借助例如适当的粘接材料420将其安装到支撑基板422上。在一种或多种实现方案中,支撑基板422可以包括诸如黄铜、铜、铝基板之类的金属基板或诸如氮化铝基板之类的金属合金基板,并且粘接材料420可以包括例如诸如铟这样的不导电金属,粘接金属有助于将支撑基板422粘接到半导体结构的接触层514上。

[0053] 一旦将该结构粘接在支撑基板422上,就可以采用电化学处理来至少部分地对电解液内的 n^+ 衬底102进行阳极氧化,比如结合图1A-图1C介绍的那样。 n^+ 衬底102的阳极氧化导致选择性地增大其孔隙度,这继而会有助于从多层结构500上除掉多孔的 n^+ 衬底102'(图5E)。

[0054] 如图5F中所示,可以视情况在暴露的 n^- 外延层104上方形成肖特基接触520,以例如使结果得到的肖特基二极管的反向阻断电压最大并使正向压降最小。肖特基接触层520与低导电性的 n^- 外延层104形成金属与半导体交界面,产生肖特基结。肖特基接触520可以包括一种或多种低逸出功金属或者由一种或多种低逸出功金属制成,比如铝(Al)、钛(Ti)、钼(Mo)或金(Au)。

[0055] 作为例子,图6A-图6C描绘了按照本发明的一个或多个方面选择性地增大半导体层的孔隙度以有助于将半导体衬底与外延生长层分离开的处理的另外一个可供选用的实施例。

[0056] 参照图6A,描绘了整体用600指代的多层结构的一个实施例,这个多层结构可以例如用于高电压功率器件的制造工艺,比如本文介绍的工艺。如图所示,多层结构600包括半导体衬底601,比如块状半导体材料;例如,体硅晶圆。作为另一个例子,半导体衬底601可以包括任何含硅的衬底,包括但不限于,单晶Si、多晶Si、非晶Si衬底等等,并且可以是轻掺杂的 n 型或 p 型材料,视具体应用的需要而定。

[0057] 如图所示,多层结构600进一步包括薄的 n^+ 层102和设置于其上的低导电性 n^- 外延层104。如前所述, n^+ 层102和 n^- 外延层104可以是或可以包括半导体材料,比如前面结合图1A-图1C介绍的那些材料。举例来说, n^+ 层102可以是或可以包括半导体层(比如碳化硅或氮化镓),并且可以是在半导体衬底601上方外延生长或沉积出来的。虽然 n^+ 层102的厚度可以取决于所采用的制造工艺和期望的功能,但是在一个例子中, n^+ 层102可以被形成薄半导体层,其厚度处于大约10到30 μm 的范围内(有助于电流流到晶圆层的(多个)边缘)。在一个例子中,注入到 n^+ 层102内的 n 型掺杂物的浓度可以是大约 $10^{17}\text{atoms}/\text{cm}^3$ 或者更大。此外, n^- 外延层104可以包括半导体层(例如,碳化硅或氮化镓)或由半导体层制成,该半导体层是外

延生长出来的并且用例如n型掺杂物进行了轻掺杂,以创造出低导电性n⁻半导体层。例如,n⁻外延层104可以,例如,是在n⁺层102上方外延生长出来的或者沉积出来的,并且注入于其中的n型掺杂物的浓度可以为大约10¹⁶atoms/cm³或更小,如前面参照图1A-图1C介绍的那样。

[0058] 如图6B中所示,多层结构600可以如前所述那样部分利用设置在电化学电池内的电解液受到本文所介绍的电化学处理。举例来说,多层结构的电化学处理有益地有助于选择性地阳极氧化n⁺层102,选择性地增大其孔隙度,如前所述。这一选择性增大的孔隙度继而有助于将半导体衬底601和n⁻外延层104(如图6C中所示)沿着它们各自与n⁺层102的界面(图6B)与多层结构分离开。注意,在一种或多种实现方案中,n⁺层102的厚度可以充分薄,以致结果得到的氧化多孔层不可以被再生用于它途,其中分离下来的层被溶解在电解液107中。如所讨论的,n⁺层102的阳极氧化速度可以取决于诸如所施加的电流密度和/或氧化时间之类的工艺参数,并且如果需要,可以选择或延长这些工艺参数,以使夹在半导体衬底601和n⁻外延层104之间的n⁺层102完全氧化。有益地,利用这个工艺,可以将半导体衬底601再用于额外的重复的外延生长处理。

[0059] 举例来说,图7A-图7F描绘了部分使用前面结合图6A-图6C介绍的处理来制造诸如肖特基二极管这样的半导体结构的处理的一个实施例。关于这一点要注意的是,虽然图7A-图7F描绘了制造肖特基二极管的一个例子,但是本领域技术人员可以采用所介绍的处理制造其它多层半导体器件,包括例如其它二极管结构(比如p-i-n二极管)或晶体管结构(比如IGBT或BJT)。图7A-图7F中描绘的用于制造肖特基二极管的示范性处理仅仅是作为例子给出的。

[0060] 参照图7A,多层结构700被图示为最初类似于或等同于图6A的多层结构600。简要地讲,多层结构700包括半导体衬底601、设置在半导体衬底601上方的薄n⁺层102和设置在n⁺层102上方的n⁻外延层104。如前所述,所描绘的各层的材料可以是或可以包括半导体材料,比如前面结合图6A介绍的。

[0061] 可以通过在n⁻外延层104上方提供额外的半导体层712形成多层半导体器件710。这个额外的半导体层712可以视情况在n⁻外延层104上方外延生长或沉积出来,从而帮助定义例如肖特基二极管。半导体层712的材料可以类似于或等同于半导体层512(图5B)的材料,并且可以是使用前面介绍的任何一种沉积工艺形成的。半导体层712和n⁻外延层104共同定义了多层半导体器件710的一个例子。在需要的情况下,半导体层712可以包括例如n型掺杂物,这创造了高导电性的n⁺外延层,其电导率比n⁻外延层104的电导率大得多。

[0062] 图7C图解说明在多层半导体器件710上方提供了接触层712之后的图7B的多层结构。接触层714可以例如给半导体层712供应一欧姆接触,可以是类似于接触层514(图5c)的材料,并且可以例如使用上述针对接触层514所述的沉积方法之一而形成。

[0063] 如图7D中所示,类似于前面介绍的处理,可以将多层结构700翻转并且使用例如粘接材料420(比如前面介绍的那种)将其安装到支撑基板422上。在一种或多种实现方案中,支撑基板422可以包括金属或由金属制成,比如黄铜、铜、铝或诸如氮化铝(AlN)这样的金属合金。粘接材料420可以是粘接金属,比如不导电的粘接金属,例如铟。

[0064] 利用附着在多层结构上的支撑基板422,可以采用电化学处理来选择性地增大n⁺层102的孔隙度,以促成半导体衬底601与多层结构700分离,如图7E中所示,并且如前面结合图6A-图6C介绍的那样。如前面所提到的,可以将n⁺层102的厚度选择为足够薄,从而在电

化学处理期间一旦被氧化,多孔层就会被溶解在电解液内。

[0065] 如果需要,可以视情况在暴露的 n^- 外延层104上方形成肖特基接触720(图7F),以例如使结果得到的肖特基二极管的反向阻断电压最大并使正向压降最小。肖特基接触720的材料和形成工艺可以类似于前面参照图5F介绍的肖特基接触520的材料和形成工艺。

[0066] 作为额外的例子,图8A—图8C描绘了按照本发明的一个或多个方面选择性地增大半导体层的孔隙度以有助于使半导体衬底部分变薄的处理的一个实施例。

[0067] 参照图8A,多层结构800被图示为类似于或等同于前面介绍的图1A的结构100。简要地讲,多层结构800包括 n^+ 衬底102和设置于其上方的 n^- 外延层104。如前所述, n^+ 衬底102和 n^- 外延层104可以是或可以包括半导体材料,比如前面结合图1A—图1C介绍的那些材料。举例来说, n^+ 衬底102可以是或可以包括半导体层或晶圆,比如例如碳化硅衬底,该半导体层用 n 型掺杂物进行了掺杂,创造出了 n^+ 碳化硅层衬底。在具体的例子中, n^+ 衬底102内的 n 型掺杂物的浓度可以是大约 10^{17} atoms/cm³或者更大。此外, n^- 外延层104可以包括半导体层(例如,碳化硅)或由半导体层制成,该半导体层是外延生长出来的并且用例如 n 型掺杂物进行了轻掺杂,以创造出低导电性 n^- 半导体层。例如, n^- 外延层104可以例如是在 n^+ 衬底102上方外延生长出来的或者沉积出来的,并且注入于其中的 n 型掺杂物的浓度可以为大约 10^{16} atoms/cm³或更小,如前面参照图1A—1C介绍的那样。

[0068] 如上所述并且如图8B中所示,多层结构800(具体来说是 n^+ 衬底102)受到电化学处理,以在电解液内对 n^+ 衬底102进行阳极氧化。注意,在一个或多个实施例中,可以对在这个电化学处理期间采用的工艺参数加以调整,从而将 n^+ 衬底102的孔隙度的增大控制到期望的厚度,这用于从 n^- 外延层104上仅仅部分除掉或削薄 n^+ 衬底102。例如,可以在限定好的或期望的量的 n^+ 衬底102被氧化或孔隙度被增大之后,通过增大电流密度来调整机电处理。增大的电流密度可以导致多孔或氧化层去除,而留下附着在 n^- 外延层104上的未氧化的、变薄的 n^+ 衬底102,如图8C中所示。虽然变薄的 n^+ 衬底的减小的厚度在一个例子中可以取决于期望的功能而不同,但是 n^+ 衬底102的厚度可以被减小大约50%到90%。而且,如上所述,被除掉的 n^+ 衬底102的多孔部分可以有益地被再用于其它应用。

[0069] 作为例子,图9A—图9D描绘了(部分地)利用前面介绍的图8A—图8C的处理来制造诸如p-i-n二极管这样的半导体结构的处理的一个实施例。注意,图9A—图9D的例子仅仅作为例子给出。如本文公开的那样,可以使用前面公开的处理思路制造其它多层器件结构。

[0070] 如这些图中所示,可以采用图8A—图8C的削薄处理的变型方案,其中半导体结构900包括 n^+ 衬底102,比如前面介绍的 n^+ 衬底,多层半导体器件910直接设置在 n^+ 衬底102上。也就是说,在这个例子中,可以省略前面讨论过的例子中的第二半导体层(104),原因在于 n^+ 衬底102的一部分仍然保留在最终的结构中,并且因此会保护多层半导体器件910不在电化学处理期间被蚀刻。

[0071] 作为例子,半导体层(或 n^+ 衬底)102可以是块状半导体材料。例如,半导体层102可以是或可以包括宽带隙半导体材料,比如III-V和/或II-VI族半导体化合物(例如,碳化硅、氮化镓),并且可以用 n 型掺杂物或 p 型掺杂物掺杂的。如图所示,可以用 n 型掺杂物对半导体层102进行注入,以创造高导电性的 n^+ 半导体层或衬底102(即, n^+ 衬底102)。举例来说,注入到 n^+ 衬底102内的 n 型掺杂物的浓度可以是大约 10^{17} atoms/cm³或者更大。

[0072] 如前面所提到的,作为例子,多层半导体器件910定义了p-i-n二极管。多层半导体

器件910的多个层可以类似于或等同于前面结合图4B介绍的多层半导体器件410的各层。例如,多层半导体器件910可以包括由未掺杂的和/或低导电性的半导体层分隔开的电导率和/或掺杂物不同的一个或多个半导体层(这些层例如充当欧姆接触层),以形成p-i-n二极管结构。在一个例子中,多层半导体器件910可以包括欧姆接触层912、设置在欧姆接触层912上方的漂移层914和设置在漂移层914上方的欧姆接触层916。在一个例子中,欧姆接触层912可以是用n型掺杂物重掺杂的,并且欧姆接触层916可以是用p型掺杂物重掺杂的,或者反过来。此外,漂移层914可以是轻掺杂的,以充当漂移区,或者可以保持不掺杂,以充当本征区。

[0073] 图9B图解说明在多层半导体器件910上方提供了接触层918之后的图9A的结构。接触层918可以包括诸如例如钽、钨或它们的组合物或合金这样的金属或者是由这样的金属制造的。在一个实施例中,接触层918可以是使用一种或多种处理技术形成的,比如溅射、蒸镀等等。

[0074] 如图9C中所示,多层结构900可以受到电化学处理,以对电解液内的 n^+ 衬底102进行阳极氧化,如上所述。如前面所提到的,电化学处理通过阳极氧化有益地促成了选择性增大 n^+ 衬底102的孔隙度,这有助于从多层结构900上选择性地除掉 n^+ 衬底102的一部分。注意,在本实施例中,对在电化学处理期间采用的工艺参数加以调整,从而将 n^+ 衬底102的孔隙度的增大控制到期望的厚度,以仅部分除掉或削薄 n^+ 衬底102。这继而在厚度减小的变薄的 n^+ 衬底102上方留下多层半导体器件910,如图9C中所示。有益地,如上所述,如果需要,被除掉的多孔 n^+ 衬底102'可以被再用于其它应用。

[0075] 可以执行一个或多个光刻处理,以使多层半导体器件910的接触层918图案化,如图9D中所示,并且可以将欧姆接触920添加到变薄的 n^+ 衬底102上,以促成与多层半导体器件的电连接。接触层918、920可以充当欧姆接触,并且可以分别包括n掺杂的或p掺杂的诸如例如钽、钨或它们的组合物或合金这样的金属或者由这样的金属制造。

[0076] 本文中术语的目的仅仅是为了介绍具体的实例实施例,并非打算进行限定本发明。如本文所使用的那样,单数形式的“一”、“一个”和“该”本意是也包括复数形式,除非上下文另有明确说明。将会进一步理解,措辞“包含”(和包括的任何同义词,比如“包含有”和“包含着”)、“具有”(和具有的任何同义词,比如“拥有”和“享有”)、“包括”(和包括的任何同义词,比如“包括有”和“包括着”)和“含有”(和含有的任何同义词,比如“含”和“内含”)是开放性的联系动词。因此,“包含”、“具有”、“包括”或“含有”一个或多个步骤或元件的方法或装置具备这些一个或多个步骤或元件,但是并不局限于仅仅具备这些一个或多个步骤或元件。同样地,“包含”、“具有”、“包括”或“含有”一个或多个特征的方法步骤或装置元件具备这些一个或多个特征,但是并不局限于仅仅具备这些一个或多个特征。而且,以某种方式构造的装置或结构是以至少那种方式构造的,但是也可以用未列出的方式构造。

[0077] 权利要求中的所有手段或步骤加上功能元件的对应结构、材料、动作和等价物,如果有的话,本意都是用来包括用于与明确要求的其它要求保护的元件相结合地执行功能的任何结构、材料或动作。本发明的说明书是为了图解和说明的目的而给出的,并非打算用来穷举或将本发明限制于本文公开的具体形式。对于本领域技术人员而言,很多的修改和变化都是显而易见的,并不超出本发明的范围和思想。选取和介绍这些实施例是为了更好地解释本发明的一个或多个方面的原理及其实际应用,从而使得本领域其它普通技术人员能

够理解对应于各种不同实施方式的本发明的一个或多个方面,具有适合于预期的特定用途的各种不同修改形式。

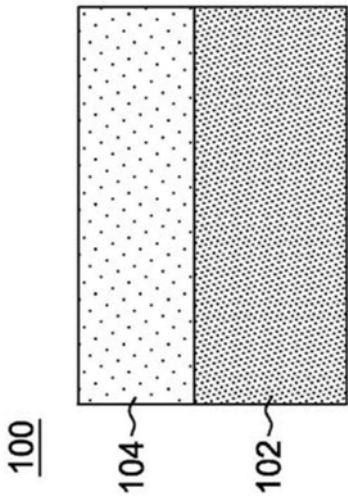


图1A

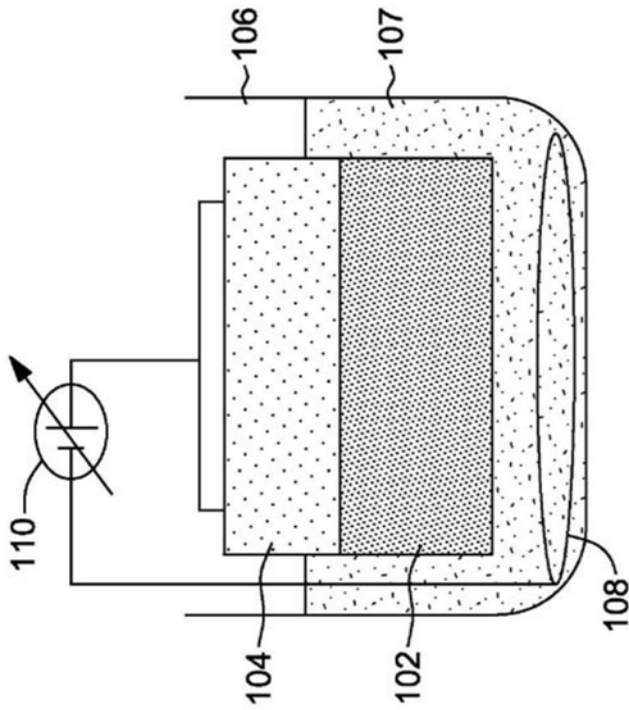


图1B



图1C

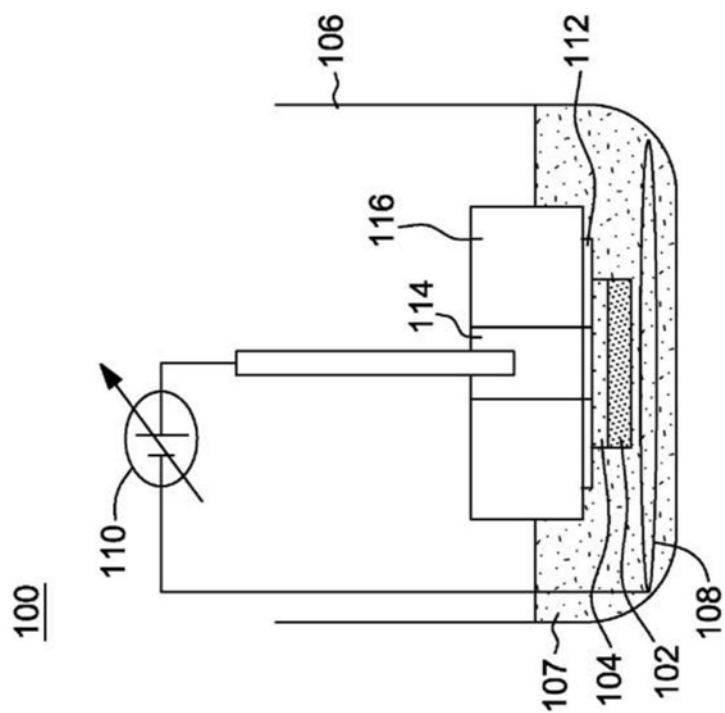


图2

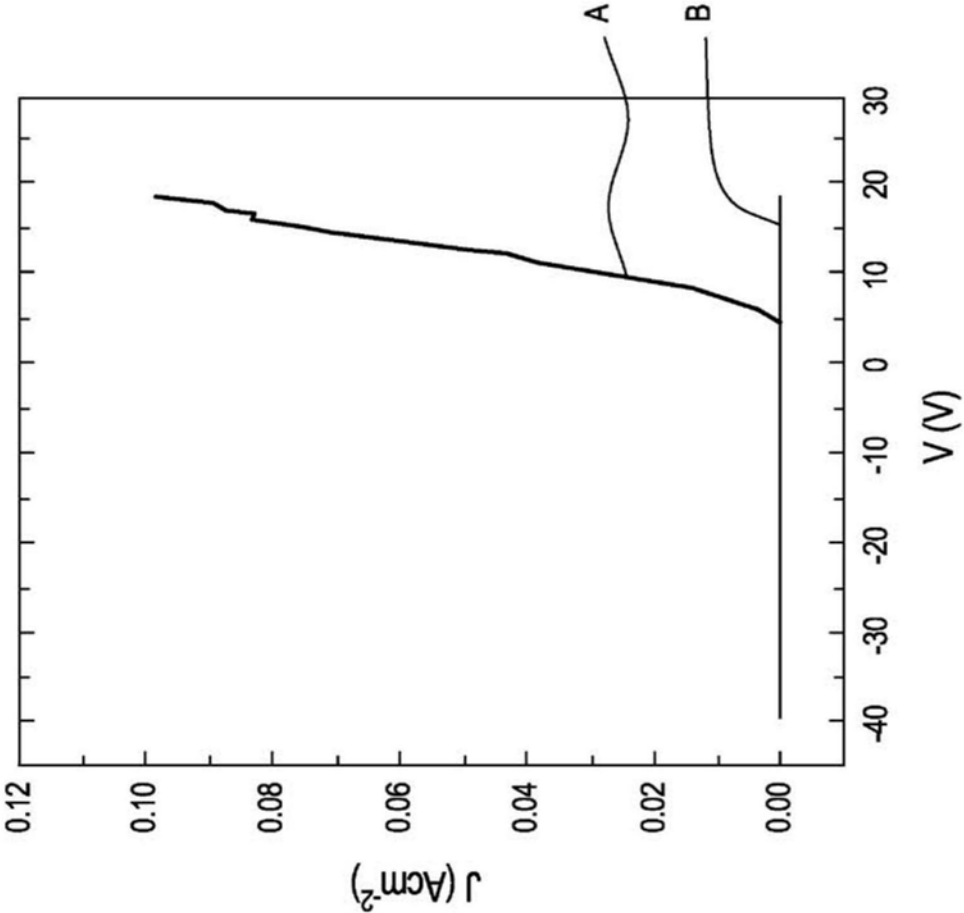


图3

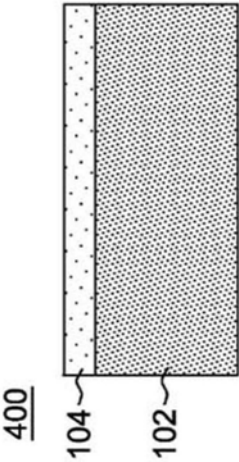


图4A

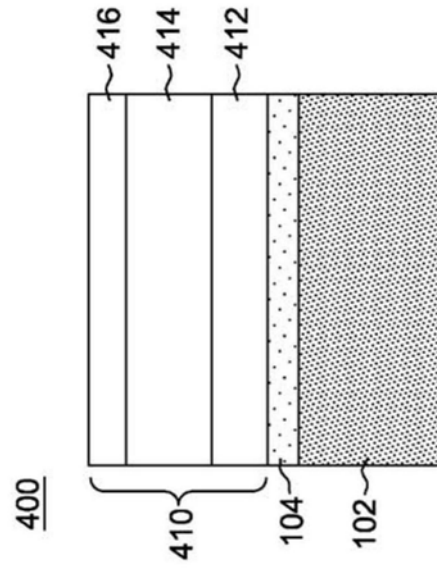


图4B

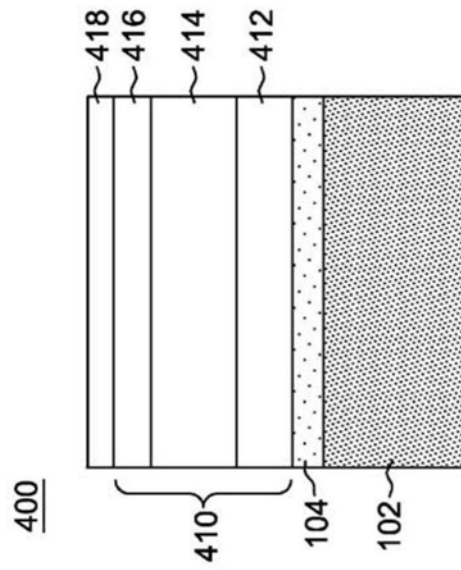


图4C

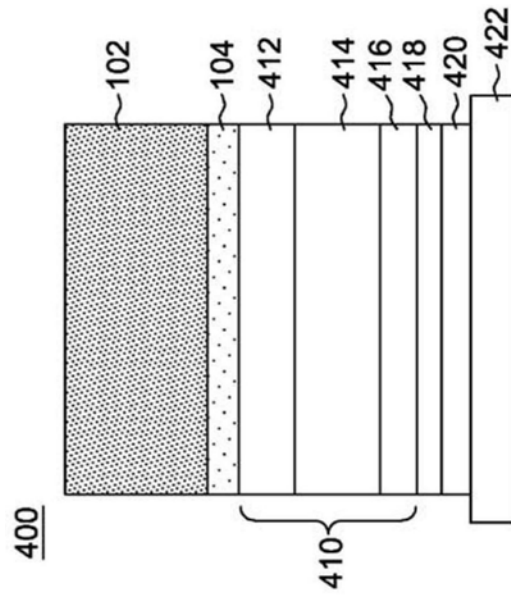


图4D

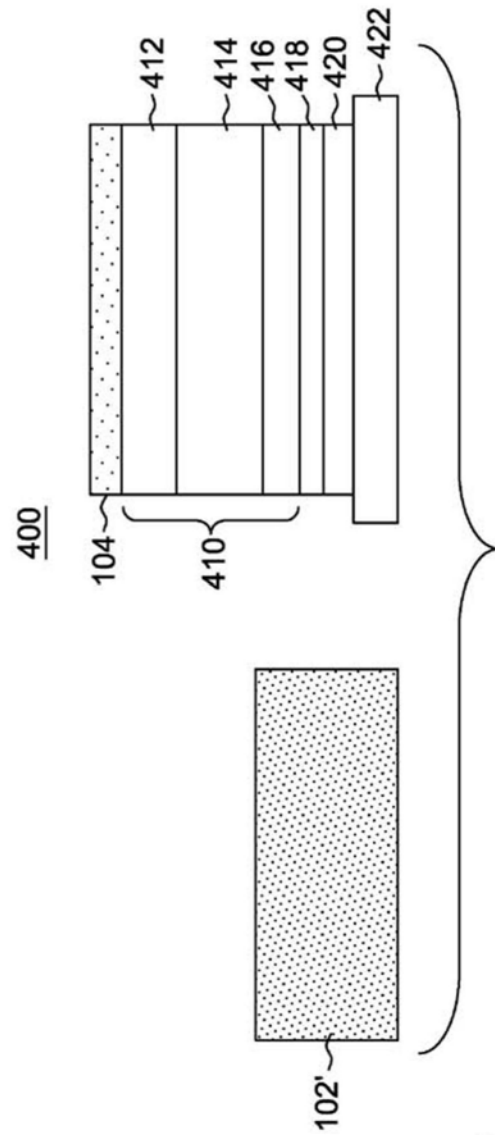


图4E

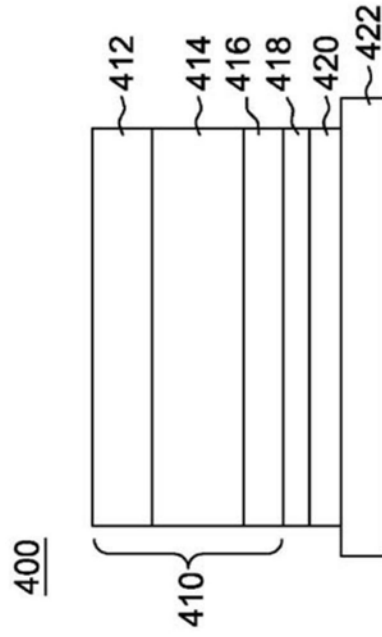


图4F

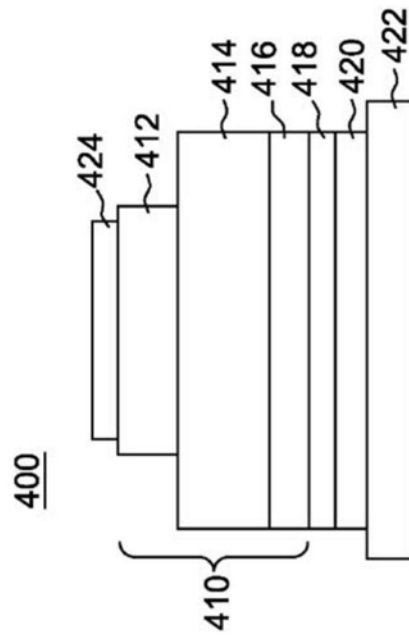


图4G

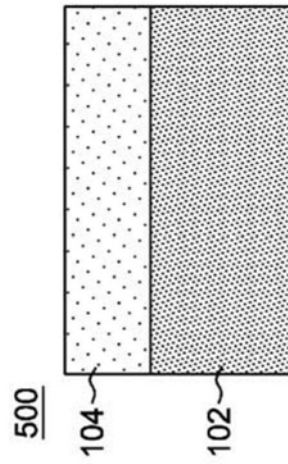


图5A

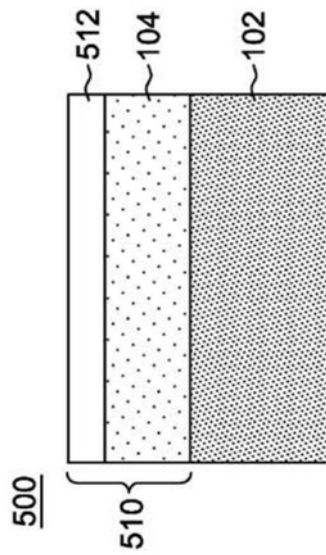


图5B

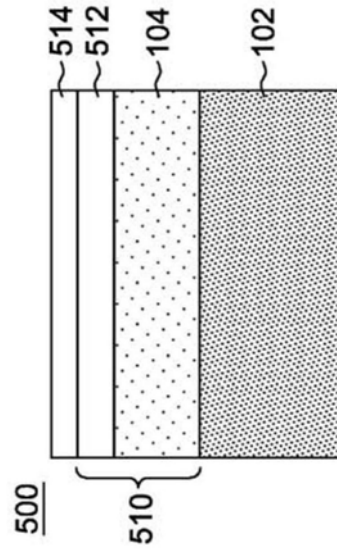


图5C

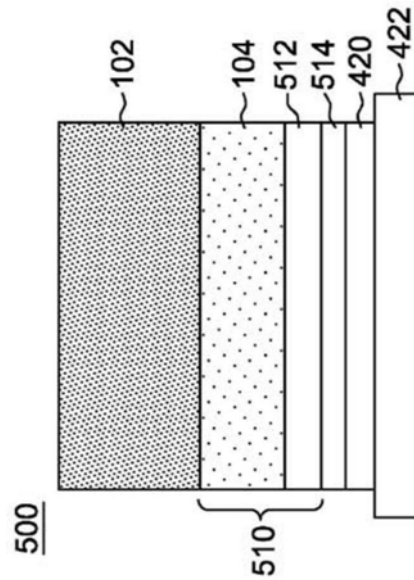


图5D

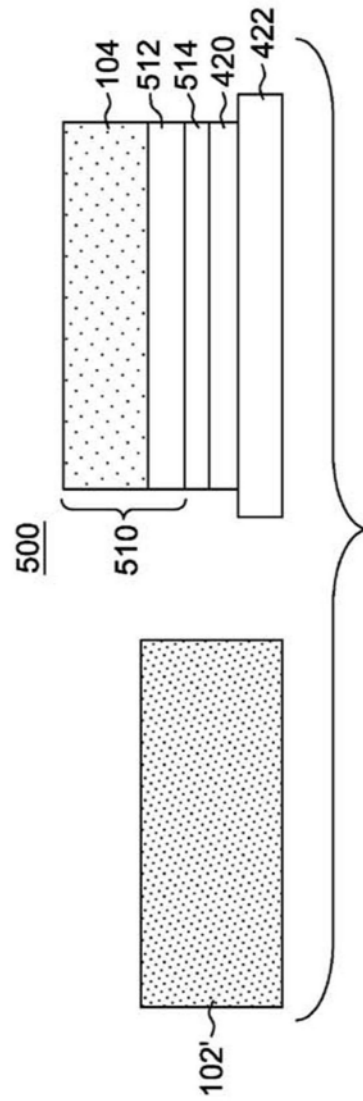


图5E

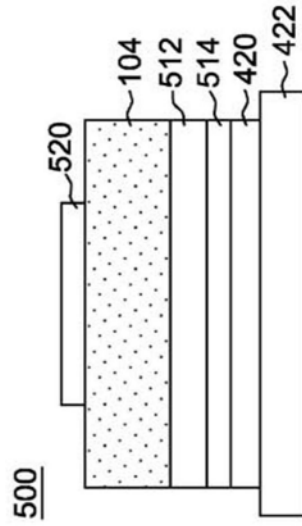


图5F

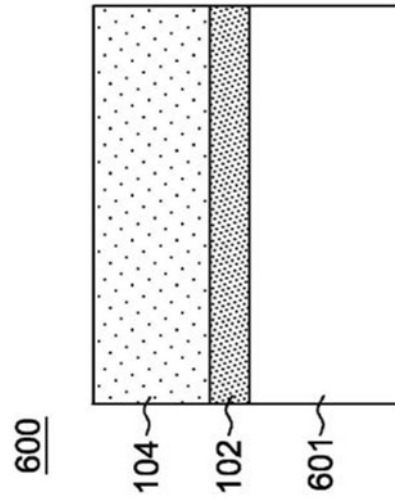


图6A

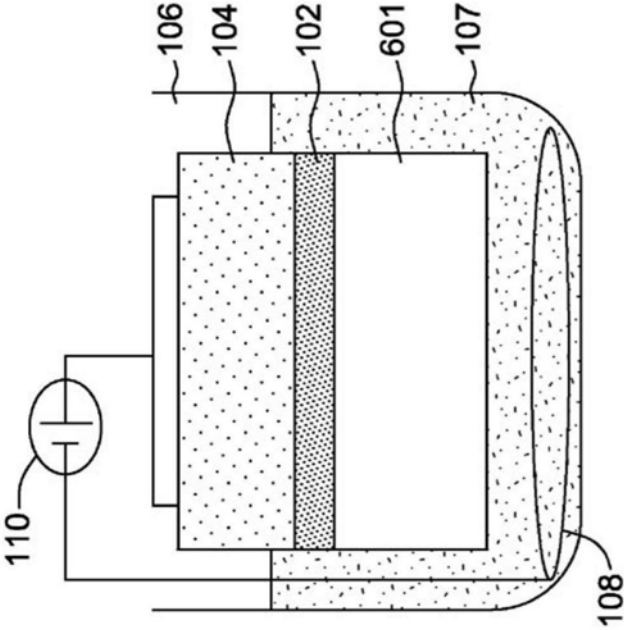


图6B

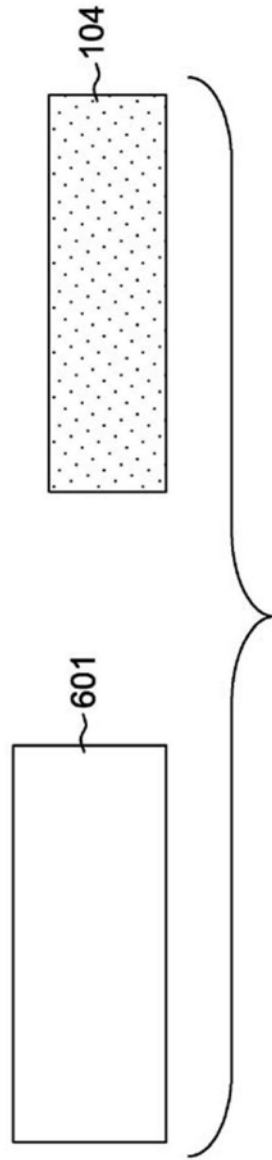


图6C

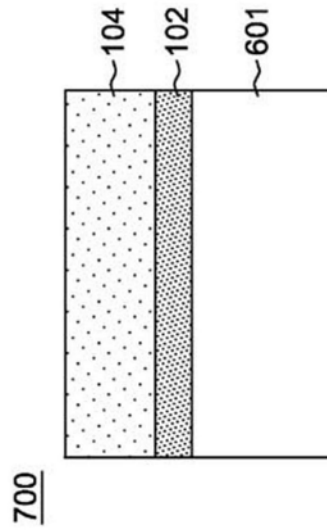


图7A

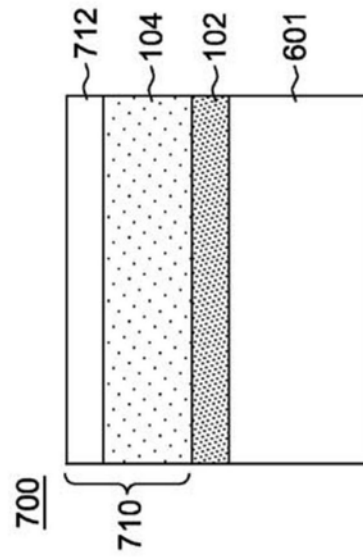


图7B

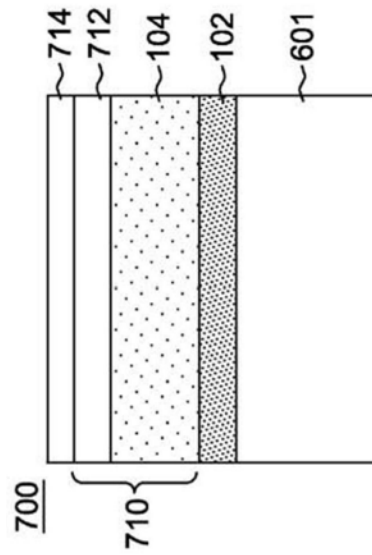


图7C

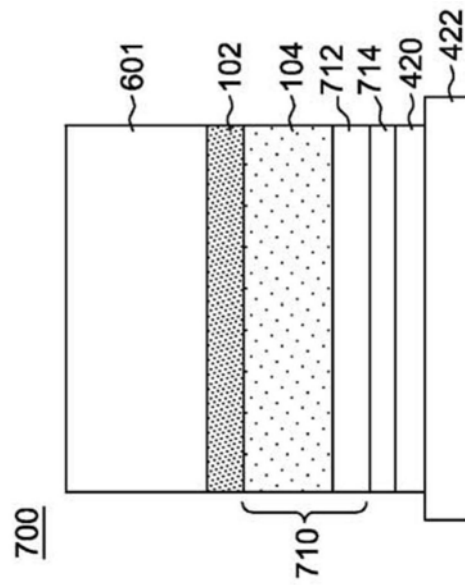


图7D

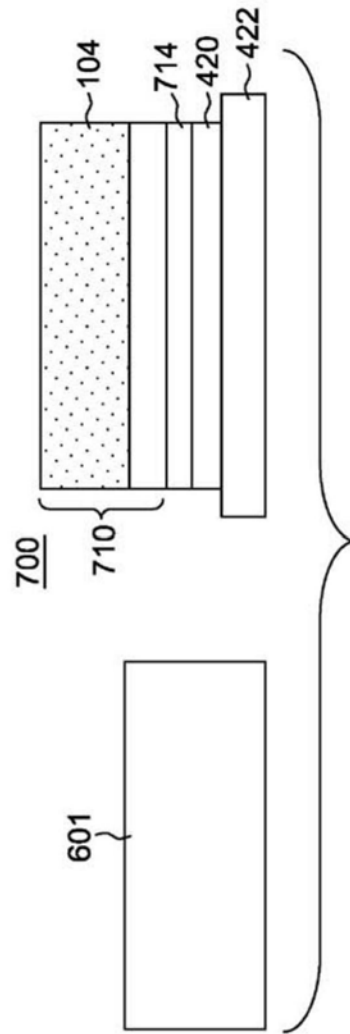


图7E

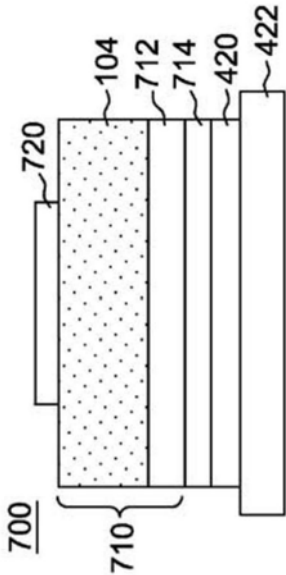


图7F

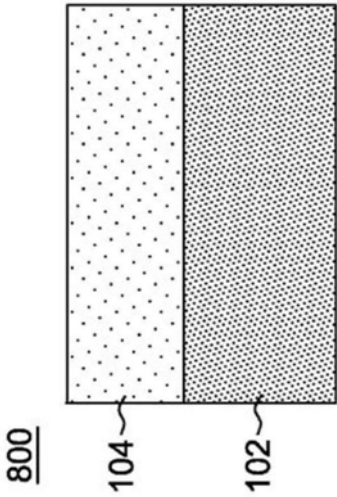


图8A

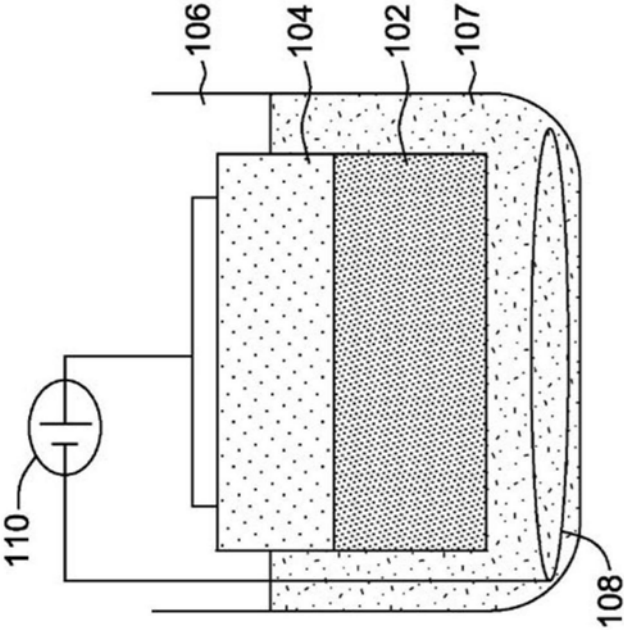


图8B

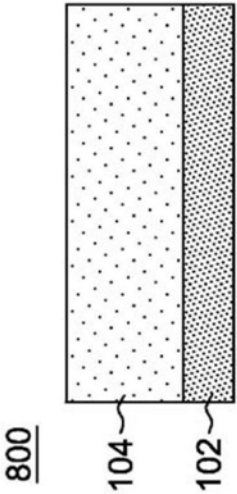


图8C

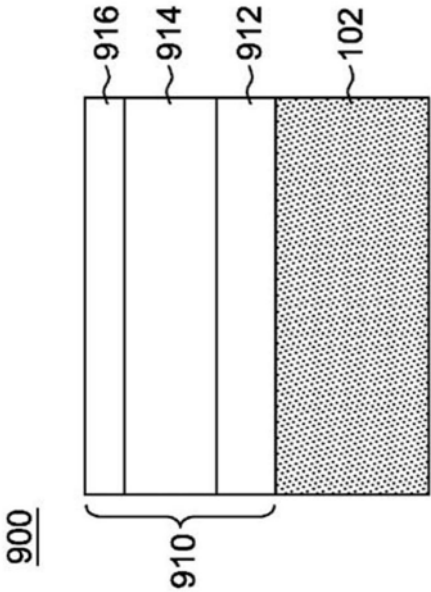


图9A

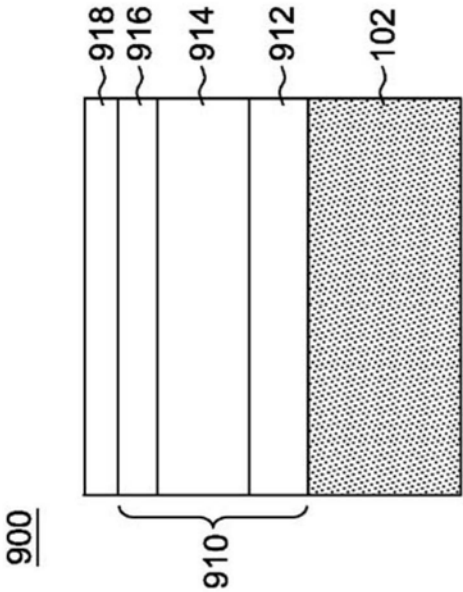


图9B

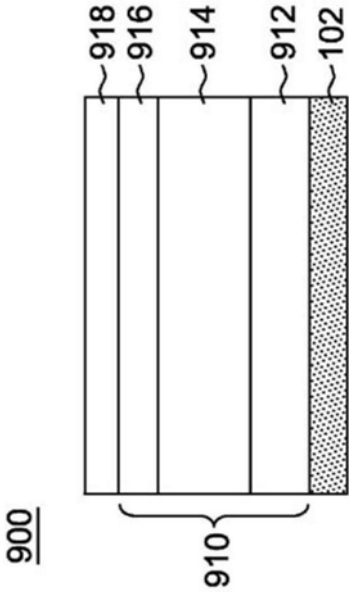


图9C

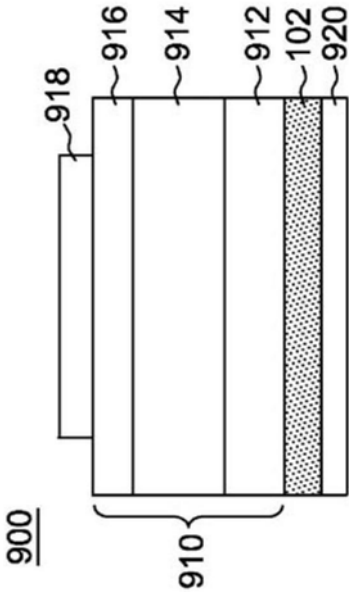


图9D