

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4667154号  
(P4667154)

(45) 発行日 平成23年4月6日(2011.4.6)

(24) 登録日 平成23年1月21日(2011.1.21)

(51) Int. Cl.	F I
<b>H05K 1/02 (2006.01)</b>	H05K 1/02 J
<b>H05K 1/18 (2006.01)</b>	H05K 1/02 A
<b>H01L 23/12 (2006.01)</b>	H05K 1/18 J
	H01L 23/12 501W
	H01L 23/12 L

請求項の数 7 (全 15 頁)

(21) 出願番号 特願2005-225060 (P2005-225060)  
 (22) 出願日 平成17年8月3日(2005.8.3)  
 (65) 公開番号 特開2007-42848 (P2007-42848A)  
 (43) 公開日 平成19年2月15日(2007.2.15)  
 審査請求日 平成20年3月14日(2008.3.14)

(73) 特許権者 000006633  
 京セラ株式会社  
 京都府京都市伏見区竹田鳥羽殿町6番地  
 (72) 発明者 田尻 智子  
 鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内  
 審査官 貞光 大樹

最終頁に続く

(54) 【発明の名称】 配線基板、電気素子装置並びに複合基板

(57) 【特許請求の範囲】

【請求項1】

絶縁基板と、該絶縁基板の表面または内部のうち少なくとも一方に形成された配線層と、前記絶縁基板の一方の主面に形成された電気素子搭載部と、前記絶縁基板の他方の主面の周縁部よりも内側に配置された頂部に平坦面を有する凸状の突起部と、前記周縁部に形成された、接続部材を介して外部回路基板に接続される複数の外部端子と、前記突起部の平坦面に形成された、全面に渡って付着される接着部材を介して前記外部回路基板に接続される一つまたは複数の導体パターンとを具備してなり、個々の前記導体パターンの面積が個々の前記外部端子の面積よりも大きく、且つ前記外部端子の総面積よりも前記導体パターンの総面積が大きいことを特徴とする配線基板。

10

【請求項2】

前記導体パターンが、複数形成されていることを特徴とする請求項1記載の配線基板。

【請求項3】

前記突起部の平坦面のうち、前記導体パターンが形成された面積が、残りの面積よりも大きいことを特徴とする請求項1または2に記載の配線基板。

【請求項4】

請求項1乃至3のうちいずれかに記載の配線基板の前記電気素子搭載部に、電気素子を搭載したことを特徴とする電気素子装置。

【請求項5】

請求項4に記載の電気素子装置が、前記外部端子に対応する回路端子を有する前記外部

20

回路基板に搭載されるとともに、前記外部端子と前記回路端子とが前記接続部材を介して接続されていることを特徴とする複合基板。

【請求項 6】

前記外部回路基板が、前記導体パターンに対応する接続パターンを有するとともに、前記導体パターンと前記接続パターンとが前記接着部材を介して接着されていることを特徴とする請求項 5 に記載の複合基板。

【請求項 7】

前記導体パターンと前記接続パターンとの距離が 0.1 ~ 0.5 mm であることを特徴とする請求項 6 に記載の複合基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線基板、電気素子装置並びに複合基板に関し、より詳細には、半導体素子等の電気素子を搭載するための特定形状の配線基板と、それを用いて形成される電気素子装置並びに複合基板に関する。

【背景技術】

【0002】

近年、高度情報化時代を迎え、情報通信技術が急速に発展し、それに伴い、半導体素子等の各種電気素子の高速化、高度集積化が図られている。

【0003】

これに対応して、電気素子を搭載する配線基板に外部回路を接続した複合配線基板も高性能化及び高実装密度化の傾向が顕著となっている。

【0004】

また、電気素子の作動周波数の向上に伴い、素子実装配線基板、外部回路基板等を薄型化して基板内の配線をより短くすることも強く求められるようになってきている。

【0005】

このように高実装密度化、高性能化のため導体パターンの配線間隙やランド間隙がより狭く密になり、基板厚さがより薄くなると、僅かの外力や温度差で部材間に撓みや熱歪みが生じ、しかも、僅かの撓みや熱歪みで基板の接続不良等の不都合を招来しがちとなり、このため、特に、配線基板への素子実装工程や配線基板と外部回路基板との接続工程時に於ける対応端子間接合の信頼性維持向上は、近年、極めて重要な技術課題となっている。

【0006】

複合配線基板の一例として、外部回路基板に、LCC（リードレスチップキャリア）が実装された従来のリードレス部品表面実装基板構造を図 6（a）に示す。

【0007】

図 6（a）に於いて、半導体素子 50 を収納した上述の LCC（以下、単に配線基板という）51 は外観が偏平矩形に形成されており、側面から底面に連続して延びた複数の外部接続端子 53 を有している。

【0008】

一方、外部回路基板 55 は配線基板 51 の取り付け位置に、配線基板 51 の外部接続端子 53 に対応して複数のランド（図示せず）を配設している。

【0009】

その外部回路基板 55 に配線基板 51 を実装するには、外部回路基板 55 のランド上にペースト状のはんだ 57 を塗布した後、外部接続端子 53 を夫々ランドに対応させながら外部回路基板 55 上に配線基板を載置する。

【0010】

その後、これを例えばエアリフロー装置内で加熱し、はんだ 57 をリフロー処理してランドに外部接続端子 53 をはんだ付けする。

【0011】

このように配線基板 51 を外部回路基板 55 にはんだ付けした際には、配線基板 51 と

10

20

30

40

50

外部回路基板 5 5 の隙間が狭く、その間のはんだ接合部の高さ  $b$  が低いため、配線基板 5 1 と外部回路基板 5 5 との熱膨張係数差等により生じる局所的熱応力歪みをはんだ接合部 5 7 で吸収しきれず、これが原因で接合部 5 7 の破壊を起こしやすいという欠点がある。

【 0 0 1 2 】

また、前記熱応力歪みがそれ程大きく無く、それによる損傷が殆どみられないような場合でも、これが多数回繰返し加えられると、はんだ接合部 5 7 に疲労破壊を生じ、接続不良等の不都合が発生することもある。

【 0 0 1 3 】

特に、配線基板 5 1 の主構成材である絶縁基板 5 9 が、セラミックスからなる場合には、該絶縁基板 5 9 に用いられる通常のセラミックス材の熱膨張係数は、 $4 \sim 7 \times 10^{-6}$  / 程度であるのに対し、外部回路基板 5 5 は一般にガラス繊維入りエポキシ樹脂等の樹脂系基板からなり、これら樹脂系材の熱膨張係数は  $15 \sim 20 \times 10^{-6}$  / 程度のものが多いため、両者の間の熱膨張係数差は大きく、このため絶縁基板 5 9 がガラスセラミックス材等の比較的強度の低い材質からなる場合、特に上記接続部 5 7 の破壊、損傷を招きやすい。

10

【 0 0 1 4 】

このような不都合を回避するための対策として、例えば図 6 ( b ) に示すように、実装部品 5 1 の底面 5 1 a、或いは、底面に重ねる外部回路基板 5 5 の取付面 5 5 a の内どちらか一方の面に、上記実装部品 5 1 と外部回路基板 5 5 との間に隙間を形成する突出部 6 1 を複数設けたリードレス表面実装部品の配線基板への実装構造の発明が開示されている ( 例えば、特許文献 1 参照 )。

20

【 0 0 1 5 】

即ち、図 6 ( b ) の実装構造は、突出部 6 1 を複数設けることで従来の L C C におけるはんだ接合部の高さ  $b$  よりも高いはんだ接合部の高さ  $c$  を得、これによりはんだ接合部にかかる熱応力歪みの集中を緩和しようとするものである。

【 0 0 1 6 】

また、図 7 に示すように電気素子 7 0 搭載用の配線基板 7 1 において、その底表面を平坦水平な突起部 7 2 が周縁部 7 3 に対し段差を有して凸状下方に突き出した形状に形成することで、前記配線基板 7 1 の周縁部 7 3 に設けられた端子 7 5 と、凸状突起部底面の下側に位置する外部配線回路 7 7 のランド 7 9 との間隙が従来の配線基板のそれに比較して著しく大きく取れ、はんだ等の接続部材 8 1 の高さ  $d$  を大きく取れるため、ここで熱応力歪みを十分に吸収することができ、高いはんだ接合信頼性を具備し、且つ、繰返し熱応力による疲労耐性に優れた複合配線基板も報告されている ( 例えば、特許文献 2 参照 )。

30

【 0 0 1 7 】

また、図 8 に示すように、放熱板 9 0 に接合された半導体素子 9 1 を覆うように基板 9 2 が配設され、この基板 9 2 の半導体素子 9 1 に重なる部分が、基板 9 2 の半導体素子 9 1 に重ならない部分に対して突出するように形成された半導体装置 9 3 が報告されている ( 例えば、特許文献 3 参照 )。

【特許文献 1】特開平 1 0 - 1 4 5 0 2 5 号公報

【特許文献 2】特願 2 0 0 4 - 0 2 1 2 4 1

40

【特許文献 3】特開平 1 1 - 2 6 0 9 6 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 8 】

しかしながら、上述した図 6 ( b ) の構造の実装部品 5 1 や、図 7 の構造の配線基板 7 1 では、突出部 6 1 と配線基板 5 1、配線基板 7 1 と外部回路基板 7 7 との間で摩擦が起こり、はんだなどで形成されたはんだ接合部 5 7、接合部材 8 1 のセルフアライメント効果が十分に発現し得ず、位置精度が悪くなるという問題がある。

【 0 0 1 9 】

また、両者ともに配線基板の放熱性が低くなることが懸念される。

50

## 【 0 0 2 0 】

また、図 8 に示した実装構造では、周囲に形成された外部接続端子 9 4 a よりも高いセルフアライメント効果を有する突起部に形成された外部接続端子 9 4 b の断面積の総和が周囲に形成された外部接続端子 9 4 a の断面積の総和よりも小さいため、突起部に形成された外部接続端子 9 4 b によるセルフアライメント効果は十分に発現せず、位置精度の大幅な向上は望めない。

## 【 0 0 2 1 】

また、突出部の外部接続端子の面積が小さいことから放熱性の向上も見込めない。

## 【 0 0 2 2 】

従って、本発明の目的は、高放熱性と外部回路基板との接続信頼性に優れる配線基板、  
 ならびにそれを用いた電気素子装置並びに複合基板を提供することである。また、本発明  
 の目的は、高い位置精度を実現することができる配線基板、ならびにそれを用いた電気素  
 子装置並びに複合基板を提供することである。

## 【課題を解決するための手段】

## 【 0 0 2 3 】

本発明の配線基板は、絶縁基板と、該絶縁基板の表面または内部のうち少なくとも一方  
 に形成された配線層と、前記絶縁基板の一方の主面に形成された電気素子搭載部と、前記  
 絶縁基板の他方の主面の周縁部よりも内側に配置された頂部に平坦面を有する凸状の突起  
 部と、前記周縁部に形成された、接続部材を介して外部回路基板に接続される複数の外部  
端子と、前記突起部の平坦面に形成された、全面に渡って付着される接着部材を介して前  
記外部回路基板に接続される一つまたは複数の導体パターンとを具備してなり、個々の前  
記導体パターンの面積が個々の前記外部端子の面積よりも大きく、且つ前記外部端子の総  
面積よりも前記導体パターンの総面積が大きいことを特徴とする。

## 【 0 0 2 4 】

また、本発明の配線基板は、前記導体パターンが、複数形成されていることが望ましい  
 。

## 【 0 0 2 6 】

また、本発明の配線基板は、前記突起部の平坦面のうち前記導体パターンが形成された  
 面積が、残りの面積よりも大きいことが望ましい。

## 【 0 0 2 7 】

本発明の電気素子装置は、以上説明した配線基板の前記電気素子搭載部に、電気素子を  
 搭載したことを特徴とする。

## 【 0 0 2 8 】

本発明の複合基板は、以上説明した電気素子装置が、前記外部端子に対応する回路端子  
 を有する前記外部回路基板に搭載されるとともに、前記外部端子と前記回路端子とが前記  
 接続部材を介して接続されていることを特徴とする。

## 【 0 0 2 9 】

また、本発明の複合基板は、前記外部回路基板が、前記導体パターンに対応する接続パ  
 ターンを有するとともに、前記導体パターンと前記接続パターンとが前記接着部材を介し  
 て接着されていることを特徴とする。

## 【 0 0 3 0 】

また、本発明の複合基板は、前記導体パターンと前記接続パターンとの距離が 0 . 1 ~  
 0 . 5 mm であることが望ましい。

## 【発明の効果】

## 【 0 0 3 1 】

本発明の配線基板によれば、絶縁基板の周縁部よりも段差をつけて形成された突起部の  
 平坦面に周縁部に形成された外部端子の総面積よりも、総面積が大きい導体パターンを設  
 けることで、外部端子と外部回路基板との距離を容易に大きくすることができるため、外  
 部回路基板との接続信頼性に優れ、しかも導体パターンにより格段に放熱性の高い配線基  
 板を提供することができる。また、この導体パターンをはんだなどを介して外部回路基板

10

20

30

40

50

に接続した場合には、はんだの溶解時に生じるセルフアライメント効果によって配線基板を正しい位置に容易に実装することができる。この効果は導体パターンの総面積を絶縁基板の周縁部に形成された外部端子の総面積よりも大きくすることで特に顕著になるものである。

【0032】

また、本発明の配線基板によれば、複数の導体パターンを形成し、各導体パターン間に間隙を形成することで、導体パターンが突起部の主面から突出している場合には、配線基板の表面積を増加させることができ、配線基板の放熱性をさらに向上させることができる。

【0033】

また、導体パターンが突起部の主面から突出していない場合でも、導体パターンの表面に金属からなる部材を形成した場合には同様の効果が得られる。

【0034】

また、独立した導体パターンのうち少なくとも1つの面積を、一つの外部端子の面積よりも大きくすることで、導体パターンと外部回路基板とを接着部材を用いて接続した場合に接着部材によるセルフアライメント効果ならびに導体パターンと外部回路基板との間の距離を大きくする効果を向上させることができる。

【0035】

また、突起部の平坦面のうち導体パターンの面積を、残りの面積よりも大きくすることが、放熱性の点からも、セルフアライメント効果ならびに導体パターンと外部回路基板との間の距離を大きくする点からも望ましい。

【0036】

本発明の電気素子装置は、以上説明した配線基板の電気素子搭載部に電気素子を搭載したことを特徴とするもので、これにより外部回路基板との接続信頼性、放熱性に優れた電気素子装置を提供できる。

【0037】

そして、この電気素子装置の外部端子と外部回路基板の回路端子とを接続部材を用いて接続することで放熱性に優れ、電気素子装置と外部回路基板との接続信頼性に優れた複合基板となる。

【0038】

特に、配線基板の導体パターンと外部回路基板の接続パターンとを接着部材を介して接続することで、電気素子装置の位置決めが容易となり、位置精度を向上させることができる。また、接着部材の表面張力により導体パターンと外部回路基板との距離を容易に大きくすることができる。

【0039】

また、前記導体パターンと接続パターンとの距離を0.1mm以上とすることで、セルフアライメント効果を高くすることができる。また、0.5mm以下とすることで、複合基板の低背化を図ることができる。

【発明を実施するための最良の形態】

【0040】

本発明の配線基板は、例えば図1に示すように、絶縁基板1と、絶縁基板の表面に形成された配線層3とを備えており、絶縁基板1の一方の主面1a(絶縁基板1の表面)には電気素子を搭載する搭載部5が形成され、絶縁基板1の他方の主面1b(絶縁基板1の裏面)には、周縁部7と、この周縁部7に比べ凸状に突出し、平坦面9aを備えた突起部9が形成されている。

【0041】

また、周縁部7の絶縁基板1の裏面1b側には外部端子11が形成され、突起部9の平坦面9aには導体パターン15が形成されている。また、絶縁基板1の少なくとも一部を厚み方向に貫通して形成された貫通導体16によって、絶縁基板1の一方の主面1aに形成された配線層3と周縁部7に形成された外部端子11とは電氣的に接続されており、電

10

20

30

40

50

気回路を形成している。

【0042】

また、突起部9の平坦面9aに形成されている導体パターン15は、図1(a)に示すように突起部9の平坦面9aの大部分を覆うように形成された形態や、図1(b)に示すように、突起部9の平坦面9aの一部を覆うように形成して、突起部9の平坦面9aの一部が露出するようにした形態が挙げられる。また、突起部9は複数設けられていてもよい。

【0043】

また、本発明の配線基板21の他の形態として、例えば、図2(a)、(b)に示すように絶縁基板1の表面1a側にキャビティ17が形成され、このキャビティ17の中に電気素子を搭載する搭載部5が形成されている形態が挙げられる。

10

【0044】

このようなキャビティ17を備えた配線基板21は低背化することが容易であるという利点がある。

【0045】

以上説明したように、本発明の配線基板21は種々の形態を有するのであるが、その特徴は周縁部7に外部端子11を設け、この周縁部7と段差ができるように形成された突起部9を具備し、その突起部9の平坦面9aに導体パターン15が形成されるとともに、この導体パターン15の総面積が外部端子11の総面積よりも大きいことである。

【0046】

この突起部9により、配線基板21を搭載する外部回路基板と、外部端子11との距離を容易に大きくすることができる。また、外部端子11の総面積よりも導体パターン15の総面積を大きくすることによって配線基板21の放熱性を格段に向上させることができる。

20

【0047】

以上説明した本発明の配線基板21の搭載部5に、図3(a)、(b)に示すように電気素子23を搭載することで、本発明の電気素子装置25となる。

【0048】

なお、電気素子23は、例えば、図3(a)に示すように、接着剤27を介して配線基板21に接続された形態や、図3(b)に示すように、バンプ29などによりフリップチップ接続された形態であってもよい。図3(a)のような形態では、ワイヤ31によって電気素子23と配線基板21とは電氣的に接続されている。そして、封止樹脂33によって電気素子23は覆われ保護されている。

30

【0049】

そして、図4、5に示すように、このような本発明の電気素子装置25を外部回路基板35に実装することで、本発明の複合基板37となる。

【0050】

本発明の複合基板37においては、電気素子装置25と外部回路基板35とは、配線基板1の周縁部7に設けられた外部端子11と、外部回路基板35の電気素子装置25と向かい合う側の主面35aに設けられ、外部端子11に対応するように配置された回路端子35bとの間に設けられた接続部材39によって電氣的に接続されている。

40

【0051】

また、電気素子装置25と外部回路基板35とは、絶縁基板1の突起部9の平坦面9aに形成された導体パターン15と、外部回路基板35の電気素子装置25と向かい合う側の主面35aに導体パターン15と対応するように設けられた接続パターン35cとの間に設けられた接着部材41によって接着されていることが望ましい。

【0052】

このように突起部9を備えた配線基板1を用いて形成された電気素子装置25を外部回路基板35に実装する場合には、突起部9によって外部端子11と外部回路基板35の回路端子35bとの距離を大きくすることができる。

50

## 【0053】

さらに、突起部9の平坦面9aに導体パターン15を設けることで配線基板1、電気素子装置25の放熱性を向上させることができる。なお、この効果は導体パターン15が接着部材41によって外部回路基板35と接続されていない場合でも発現することは言うまでもない。

## 【0054】

この導体パターン15の厚みは、接着部材41を用いない場合でも放熱性を向上させるために厚く形成することが望ましく、50 $\mu\text{m}$ 以上、さらに100 $\mu\text{m}$ 以上、特に200 $\mu\text{m}$ 以上とすることが望ましい。

## 【0055】

また、図4、5に示すように、導体パターン15と接続パターン35cとを接着部材41によって接続することで、接着部材41によるセルフアライメント効果により、配線基板1、電気素子装置25を外部回路基板35に実装する際の位置精度が格段に向上する。

## 【0056】

これは接続部材39よりも接着部材41の高さが小さいために、接着部材41によるセルフアライメント効果が接続部材39によるセルフアライメント効果よりも大きくなることに起因するものである。なお、セルフアライメント効果が顕著に発揮される導体パターン15と接続パターン35cのとの距離は0.1~0.5mmの範囲である。

## 【0057】

この接着部材41は、樹脂系の接着剤を用いてもよいが、例えば、樹脂よりも熱伝導率に優れたはんだなどを用いることで、位置精度の向上に加えて放熱性をも向上させることができる。特に、変形能の高いはんだペーストを用いた場合には優れたセルフアライメント効果が得られる。

## 【0058】

導体パターン15は、図4(a)に示すように突起部9の平坦面9aのほとんどを覆うように形成されていてもよく、あるいは突起部9の平坦面9aの全面を覆っていてもよい。

## 【0059】

また、図4(b)に示すように、導体パターン15を突起部9の平坦面9aに分割して形成した場合には、接着部材41の表面積が増加するため、複合基板37の表面積が増加し、複合基板37の放熱性が向上する。

## 【0060】

導体パターン15の総面積は、セルフアライメント効果を向上させるために外部端子11の総面積の1.2倍以上とすることが望ましく、さらに1.8倍以上、特に3倍以上とすることが望ましい。なお、この導体パターン15の総面積とは導体パターン15の主面の総面積を意味し、導体パターン15の側面を除いた面積を指すものである。

## 【0061】

この導体パターン15の面積は、絶縁基板1の熱を放散するという観点から、絶縁基板突起部9の平坦面9aのうち、40%以上とすることが望ましく、特に50%を超えることが望ましい。さらに、60%以上とすることが望ましい。

## 【0062】

また、導体パターン15から接着部材41へ伝わった熱が大気中に放散しやすいように、接着部材41の表面積を大きくすることが望ましく、導体パターン同士の間には隙間があることが望ましい。導体パターン15主面の面積は、絶縁基板突起部9の平坦面9aのうち、90%以下とすることが望ましく、さらに、80%以下が望ましい。

## 【0063】

また、一つの導体パターン15と一つの外部端子11の面積を個別に比較したとき、セルフアライメント効果を増大させる観点から導体パターン15の面積を外部端子11の面積よりも大きくすることが望ましく、1.2倍以上、さらに2倍以上、特に6倍以上とすることが望ましい。

10

20

30

40

50

## 【0064】

また、周縁部7の厚みは、電気素子23から外部端子11までの距離を小さくして電気素子23が発生する熱の放散を容易にするために、絶縁基板1の突起部の厚みよりも0.2mm以上小さいことが望ましく、さらに0.4mm以上小さいことが望ましい。また、周縁部7の厚みを薄くして、熱を放散することで、絶縁基板1と絶縁基板1を実装する外部回路基板との熱膨張差を緩和でき、且つ周縁部7に形成した配線層3から外部端子11をつなぐ貫通導体16をより短くすることができる。

## 【0065】

上述した特徴を備えた本発明の配線基板21を用いた複合基板37では、放熱性を向上させることができるとともに、導体パターン15と、絶縁基板1と接続する側の外部回路基板35の主面35aに形成した接続端子35cとをはんだなどの接着部材41により接続することで、接着部材41の溶融に伴うセルフアライメント効果により絶縁基板1の位置決めが容易になり、しかも位置精度が非常に高くなる。

10

## 【0066】

また、絶縁基板1と外部回路基板35とをはんだなどの金属で接続することができるので絶縁基板1の熱を効率よく伝達することも可能となる。

## 【0067】

また、絶縁基板1と外部回路基板35との間にはんだなどの接着部材41を置くことで、周縁部7に形成された外部端子11と、外部回路基板35に形成した接続端子35cと、を接続する接着部材41の高さをより高くすることができ、絶縁基板1と外部回路基板35との熱膨張係数差により生じる局所的な熱応力歪みを接合部材39で吸収することができる。

20

## 【0068】

この際、接着部材41を置くことによって、絶縁基板1の突起部9の平坦面9aに形成された導体パターン15と接続パターン35cとの距離は、セルフアライメント効果を高める点から、0.1mm以上であることが望ましく、さらに0.2mm以上が望ましい。また、複合基板全体の低背化と接合部材23の高さの限界の観点から、0.5mm以下であることが複合基板37の小型化の観点から好ましい。

## 【0069】

本発明においては、絶縁基板1として、例えば、ホウケイ酸ガラスセラミックス等のガラスセラミックス、石英ガラス、アルミナ、ムライト、窒化アルミニウム、窒化珪素、炭化珪素、窒化ホウ素等一般にセラミック配線基板用の絶縁基板材として用いられるセラミックスが好適に用いられる。

30

## 【0070】

この絶縁基板1上に搭載する電気素子が、シリコン半導体チップ等である場合、熱膨張係数がシリコン(熱膨張係数 $4 \times 10^{-6}$ /程度)のそれに近似し、高周波領域での誘電損失が小さく、更にパターン導体層の構成材である銅、銀、金等の高電気伝導率金属からなる導体層との同時焼成が可能な点からガラスセラミックスの使用が好ましく、その内でも特に、熱膨張係数が $3 \sim 6 \times 10^{-6}$ /、比誘電率が7以下のものが好ましい。

## 【0071】

接着部材41としては、熱伝導性が高いものを使うことが望ましく、はんだが好適に用いられる。また、接着部材41の形状は、柱状であればどのような形状でもよく、例えば半円状や円柱状のものが考えられる。

40

## 【0072】

外部回路基板35の構成材としては、一般にガラス繊維強化樹脂基板、アラミド繊維強化エポキシ樹脂基板、アラミド繊維強化ポリイミド樹脂基板、紙・フェノール樹脂基板、ポリエステル樹脂基板などが用いられる。

## 【0073】

これらの樹脂基板35の熱膨張係数は、通常 $8 \sim 18 \times 10^{-6}$ /の範囲である。

## 【0074】

50

この外部回路基板 35 の導体層構成材としては銅、銀、金などの他、アルミニウム、チタニウムの金属も用いることができる。

【0075】

接続部材 39 としては、はんだなどが用いられ、比較的高融点のスズ - 鉛系合金はんだが好適に使用される。

【0076】

また、電気素子 23 としては、例えば、シリコン単結晶薄片等よりなる集積回路チップ、ハイブリッド IC チップ、デスクリートチップ等或いは SAW (表面弾性波フィルター) 素子等のデバイス素子が搭載される。

【実施例】

【0077】

アルミナ粉末を主成分とするグリーンシートと W 粉末を主成分とする金属ペーストとを用いて作製した成形体を 1600 で焼成して、配線基板の外形寸法を 13 mm × 13 mm、突起部の外形寸法を 9 mm × 9 mm、周縁部の高さを 0.6 mm とし、周縁部の厚みを表 1 のように変化させて図 1 に示すような平板の一方の側の主面に突起部が形成された配線基板を作製した。従って、これらの配線基板の厚みは、周縁部の高さ 0.6 mm に表 1 に示す周縁部の厚みを加えた値となる。

【0078】

この配線基板の周縁部には 0.8 mm 径の外部端子を等間隔に 32 個形成した。

【0079】

また、突起部の主面には表 1 に示す形状の厚みが 50、100、200 μm の導体パターンを形成した。

【0080】

これらの外部端子、導体パターンはそれぞれ W 粉末を主成分とする金属ペーストをグリーンシートに印刷塗布して形成した。

【0081】

なお、比較例として作製した表 1 の試料 No. 1 には、導体パターンを設けなかった。

【0082】

次に、これらの配線基板に試験用の半導体素子を実装し、配線基板の配線層と半導体素子の電極とを金ワイヤを用いて電氣的に接続した。さらに、配線層、金ワイヤならびに半導体素子を覆うように、エポキシ樹脂を主成分とするポッティング樹脂で被覆し、150 の温度でポッティング樹脂を硬化させた。

【0083】

次に、外部端子の表面にはんだペーストをディスペンサーを用いて塗布し、さらに、このはんだペーストに直径が 0.9 mm のはんだボールを配置し、250 でリフローして外部端子に接続端子を形成した。

【0084】

このようにして作製した電気素子装置を外部回路基板に実装した。

【0085】

これらの電気素子装置のうち、試料 No. 1 ~ 15 には導体パターンと外部回路基板との間には接着部材を設けなかった。

【0086】

接着部材を用いていない試料 No. 1 ~ 15 の場合には、外部回路基板とはんだボールとの間にはんだペーストを配設した後、250 でリフローして電気素子装置と外部回路基板とを接合して複合基板を作製した。

【0087】

一方、試料 No. 16 ~ 13 には導体パターンと外部回路基板との間に接着部材を配置した。

【0088】

接着部材を用いた試料 No. 16 ~ 13 の場合には、外部回路基板とはんだボールとの

10

20

30

40

50

間にはんだペーストを配設するとともに、導体パターンと外部回路基板との間の距離が表 1 に示す値となるようにはんだペーストの塗布量を調節して配設した後、250 でリフローして電気素子装置と外部回路基板とを接合して複合基板を作製した。

【0089】

なお、セルフアライメント効果を確認するため、電気素子装置と外部回路基板とは、リフロー前の段階では予め電気素子装置の対角方向に400 μmずれるように配設した後、リフローを行った。

【0090】

以上の複合基板の作製過程において、放熱性を測定するための試料には試験用半導体素子の表面に0.2mm厚みのアルミナ基板を挟んで熱電対を配置しポッティング樹脂で固定した。

10

【0091】

このようにして作製した複合基板を用いて、-40 ~ 125 の温度サイクル試験を行った。なお、この温度サイクル試験は昇温、降温がそれぞれ5分、保持時間がそれぞれ25分の条件で行った。

【0092】

また、作製した複合基板は配線基板の対角線に沿って複合基板を切断し、その断面を研磨して、外部端子と、この外部端子に対向して設けられた外部回路基板の回路端子との位置ずれを測定して位置精度を確認した。

【0093】

20

また、放熱性については、25 の大気中で試験用の半導体素子に10Wの電流を1時間通電した後の半導体素子表面の温度を熱電対を用いて測定して評価した。

【0094】

なお、いずれの試験もそれぞれ5個の試料を用いて測定し、その平均値を表1に記載したものである。

【0095】

試験結果を表1に示す。

【0096】

なお、表1に記載した導体パターンの総面積とは絶縁基板の主面と略平行に形成された導体パターンの主面にあたる部分の総面積であって、導体パターンの側面にあたる部分の面積は考慮していない。また、外部端子の総面積についても同様の値を用いている。

30

【0097】

また、導体パターン、外部端子の一つあたりの面積もそれぞれの主面のみについて求めた値である。

【0098】

また、表1中の位置精度とは、外部端子と、この外部端子に対向して設けられた外部回路基板の回路端子との位置ずれに想到する値であり、10 μm単位で測定値を丸めている。

。

【表 1】

試料 No.	金属パターンの有無	金属パターンの厚み (μm)	金属パターンの総面積 (mm <sup>2</sup> )	金属パターンと外部端子の総面積比	金属パターンの個数	金属パターン1つあたりの面積	金属パターンの形状	金属パターンと外部端子の単独面積比	金属パターンの突起部の面積 (主面の面積 (%))	周縁部の厚み	接着部材の有無	接続部材の高さ (mm)	金属パターンの主面と接続パターンとの距離 (mm)	信頼性試験結果 (回)	半導体素子の温度 (°C)	位置精度 (μm)
*1	無し	-	-	-	-	-	-	-	-	0.6	無し	0.6	-	2600	88	250
*2	有り	100	12.8	0.8	1	12.8	□3.6mm	25.6	15.8	0.6	無し	0.7	-	3000	85	250
3	有り	100	51.2	3.2	1	51.2	□4.4mm	102.4	63.2	0.6	無し	0.7	-	3600	80	250
4	有り	100	51.2	3.2	4	12.8	φ2.9mm	25.6	63.2	0.6	無し	0.7	-	3800	75	250
5	有り	100	51.2	3.2	16	3.2	φ1.4mm	6.4	63.2	0.6	無し	0.7	-	3900	72	250
6	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	無し	0.7	-	4000	71	250
7	有り	100	28.8	1.8	49	0.6	φ0.6mm	1.2	35.6	0.6	無し	0.7	-	4200	70	250
8	有り	50	51.2	3.2	49	1.0	φ1.1mm	2.1	63.2	0.6	無し	0.65	-	4000	65	250
9	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	無し	0.7	-	4200	65	250
10	有り	200	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	無し	0.8	-	4300	67	250
11	有り	100	73.6	4.6	49	1.5	φ1.0mm	3.0	90.9	0.6	無し	0.7	-	4000	70	250
12	有り	100	51.2	3.2	1	51.2	□4.4mm	102.4	63.2	0.3	無し	0.7	-	3900	65	250
13	有り	100	51.2	3.2	4	12.8	φ2.9mm	25.6	63.2	0.3	無し	0.7	-	4000	62	250
14	有り	100	51.2	3.2	16	3.2	φ1.4mm	6.4	63.2	0.3	無し	0.7	-	4100	61	250
15	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.3	無し	0.7	-	4100	60	250
*16	有り	100	12.8	0.8	1	12.8	□3.6mm	25.6	15.8	0.6	有り	1.00	0.3	3400	82	200
17	有り	100	51.2	3.2	1	51.2	□4.4mm	102.4	63.2	0.6	有り	1.00	0.3	4200	77	30
18	有り	100	51.2	3.2	4	12.8	φ2.9mm	25.6	63.2	0.6	有り	1.00	0.3	4300	72	30
19	有り	100	51.2	3.2	16	3.2	φ1.4mm	6.4	63.2	0.6	有り	1.00	0.3	4400	70	30
20	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	有り	1.00	0.3	4200	69	30
21	有り	100	28.8	1.8	49	0.6	φ0.6mm	1.2	35.6	0.6	有り	1.00	0.3	4400	67	30
22	有り	50	51.2	3.2	49	1.0	φ1.1mm	2.1	63.2	0.6	有り	0.95	0.3	4450	62	30
23	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	有り	0.80	0.1	4250	61	30
24	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	有り	0.90	0.2	4400	61	30
25	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	有り	1.00	0.3	4500	62	30
26	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	有り	1.10	0.4	4600	63	40
27	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	有り	1.20	0.5	4700	63	50
28	有り	200	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.6	有り	1.10	0.3	4550	64	30
29	有り	100	73.6	4.6	49	1.5	φ1.0mm	3.0	90.9	0.6	有り	1.00	0.3	4500	67	30
30	有り	100	51.2	3.2	1	51.2	□4.4mm	102.4	63.2	0.3	有り	1.00	0.3	4400	62	30
31	有り	100	51.2	3.2	4	12.8	φ2.9mm	25.6	63.2	0.3	有り	1.00	0.3	4500	59	30
32	有り	100	51.2	3.2	16	3.2	φ1.4mm	6.4	63.2	0.3	有り	1.00	0.3	4800	58	30
33	有り	100	51.2	3.2	49	1.0	φ0.8mm	2.1	63.2	0.3	有り	1.00	0.3	4800	57	30

【0099】

表1に示すように突起部の表面に導体パターンのない試料No. 1では、半導体素子の冷却能力が低く、信頼性試験結果は2600回に留まった。

【0100】

また、導体パターンを有するものの、導体パターンの総面積が外部端子の総面積よりも

10

20

30

40

50

小さい試料 No. 2 においても、半導体素子の冷却能力は若干向上するものの、信頼性試験結果は 3000 回に留まった。

【0101】

一方、導体パターンの総面積が外部端子の総面積よりも大きい本願発明の試料 No. 3 ~ 15 では、半導体素子の温度が低くなり、冷却効率が優れていることがわかる。

【0102】

また、その結果、絶縁基板と外部回路基板との間に発生する応力が小さくなり、信頼性試験結果は 3600 回以上となり、高い信頼性を有することが判る。

【0103】

また、接着部材を設けた試料 No. 16 ~ 33 のうち、導体パターンの総面積が外部端子の総面積よりも小さい試料 No. 16 と、導体パターンの総面積が外部端子の総面積よりも大きい本願発明の試料 No. 17 ~ 33 とを比較すると、本願発明の試料はいずれも試料 No. 16 よりも、冷却能力が高く、また、信頼性も優れていることがわかる。

10

【図面の簡単な説明】

【0104】

【図1】本発明の配線基板の一形態を示す断面図。

【図2】本発明の配線基板の一形態を示す断面図。

【図3】本発明の電気素子装置の一形態を示す断面図。

【図4】本発明の複合基板の一形態を示す断面図。

【図5】本発明の複合基板の他の形態を示す断面図。

20

【図6】従来の配線基板を示す断面図。

【図7】従来の配線基板を示す断面図。

【図8】従来の配線基板を示す断面図。

【符号の説明】

【0105】

1・・・絶縁基板

1a・・・絶縁基板の一方の主面

1b・・・絶縁基板の他方の主面

3・・・配線層

5・・・搭載部

30

7・・・周縁部

9・・・突起部

9a・・・突起部の主面

11・・・外部端子

15・・・導体パターン

16・・・貫通導体

17・・・キャビティ

21・・・配線基板

23・・・電気素子

25・・・電気素子装置

40

35・・・外部回路基板

35b・・・回路端子

35c・・・接続パターン

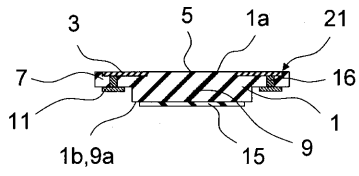
37・・・複合基板

39・・・接続部材

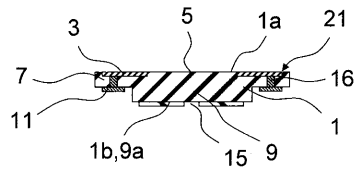
41・・・接着部材

【図1】

(a)

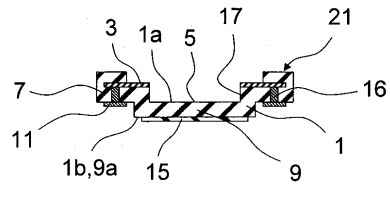


(b)

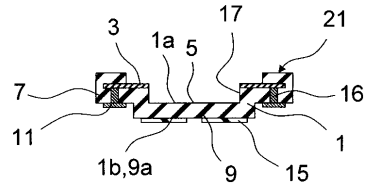


【図2】

(a)

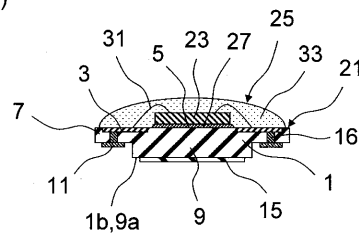


(b)

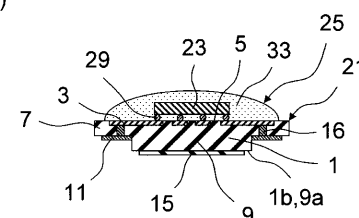


【図3】

(a)

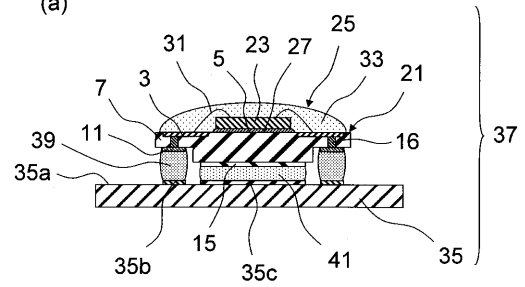


(b)

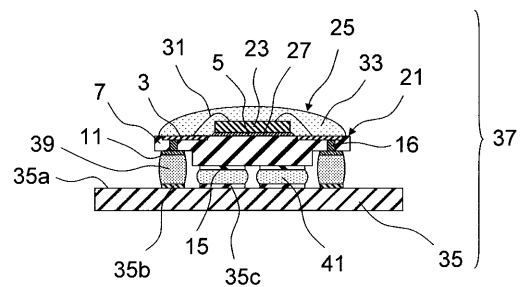


【図4】

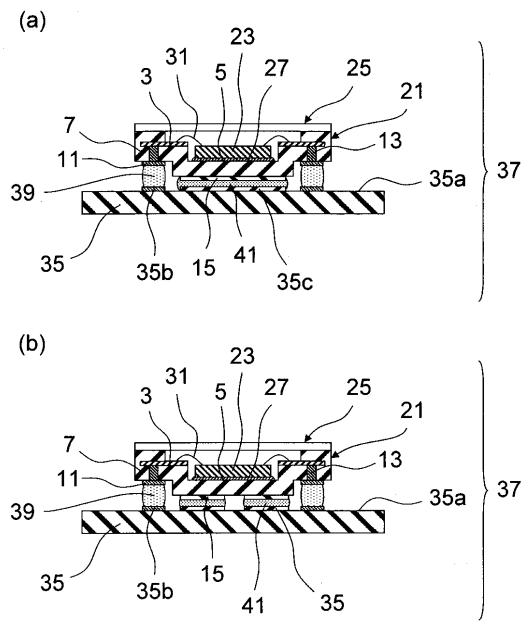
(a)



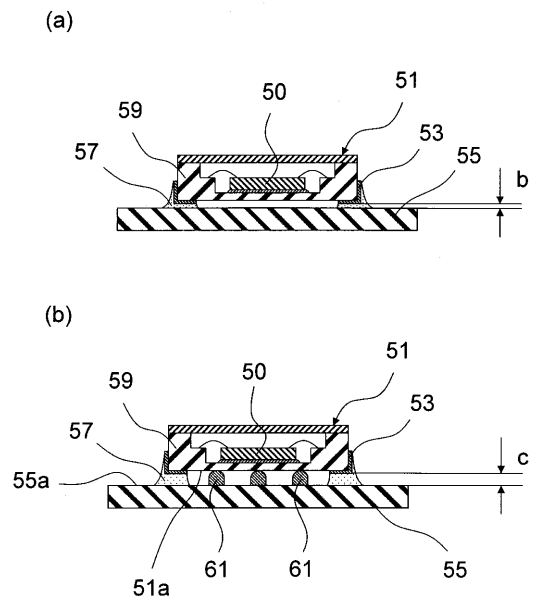
(b)



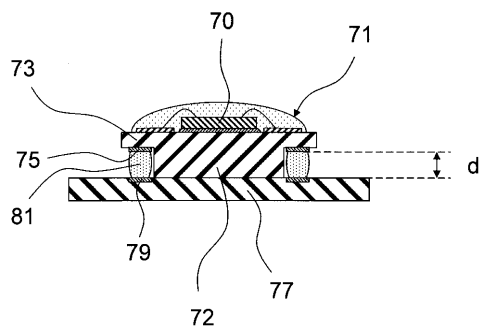
【図5】



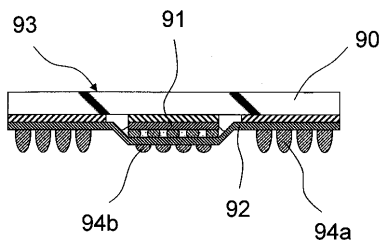
【図6】



【図7】



【図8】



---

フロントページの続き

- (56)参考文献 特開昭59-82790(JP,A)  
特開昭55-53446(JP,A)  
特開平10-22341(JP,A)  
特開2003-197820(JP,A)  
特開2005-72287(JP,A)  
特開平4-229691(JP,A)  
特開平10-209642(JP,A)  
特開平8-55933(JP,A)  
特開平10-313071(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/02  
H05K 1/18  
H05K 3/46  
H01L 23/12