



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월09일
 (11) 등록번호 10-1998150
 (24) 등록일자 2019년07월03일

(51) 국제특허분류(Int. Cl.)
 H01L 23/29 (2006.01) H01L 23/28 (2006.01)
 (21) 출원번호 10-2013-0023263
 (22) 출원일자 2013년03월05일
 심사청구일자 2017년10월30일
 (65) 공개번호 10-2013-0107218
 (43) 공개일자 2013년10월01일
 (30) 우선권주장
 JP-P-2012-063947 2012년03월21일 일본(JP)
 (56) 선행기술조사문헌
 JP2003017622 A*
 W02008120755 A1*
 W02011108308 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 신희오덴기 고교 가부시킴가이샤
 일본국 나가노켄 나가노시 오시마다마치 80
 (72) 발명자
 다테이와 아키히코
 일본국 나가노켄 나가노시 오시마다마치 80 신희오덴기 고교 가부시킴가이샤 내
 다나카 마사토
 일본국 나가노켄 나가노시 오시마다마치 80 신희오덴기 고교 가부시킴가이샤 내
 로쿠가와 아키오
 일본국 나가노켄 나가노시 오시마다마치 80 신희오덴기 고교 가부시킴가이샤 내
 (74) 대리인
 문두현

전체 청구항 수 : 총 15 항

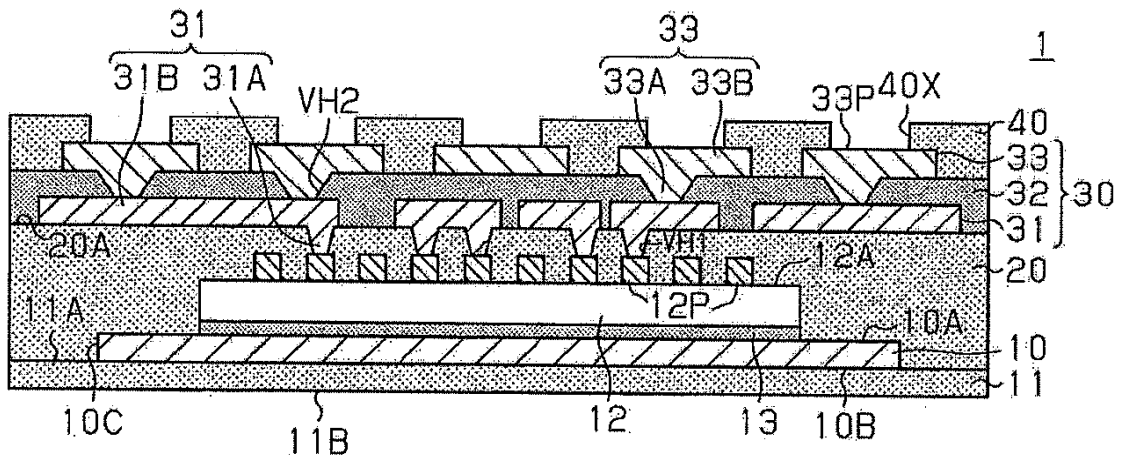
심사관 : 김진우

(54) 발명의 명칭 반도체 패키지, 반도체 장치 및 반도체 패키지의 제조 방법

(57) 요약

반도체 패키지는 제 1 면, 제 2 면, 및 측면을 포함하는 금속판, 제 1 면, 제 2 면, 및 측면을 포함하고 금속판의 제 1 면에 위치하는 반도체칩, 금속판의 제 2 면을 덮는 제 1 절연층, 금속판의 제 1 면, 및 반도체칩의 제 1 면 및 측면을 덮는 제 2 절연층, 및 제 2 절연층 상의 배선 구조를 포함하고, 배선 구조는, 반도체칩에 전기적으로 접속되는 배선층, 및 배선층 상의 중간 절연층을 포함하고, 금속판의 두께는 반도체칩의 두께보다 얇고, 금속판의 측면은 상기 제 1 절연층 또는 제 2 절연층으로 덮인다.

대표도 - 도1a



명세서

청구범위

청구항 1

상면과 하면과 측면을 갖는 금속판과,
 상기 금속판의 상면과 동일 평면 상에 형성된 상면과, 상기 금속판의 하면과 동일 평면 상에 형성된 하면과, 측면을 갖는 도전층과,
 전극 단자가 형성된 상면과 하면과 측면을 갖고, 상기 금속판의 상면에 본딩된 반도체칩과,
 상기 금속판 및 상기 도전층의 하면에 접해서 상기 금속판 및 상기 도전층의 하면을 피복하는 제 1 절연층과,
 상기 금속판의 상면 및 측면에 접해서 상기 금속판의 상면 및 측면을 피복하고, 상기 도전층의 상면 및 측면에 접해서 상기 도전층의 상면 및 측면을 피복하고, 상기 반도체칩의 상면 및 측면에 접해서 상기 반도체칩의 상면 및 측면을 피복하고, 상기 제 1 절연층 상에 적층된 제 2 절연층과,
 상기 반도체칩과 전기적으로 접속된 배선층과, 상기 배선층 상에 적층되고 보강재를 포함하는 층간 절연층을 갖고, 상기 제 2 절연층 상에 적층된 배선 구조를 갖고,
 상기 반도체칩의 하면이 절연성 수지로 이루어지는 본딩재를 통해 상기 금속판의 상면에 직접 본딩되고,
 상기 금속판과 상기 도전층이 서로 분리되어 형성되고,
 상기 금속판은, 상기 반도체칩보다 얇게 형성되고,
 상기 금속판은, 평판이고, 외연(外緣)을 제외한 상기 제 1 절연층의 상면 전체면에 상기 도전층의 주위를 상기 제 2 절연층을 통해 둘러싸도록 형성되고,
 상기 도전층의 하면의 적어도 일부는, 다른 반도체 패키지와 접속되는 패드로서 상기 제 1 절연층으로부터 노출되어 있는 것을 특징으로 하는 반도체 패키지.

청구항 2

상면과 하면과 측면을 갖는 금속판과,
 전극 단자가 형성된 상면과 하면과 측면을 갖고, 상기 금속판의 상면에 본딩된 반도체칩과,
 상기 금속판의 하면에 접해서 상기 금속판의 하면을 피복하는 제 1 절연층과,
 상기 금속판의 상면 및 측면에 접해서 상기 금속판의 상면 및 측면을 피복하고, 상기 반도체칩의 상면 및 측면에 접해서 상기 반도체칩의 상면 및 측면을 피복하고, 상기 제 1 절연층 상에 적층된 제 2 절연층과,
 상기 반도체칩과 전기적으로 접속된 배선층과, 상기 배선층 상에 적층되고 보강재를 포함하는 층간 절연층을 갖고, 상기 제 2 절연층 상에 적층된 배선 구조와,
 상기 제 2 절연층의 두께 방향의 중도(中途) 위치에 설치된 도전층을 갖고,
 상기 반도체칩의 하면이 절연성 수지로 이루어지는 본딩재를 통해 상기 금속판의 상면에 직접 본딩되고,
 상기 금속판은, 상기 반도체칩보다 얇게 형성되고,
 상기 금속판은, 평판이고, 외연을 제외한 상기 제 1 절연층의 상면 전체면에 상기 도전층을 평면에서 볼 때 둘러싸도록 형성되고,
 상기 금속판에는, 상기 도전층과 대향하는 영역에, 상기 도전층보다 평면 형상이 큰 제 1 개구부가 형성되고,
 상기 제 1 절연층 및 상기 제 2 절연층에는, 상기 제 1 개구부와 평면에서 볼 때 겹치는 위치에, 상기 도전층의 하면의 적어도 일부를 다른 반도체 패키지와 접속되는 패드로서 노출하는 제 2 개구부가 형성되어 있는 것을 특징으로 하는 반도체 패키지.

청구항 3

상면과 하면과 측면을 갖는 금속판과,
 전극 단자가 형성된 상면과 하면과 측면을 갖고, 상기 금속판의 상면에 본딩된 반도체칩과,
 상기 금속판의 하면에 접해서 상기 금속판의 하면을 피복하는 제 1 절연층과,
 상기 금속판의 상면 및 측면에 접해서 상기 금속판의 상면 및 측면을 피복하고, 상기 반도체칩의 상면 및 측면에 접해서 상기 반도체칩의 상면 및 측면을 피복하고, 상기 제 1 절연층 상에 적층된 제 2 절연층과,
 상기 반도체칩과 전기적으로 접속된 배선층과, 상기 배선층 상에 적층되고 보강재를 포함하는 층간 절연층을 갖고, 상기 제 2 절연층 상에 적층된 배선 구조를 갖고,
 상기 반도체칩의 하면이 절연성 수지로 이루어지는 본딩재를 통해 상기 금속판의 상면에 직접 본딩되고,
 상기 금속판은, 상기 반도체칩보다 얇게 형성되고,
 상기 금속판은, 평판이고, 외연을 제외한 상기 제 1 절연층의 상면 전체면에 형성되고,
 상기 제 2 절연층은,
 상기 반도체칩을 노출하는 제 3 개구부를 갖고, 상기 제 1 절연층 상에 적층된 제 3 절연층과,
 상기 금속판의 상면과 상기 반도체칩의 상면 및 측면과 상기 제 3 절연층의 상면을 피복하는 제 4 절연층을 갖고,
 상기 제 3 절연층의 상면은, 상기 반도체칩의 상면보다 높아지도록 형성되어 있는 것을 특징으로 하는 반도체 패키지.

청구항 4

제 1 항 또는 제 2 항에 있어서,
 상기 제 2 절연층은,
 상기 반도체칩을 노출하는 제 3 개구부를 갖고, 상기 제 1 절연층 상에 적층된 제 3 절연층과,
 상기 금속판의 상면과 상기 반도체칩의 상면 및 측면과 상기 제 3 절연층의 상면을 피복하는 제 4 절연층을 갖고,
 상기 제 3 절연층의 상면은, 상기 반도체칩의 상면보다 높아지도록 형성되어 있는 것을 특징으로 하는 반도체 패키지.

청구항 5

제 3 항에 있어서,
 상기 제 3 개구부는, 상기 금속판측으로부터 상기 제 3 절연층의 상면을 향함에 따라 직경이 커지도록 형성되어 있는 것을 특징으로 하는 반도체 패키지.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 1 절연층의 재료는, 상기 층간 절연층과 동일 재료인 것을 특징으로 하는 반도체 패키지.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 1 절연층의 하면은, 당해 반도체 패키지의 외부로 노출되는 표면인 것을 특징으로 하는 반도체 패키지.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 층간 절연층은, 보강재를 포함하는 절연성 수지로 이루어지고,
 상기 층간 절연층의 열팽창 계수는, 상기 제 2 절연층의 열팽창 계수보다 상기 반도체칩의 열팽창 계수에 가까운 것을 특징으로 하는 반도체 패키지.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 배선 구조에 있어서의 상기 배선층은, 복수의 배선층을 갖고,
 상기 배선 구조에 있어서의 상기 층간 절연층은, 복수의 층간 절연층을 갖고,
 상기 복수의 층간 절연층 중 상기 제 1 절연층과는 반대측의 최외층의 층간 절연층은, 보강재를 포함하는 절연성 수지로 이루어지고,
 상기 최외층의 층간 절연층의 열팽창 계수는, 상기 제 2 절연층의 열팽창 계수보다 상기 반도체칩의 열팽창 계수에 가까운 것을 특징으로 하는 반도체 패키지.

청구항 10

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 금속판은, 당해 반도체 패키지의 외연을 제외한 상기 제 1 절연층의 상면 전체면에 연장해서 형성되고,
 상기 금속판의 외형 치수는, 당해 반도체 패키지의 외형 치수보다 작고, 또한, 상기 반도체칩의 외형 치수보다 큰 것을 특징으로 하는 반도체 패키지.

청구항 11

제 1 항 또는 제 2 항에 기재된 반도체 패키지와,
 상기 패드와 전기적으로 접속된 다른 반도체 패키지를 갖는 것을 특징으로 하는 반도체 장치.

청구항 12

상면과 하면과 측면을 갖는 제 1 절연층을 지지 기판 상에 형성하는 공정과,
 상기 제 1 절연층의 상면에 도전층을 형성함과 함께, 상기 제 1 절연층보다 외형 치수가 작은 금속판을, 외연을 제외한 상기 제 1 절연층의 상면 전체면에 상기 도전층을 둘러싸도록 형성하는 공정과,
 상면과 하면과 측면을 갖는 반도체칩을, 당해 반도체칩의 하면이 절연성 수지로 이루어지는 본딩재를 통해 상기 금속판의 상면에 직접 본딩되도록, 상기 금속판의 상면에 탑재하는 공정과,
 상기 금속판의 상면 및 측면과 상기 도전층의 상면 및 측면과 상기 반도체칩의 상면 및 측면을 피복하는 제 2 절연층을 상기 제 1 절연층 상에 형성하는 공정과,
 상기 반도체칩과 전기적으로 접속된 배선층과, 상기 배선층 상에 적층되고 보강재를 포함하는 층간 절연층을 갖는 배선 구조를 상기 제 2 절연층 상에 형성하는 공정과,
 상기 지지 기판을 제거하는 공정과,
 상기 제 1 절연층의 하면에, 상기 도전층의 하면의 적어도 일부를 다른 반도체 패키지와 접속되는 패드로서 노출하는 비어 홀을 형성하는 공정을 갖고,
 상기 금속판은, 평판이고, 상기 도전층과 분리되어 형성되고,
 상기 금속판의 두께는, 상기 반도체칩보다 얇게 형성되어 있는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 13

상면과 하면과 측면을 갖는 제 1 절연층을 지지 기판 상에 형성하는 공정과,

외연을 제외한 상기 제 1 절연층의 상면 전체면에, 두께 방향으로 관통하는 제 1 개구부를 갖고, 상기 제 1 절연층보다 외형 치수가 작은 금속판을 형성하는 공정과,
 상기 금속판을 피복하는 제 2 절연층을 상기 제 1 절연층의 상면에 형성하는 공정과,
 상기 제 2 절연층의 상면의 상기 제 1 개구부와 대향하는 위치에, 상기 제 1 개구부보다 평면 형상이 작은 도전층을 형성하는 공정과,
 상기 도전층의 상면 및 측면을 피복하는 제 3 절연층을 상기 제 2 절연층의 상면에 형성하는 공정과,
 상기 금속판의 일부가 노출하도록, 상기 제 2 절연층 및 상기 제 3 절연층을 두께 방향으로 관통하는 제 3 개구부를 형성하는 공정과,
 상기 제 3 개구부로부터 노출하는 상기 금속판의 상면에 반도체칩을 본딩하는 공정과,
 상기 금속판의 상면과 상기 제 2 절연층의 측면과 상기 제 3 절연층의 상면 및 측면과 상기 반도체칩의 상면 및 측면을 피복하는 제 4 절연층을 형성하는 공정과,
 상기 반도체칩과 전기적으로 접속된 배선층과, 상기 배선층 상에 적층되고 보강재를 포함하는 층간 절연층을 갖는 배선 구조를 상기 제 4 절연층 상에 형성하는 공정과,
 상기 지지 기판을 제거하는 공정과,
 상기 제 1 절연층 및 상기 제 2 절연층의 상기 제 1 개구부와 평면에서 볼 때 겹치는 위치에, 상기 도전층의 하면의 적어도 일부를 다른 반도체 패키지와 접속되는 패드로서 노출하는 제 2 개구부를 형성하는 공정을 갖고,
 상기 금속판은, 평판이고, 상기 도전층을 평면에서 볼 때 둘러싸도록 형성되고,
 상기 금속판의 두께는, 상기 반도체칩보다 얇게 형성되어 있는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 14

지지 기판 상에 제 1 절연층을 형성하는 공정과,
 상기 제 1 절연층보다 외형 치수가 작은 금속판을 상기 제 1 절연층 상에 형성하는 공정과,
 상기 금속판과 당해 금속판의 상면에 본딩된 반도체칩을 피복하는 제 2 절연층을 상기 제 1 절연층 상에 형성하는 공정과,
 상기 반도체칩과 전기적으로 접속되는 배선층과, 상기 배선층 상에 적층되고 보강재를 포함하는 층간 절연층을 갖는 배선 구조를 상기 제 2 절연층 상에 형성하는 공정과,
 상기 지지 기판을 제거하는 공정을 갖고,
 상기 금속판은, 상기 반도체칩보다 얇게 형성되고,
 상기 제 2 절연층을 형성하는 공정은,
 상기 금속판을 피복하는 제 3 절연층을 상기 제 1 절연층 상에 형성하는 공정과,
 상기 금속판의 일부가 노출하도록, 상기 제 3 절연층을 두께 방향으로 관통하는 제 3 개구부를 형성하는 공정과,
 상기 제 3 개구부로부터 노출하는 상기 금속판의 상면에 상기 반도체칩을 본딩하는 공정과,
 상기 금속판의 상면과, 상기 제 3 절연층의 상면과, 상기 반도체칩의 상면 및 측면을 피복하도록 제 4 절연층을 형성하는 공정을 갖고,
 상기 제 2 절연층은 상기 제 3 절연층과 상기 제 4 절연층을 갖고,
 상기 반도체칩을 본딩하는 공정에서는, 상기 제 3 절연층의 상면이 상기 반도체칩의 상면보다 높아지는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 15

제 13 항 또는 제 14 항에 있어서,

상기 제 3 개구부는, 상기 금속관측으로부터 상측을 향함에 따라 직경이 커지도록 형성되는 것을 특징으로 하는 반도체 패키지의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지, 반도체 장치 및 반도체 패키지의 제조 방법에 관한 것이다.

배경 기술

[0002] 종래 기술에서, 반도체칩 및 반도체칩을 덮는 수지층을 포함한 반도체 패키지가 사용되었다.

[0003] 이러한 반도체 패키지의 일례로서, 반도체칩의 유효 표면(회로 형성면) 및 측면이 절연층으로 덮이고 절연층 상에 반도체칩에 전기적으로 접속되는 배선 구조가 형성되는 구조가 제안되었다(예를 들면, 일본국 특개2011-119502 및 일본국 특개2008-300854를 참조).

[0004] 이러한 반도체 패키지의 제조 방법으로서, 다음과 같은 방법이 제안되었다.

[0005] 예를 들면, 지지 기판을 준비하고, 반도체칩의 유효 표면에 반대측인 반도체칩의 표면이 지지 기판의 전면(前面)과 접촉하도록, 지지 기판 상에 반도체칩이 탑재된다. 이어서, 탑재된 반도체 칩을 절연층에 의해 밀봉하고, 절연층 상에 배선층 및 층간 절연층을 형성하여 배선 구조를 형성한다. 이어서, 지지 기판을 제거한다. 이에 따라, 반도체 패키지가 제조된다.

발명의 내용

해결하려는 과제

[0006] 종래의 반도체 패키지의 제조 공정에서, 반도체칩이 지지 기판 상에 고정되고 절연층 및 배선 구조체가 형성된 상태에서는, 지지 기판의 강성이 높고, 그 결과 반도체 패키지에 변형이 발생하기 어려웠다. 그러나, 지지 기판이 제거되면, 지지 기판이 제거된 부분에서의 응력이 발생된다. 따라서, 응력 발생으로 인해 반도체 패키지에서 변형이 발생된다.

[0007] 본 발명의 실시형태는 상술한 단점 및 상술하지 않은 그 외의 단점을 해결한다. 그러나, 본 발명은 상술한 단점을 극복하는데 필수적인 것은 아니며, 따라서 본 발명의 예시적인 실시형태는 상술한 단점의 일부를 극복하지 않을 수 있다.

과제의 해결 수단

[0008] 본 발명의 하나 이상의 예시적인 양태에 따르면, 반도체 패키지가 제공된다. 반도체 패키지는 제 1 면, 당해 제 1 면에 반대측인 제 2 면, 및 당해 제 1 면과 당해 제 2 면 사이의 측면을 포함하는 금속판, 제 1 면, 당해 제 1 면에 반대측인 제 2 면, 및 당해 제 1 면과 당해 제 2 면 사이의 측면을 포함하고 금속판의 제 1 면에 위치하는 반도체칩, 금속판의 제 2 면을 덮는 제 1 절연층, 금속판의 제 1 면, 및 반도체칩의 제 1 면 및 측면을 덮는 제 2 절연층, 및 제 2 절연층 상의 배선 구조를 포함하고, 배선 구조는, 반도체칩에 전기적으로 접속되는 배선층, 및 배선층 상의 층간 절연층을 포함한다. 금속판의 두께는 반도체칩의 두께보다 얇다. 금속판의 측면은 제 1 절연층 또는 제 2 절연층으로 덮인다.

[0009] 본 발명의 하나 이상의 예시적인 측면에 따르면, 반도체 패키지의 제조 방법이 제공된다. 이 방법은 (a) 지지 기판 상에 제 1 절연층을 형성하는 단계, (b) 제 1 절연층 상에, 제 1 절연층보다 외부 치수가 작은 금속판을 형성하는 단계, (c) 금속판의 제 1 면에 반도체칩을 본딩하고 금속판 및 반도체칩을 덮도록 제 2 절연층을 형성하는 단계, (d) 제 2 절연층 상에, 반도체칩에 전기적으로 접속되는 배선층 및 배선층 상의 층간 절연층을 포함하는 배선 구조를 형성하는 단계, 및 (e) 지지 기판을 제거하는 단계를 포함하고, 금속판의 두께가 반도체칩의 두께보다 얇다.

발명의 효과

[0010] 본 발명의 양태에 따르면, 변형을 저감할 수 있다.

도면의 간단한 설명

- [0011] 도 1a는 제 1 실시형태에 따른 반도체 패키지를 모식적으로 나타내는 단면도로서 도 1b에서의 A-A 선을 따라 취한 반도체 패키지의 단면도이고, 도 1b는 도 1a에 나타난 반도체 패키지를 하면측에서 봤을 때 제 1 절연층(11)을 도시 생략하고 모식적으로 나타내는 평면도.
- 도 2a 내지 도 2f는 제 1 실시형태에 따른 반도체 패키지의 제조 방법을 모식적으로 나타내는 단면도.
- 도 3a ~ 도 3d는 제 1 실시형태에 따른 반도체 패키지의 제조 방법을 모식적으로 나타내는 단면도.
- 도 4a ~ 도 4d는 제 1 실시형태에 따른 반도체 패키지의 제조 방법을 나타내는 단면도.
- 도 5a는 제 2 실시형태에 따른 반도체 패키지를 모식적으로 나타내는 단면도로서 도 5b에서의 B-B 선을 따라 취한 반도체 패키지의 단면도이고, 도 5b는 도 5a에 나타난 반도체 패키지를 하면측에서 봤을 때 제 1 절연층(11)을 도시 생략하고 모식적으로 나타내는 평면도.
- 도 6은 제 2 실시형태에 따른 반도체 패키지를 모식적으로 나타내는 단면도.
- 도 7a 내지 도 7d는 제 2 실시형태에 따른 반도체 패키지의 제조 방법을 모식적으로 나타내는 단면도.
- 도 8a 및 도 8b는 제 2 실시형태에 따른 반도체 패키지의 제조 방법을 모식적으로 나타내는 단면도.
- 도 9는 제 2 실시형태에 따른 반도체 패키지의 제조 방법을 모식적으로 나타내는 단면도.
- 도 10은 제 3 실시형태에 따른 반도체 패키지를 모식적으로 나타내는 단면도.
- 도 11a는 제 3 실시형태에 따른 반도체 패키지의 제조 방법을 모식적으로 나타내는 단면도로서 도 11b에서의 C-C 선을 따라 취한 반도체 패키지의 단면도이고, 도 11b는 도 11a에 나타난 제조 공정에서의 반도체 패키지를 상면측에서 보고 모식적으로 나타내는 평면도.
- 도 12a ~ 도 12c는 제 3 실시형태에 따른 반도체 패키지의 제조 방법을 모식적으로 나타내는 단면도.
- 도 13a ~ 도 13c는 제 3 실시형태에 따른 반도체 패키지의 제조 방법을 모식적으로 나타내는 단면도.
- 도 14는 변형예에 따른 반도체 패키지를 모식적으로 나타내는 단면도.
- 도 15는 변형예에 따른 반도체 패키지를 모식적으로 나타내는 단면도.
- 도 16은 비교예에 따른 반도체 패키지를 모식적으로 나타내는 단면도.
- 도 17은 비교예에 따른 반도체 패키지를 모식적으로 나타내는 단면도.
- 도 18은 변형 양의 온도 의존성을 평가하여 얻은 측정 결과를 나타내는 그래프.
- 도 19는 변형 양의 온도 의존성을 평가하여 얻은 측정 결과를 나타내는 그래프.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 다른 양태 및 이점은 다음의 설명, 도면 및 특허청구범위에서 명확해질 것이다.
- [0013] 이하, 본 발명의 예시적인 실시형태를 첨부 도면을 참조하여 설명한다. 실시형태를 설명하기 위한 전체 도면에서, 동일한 기능을 갖는 부재에는 동일한 참조 부호를 부여하고 그 반복 설명을 생략한다.
- [0014] 또한, 도면에서, 특징적인 부분은 특징의 이해를 쉽게 하고 설명의 편의를 위해 확대될 수 있으며, 각 구성 요소 등의 축적은 실제 축적과 동일하지 않을 수 있다. 또한, 단면도에서, 각 부재의 단면 구조의 이해를 쉽게 하기 위해 일부 부재의 해칭이 생략된다.
- [0015] 제 1 실시형태
- [0016] 이하, 도 1a 및 도 1b 내지 도 4a ~ 도 4d를 참조하여, 제 1 실시형태를 설명한다.
- [0017] <반도체 패키지의 구조>
- [0018] 도 1a에 나타난 바와 같이, 반도체 패키지(1)는 금속판(10), 제 1 절연층(11), 반도체칩(12), 제 2 절연층(20),

배선 구조(30), 및 솔더 레지스트층(40)을 포함한다.

- [0019] 금속판(10)은 제 1 면(10A)(도 1a에서 상면), 제 1 면(10A)에 반대측인 제 2 면(10B)(도 1a에서 하면), 제 1 면(10A)과 제 2 면(10B) 사이의 측면(10C)을 포함한다. 금속판(10)의 두께는 반도체칩(12)보다 얇게 설정된다. 구체적으로, 금속판(10)의 두께는 반도체 패키지(1)의 변형 저감의 관점에서, 예를 들면 반도체칩(12)의 두께의 약 50% ~ 95%인 것이 바람직하다. 구체적으로, 금속판(10)의 두께는 예를 들면 약 15 μ m ~ 70 μ m로 설정될 수 있다. 도 1b에 나타낸 바와 같이, 금속판(10)은 반도체 패키지(1)(예를 들면, 도 1a에 나타낸 제 1 절연층(11))의 외연(外緣)을 제외한 거의 전체면에 걸쳐 형성된다. 금속판(10)의 외부 치수는 반도체 패키지(1)의 외부 치수보다 작게 설정된다. 또한, 금속판(10)의 외부 치수는 반도체칩(12)의 외부 치수보다 크게 설정된다. 금속판(10)의 재료로서는, 예를 들면, Cu, Al, Fe 또는 Ni의 금속, 또는 이들 중 적어도 하나의 금속을 포함하는 합금이 사용될 수 있다.
- [0020] 도 1a에 나타낸 바와 같이, 제 1 절연층(11)은 금속판(10)의 제 2 면(10B)을 덮도록 형성된다. 즉, 금속판(10)은 제 1 절연층(11)의 제 1 면(11A)(도 1a에서 상면)에 형성된다. 제 1 절연층(11)은 반도체 패키지(1)의 가장 바깥쪽 절연층이 된다. 즉, 제 1 절연층(11)은 제 2 면(11B)(도 1a에서 하면)이 반도체 패키지(1)의 외부로 노출되는 절연층이다. 제 1 절연층(11)의 두께는 약 20 μ m ~ 40 μ m로 설정될 수 있다. 제 1 절연층(11)의 재료로서는, 예를 들면 에폭시계 수지, 아크릴계 수지 등의 열경화성 절연 수지가 사용될 수 있다. 에폭시계 수지의 열팽창 계수는 유리 전이 온도(Tg)(예를 들면, 150 $^{\circ}$ C)보다 낮은 온도에서 약 46ppm/ $^{\circ}$ C 정도이고, 유리 전이 온도(Tg) 이상인 온도에서 약 120ppm/ $^{\circ}$ C이다. 절연 수지는 열경화성 수지에 한정되는 것이 아니라, 감광성 절연 수지가 절연 수지로서 사용될 수 있다. 또한, 제 1 절연층(11)의 재료로서는, 예를 들면 질화알루미늄 또는 알루미늄 등의 세라믹 재료가 사용될 수 있다. 반도체 패키지(1)의 변형 저감의 관점에서, 제 1 절연층(11)의 재료로서 배선 구조(30)의 층간 절연층(32)과 동일한 재료가 사용되는 것이 바람직하다.
- [0021] 반도체칩(12)은 본딩재(13)를 통해 금속판(10)의 제 1 면(10A)에 본딩된다. 즉, 반도체칩(12)은 본딩재(13)에 의해 금속판(10)에 열적으로 접속된다. 예를 들면, CPU(Central Processing Unit)칩 및 GPU(Graphics Processing Unit)칩 등의 로직 칩이 반도체칩(12)으로서 사용될 수 있다. 또한, 반도체칩(12)으로서, 예를 들면 DRAM(Dynamic Random Access Memory)칩, SRAM(Static Random Access Memory)칩 또는 플래시 메모리칩 등의 메모리칩이 사용될 수 있다.
- [0022] 반도체칩(12)은 예를 들면 반도체 기판을 포함한다. 실리콘(Si) 등은 예를 들면 반도체 기판의 재료로서 사용될 수 있다. 또한, 반도체칩(12)에서, 반도체 집적 회로(도시 생략)가 제 1 면(12A)(도 1a에서 상면)에 형성된다. 도시하지는 않았지만, 반도체 집적 회로는 반도체 기판 내에 형성된 확산층, 반도체 기판 상에 형성된 절연층 및 절연층 내에 설치된 비어 및 배선 등을 포함한다. 또한, 반도체 집적 회로 상에는, 반도체 집적 회로에 전기적으로 접속된 전극 패드(도시 생략)가 형성되며, 전극 단자(12P)가 전극 패드 상에 설치된다. 전극 단자(12P)는 반도체칩(12)의 제 1 면(12A)으로부터 상방으로 연장되는 기둥 형상으로 형성된 도전성 포스트(post)이다. 전극 단자(12P)의 높이는, 예를 들면 약 10 μ m ~ 20 μ m로 설정될 수 있다. 전극 단자(12P)가 기둥 형상으로 형성될 경우에, 전극 단자(12P)의 직경은 예를 들면 30 μ m ~ 50 μ m로 설정될 수 있다. 예를 들면, 전극 단자(12P)의 재료로서 구리 또는 구리 합금이 사용될 수 있다.
- [0023] 반도체칩(12)의 크기는, 예를 들면 평면에서 볼 때 약 5mm \times 5mm 내지 9mm \times 9mm로 설정될 수 있다. 반도체칩(12)의 두께는 예를 들면 약 50 μ m 내지 200 μ m로 설정될 수 있다. 또한, 본 실시형태에서, 반도체칩(12)은 실리콘으로 형성되고, 반도체칩(12)의 열팽창 계수는 약 3.4ppm/ $^{\circ}$ C이다. 다음의 설명에서, 반도체칩(12)의 제 1 면(12A)은 회로 형성면(12A)이라 할 수 있다.
- [0024] 또한, 본딩재(13)의 재료로서 예를 들면 실리콘 폴리머계 수지 또는 에폭시계 수지가 사용될 수 있다. 본딩재(13)의 두께는 약 5 μ m ~ 20 μ m로 설정될 수 있다.
- [0025] 금속판(10)의 제 1 면(10A) 및 측면(10C)을 덮고, 반도체칩(12)의 제 1 면(12A) 및 측면을 덮고, 제 1 절연층(11)의 제 1 면(11A)을 덮도록, 제 2 절연층(20)이 형성된다. 제 2 절연층(20)은 배선 구조(30) 측면의 제 1 면(20A)(도 1a에서 상면)이 평탄해지도록 형성된다. 열경화성 에폭시계 절연 수지는 제 2 절연층(20)의 재료로서 사용될 수 있다. 절연 수지는 열경화성 수지로 한정되지 않고, 감광성 절연 수지가 사용될 수 있다. 제 1 절연층(11)의 제 1 면(11A)으로부터 제 2 절연층(20)의 제 1 면(20A)까지의 두께는, 예를 들면 약 100 μ m ~ 180 μ m로 설정될 수 있다.
- [0026] 반도체칩(12)의 전극 단자(12P)의 상면을 노출하도록 제 2 절연층(20)을 관통해서 형성되는 비어 홀(VH1)이 제

2 절연층(20) 상에 형성된다.

- [0027] 배선 구조(30)에서, 배선층 및 층간 절연층이 번갈아 형성된다. 배선층은 임의 수의 층이고, 층간 절연층은 각 배선층이 서로 절연되도록 층 두께를 가질 수 있다. 도 1a에 나타난 예에서는, 배선 구조(30)는 제 1 배선층(31), 층간 절연층(32) 및 제 2 배선층(33)을 포함한다. 이러한 방식으로, 본 실시형태의 반도체 패키지(1)는, 일반적인 빌드업 공정을 이용하여 제조되는(지지 기판인 코어 기판의 양면 또는 단면에 소정의 수의 빌드업층을 순차적으로 형성하여 얻어지는) 반도체 패키지와 달리, 지지 기판을 포함하지 않는 "코어리스 구조" 타입을 갖는다.
- [0028] 제 1 배선층(31)이 제 2 절연층(20) 상에 형성된다. 제 1 배선층(31)은 비어 홀(VH1)에 충전된 비어 배선(31A), 및 제 2 절연층(20) 상에 형성된 배선 패턴(31B)을 포함한다. 비어 배선(31A)은 비어 홀(VH1)의 저부에 노출된 전극 단자(12P)에 전기적으로 접속되고, 배선 패턴(31B)에 전기적으로 접속된다. 비어 홀(VH1) 및 비어 배선(31A)은 도 1a에서 하측(반도체칩(12) 측)으로부터 상측(제 2 배선층(33) 측)을 향해 직경이 커지는 테이퍼 형상으로 형성된다. 또한, 비어 홀(VH1) 및 비어 배선(31A)의 평면 형상은 예를 들면 원형이다. 비어 홀(VH1) 및 비어 배선(31A)의 직경은 예를 들면 약 20 μ m ~ 40 μ m로 설정될 수 있다. 배선 패턴(31B)의 두께는 예를 들면 약 15 μ m ~ 35 μ m로 설정될 수 있다. 제 1 배선층(31)의 재료로서는 예를 들면 구리 또는 구리 합금이 사용될 수 있다.
- [0029] 층간 절연층(32)은 제 2 절연층(20) 상에 형성되어 제 1 배선층(31)을 덮는 가장 바깥쪽 층간 절연층(구체적으로, 제 1 절연층(11)의 반대쪽에 위치하는 가장 바깥쪽 층간 절연층)이다. 층간 절연층(32)은 보강재를 포함하는 층간 절연층이고, 제 1 및 제 2 절연층(11 및 20)보다 높은 기계적 강도(강성, 경도 등)를 갖는 절연층이다. 층간 절연층(32)의 재료로서, 예를 들면 열경화성 수지에 보강재를 포함하는 절연 수지가 사용될 수 있다. 구체적으로는, 층간 절연층(32)의 재료로서, 예를 들면 유리, 아라미드 또는 LCP(Liquid Crystal Polymer) 섬유로 이루어지는 직포 또는 부직포에 에폭시계 열경화성 수지 또는 폴리이미드계 열경화성 수지를 함침시킴으로써 얻어진 보강재를 포함하는 절연 수지가 사용될 수 있다. 또한, 제 1 및 제 2 절연층(11 및 20)의 열팽창 계수에 비해, 층간 절연층(32)의 열팽창 계수가 반도체칩(12)의 열팽창 계수에 가까워지도록, 층간 절연층(32)의 재료를 조정하는 것이 바람직하다. 즉, 층간 절연층(32)의 열팽창 계수가 제 1 및 제 2 절연층(11 및 20)의 열팽창 계수보다 낮아지도록, 층간 절연층(32)의 재료를 조정하는 것이 바람직하다. 구체적으로, 층간 절연층(32)의 열팽창 계수는, 예를 들면 약 18ppm/°C 내지 30ppm/°C로 설정된다. 제 2 절연층(20)의 제 1 면(20A)으로부터 층간 절연층(32)의 상면까지의 두께는, 예를 들면 약 35 μ m 내지 70 μ m로 설정될 수 있다. 또한, 배선 패턴(31B)의 상면으로부터 층간 절연층(32)의 상면까지의 두께는, 예를 들면 약 20 μ m ~ 30 μ m로 설정될 수 있다. 또한, 보강재를 포함하지 않는 절연 수지가 층간 절연층(32)으로서 사용될 경우에, 기계적 강도 향상의 관점에서, 층간 절연층(32)은 상기 두께보다 더 두껍게 형성되는 것이 바람직하다.
- [0030] 비어 홀(VH2)은 제 1 배선층(31)의 배선 패턴(31B)의 상면을 노출하도록 층간 절연층(32)을 관통해서 형성된다.
- [0031] 제 2 배선층(33)은 제 2 층간 절연층(32) 상에 형성된 가장 바깥쪽 배선층이다. 제 2 배선층(33)은 비어 홀(VH2)에 충전된 비어 배선(33A), 및 층간 절연층(32) 상에 형성된 배선 패턴(33B)을 포함한다. 비어 배선(33A)은 비어 홀(VH2)의 저부에 노출된 제 1 배선층(31)에 전기적으로 접속되고, 배선 패턴(33B)에 전기적으로 접속된다. 비어 홀(VH2) 및 비어 배선(33A)은 도 1a에서 하측으로부터 상측을 향해 직경이 커지는 테이퍼 형상으로 형성된다. 또한, 비어 홀(VH2) 및 비어 배선(33A)의 평면 형상은 예를 들면 원형이고, 그 직경은 예를 들면 약 50 μ m ~ 75 μ m로 설정될 수 있다. 배선 패턴(33B)의 두께는 예를 들면 약 15 μ m ~ 35 μ m로 설정될 수 있다. 배선 패턴(33B)은 평면에서 볼 때 매트릭스 또는 둘레 형상으로 배치된다. 구리 또는 구리 합금은 예를 들면 제 2 배선층(33)의 재료로서 사용될 수 있다.
- [0032] 솔더 레지스터층(40)이 제 2 배선층(33)을 덮도록 층간 절연층(32) 상에 형성된다. 배선 패턴(33B)의 일부를 외부 접속 패드(33P)로서 노출시키는 개구부(40X)가 솔더 레지스터층(40)에 형성된다. 반도체 패키지(1)를 탑재 기관 등에 탑재할 경우 사용되는 솔더 볼 또는 리드 핀 등의 외부 접속 단자가 외부 접속 패드(33P)에 접속된다. 필요에 따라, OSP(Organic Solderability Preservative)막 공정을 이용하여, 개구부(40X)를 통해 노출된 배선 패턴(33B) 상에 OSP막이 형성될 수 있고, 외부 접속 단자가 OSP막에 접속될 수 있다. 또한, 개구부(40X)를 통해 노출되는 배선 패턴(33B)에 금속층이 접속될 수 있고, 외부 접속 단자가 금속층에 접속될 수 있다. 금속층의 일례로서, Au층, Ni/Au층(Ni층과 Au층을 순차적으로 적층함으로써 얻어진 금속층), Ni/Pd(팔라듐)/Au층(Ni층, Pd층 및 Au층을 순차적으로 적층함으로써 얻어진 금속층)이 사용될 수 있다. 개구부(40X)를 통해 노출된 배선 패턴(33B)(또는 OSP막이나 금속층이 배선 패턴(33B) 상에 형성될 경우에 있어서의 OSP막이나 금

속층) 자체는 외부 접속 단자로서 사용될 수 있다.

- [0033] 개구부(40X)의 평면 형상은 예를 들면 원형이며, 그 직경은 약 200 μ m ~ 300 μ m로 설정될 수 있다. 층간 절연층(32)의 상면으로부터 솔더 레지스트층(40)의 상면까지의 두께는, 예를 들면 약 20 μ m ~ 40 μ m로 설정될 수 있다. 솔더 레지스트층(40)의 재료로서는, 예를 들면 에폭시계 또는 아크릴계 절연 수지가 사용될 수 있다.
- [0034] 상술한 구조를 가지는 반도체 패키지(1)의 크기는, 예를 들면 평면에서 볼 때 약 8mm \times 8mm 내지 12mm \times 12mm로 설정될 수 있다. 또한, 반도체 패키지(1)의 전체 두께는 예를 들면 약 300 μ m 내지 700 μ m로 설정될 수 있다.
- [0035] 여기에서, 종래의 반도체 패키지의 변형, 즉 금속판(10) 및 제 1 절연층(11)이 형성되지 않고, 층간 절연층(32) 대신에 제 1 및 제 2 절연층(11 및 20)과 동일한 조성을 가지는 절연 수지로 형성된 층간 절연층(32A)이 형성되는 반도체 패키지(5)(도 16 참조)의 변형을 설명한다. 반도체 패키지(5)에서, 예를 들면 열 처리 후 냉각 중에 생기는 수축은 반도체칩(12)의 물성(열팽창 계수, 탄성률 등), 즉 반도체칩(12) 층의 실리콘의 물성에 의존한다. 한편, 종래의 반도체 패키지(5)의 배선 구조(30) 층에서, 예를 들면 열 처리 후 냉각 중에 일어나는 수축은 배선 구조(30)의 물성, 즉 층간 절연층(32A)의 물성에 의존한다. 전술한 바와 같이, 실리콘의 열팽창 계수는 3.4ppm/ $^{\circ}$ C이지만, 에폭시계 수지를 층간 절연층(32A)으로서 사용할 경우에, 열팽창 계수는 유리 전이 온도(Tg)(150 $^{\circ}$ C)보다 낮은 온도에서 46ppm/ $^{\circ}$ C이고, 유리 전이 온도(Tg) 이상인 온도에서 120ppm/ $^{\circ}$ C이다. 상술한 바와 같이, 종래의 반도체 패키지(5)에서, 반도체 패키지(5)를 수직 방향(두께 방향)에서 볼 때, 물성(열팽창 계수, 탄성률 등)의 분포가 상하 비대칭이다. 따라서, 반도체 패키지(5)에 변형이 쉽게 발생할 수 있다는 문제가 있다.
- [0036] 한편, 도 1a에 나타난 바와 같이, 본 실시형태의 반도체 패키지(1)에서는, 금속판(10) 및 제 1 절연층(11)은 반도체칩(12)을 중심으로 배선 구조(30)의 반대측에 형성된다. 따라서, 제 1 및 제 2 배선층(31 및 33)과 층간 절연층(32)이 형성되는 배선 구조(30)는 반도체칩(12)의 제 1 면(12A) 측에 형성되고, 금속판(10) 및 제 1 절연층(11)은 제 1 면(12A)의 반대측에 형성된다. 따라서, 반도체 패키지(1)를 수직 방향(두께 방향)에서 봤을 때의 물성(열팽창 계수, 탄성률 등)의 분포는 반도체칩(12)을 중심으로 상하 대칭에 가까운 상태를 나타낸다. 따라서, 반도체칩(12)을 중심으로 수직 방향의 물성의 균형이 양호하게 되며, 따라서 반도체 패키지(1)가 열수축 등에 따라 변형되거나 뒤틀리는 것을 억제할 수 있다.
- [0037] 또한, 금속판(10)의 측면을 포함하는 전체면이 제 1 절연층(11) 및 제 2 절연층(20)에 의해 덮이므로, 금속판(10)의 산화가 억제된다.
- [0038] <반도체 패키지의 제조 방법>
- [0039] 다음으로, 반도체 패키지(1)의 제조 방법에 대해서 설명한다.
- [0040] 우선, 도 2a에 나타난 바와 같이, 반도체 패키지(1)를 제조하기 위해, 지지 기판(80)을 준비한다. 지지 기판(80)은 예를 들면 평면에서 봤을 때 직사각형의 평판이다. 지지 기판(80)으로서, 예를 들면 금속판이나 금속박이 사용될 수 있다. 본 실시형태에서는, 예를 들면 구리판을 사용할 수 있다. 지지 기판(80)의 두께는, 예를 들면 약 70 μ m 내지 200 μ m이다. 본 실시형태의 지지 기판(80)으로서, 복수의 반도체 패키지(1)가 모여 있는 대형 기판이 사용된다. 또한, 도 2a 내지 도 2f 및 도 4a 내지 도 4d에서, 설명의 편의를 위해, 하나의 반도체 패키지(1)에 대응하는 부분을 나타낸다.
- [0041] 다음으로, 도 2b에 나타난 공정에서, 제 1 절연층(11)이 지지 기판(80)의 제 1 면(80A)(도면에서는 상면)에 제 1 면(80A)을 덮도록 형성된다. 예를 들면, 필름 형상의 제 1 절연층(11)이 지지 기판(80)의 제 1 면(80A)에 적층된다.
- [0042] 이어서, 도 2c에 나타난 공정에서, 금속판(10)이 되는 금속판(10D)이 제 1 절연층(11)의 제 1 면(11A)(도면에서는 상면) 상에 제 1 면(11A)을 덮도록 형성된다. 금속판(10D)이 열 압착(가열 및 가압)에 의해 제 1 절연층(11)에 본딩됨으로써, 제 1 절연층(11) 상에 형성된다. 구체적으로, 금속판(10D)이 열 압착에 의해 제 1 절연층(11)에 본딩되는 동안 제 1 절연층(11)은 가열 및 가압되어 경화된다.
- [0043] 다음으로, 도 2d에 나타난 공정에서, 금속판(10D)의 제 1 면(10A)에, 금속판(10)(도 1 참조)이 형성되는 영역에 대응하는 부분인 금속판(10D)을 덮도록 레지스트층(81)이 형성된다. 레지스트층(81)의 재료로서는, 에칭 내성 재료가 사용될 수 있다. 구체적으로, 레지스트층(81)의 재료로서는, 감광성 드라이 필름 레지스트, 액상 레지스트(예를 들면, 노볼락계 수지 또는 아크릴계 수지 등의 액상 레지스트 또는 드라이 필름 레지스트) 등이 사용될 수 있다. 예를 들면, 감광성 드라이 필름 레지스트가 사용될 경우에는, 열 압착에 의해 금속판(10D)의 상면

(10A)에 드라이 필름이 적층되고, 노광 및 현상에 의해 드라이 필름을 패터닝하여 레지스트층(81)을 형성한다. 액상 포토레지스트가 이용될 경우에, 동일한 공정을 이용하여 레지스트막(81)을 형성하는 것도 가능하다.

- [0044] 다음으로, 레지스트층(81)을 에칭 마스크로 사용하여 금속판(10D)을 에칭하여, 레지스트층(81)이 형성되지 않은 금속판(10D)의 부분을 제거함으로써, 도 2e에 나타낸 바와 같이 금속판(10)이 형성된다. 금속판(10)의 외부 치수는 상술한 패터닝에 따르면 제 1 절연층(11)의 외부 치수보다 작다. 예를 들면, 금속판(10D)으로서 구리판이 사용될 경우에는, 본 공정에서의 에천트로서 염화제이철 용액을 사용하는 것이 가능하며, 금속판(10D)의 제 1 면(10A) 측에서 스프레이 에칭을 행함으로써 패터닝을 할 수 있다. 금속판(10)을 패터닝한 후, 레지스트층(81)은 예를 들면 알칼리 리무버(remover)에 의해 제거된다.
- [0045] 이어서, 도 2f에 나타낸 공정에서, 제 1 절연층(11)의 제 1 면(11A)에, 금속판(10)의 제 1 면(10A) 및 측면(10C)을 덮도록, 절연층(21)(제 3 절연층)이 형성된다. 절연층(21)은 제 1 절연층(11)의 제 1 면(11A)에 수지막을 적층하고 약 130℃ 내지 150℃의 온도에서 수지막에 열 처리를 실시하면서 수지막을 가압하여 경화시킴으로써 형성될 수 있다.
- [0046] 다음으로, 도 3a에 나타낸 공정에서, 반도체칩(12)이 탑재되는 탑재면에 대응하는 금속판(10)의 부분을 노출하도록 절연층(21)에 개구부(21X)가 형성된다. 이 공정에서, 개구부(21X)는, 도면에 나타낸 바와 같이 하측(금속판(10) 측)으로부터 상측을 향해 직경이 커지는 테이퍼 형상으로 형성된다. 개구부(21X)는, CO₂ 레이저, UV-YAG 레이저 등을 이용하는 레이저 가공 방법, 또는 웨트 블라스팅 등의 블라스팅 공정에 의해 형성될 수 있다.
- [0047] 이어서, 레이저 가공 방법에 의해 개구부(21X)가 형성될 경우에, 개구부(21X)의 수지 스미어는 디스미어 처리에 의해 제거된다. 디스미어 처리는, 예를 들면 과망간산염을 사용하여 수행될 수 있다.
- [0048] 다음으로, 도 3b에 나타낸 공정에서, 반도체칩(12)이 개구부(21X)를 통해 노출된 금속판(10)의 제 1 면(10A)에 탑재된다. 구체적으로는, 반도체칩(12)의 회로 형성면(12A)의 반대측 면이 금속판(10)에 대면하는, 즉 페이스 업 상태(face-up)가 되도록, 본딩재(13)에 의해 반도체칩(12)이 제 1 면(10A)에 본딩된다. 예를 들면, 본딩재(13)가 금속판(10)의 제 1 면(10)에 사전에 도포되고, 페이스 업 상태로 제 1 면(10A)에 배치된 반도체칩(12)을 가열 및 가압하고, 이에 따라 반도체칩(12)이 본딩재(13)를 통해 제 1 면(10A)에 본딩된다. 여기에서, 이전 공정에서 형성된 절연층(21)은 제 1 면(도 3b에서 상면)(21A)이 반도체칩(12)의 회로 형성면(12A)보다 높아지도록 형성된다. 즉, 제 1 절연층(11) 상에 형성된 절연층(21)은 금속판(10)의 두께, 본딩재(13)의 두께 및 반도체칩(12)의 두께의 합보다 두꺼워지도록 형성된다. 즉, 절연층(21)의 개구부(21X)는 본딩재(13)의 두께 및 반도체칩(12)의 두께의 합보다 깊어지도록 형성된다. 이러한 방식으로, 반도체칩(12)은 개구부(21X) 내에 수용되어서 금속판(10) 상에 탑재된다.
- [0049] 이어서, 도 3c에 나타낸 공정에서, 절연층(22)(제 4 절연층)은 금속판(10)의 제 1 면(10A), 반도체칩(12)의 제 1 면(12A) 및 측면, 전극 단자(12P) 및 절연층(21)의 제 1 면(21A)을 덮도록 형성된다. 이에 따라, 절연층(21) 및 절연층(22)을 포함하는 제 2 절연층(20)이 형성된다. 전극 단자(12P) 상에 형성된 절연층(22)의 두께는 약 15 μ m ~ 25 μ m로 설정될 수 있다. 여기에서, 절연층(22)은, 절연층(21)의 제 1 면(21A)에 수지막을 적층하고 약 130℃ 내지 150℃의 온도에서 수지막에 대해 열 처리하면서 수지막을 가압함으로써 형성될 수 있다. 여기에서, 절연층(21)의 제 1 면(21A)은 상술한 바와 같이 반도체칩(12)의 제 1 면(12A)보다 높게 형성되므로, 절연층(22)의 제 1 면(도 3c에서 상면)(22A), 즉 제 2 절연층(20)의 제 1 면(20A)을 평탄하게 할 수 있다. 또한, 절연층(21)의 개구부(21X)는, 도면의 하측으로부터 상측을 향해 직경이 커지는 테이퍼 형상으로 형성되므로, 절연층(21)과 반도체칩(12) 사이의 간극을 향하는 수지의 유동을 향상시키고 절연층(22) 내의 보이드의 발생을 적절하게 억제할 수 있다. 진공 분위기에서 절연층(22)을 적층함으로써, 절연층(22) 내의 보이드 발생을 더 억제할 수 있다.
- [0050] 다음으로, 도 3d에 나타낸 공정에서, 반도체칩(12)의 회로 형성면(12A)에 형성된 전극 단자(12P)의 상면을 노출하도록, 비어 홀(VH1)이 절연층(22)의 소정 수의 위치에 형성된다. 비어 홀(VH1)은 CO₂ 레이저, UV-YAG 레이저 등을 이용한 레이저 가공 방법에 의해 형성될 수 있다. 절연층(22)이 감광성 수지를 이용하여 형성될 경우, 예를 들면 필요한 비어 홀(VH1)은 포토리소그래피 공정에 의해 형성될 수 있다.
- [0051] 이어서, 비어 홀(VH1)이 레이저 가공 방법에 의해 형성될 경우에는, 비어 홀(VH1) 내의 수지 스미어가 디스미어 처리에 의해 제거된다. 디스미어 처리는, 예를 들면 과망간산염을 사용하여 수행될 수 있다.
- [0052] 다음으로, 도 4a에 나타낸 공정에서, 제 2 절연층(20)의 비어 홀(VH1)에 비어 도전체가 충전되어서 비어 배선

(31A)을 형성하고, 이어서 비어 배선(31A)을 통해 전극 단자(12P)에 전기적으로 접속되는 배선 패턴(31B)이 절연층(22) 상에 형성된다. 비어 배선(31A) 및 배선 패턴(31B), 즉 제 1 배선층(31)은 세미 애디티브법이나 서브 트랙티브법 등의 다양한 배선 형성 방법을 이용하여 형성될 수 있다.

[0053] 다음으로, 층간 절연층(32) 및 제 2 배선층(33)은 도 3c 내지 도 4a에 나타난 공정을 반복 행함으로써 번갈아 형성된다. 구체적으로, 도 4b에 나타난 바와 같이, 층간 절연층(32)이 절연층(22) 및 제 1 배선층(31) 상에 형성되고, 배선 패턴(31B)의 상면에 도달하는 비어 홀(VH2)이 층간 절연층(32)에 형성된다. 다음으로, 비어 배선(33A)이 비어 홀(VH2) 내에 형성되고, 비어 배선(33A)에 전기적으로 접속되는 배선 패턴(33B)이 형성된다.

[0054] 이어서, 도 4c에 나타난 공정에서, 개구부(40X)를 갖는 솔더 레지스트층(40)이 층간 절연층(32) 및 제 2 배선층(33) 상에 형성된다. 솔더 레지스트층(40)은, 예를 들면 감광성 솔더 레지스트막을 적층하거나 액상 솔더 레지스트를 도포하고, 레지스트를 소정의 형상으로 패터닝함으로써, 형성될 수 있다. 따라서, 배선 패턴(33B)의 일부가 외부 접속 패드(33P)로서 솔더 레지스트층(40)의 개구부(40X)를 통해 노출된다. 예를 들면, Ni층 및 Au층을 순차적으로 적층함으로써 얻어진 금속층이 외부 접속 패드(33P) 상에 형성될 수 있다. 금속층은, 예를 들면 무전해 도금법에 의해 형성될 수 있다.

[0055] 다음으로, 도 4d에 나타난 공정에서, 임시 기판으로서 사용된 지지 기판(80)(도 4c 참조)이 제거된다. 따라서, 본 실시형태의 반도체 패키지(1)가 제조될 수 있다. 예를 들면, 지지 기판(80)으로서 구리판을 사용할 경우에는, 염화제이철 용액, 염화제이구리 용액, 황산암모늄 용액 등을 이용한 웨트 에칭에 의해 지지 기판(80)을 제거할 수 있다. 이 때, 제 1 절연층(11)이 반도체 패키지(1)의 하면 측에 노출되어 있으므로, 구리판으로 이루어진 지지 기판(80)만을 선택적으로 에칭할 수 있다. 여기에서, 제 2 배선층(33)이 구리층일 경우에, 개구부(40X)의 저부에 노출된 제 2 배선층(33)이 지지 기판(80)과 함께 에칭되는 것을 방지하기 위해, 제 2 배선층(33)을 마스크하면서 웨트 에칭을 행할 필요가 있다.

[0056] 다음으로, 도 4d에 나타난 구조체를 개별 반도체 패키지(1)에 대응하는 영역(도면에서 화살표로 표시)으로 절단함으로써, 도 1a 및 도 1b에 나타난 반도체 패키지(1)를 얻을 수 있다.

[0057] <모델링 효과>

[0058] 다음으로, 금속판(10)의 두께를 변경할 경우의 반도체 패키지(1)의 변형 양의 계산 결과를 설명한다. 구체적으로, 반도체 패키지(1)의 평면 형상이 8mm × 8mm로 설정되고, 반도체칩(12)의 평면 형상이 5mm × 5mm로 설정되고, 두께가 100 μ m이고(본딩층(13)의 두께가 10 μ m이고, 반도체칩(12)의 두께가 75 μ m이고, 포스트(12P)의 두께가 15 μ m임), 반도체칩(12)의 하면에 금속판(10) 및 제 1 절연층(11)이 설치되는 모델을 상정한다. 이 모델에서, 제 1 절연층(11)의 두께가 25 μ m이고, 절연층(21)의 제 1 면(21A)으로부터 제 2 절연층(20)의 제 1 면(20A)까지의 두께가 125 μ m(금속판(10)의 제 1 면(10A)으로부터 절연층(21)의 제 1 면(21A)까지의 두께는 95 μ m이고, 금속판의 제 1 면(10A)으로부터 절연층(22)의 제 1 면(22A)까지의 두께가 30 μ m임)이라고 상정한다. 또한, 상술한 모델에서, 배선 패턴(31B 및 33B)의 두께가 각각 15 μ m이고, 층간 절연층(32)의 두께가 30 μ m이고, 금속판(10) 및 배선 패턴(31B 및 33B)의 물성은 동일하며, 제 1 절연층(11) 및 제 2 절연층(20)의 물성은 동일하다고 상정한다. 또한, 금속판(10), 반도체칩(12), 제 1 및 제 2 절연층(11 및 20) 및 배선 구조(30)의 물성은 고정된 값이고 금속판(10)의 두께가 변경될 경우의 변형 양이 계산되었다. 계산된 변형 양의 예는 표 1에 나타낸다.

표 1

금속판(10)의 두께(μ m)	변형 양(μ m)
18	178
35	124
70	144

[0060] 표 1에서 알 수 있는 바와 같이, 금속판(10)의 두께가 35 μ m일 경우에, 반도체 패키지(1)의 변형 양을 최소화할 수 있다. 그 이유는 다음과 같이 생각될 수 있다.

[0061] 상술한 모델에서, 반도체칩(12)의 회로 형성면(12A)보다 높은 층으로서 형성된 배선층(배선 패턴(31B 및 33B))의 두께의 합은 30(=15+15) μ m이다. 한편, 반도체칩(12)의 회로 형성면(12A)의 반대쪽 면보다 낮은 층으로서 형성된 금속판(10)의 두께가 35 μ m로 설정될 때, 반도체 패키지(1)를 수직 방향으로 봤을 경우 반도체칩(12)을 주위의 물성의 분포는 계산된 3개의 값 중에서 상하 대칭에 가장 가까울 수 있다. 따라서, 금속판(10)의 두께가

35 μ m일 경우에는, 변형 양이 최소화될 수 있다고 생각된다. 위의 결과 및 관찰에서, 금속판(10)의 두께를 배선 구조(30)의 전체 배선층(여기에서, 배선 패턴(31B 및 33B))의 두께의 합에 가깝게 함으로써 반도체 패키지(1)의 변형을 효과적으로 저감할 수 있다.

- [0062] 상술한 본 실시형태에 따르면, 다음의 효과를 얻을 수 있다.
- [0063] (1) 금속판(10) 및 제 1 절연층(11)은 반도체칩(12)을 중심으로 배선 구조(30)의 반대측에 형성된다. 따라서, 반도체 패키지(1)를 수직으로 봤을 때, 열팽창 계수 및 탄성률의 분포는 반도체칩(12)을 중심으로 상하 대칭에 가까운 상태를 나타낸다. 따라서, 반도체칩(12)을 중심으로 수직 방향의 열팽창 계수 및 탄성률의 균형이 양호해지고, 이에 따라 열수축 등에 따라 일어나는 반도체 패키지(1)의 변형을 저감할 수 있다.
- [0064] 이 점에서, 금속판(10) 및 제 1 절연층(11) 대신에, 약 0.5mm ~ 1mm의 두께를 갖는 금속판이 반도체칩(12) 하면에 설치되어 반도체 패키지 전체의 기계적 강도를 높일 수 있고, 이에 따라 반도체 패키지의 변형을 저감할 수 있다. 그러나, 이 경우에, 두꺼운 금속판으로 인해 반도체 패키지(1)의 박형화가 저해되는 새로운 문제가 있다. 이 점에서, 본 실시형태의 반도체 패키지(1)에서는, 반도체칩(12)보다 박형인 금속판(10)을 채용하므로, 반도체 패키지(1)의 변형을 저감하고 반도체 패키지(1)가 대형화되는 것을 억제할 수 있다.
- [0065] 예를 들면, 배선 구조(30)의 배선층의 총 두께가 반도체칩(12)보다 두꺼워질 경우에는, 반도체칩(12) 주위의 물성의 분포의 대칭이 열화된다. 그러나, 금속판(10) 및 제 1 절연층(11)을 설치함으로써, 반도체칩(12) 주위의 물성의 분포가, 설치 전에 비해 상하 대칭에 가까워질 수 있고, 이에 따라 반도체 패키지(1)의 변형을 저감할 수 있다.
- [0066] (2) 금속판(10)이 절연층(11) 및 제 2 절연층(20)으로 덮여 있으므로, 금속판(10)의 산화가 억제된다. 따라서, 금속판(10)의 산화로 인해 열전도율이 저감되는 문제를 적절하게 억제할 수 있다.
- [0067] (3) 가장 바깥쪽 층간 절연층(32)의 열팽창 계수는, 제 1 및 제 2 층간 절연층(11 및 20)의 열팽창 계수에 비해, 반도체칩(12)의 열팽창 계수에 가깝게 설정된다. 따라서, 예를 들면 열 처리 후 냉각 중에 반도체칩(12)보다 높은 층 측(배선 구조(30) 측)에서 일어나는 수축은 반도체칩(12) 측(반도체칩(12), 금속판(10) 및 제 1 절연층(11))에서 일어나는 수축에 가까워질 수 있다. 따라서, 반도체 패키지(1)에서 발생하는 변형을 줄일 수 있다.
- [0068] (4) 반도체칩(12)은 본딩재(13)를 통해 금속판(10)에 본딩된다. 따라서, 반도체칩(12)은 금속판(10)에 열적으로 접속되고, 이에 따라 반도체칩(12)에서 발생된 열을 효과적으로 방열할 수 있다.
- [0069] (5) 절연층(21)은, 절연층(21)의 제 1 면(21A)이 반도체칩(12)의 회로 형성면(12A)보다 높아지도록 형성된다. 따라서, 절연층(21)의 제 1 면(21A)에 형성되고 반도체칩(12)의 회로 형성면(12A)을 덮는 절연층(22)의 제 1 면(22A)을 평탄하게 할 수 있다.
- [0070] (6) 절연층(21)의 개구부(21X)는 하측(금속판(10) 측)으로부터 상측을 향해 직경이 커지는 테이퍼 형상으로 형성된다. 따라서, 절연층(22)이 절연층(21) 상에 형성될 경우, 절연층(21)과 반도체칩(12) 사이의 간극을 향하는 수지의 유동이 향상되고, 따라서 절연층(22) 내의 보이드 발생을 적절하게 억제할 수 있다.
- [0071] 제 2 실시형태
- [0072] 이하, 제 2 실시형태를 도 5a 및 도 5b 내지 도 9를 참조하여 설명한다. 제 2 실시형태에 따른 반도체 패키지(1A)는, 제 1 배선층(31)에 접속되는 접속 패드(50P)가 금속판(10)과 동일 평면으로 형성된다는 점에서, 제 1 실시형태와 상이하다. 이하, 제 1 실시형태와 상이한 점을 중심으로 설명한다. 도 1a 및 도 1b 내지 도 4a ~ 도 4d와 동일한 부재에는 동일한 참조 부호가 부여되고, 그 상세한 설명을 생략한다.
- [0073] 도 5a에 나타난 바와 같이, 제 1 절연층(11)의 제 1 면(11A)에는, 금속판(10)이 형성되고, 또한 금속판(10)으로부터 전기적으로 분리된 도전층(50)이 형성된다. 도 5b에 나타난 바와 같이, 금속판(10)은 반도체 패키지(1A)의 외연(예를 들면, 도 5a에 나타난 제 1 절연층(11))을 제외한 거의 전체면에 걸쳐 형성되고 도전층 주변으로 연장하도록 형성된다. 구체적으로, 금속판(10)에서, 평면에서 봤을 때, 도전층(50)보다 큰 평면 형상을 갖는 대략 원형인 개구부(10X)가 도전층(50)이 형성된 영역에 형성된다. 또한, 평면에서 봤을 때 대략 원형 형상을 갖는 도전층(50)이 개구부(10X)에 형성된다. 따라서, 제 2 절연층(20)은, 금속판(10)과 도전층(50) 사이에서 금속판(10)과 도전층(50)으로부터 고리 형상으로 노출된다.
- [0074] 또한, 도 5a에 나타난 바와 같이, 도전층(50)의 일부를 접속 패드(50P)로서 노출하는 개구부(11X)는 제 1 절연

층(11) 내에 형성된다. 접속 패드(50P)는 다른 반도체 패키지(4)(도 6 참조) 등에 전기적으로 접속된다. 개구부(11X) 및 접속 패드(50P)의 평면 형상은 예를 들면 원형이고, 그 직경은 예를 들면 약 100 μ m ~ 200 μ m로 설정될 수 있다. 개구부(11X) 및 접속 패드(50P)는 반도체칩(12) 둘레를 따라 고리 형상, 소위 둘레 형상으로 형성된다.

[0075] 도전층(50)으로서, 예를 들면 제 1 절연층(11)으로부터 노출된 면 측으로부터 배선 구조(30) 측을 향해 Au층 및 Ni층을 순차적으로 적층함으로써 얻어진 금속층 상에 Cu층 등을 적층함으로써 얻어진 층이 사용될 수 있다. 이 경우에는, 예를 들면 Au층의 두께는 약 0.1 μ m ~ 1 μ m로 설정되고, Ni층의 두께는 약 1 μ m ~ 10 μ m로 설정될 수 있고, Cu층의 두께는 약 10 μ m ~ 40 μ m로 설정될 수 있다.

[0076] 비어 홀(VH1)이 형성되고, 비어 홀(VH3)이 도전층(50)의 상면을 노출하도록 제 2 절연층(20)을 관통하여 형성된다.

[0077] 제 1 배선층(31)은 비어 홀(VH1)에 충전된 비어 배선(31A), 비어 홀(VH3)에 충전된 비어 배선(31C), 및 제 2 절연층(20) 상에 형성된 배선 패턴(31B)을 포함한다. 비어 배선(31C)은 홀(VH3)의 저부에 노출된 도전층(50)에 전기적으로 접속되고 배선 패턴(31B)에 전기적으로 접속된다. 도 5a에서, 비어 홀(VH3) 및 비어 배선(31C)은 하측(절연층(11) 측)으로부터 상측(제 2 절연층(33) 측)을 향해 직경이 커지는 테이퍼 형상으로 형성된다. 또한, 비어 홀(VH3) 및 비어 배선(31C)의 평면 형상은 예를 들면 원형이다. 비어 홀(VH3) 및 비어 배선(31C)의 직경은 예를 들면 약 50 μ m ~ 100 μ m로 설정될 수 있다. 구리 또는 구리 합금은, 예를 들면 비어 배선(31C)의 재료로서 사용될 수 있다.

[0078] <반도체 장치의 구조>

[0079] 다음으로, 반도체 장치(3)의 구조를 도 6을 참조하여 설명한다. 도 6에서, 반도체 패키지(1A)는 도 5a와 달리 상하 반전된다.

[0080] 도 6에 나타난 바와 같이, 반도체 장치(3)는 반도체 패키지(1A), 및 반도체 패키지(1A)에 본딩된 반도체 패키지(4)를 포함한다.

[0081] 반도체 패키지(4)는 배선 기관(60), 배선 기관(60) 상에 플립칩 탑재되는 제 1 반도체칩(71), 및 제 1 반도체칩(71) 상에 본딩되는 제 2 반도체칩(72)을 포함한다. 또한, 반도체 패키지(4)는 제 1 반도체칩(71)과 배선 기관(60) 사이의 간극을 충전하도록 설치된 언더필 수지(73), 및 제 1 반도체칩(71), 제 2 반도체칩(72) 등을 밀봉하는 밀봉 수지(74)를 포함한다. 제 1 반도체칩(71)의 평면 형상은 제 2 반도체칩(72) 평면 형상보다 크기가 커지게 형성된다.

[0082] 배선 기관(60)은 기관 본체(61), 기관 본체(61)의 상면에 형성된 칩 패드(62) 및 본딩 패드(63), 및 기관 본체(61)의 하면에 형성된 외부 접속 단자(64)를 구비한다.

[0083] 도시하지 않았지만, 기관 본체(61)는 복수의 절연층, 및 복수의 절연층에 형성되는 비어, 배선 등에 의해 구성된다. 기관(61)에 설치된 비어 및 배선은, 칩 패드(62), 본딩 패드(63) 및 외부 접속 단자(64)에 전기적으로 접속된다. 기관 본체(61)로서, 예를 들면 코어리스 기관, 코어 기관을 갖는 코어 빌드업 기관 등이 사용될 수 있다.

[0084] 제 1 반도체칩(71)의 범프(71A)는 칩 패드(62)에 플립칩 본딩된다. 또한, 본딩 패드(63)는 제 2 반도체칩(72)의 상면에 형성된 전극 패드(도시 생략)에 본딩 와이어(75)를 통해 전기적으로 접속된다. 칩 패드(62) 및 본딩 패드(63)의 재료로서는, 예를 들면 구리 또는 구리 합금이 사용될 수 있다. 또한, 칩 패드(62) 및 본딩 패드(63)는 구리층의 표면에 금속층(예를 들면, Au층, Ni/Au층, Ni/Pd/Au층 등)을 부가하여 형성될 수 있다.

[0085] 외부 접속 단자(64)는 반도체 패키지(1 및 4) 사이의 접속을 위한 접속 단자(예를 들면, 솔더 볼이나 리드 핀)이다. 각 외부 접속 단자(64)는 반도체 패키지(1)에 설치된 각 접속 패드(50P)에 대면하도록 설치된다.

[0086] 언더필 수지(73)는, 제 1 반도체칩(71)의 범프(71A)와 칩 패드(62)의 접속부의 접속 강도를 향상시키기 위한 수지이며, 배선 기관(60)의 상면과 제 1 반도체칩(71)의 하면 사이의 간극을 충전하게 설치된다. 언더필 수지(73)의 재료로서, 예를 들면 에폭시계 절연 수지가 사용될 수 있다.

[0087] 밀봉 수지(74)는 제 1 반도체칩(71), 제 2 반도체칩(72), 본딩 와이어(75) 및 본딩 패드(63)를 밀봉하도록 기관 본체(61)의 상면에 설치된다. 밀봉 수지(74)의 재료로서는, 예를 들면 에폭시계 수지 등의 절연 수지가 사용될 수 있다. 밀봉 방법으로서, 예를 들면 트랜스퍼 성형법이 이용될 수 있다.

- [0088] 또한, 반도체 장치(3)에서, 반도체 패키지(4)의 하면에 형성된 외부 접속 단자(64)는 반도체 패키지(1A)의 상면에 형성된 접속 패드(50P)에 본딩된다. 따라서, 반도체 패키지(1A) 및 반도체 패키지(4)는 서로 본딩되어, POP(Package on Package) 구조를 가지는 반도체 장치(3)를 형성한다.
- [0089] <반도체 패키지의 제조 방법>
- [0090] 다음으로, 반도체 패키지(1A)의 제조 방법에 대해 설명한다.
- [0091] 우선, 도 7a에 나타난 공정에서, 도 2a 내지 도 2c에 나타난 공정과 동일한 제조 공정을 이용하여, 제 1 절연층(11) 및 금속판(10D)이 지지 기판(80) 상에 순차적으로 형성된다. 이어서, 개구부(82X)를 가지는 레지스트층(82)이 금속판(10D)의 제 1 면(10A)(도 7a에서 상면)에 형성된다. 개구부(82X)는, 금속판(10) 및 도전층(50)이 형성되는 영역에 대응하는 부분 이외의 금속판(10D)을 노출하도록 형성된다. 레지스트층(82)의 재료로서는, 에칭 내성 재료가 사용될 수 있다. 구체적으로, 레지스트층(82)의 재료로서는, 감광성 드라이 필름 레지스트, 액상 포토레지스트(예를 들면, 노블라계 수지 또는 아크릴계 수지 등의 액상 레지스트 또는 드라이 필름 레지스트) 등이 사용될 수 있다.
- [0092] 다음으로, 레지스트층(82)을 에칭 마스크로 이용하여 금속판(10D)을 에칭함으로써, 레지스트층(82)이 형성되지 않은 금속판(10D)의 부분을 제거함으로써, 도 7b에 나타난 바와 같이 금속판(10) 및 도전층(50)이 형성된다. 금속판(10)의 외부 치수는 상술한 패터닝에 따른 제 1 절연층(11)의 외부 치수보다 작고, 금속판(10) 및 도전층(50)은 서로 전기적으로 분리된다. 금속판(10)을 패터닝한 후, 레지스트층(82)이 예를 들면 알칼리 리무버에 의해 제거된다.
- [0093] 이어서, 도 7c에 나타난 공정에서, 도 2f 내지 도 3b에 나타난 공정과 동일한 제조 공정을 이용하여, 제 1 절연층(11) 상에 도전층(50)을 덮는 절연층(21)이 형성되고, 절연층(21)에 개구부(21X)가 형성된다. 또한, 절연층(21)의 개구부(21X)를 통해 노출된 금속판(10) 상에, 반도체칩(12)이 페이스 업 상태로 본딩재(13)에 본딩된다. 이 때, 절연층(21)은 그 제 1 면(도 7c에서 상면)(21A)이 반도체칩(12)의 회로 형성면(12A)보다 높도록 형성된다.
- [0094] 이어서, 도 7d에 나타난 공정에서, 도 3c 및 도 3d에 나타난 공정과 동일한 제조 공정을 이용하여, 반도체칩(12)의 제 1 면(12A) 및 측면을 덮도록 절연층(22)이 형성되고, 절연층(22) 내에 비어 홀(VH1 및 VH3)이 형성된다.
- [0095] 다음으로, 도 8a에 나타난 공정에서, 비어 홀(VH1 및 VH3) 내에 비어 도전체가 충전되어, 비어 배선(31A 및 31C)이 형성되고, 이어서 비어 배선(31A 및 31C)을 통해 전극 단자(12P) 및 도전층(50)에 전기적으로 접속되는 배선 패턴(31B)이 형성된다. 따라서, 비어 배선(31A 및 31C) 및 배선 패턴(31B)을 포함하는 제 1 배선층(31)이 형성된다. 이어서, 제 1 배선층(31) 상에 층간 절연층(32) 및 제 2 배선층(33)이 순차적으로 형성하고, 외부 접속 패드(33P)로서 배선 패턴(33B)의 일부를 노출하는 개구부(40X)를 갖는 솔더 레지스트층(40)이 형성된다.
- [0096] 다음으로, 도 8b에 나타난 공정에서, 임시 기판으로서 사용되는 지지 기판(80)(도 8a 참조)이 웨트 에칭 등에 의해 제거된다. 이어서, 도전층(50)의 하면의 일부가 외부에 노출되도록 제 1 절연층(11)의 특정 위치에 개구부(11X)가 형성된다. 개구부(11X)는 CO₂ 레이저, UV-YAG 레이저 등을 이용한 레이저 가공 방법에 의해 형성될 수 있다. 예를 들면, 제 1 절연층(11)이 감광성 수지를 이용하여 형성될 경우, 개구부(11X)는 포토리소그래피 공정에 의해 형성될 수 있다. 이에 따라, 도전층(50)의 일부가 절연층(11)의 개구부(11X)를 통해 접속 패드(50P)로서 노출된다. 또한, 접속 패드(50P) 상에 표면 처리가 실시될 수 있다. 예를 들면, Ni층 및 Au층을 순차적으로 적층하여 얻어진 금속층이 무전해 도금법에 의해 형성될 수 있거나, 또는 연속 Ni층, Pd층 및 Au층을 순차적으로 적층하여 얻어진 금속층이 형성될 수 있다.
- [0097] 이어서, 개별 반도체 패키지(1A)에 대응하는 영역에 커팅 공정을 통해, 도 8b에 나타난 반도체 패키지(1A)를 얻을 수 있다.
- [0098] <반도체 장치의 제조 방법>
- [0099] 다음으로, 반도체 장치(3)의 제조 방법에 대해 설명한다.
- [0100] 우선, 도 9에 나타난 바와 같이, 반도체 패키지(4)를 준비한다. 여기에서는, 상세한 설명을 생략하지만, 반도체 패키지(4)는 예를 들면 다음과 같은 방법을 이용하여 제조된다. 즉, 칩 패드(62), 본딩 패드(63) 및 외부 접속 단자(64)를 포함하는 배선 기판(60)이 형성되고, 배선 기판(60)의 상면에 형성된 칩 패드(62)에 제 1 반도체

체칩(71)의 범프(71A)가 플립칩 본딩된다. 이어서, 배선 기관(60)과 제 1 반도체칩(71) 사이에 언더필 수지(73)가 형성되고, 이어서 제 1 반도체칩(71) 상에 본딩재에 의해 제 2 반도체칩(72)이 본딩된다. 이어서, 제 2 반도체칩(72)의 상면에 형성된 전극 패드(도시 생략)와 배선 기관(60)의 상면에 형성된 본딩 패드(63)가 본딩 와이어(75)에 의해 서로 와이어 본딩되고, 이어서 제 1 및 제 2 반도체칩(71 및 72), 및 본딩 와이어(75) 등이 밀봉 수지(74)에 의해 밀봉될 수 있다.

[0101] 이어서, 반도체 패키지(1A 및 4)는 반도체 패키지(1A)의 각 접속 패드(50P)가 반도체 패키지(4)의 외부 접속 단자(64)에 대면하도록 위치된다. 이 때, 플럭스(도시 생략)가 반도체 패키지(4)의 외부 접속 단자(64)에 전해진다.

[0102] 이어서, 상술한 바와 같이 위치된 반도체 패키지(4)가 반도체 패키지(1) 상에 탑재되고, 이어서 이 구조체는 리플로우 노(도시 생략)로 이송된다. 또한, 외부 접속 단자(64)(여기에서는, 솔더볼)는 리플로우 노에서 리플로우되고, 반도체 패키지(1A 및 4)는 접속 패드(50P)를 통해 서로 본딩된다. 따라서, 도 6에 나타낸 POP 구조를 갖는 반도체 장치(3)가 제조된다. 이 때, 반도체 패키지(1A)는 평평한 상태로 유지되므로, 반도체 패키지(1A)에 반도체 패키지(4)를 쉽게 본딩할 수 있다.

[0103] 상술한 바와 같이 본 실시형태에 따르면, 제 1 실시형태와 동일한 효과가 얻어진다.

[0104] 제 3 실시형태

[0105] 이하, 제 3 실시형태를 도 10 내지 도 13을 참조하여 설명한다. 본 실시형태의 반도체 패키지(1B)는, 제 1 배선층(31)에 접속된 접속 패드(51P)가 제 2 절연층(20)의 두께 방향의 중간 위치에 설치된다는 점에서 제 1 실시형태와 상이하다. 이하, 제 1 실시형태와 다른 점을 중심으로 설명한다. 도 1a 및 도 1b 내지 도 9에 나타낸 부재와 동일한 부재에는 동일한 참조 부호를 부여하고 그 상세한 설명을 생략한다.

[0106] 제 2 절연층(20)은 절연층(23) 및 절연층(24)을 포함한다. 절연층(23 및 24)의 재료로서, 예를 들면 열경화성 에폭시계 절연 수지가 사용될 수 있다. 절연 수지는 열경화성 수지에 한정되는 것이 아니라, 감광성 절연 수지가 사용될 수 있다.

[0107] 절연층(23)은 절연층(11)의 제 1 면(11A), 금속판(10)의 제 1 면(10A) 및 측면(10C), 및 반도체칩(12)의 측면의 일부를 덮도록 형성된다. 제 1 절연층(11)의 제 1 면(11a)에 형성된 절연층(23)의 두께는 약 40 μ m 내지 70 μ m로 설정될 수 있다.

[0108] 도전층(51)은 절연층(23)의 제 1 면(23A)(도 10에서 상면)에 형성된다. 또한, 개구부(11Y)는 절연층(23) 및 제 1 절연층(11) 내에서 접속 패드(51P)로서 도전층(51)의 일부를 노출하도록 형성된다. 접속 패드(51P)는 다른 반도체 패키지(4)(도 6 참조)에 전기적으로 접속된다. 개구부(11Y) 및 접속 패드(51P)의 평면 형상은 예를 들면 원형이고, 그 직경은 예를 들면 약 100 μ m ~ 200 μ m로 설정될 수 있다. 개구부(11Y) 및 접속 패드(51P)는 반도체칩(12)의 둘레를 따라 고리 형상, 소위 둘레 형상으로 형성된다.

[0109] 도전층(51)으로서, 예를 들면 제 1 절연층(11)으로부터 노출된 면 측으로부터 배선 구조(30) 측을 향해 Au층 및 Ni층을 순차적으로 적층함으로써 얻어진 금속층에 Cu층 등을 적층하여 얻어진 층이 사용될 수 있다. 이 경우에, Au층의 두께는 예를 들면 약 0.1 μ m 내지 1 μ m로 설정될 수 있고, Ni층의 두께는 예를 들면 약 1 μ m 내지 10 μ m로 설정될 수 있고, Cu층의 두께는 예를 들면 약 10 μ m ~ 40 μ m로 설정될 수 있다.

[0110] 절연층(24)은 반도체칩(12)의 측면의 일부 및 제 1 면(12A), 및 도전층(51)의 상면 및 측면을 덮도록 형성된다. 절연층(23)의 제 1 면(23a)에 형성된 절연층(24)의 두께는 예를 들면 약 50 μ m~100 μ m로 설정될 수 있다. 비어 홀(VH1)이 전극 단자(12P)의 상면을 노출시키기도록 절연층(24)을 관통해서 형성되고, 비어 홀(VH4)이 도전층(51)의 상면을 노출시키기도록 절연층(24)을 관통해서 형성된다.

[0111] 제 1 절연층(31)은 비어 홀(VH1)에 충전된 비어 배선(31A), 비어 홀(VH4)에 충전된 비어 배선(31D), 및 제 2 절연층(20)(절연층(24)) 상에 형성된 배선 패턴(31B)을 포함한다. 비어 배선(31D)은 비어 홀(VH4)의 저부에 노출된 도전층(51)에 전기적으로 접속되며 배선 패턴(31B)에 전기적으로 접속된다. 비어 홀(VH4) 및 비어 배선(31D)은 도 10에서 하측(제 1 절연층(11) 측)으로부터 상측(제 2 배선층(33) 측)을 향해 직경이 커지는 테이퍼 형상으로 형성된다. 또한, 비어 홀(VH4) 및 비어 배선(31D)의 평면 형상은 예를 들면 원형이다. 비어 홀(VH4) 및 비어 배선(31D)의 직경은 예를 들면 약 20 μ m ~ 80 μ m로 설정될 수 있다. 예를 들면 구리 또는 구리 합금이 비어 배선(31D)의 재료로서 사용될 수 있다.

[0112] 제 2 실시형태에 따른 금속판(10)과 동일한 방법으로 제 1 절연층(11)의 제 1 면(11A)에 형성된 금속판(10)이

반도체 패키지(1B)(예를 들면, 제 1 절연층(11))의 외연을 제외한 거의 전면에 걸쳐 형성되고, 평면에서 봤을 때 도전층(51)의 둘레를 따라 연장되게 형성된다. 또한, 금속판(10)에서, 평면에서 봤을 때, 도전층(51)보다 큰 평면 형상을 가지는 대략 원형인 개구부(10X)가 도전층(51)에 대면하는 영역에 형성된다.

[0113] <반도체 패키지의 제조 방법>

[0114] 다음으로, 반도체 패키지(1B)의 제조 방법에 대해 설명한다.

[0115] 우선, 도 11a에 나타난 공정에서, 도 2a 내지 도 2e에 나타난 공정과 동일한 제조 공정을 이용하여, 제 1 절연층(11) 및 금속판(10D)이 지지 기판(80) 상에 순차적으로 형성되고, 금속판(10D)이 패터닝되어 개구부(10X)를 갖는 금속판(10)을 형성한다. 도 11b에 나타난 바와 같이, 금속판(10)은 제 1 절연층(11)의 외연을 제외한 거의 전면에 걸쳐 연장되도록 형성된다. 또한, 금속판(10)에서, 후 공정에서 반도체칩(12)이 탑재되는 영역(점선 테두리를 참조) 외측에 복수의 개구부(10X)가 형성된다. 도 11b에서, 개구부(10X)에서 점선 원은 후 공정에서 형성될 접속 패드(51P)가 형성되는 영역을 나타낸다.

[0116] 이어서, 도 12a에 나타난 공정에서, 제 1 절연층(11)의 제 1 면(11A) 상에서 금속판(10)의 제 1 면(10A) 및 측면(10C)을 덮도록 절연층(23)이 형성된다. 예를 들면, 절연층(23)은, 제 1 절연층(11)의 제 1 면(11A)에 수지막을 적층하고 약 130℃ 내지 150℃의 온도에서 수지막에 열처리를 하면서 수지막을 가압하여 경화해서 형성된다.

[0117] 이어서, 도 12b에 나타난 공정에서, 금속판(10)의 개구부(10X)에 대면하는 위치에 형성된 절연층(23)의 제 1 면(23A)에, 소정의 패턴을 갖는 도전층(51)이 형성된다. 도전층(51)은 세미 에디티브법이나 서브트랙티브법 등의 다양한 배선 형성 방법을 이용하여 형성될 수 있다.

[0118] 이어서, 도 12c에 나타난 공정에서, 절연층(23)의 상면에 도전층(51)의 상면 및 측면을 덮도록 절연층(25)이 형성된다. 절연층(25)은 절연층(23)의 제 1 면(23a)에 수지막을 적층하고 약 130℃ ~ 150℃의 온도에서 수지막에 열 처리를 하면서 수지막을 가압하여 경화해서 형성된다.

[0119] 이어서, 도 13a에 나타난 공정에서, 반도체칩(12)이 탑재되는 탑재면에 대응하는 금속판(10)의 부분을 노출시키도록, 개구부(23X)가 절연층(23) 및 절연층(25)을 관통하여 형성된다. 이 공정에서, 도시한 바와 같이 개구부(23X)는 하측(금속판(10) 측)으로부터 상측을 향해 직경이 커지는 테이퍼 형상으로 형성된다. 개구부(23X)는 CO₂ 레이저, UV-YAG 등을 이용하는 레이저 가공 방법, 또는 웨트 블라스팅 등의 블라스팅 공정에 의해 형성될 수 있다.

[0120] 다음으로, 도 13b에 나타난 공정에서, 개구부(23X)를 통해 노출된 금속판(10) 상에 반도체칩(12)이 본딩재(13)에 의해 페이스 업 상태로 본딩된다. 이 때, 절연층(25)은 제 1 면(도 13b에서 상면)(25A)이 반도체칩(12)의 회로 형성면(12A)보다 높게 형성되도록 형성된다. 이어서, 도 3c 및 도 3d에 나타난 공정과 동일한 제조 공정을 이용하여, 반도체칩(12)의 제 1 면(12A) 및 측면을 덮도록 절연층(26)이 형성되고, 이어서 절연층(26)에 비어 홀(VH1 및 VH4)이 형성된다.

[0121] 이어서, 도 13c에 나타난 공정에서, 비어 홀(VH1 및 VH4)에 비어 도전체를 충전함으로써 비어 배선(31A 및 31D)이 형성되고, 비어 배선(31A 및 31D)을 통해 전극 단자(12P) 및 도전층(51)에 전기적으로 접속되는 배선 패턴(31B)이 형성된다. 이에 따라, 비어 배선(31A 및 31D) 및 배선 패턴(31B)을 포함하는 제 1 배선층(31)이 형성된다. 이어서, 제 1 배선층(31) 상에 층간 절연층(32) 및 제 2 배선층(33)이 순차적으로 형성되고, 배선 패턴(33B)의 일부를 외부 접속 패드(33P)로서 노출하는 개구부(40X)를 가지는 솔더 레지스트층(40)이 형성된다. 이어서, 도 8b에 나타난 공정과 동일한 공정을 이용하여, 지지 기판(80)이 웨트 에칭 등에 의해 제거되고, 도전층(51)의 하면의 일부가 외부에 노출되도록, 제 1 절연층(11) 및 절연층(23)의 특정 위치에 개구부(11Y)가 형성된다. 또한, 개별 반도체 패키지(1B)에 대응하는(도면에서 화살표로 표시) 영역에서 커팅 공정을 통해 도 10에 나타난 반도체 패키지(1B)를 얻을 수 있다.

[0122] 상술한 본 실시형태에 따르면, 제 1 실시형태와 동일한 효과가 얻어진다.

[0123] 다른 실시형태

[0124] 상술한 각 실시형태는 적절하게 다음의 실시형태로 변경될 수 있다.

[0125] 각 실시형태에 따른 반도체 패키지(1, 1A 및 1B)에서, 하나의 반도체칩(12)이 반도체 패키지에 내장된다. 그러나, 이에 한정되는 것이 아니라, 예를 들면 도 14에 나타난 바와 같이, 복수의 반도체칩(12)이 내장된 반도체

패키지(1C)를 실현하는 것이 가능하다. 또한, 예를 들면, 복수의 반도체칩(12) 중에서 적어도 하나의 반도체칩(12)을 대신하여, 칩 저항 또는 칩 커패시터 등의 전자 부품이 반도체 패키지에 내장될 수 있다. 또한, 이러한 경우에는, 배선 구조(30)의 층간 절연층 중에서 제 1 절연층(11)에 반대측인 가장 바깥쪽 층간 절연층(32)은 보강재를 포함하는 절연층인 것이 바람직하다.

[0126] 각 실시형태에서, 제 1 절연층(11)에 반대측인 가장 바깥쪽 층간 절연층(32)은 보강재를 포함하는 절연층으로서 사용된다. 또한, 층간 절연층(32)의 열팽창 계수는 제 1 및 제 2 절연층(11 및 20)의 열팽창 계수에 비해, 반도체칩(12)의 열팽창 계수에 가깝게 설정된다. 그러나 이에 한정되는 것이 아니라, 예를 들면 도 15에 나타난 반도체 패키지(1D)에서와 같이, 제 1 절연층(11)에 반대측인 가장 바깥쪽 층간 절연층(32A)은 보강재를 포함하지 않는 절연층으로서 사용될 수 있다. 이 경우에 층간 절연층(32A)의 재료로서는, 제 2 절연층(20)과 동일한 절연 수지가 사용될 수 있다. 구체적으로는, 층간 절연층(32A)의 재료로서, 예를 들면 열경화성 에폭시계 절연 수지가 사용될 수 있다. 절연 수지는 열경화성 수지에 한정되는 것이 아니라, 감광성 절연 수지가 사용될 수 있다.

[0127] 각 실시형태에서, 금속판(10)의 측면은 제 2 절연층(20)에 의해 덮인다. 그러나, 이에 한정되는 것이 아니라, 예를 들면 금속판(10)의 측면이 제 1 절연층(11)에 의해 덮일 수 있다. 이 경우에, 예를 들면 도 2a 내지 도 2e에 나타난 제조 공정을 이용하여, 지지 기판(80) 상에 절연층(11)이 형성되고, 제 1 절연층(11) 상에 금속판(10)이 형성된 후, 금속판(10)은 제 1 절연층(11)에 임베드될 수 있다. 예를 들면, 도 2e에 나타난 구조체로부터 레지스트층(81)이 제거된 후, 제거 후의 구조체는 한 쌍의 프레스 지그 사이에 배치될 수 있고, 반대 면측으로부터 약 150℃ 내지 200℃의 온도에서 가열 및 가압될 수 있다. 이에 따라, 금속판(10)은 제 1 절연층(11)에 임베드된다.

[0128] 각 실시형태에서, 절연층(21 및 25)(제 3 절연층)이 형성되고, 절연층(21 및 25) 내에 개구부(21X 및 23X)가 형성되고, 이어서 개구부(21X 및 23X)로부터 노출된 금속판(10)에 반도체칩(12)이 본딩된다. 또한, 반도체칩(12)의 제 1 면(12A) 및 측면을 덮도록, 절연층(22 및 26)(제 4 절연층)이 형성된다. 그러나, 이에 한정되는 것이 아니라, 예를 들면 제 2 절연층(20)(절연층(21~26))의 형성 전에, 반도체칩(12)이 금속판(10) 상에 본딩되고, 제 1 절연층(11) 상에 반도체칩(12)의 제 1 면(12A) 및 측면을 덮도록, 제 2 절연층(20)이 형성될 수 있다.

[0129] 각 실시형태에서, 복수의 반도체 패키지의 제조 방법을 설명했지만, 단일 반도체 패키지의 제조 방법을 실현하는 것이 가능하다. 즉, 단일 반도체 패키지(1, 1A, 또는 1B)를 지지 기판(80) 상에 제조할 수 있다.

[0130] 반도체 패키지(1, 1A 또는 1B)를 제조하는 각 방법에서, 반도체칩(12)이 지지 기판(80)의 일측에 형성된 금속판(10)에 본딩되고, 배선층 및 절연층이 빌드업 프로세스에 의해 지지기판(80)의 일측에 형성되고, 이어서 지지 기판(80)이 제거되어 반도체 패키지(1, 1A 또는 1B)가 제조된다. 그러나, 이에 한정되는 것이 아니라, 예를 들면 제 1 절연층(11) 및 금속판(10)이 지지 기판(80)의 양측에 형성될 수 있고, 반도체칩(12)이 그 양측에 형성된 금속판(10)에 각각 고정될 수 있다. 이어서, 배선층 및 절연층이 각각 빌드업 공정에 의해 지지 기판(80)의 양쪽에 각각 형성된 후, 지지 기판(80)이 제거되어 복수의 반도체 패키지(1, 1A 및 1B)를 제조할 수 있다.

[0131] 각 실시형태에서, 반도체 패키지(1, 1A 또는 1B)는 층수, 배선의 패턴 등이 다양하게 변형 또는 변경될 수 있다.

[0132] 상술한 제 2 실시형태에서는, 반도체 패키지(4)의 배선 기판(60) 상에 탑재된 반도체칩의 수, 반도체칩의 탑재 형태(예를 들면, 플립칩 탑재, 와이어 본딩 탑재 또는 그 조합) 등이 다양하게 변형 또는 변경될 수 있다.

[0133] <예>

[0134] 다음으로, 상술한 실시형태 및 변형예를 예 및 비교예를 이용하여 설명한다.

[0135] 여기에서는, 금속판(10) 및 제 1 절연층(11)이 설치된 반도체 패키지(예 1 및 예 2), 금속판(10) 및 제 1 절연층(11)이 설치되지 않은 반도체 패키지(비교예 1), 및 제 1 절연층(11)이 설치되지 않은 반도체 패키지(비교예 2) 각각에 대해, 변형의 온도 의존성 평가를 실시했다.

[0136] <예 1>

[0137] 예 1의 반도체 패키지는 도 1에 나타난 반도체 패키지(1)이다. 평가 조건으로서, 반도체 패키지(1)의 평면 형상은 8mm × 8mm로 설정되었고, 반도체칩(12)의 평면 형상은 5mm × 5mm로 설정되었고, 반도체칩(12)의 두께는 75μm로 설정되었다. 또한, 반도체 패키지(1)의 전체 두께는 280μm로 설정되었다. 구체적으로, 제 1 절연층

(11)의 두께는 25 μ m로 설정되었고, 금속판(10)의 두께는 35 μ m로 설정되었고, 금속판(10)의 제 1 면(10A)으로부터 제 2 절연층(20)의 제 1 면(20A)까지의 두께는 140 μ m로 설정되었다(금속판(10)의 제 1 면(10A)으로부터 절연층(21)의 제 1 면(21A)까지의 두께는 95 μ m로 설정되었고, 절연층(21)의 제 1 면(21A)으로부터 절연층(22)의 제 1 면(22A)까지의 두께는 45 μ m로 설정되었음). 또한, 배선 패턴(31B 및 33B)의 두께는 각각 15 μ m로 설정되었고, 층간 절연층(32)의 두께는 30 μ m로 설정되었고, 솔더 레지스트층(40)의 두께는 20 μ m로 설정되었다. 전극 단자(12P)의 높이는 25 μ m로 설정되었다.

[0138] <예 2>

[0139] 예 2의 반도체 패키지는 도 15에 나타난 반도체 패키지(1D)이고, 예 1의 반도체 패키지로부터 보강재를 포함하는 가장 바깥쪽 절연층(32A)이 제거된 구조를 갖는다. 평가 조건은 층간 절연층(32A)의 두께가 25 μ m로 설정되는 점에서 예 1과 상이하다.

[0140] <비교예 1>

[0141] 비교예 1의 반도체 패키지는 도 16에 나타난 반도체 패키지(5)이다. 반도체 패키지(5)는 예 2의 반도체 패키지로부터 금속판(10) 및 제 1 절연층(11)이 제거된 구조를 가지며, 금속판(10) 및 제 1 절연층(11)이 설치되지 않는 점을 제외하면 실시형태 2와 동일한 조건을 가진다.

[0142] <비교예 2>

[0143] 비교예 2의 반도체 패키지는 도 17에 나타난 반도체 패키지(6)이다. 반도체 패키지(6)는 예 1의 반도체 패키지로부터 제 1 절연층(11)이 제거되고, 금속판(10)을 대신하여 제 2 절연층(20)과 동일한 치수를 갖는 금속판(90)이 형성된다. 비교예 2는, 제 1 절연층(11)이 설치되지 않고, 금속판(90)의 두께가 35 μ m로 설정되는 점에서만 예 1과 상이하다.

[0144] <측정 방법>

[0145] 제조 공정에서 사용된 지지 기판이 제거된 후 각각의 반도체 패키지에 대해, 실온으로부터 고온(여기에서는, 260 $^{\circ}$ C)으로 온도가 상승했을 때의 변형을 측정했고, 고온(260 $^{\circ}$ C)으로부터 실온으로 온도가 하강했을 때의 변형을 측정했다. 변형 양의 측정은, 대각선을 따라 외부 접속 패드(33P)가 형성되는 반도체 패키지 각각의 표면(측정면)의 높이를 순차적으로 측정하고 최고점과 최저점 사이의 높이차를 측정함으로써 행해졌다. 측정면이 오목 형상으로 변형했을 경우의 변형 양이 양수이고 측정면이 볼록 형상으로 변형했을 경우의 변형 양이 음수라고 상정해서, 도 18 및 도 19에 측정 결과를 나타낸다.

[0146] <측정 결과>

[0147] 도 18에 나타난 바와 같이, 예 1 및 예 2를 비교예 1과 비교하면, 금속판(10) 및 제 1 절연층(11)이 설치되지 않은 경우(비교예 1)에 비해, 금속판(10) 및 제 1 절연층(11)(예 1 및 예 2)을 설치함으로써 반도체 패키지의 변형 양을 현저히 저감할 수 있음이 확인되었다. 구체적으로는, 예 1 및 예 2에서, 비교예 1에 비해, 초기 실온에서 변형을 현저히 저감할 수 있음이 확인되었다. 또한, 예 1 및 예 2에서, 비교예 1에 비해, 온도 변화에 따른 변형 양의 변동을 억제할 수 있음이 확인되었다. 따라서, 금속판(10) 및 제 1 절연층(11)이 설치될 경우, 변형 저감 효과를 향상시킬 수 있음이 확인되었다.

[0148] 또한, 예 1을 예 2와 비교하면, 보강재를 포함하지 않는 층간 절연층(32A)의 경우에 비해(예 2), 보강재를 포함하는 절연층으로서 가장 바깥쪽 층간 절연층(32)을 설치함으로써(예 1), 반도체 패키지 변형 양을 저감할 수 있음이 확인되었다. 즉, 가장 바깥쪽 층간 절연층(32)으로서 보강재를 포함하는 절연층이 설치됨으로써 변형 저감 효과를 향상시킬 수 있음이 확인되었다.

[0149] 또한, 도 19에 나타난 바와 같이, 예 1을 비교예 2와 비교하면, 제 1 절연층이 설치되지 않는 경우에 비해(비교예 2), 제 1 절연층(11)을 설치함으로써(예 1), 반도체 패키지의 변형 양을 저감할 수 있음이 확인되었다. 구체적으로는, 예 1에서, 비교예 2에 비해, 초기 실온에서 변형을 저감할 수 있음이 확인되었다. 또한, 예 1에서, 비교예 2에 비해, 온도 변화에 따른 변형 양의 변동을 억제할 수 있음이 확인되었다. 따라서, 금속판(10) 및 제 1 절연층(11)이 설치될 경우, 높은 변형 저감의 개선 효과가 얻어진다.

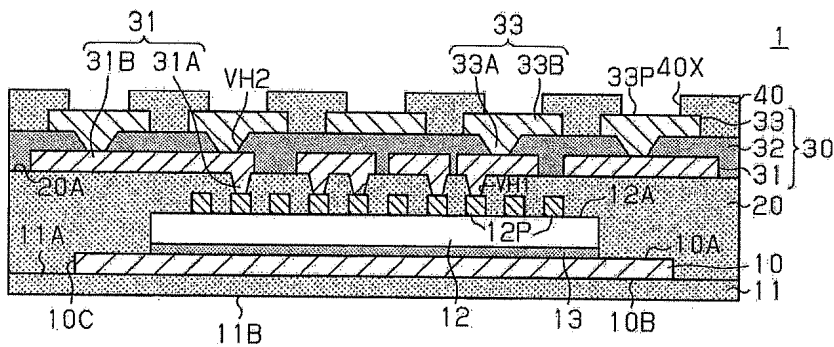
[0150] 본 발명은 특정 예시적인 실시형태를 참조하여 도시 및 설명되었지만, 다른 구현이 특허청구범위의 범주 내에 있다. 첨부된 특허청구범위에 의해 정의되는 본 발명의 사상 및 범주에서 벗어나지 않고 형태 및 세부에서 다양한 변경이 이루어질 수 있음을 당업자는 이해할 것이다.

부호의 설명

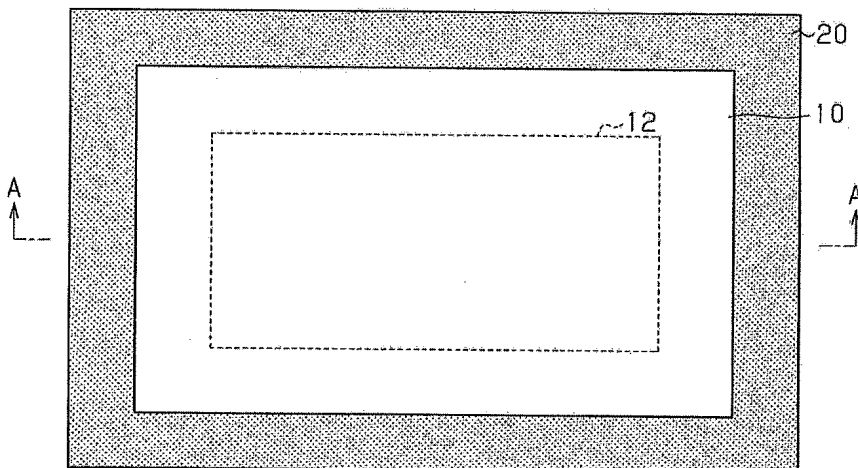
- | | | |
|--------|---------------|----------------|
| [0151] | 1 : 반도체 패키지 | 10 : 금속판 |
| | 10A : 제 1 면 | 10B : 제 2 면 |
| | 11 : 제 1 절연층 | 11A : 제 1 면 |
| | 11B : 제 2 면 | 12 : 반도체칩 |
| | 12A : 제 1 면 | 12P : 전극 단자 |
| | 13 : 본딩재 | 20 : 제 2 절연층 |
| | 20A : 제 1 면 | 30 : 배선 구조 |
| | 31 : 제 1 배선층 | 31A : 비어 배선 |
| | 31B : 배선 패턴 | 32 : 층간 절연층 |
| | 33 : 제 2 배선층 | 33A : 비어 배선 |
| | 33B : 배선 패턴 | 33P : 외부 접속 패드 |
| | 40 : 솔더 레지스트층 | 40X : 개구부 |
| | VH1 : 비어 홀 | VH2 : 비어 홀 |

도면

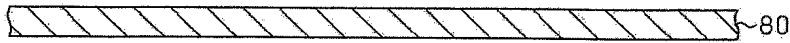
도면1a



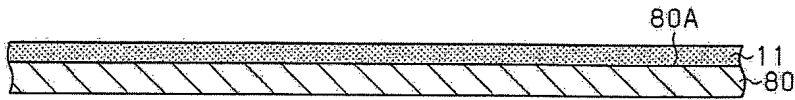
도면1b



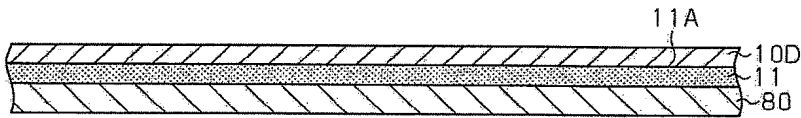
도면2a



도면2b



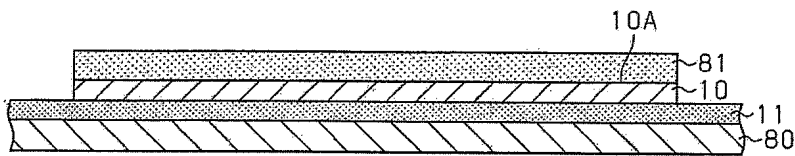
도면2c



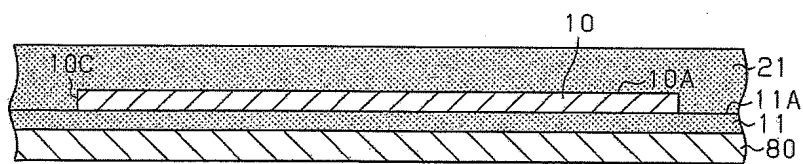
도면2d



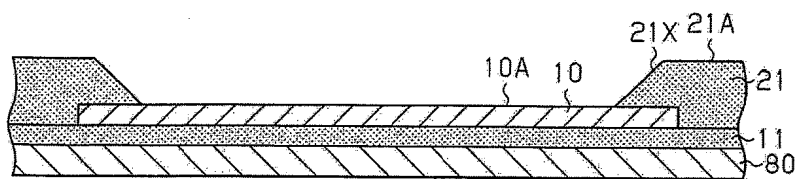
도면2e



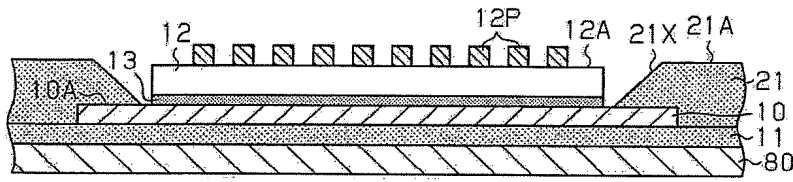
도면2f



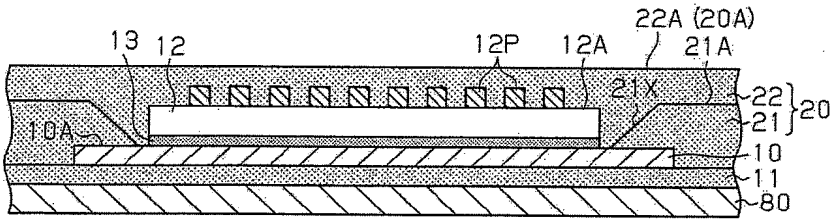
도면3a



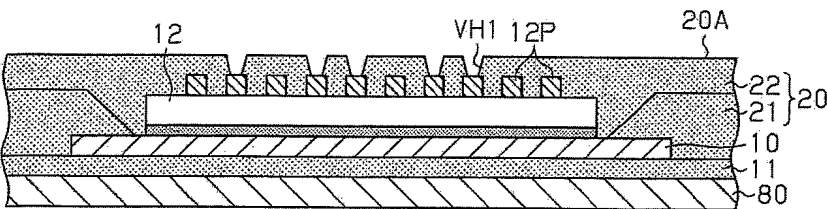
도면3b



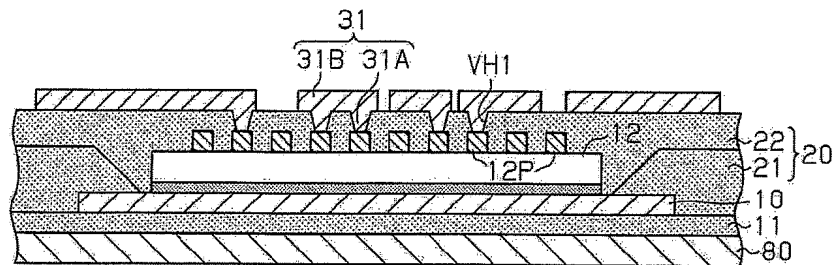
도면3c



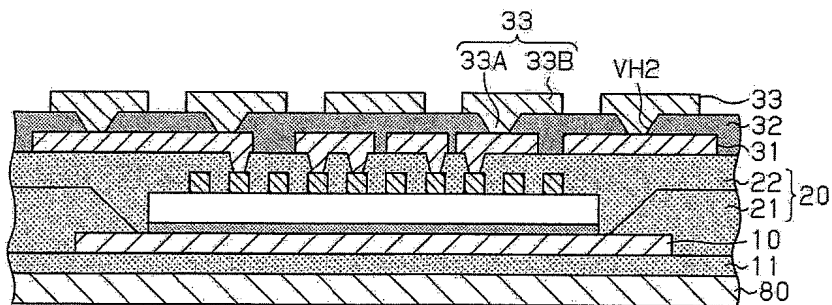
도면3d



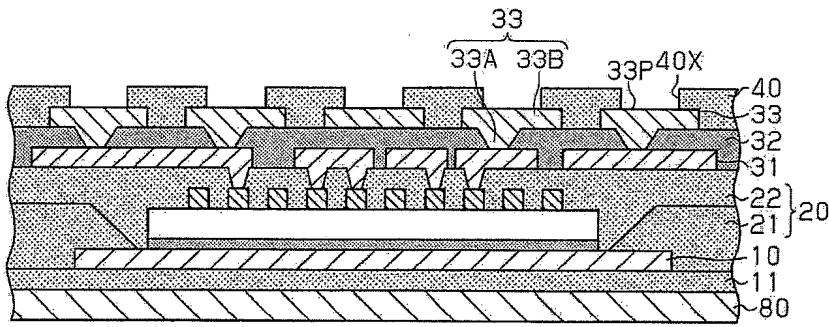
도면4a



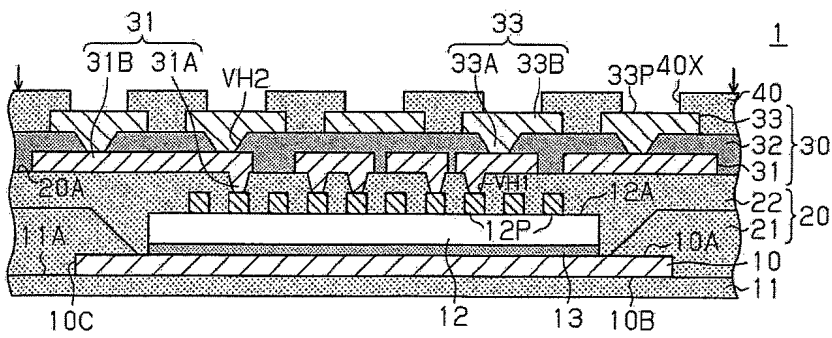
도면4b



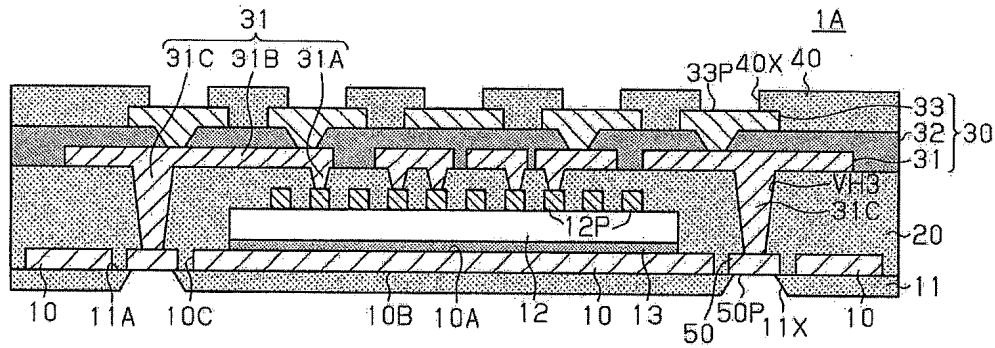
도면4c



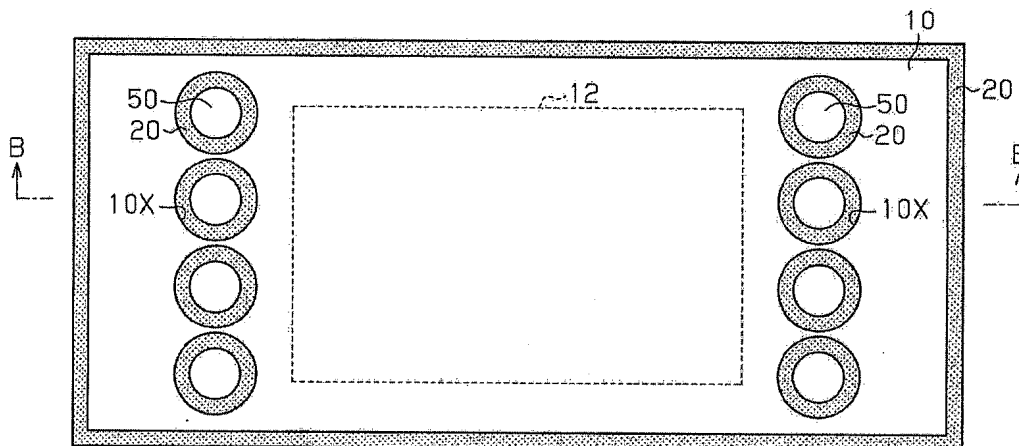
도면4d



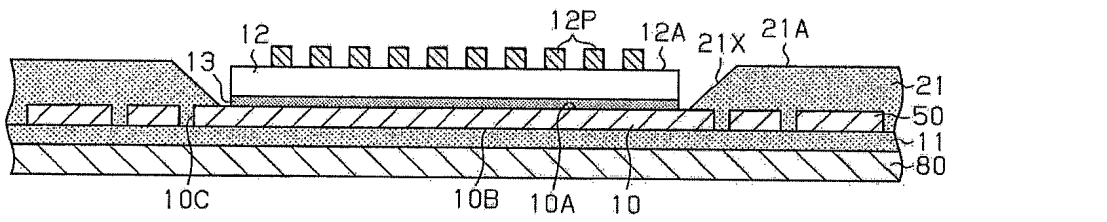
도면5a



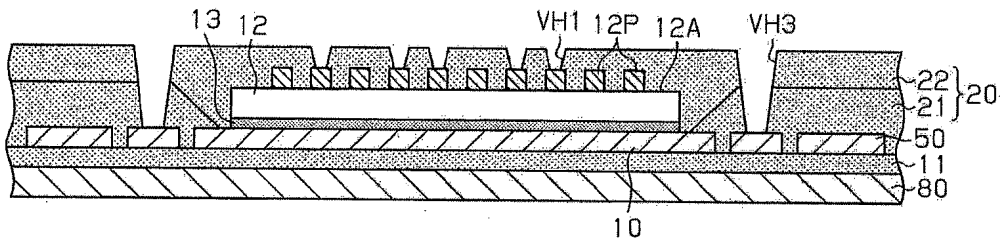
도면5b



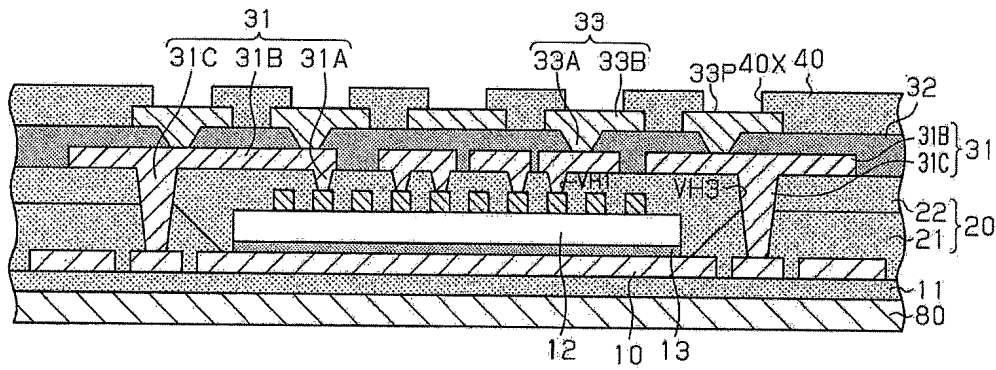
도면7c



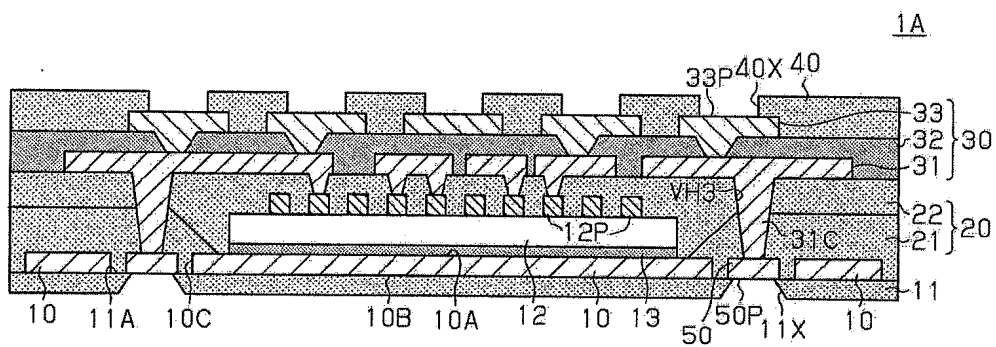
도면7d



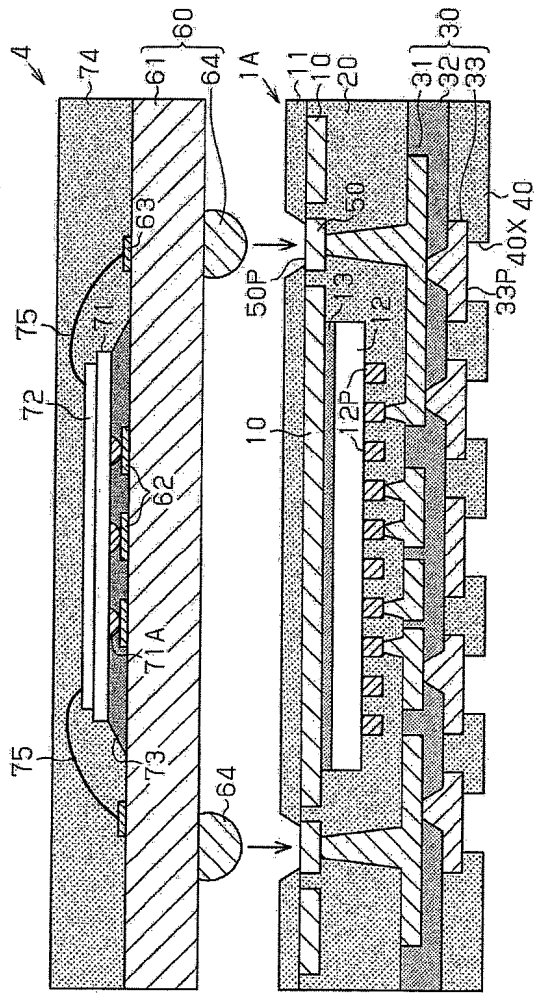
도면8a



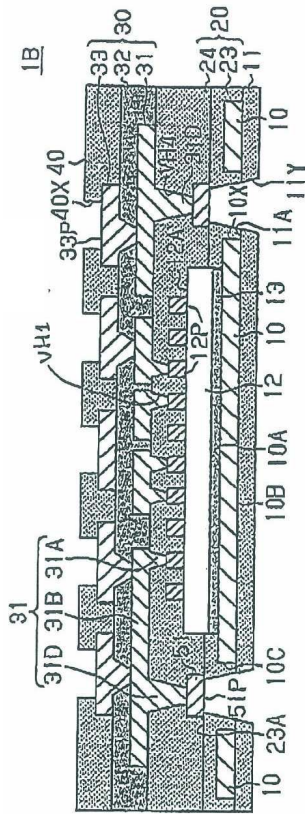
도면8b



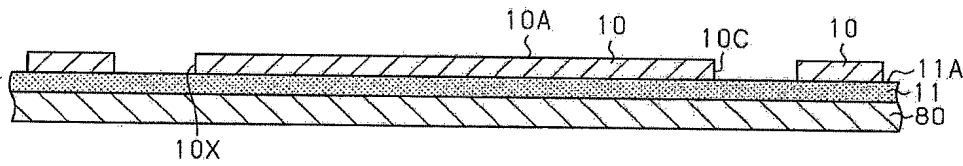
도면9



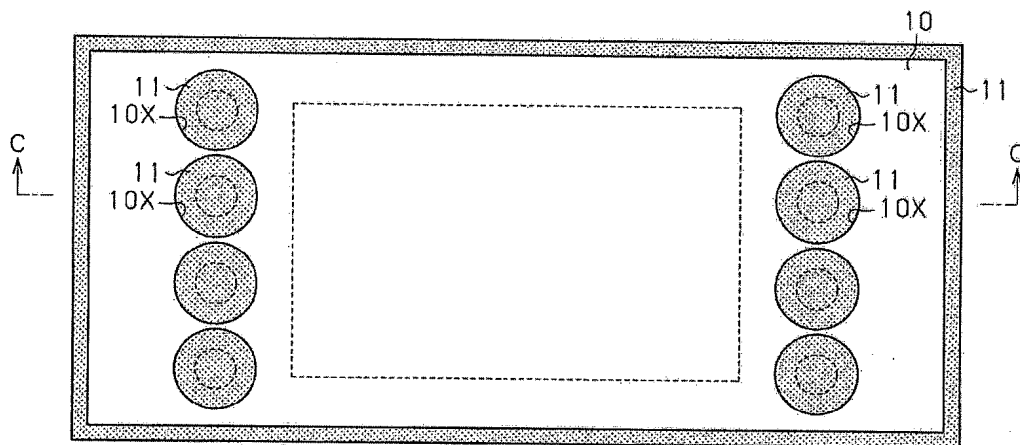
도면10



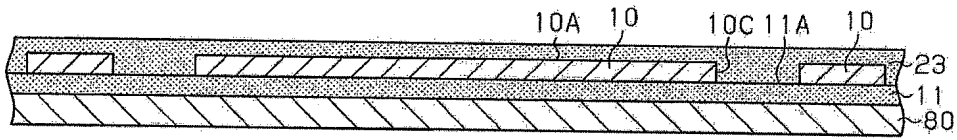
도면11a



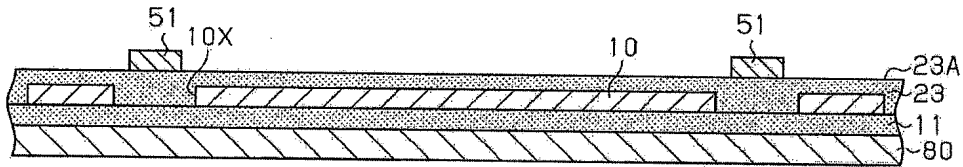
도면11b



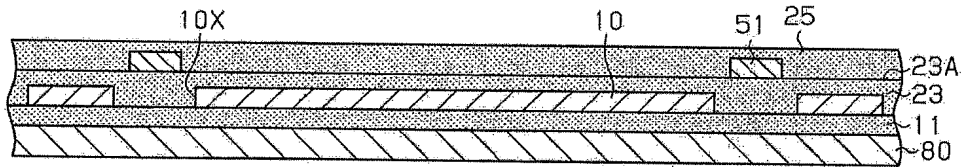
도면12a



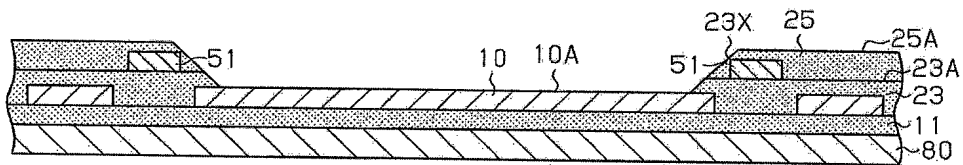
도면12b



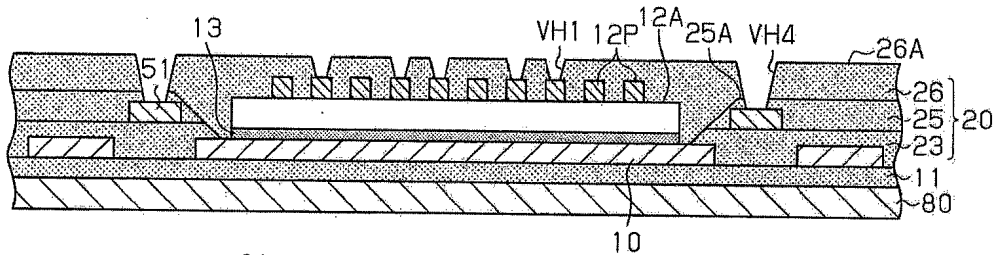
도면12c



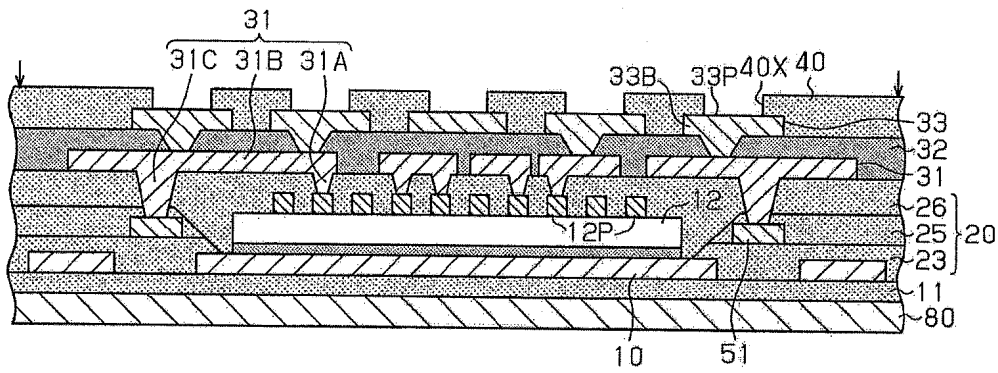
도면13a



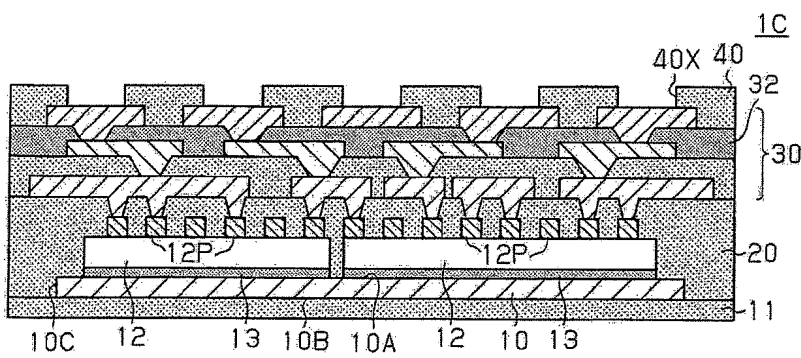
도면13b



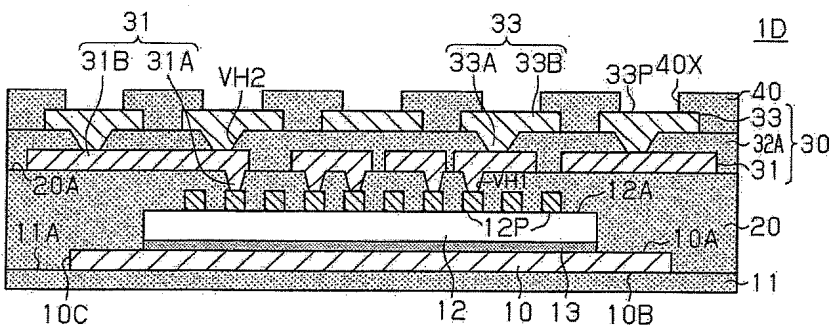
도면13c



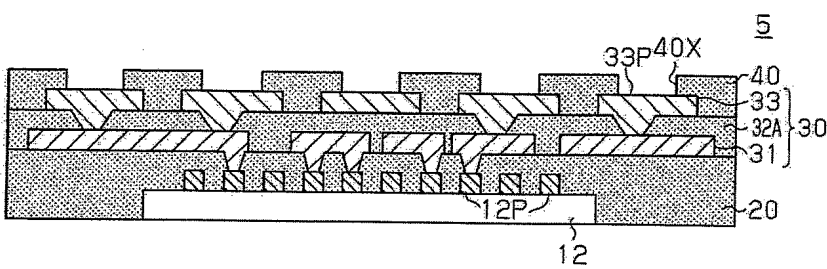
도면14



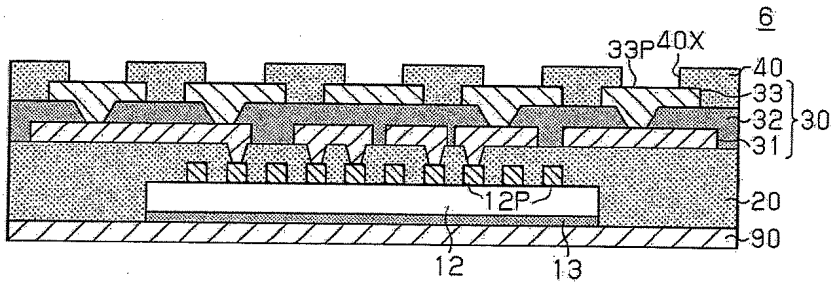
도면15



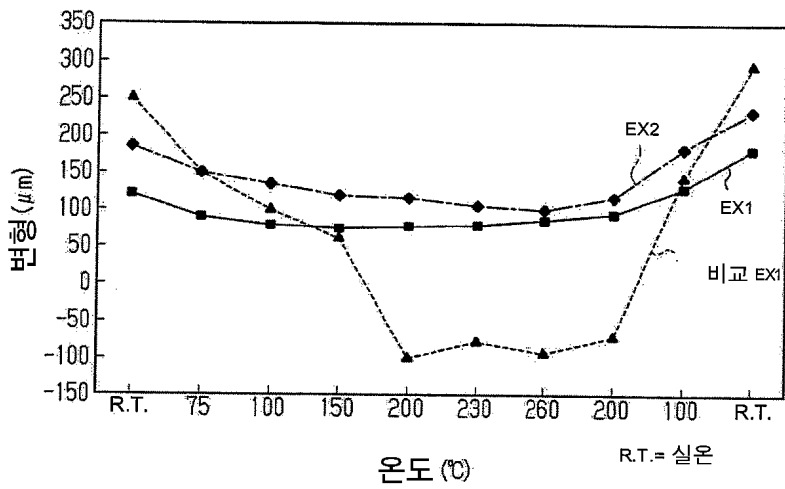
도면16



도면17



도면18



도면19

