

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 21/82



# [12] 发明专利说明书

H01L 21/31 H01L 21/3205

H01L 21/28 H01L 27/108

[21] ZL 专利号 98125559.0

[45] 授权公告日 2004 年 9 月 15 日

[11] 授权公告号 CN 1167118C

[22] 申请日 1998. 12. 16 [21] 申请号 98125559.0

[30] 优先权

[32] 1997. 12. 19 [33] US [31] 994275

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

共同专利权人 国际商业机器公司

[72] 发明人 克里斯廷·德姆 斯蒂芬·K·罗

卡洛斯·梅热

审查员 郭 强

[74] 专利代理机构 北京市柳沈律师事务所

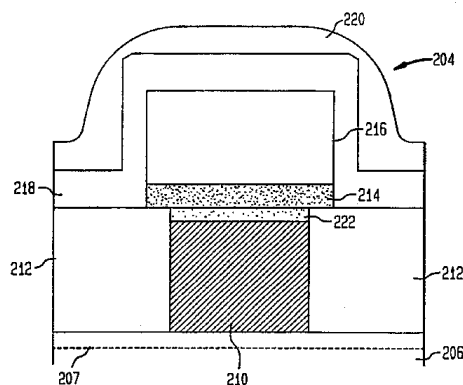
代理人 黄 敏

权利要求书 2 页 说明书 11 页 附图 4 页

[54] 发明名称 用来减少在一集成电路中的向外扩散的方法

[57] 摘要

一种制造包括阻挡层的层叠电容器结构的方法和装置。一种减小在集成电路中外扩散的方法包括在衬底上形成栅氧化层, 和在该栅氧化层的一部分上形成硅柱塞。在该栅氧化层上形成二氧化硅层, 并围绕该硅柱塞安置。在该硅柱塞上形成第一阻挡膜, 和在该二氧化硅层上形成介电层。在一实施例中, 形成第一阻挡膜包括在该硅柱塞上形成第一氧化层, 氮化该第一氧化层, 和腐蚀被氮化的第一氧化层。



ISSN 1008-4274

1. 一种用来减少在集成电路中的向外扩散的方法，该方法包括：  
在一衬底中形成一结区；  
5 在该衬底上面形成第一氧化层；  
通过该第一氧化层形成一硅柱塞，其中该硅柱塞接触该结区；  
在该硅柱塞上面形成一阻挡膜，其中腐蚀该阻挡膜以在该硅柱塞的晶粒边界上暴露氮或含氮的化合物；和  
在第一氧化层上面形成一介电层。
- 10 2. 如权利要求 1 的方法，其中形成阻挡膜的过程包括：  
在该硅柱塞上面形成第二氧化层；  
氮化处理该第二氧化层；和  
腐蚀该被氮化的第二氧化层，其中腐蚀的该被氮化的第二氧化层在该硅柱塞的晶粒边界上暴露出氮化物以形成该阻挡膜。
- 15 3. 如权利要求 2 的方法，其中：  
形成第二氧化层包括在 900℃到 1100℃的温度范围上生长第二氧化层；  
和  
氮化第二氧化层包括在 900℃到 1100℃的温度范围上氮化第二氧化层。
- 20 4. 如权利要求 1 的方法，其中形成该硅柱塞的过程包括：  
在该结区的上面淀积一第一掺杂硅层；  
在第一掺杂硅层上面形成第三氧化层；  
氮化该第三氧化层；和  
腐蚀该被氮化的第三氧化层，其中腐蚀该被氮化的第三氧化层在第一掺杂硅层的晶粒边界处暴露氮或含氮的化合物；和  
25 在第一掺杂硅层的晶粒边界处所暴露的氮或含氮的化合物上面淀积第二硅层。
5. 如权利要求 1 的方法，其中形成第一阻挡膜的过程包括：  
执行化学汽相淀积以在硅柱塞的上面形成一氮氧化物膜；和  
腐蚀该氮氧化物膜，其中腐蚀氮氧化物膜在该硅柱塞的晶粒边界处暴  
30 露氮或含氮的化合物。

- 
6. 如权利要求 1 的方法, 进一步包括:
- 在该阻挡膜的上面形成一附着层;
- 在该附着层的上面形成第一电极, 其中在第一氧化层上面形成的介电层形成于第一电极上; 和
- 5        在该介电层上面形成第二电极。

## 用来减少在一集成电路中的向外扩散的方法

### 5 技术领域

本发明通常涉及用来将电容器集成到集成电路中的方法和装置。更具体地说，本发明涉及用来减小在层叠电容器的处理期间从一层叠电容器的高介电层迁移到硅中的杂质量，和用来减小从硅迁移到高介电层中的杂质量的方法和装置。

10

### 背景技术

随着对诸如动态随机存取存储器(DRAM)集成电路之类的集成电路的需求的提高，相应地对有效地生产集成电路的需求也随之提高。以在整个制造过程中可以保护集成过程的完整性这种方式生产的集成电路提高了集

15 成电路的总生产量。

许多集成电路包括诸如层叠电容器之类的电容器。图 1 示出了在一集成电路中所构成的一层叠电容器的剖面视图。叠层电容器结构 104 通常包括作为一集成电路的部分，例如 DRAM 集成电路的部分。层叠电容器结构 104 在该集成电路的衬底 106 上方形成。衬底 106 通常由硅形成，并且包括

20 一接合区域 107。接合区域 107 通常是在衬底 106 中的一掺杂区域，也就是 FET 的源极或漏极元件。衬底 106 还可包括与一集成电路的构成有关的各种其它层。例如，衬底 106 可以包括各种绝缘层和导电层。

多晶硅柱塞 110 覆盖衬底 106。通常，多晶硅柱塞 110 可以使用诸如硼、磷、或砷之类的掺杂剂来掺杂。二氧化硅层位于衬底 106 之上，并且围绕

25 多晶硅柱塞 110 而安置。

底部电极 116 被置于多晶硅柱塞 110 的上面。附着层 114 置于底部电极 116 和多晶硅柱塞 110 之间实际起托住底部电极 116 的作用。如图所示，附着层 114 也部分地覆盖了二氧化硅层 112。

具有相对高介电常数材料的层 118，例如“高介电层”，被安置在底部

30 电极 116 和二氧化硅层 112 部分的上面。顶部电极 120 与高介电层 118 保形

地安置在其上面。高介电层 118 通常被安置得使底部电极 116 与顶部电极 120 相绝缘。另外，高介电层 118 可增加电容器结构 104 的电荷保存能力，因而改善了存储装置工作。

5 当一电容器，例如，一层叠电容器被加入集成电路中时，在退火处理期间很可能该电容器的高介电层中的材料会垂直地扩散到下层连接区域中，这种情况通常在温度大约高于 800℃ 时出现。在该高介电层中的材料可能会扩散到下层连接区域，这些材料包括诸如锆钛酸铝(PZT)、钛酸锶钽(BST)、和钛酸锶铋 SBT 之类的材料，但不仅限于这些材料。当这些材料扩散出高介电层之外时，下层连接区域的完整性就可能被危害。例如，在该  
10 连接区域可能出现漏泄。

在退火处理期间，为了实现所希望的介电性能，来自是全部层叠电容器结构的一部分的多晶硅柱塞的硅可能垂直扩散以及侧面地从多晶硅柱塞扩散到高介电层中。当硅扩散到高介电层中时，特别是在高介电层和电极之间的表面上可形成诸如氧化硅( $\text{SiO}_x$ )之类的化合物。因为氧化硅通常具有  
15 相对高的电阻，另外还具有低的介电常数，因而在层叠电容器中形成氧化硅可以明显地使该电容器的总介电特征变劣。

另外，当由掺杂的多晶硅形成多晶硅柱塞时，这些杂质可以从多晶硅柱塞扩散到电极和高介电层中，因此改变了该高介电层的特性。可以观测到在退火处理期间从该被掺杂的多晶硅柱塞里扩散出来的掺杂剂量大于在  
20 该被掺杂的多晶硅柱塞的掺杂剂总量的约百分之五十，例如在约百分之五十至百分之七十的范围内。

降低一集成电路制造过程的热预算，虽然在减小在层叠电容器中的扩散通常有效，但常常证明是不希望的。例如，当热预算减小时，与整个集成电路的制造有关的高温步骤，即在大于 800℃ 的温度的步骤，可被缩短。  
25 例如这种步骤包括回流电介质和激活掺杂结。另外，对于 DRAM，减小位错量可有效地减轻由于增加器件漏泄而造成对与 DRAM 有关的保持时间的危害。保持时间是 DRAM 单元保持它的存储电荷的时间，并且它受限于存储电荷漏泄的速率。

因此，希望有一种用来减小杂质外扩散和在一层叠电容器中的硅扩散  
30 而不损害包括层叠电容器的集成电路的完整性或性能的方法和装置。

## 发明内容

披露了用来制造在一集成电路中包括阻挡层的层叠电容器结构的方法和装置。根据本发明的一个方面，一种用来减小在一集成电路中的外扩散的方法包括在一衬底中形成源/漏区域结区，和进一步在源或漏区的上面形成一硅柱塞。在源/漏区的上面形成一二氧化硅层，它随后被腐蚀以形成用于该硅柱塞的开口。一旦该硅柱塞被形成，在该硅柱塞的上面形成一阻挡膜，其中该阻挡膜包含在该阻挡膜的晶粒边界上的氮或含氮的化合物，在二氧化硅层的上面形成一介电层，并且形成包括一附着层的第一电极。最后，在该介电层的上面形成第二电极。

- 10 在一实施例中，形成第一阻挡膜包括在该硅柱塞上面形成第一氧化层，对第一氧化层渗氮，并腐蚀被渗氮的第一氧化层。在这个实施例中，腐蚀被渗氮的第一氧化层而暴露出在该硅柱塞的晶粒边界处的氮化物。在另一实施例中，形成第一阻挡膜包括执行一化学汽相淀积以便在硅柱塞上面形成一氮氧化物膜并且腐蚀该氮氧化物膜以在该硅的晶粒边界处暴露氮化物，特别是在该硅的接近顶部表面的晶粒边界处暴露氮化物。

- 15 根据本发明的另一方面，在具有一结区的集成电路芯片上所安置的层叠电容器包括在该结区的一部分上面所配置的一硅柱塞。在该结区上面配置有一二氧化硅层并且有至少一部分围绕该硅柱塞，并且在该硅柱塞的上面形成第一阻挡膜。利用一附着层使第一电极在该硅柱塞上面牢固，并且在第一电极的上面设置高介电材料层。在一实施例中，该硅柱塞是一多晶硅柱塞，并且第一阻挡层包括氮化物。在另一实施例中，高介电材料层包含有一种杂质，并且第一阻挡膜的设置防止了从高介电材料层向硅柱塞扩散的杂质。

- 25 根据本发明的另一实施例，在一集成电路芯片上安置的电容器包括具有一结区的衬底。一硅柱塞被置于该结区的上面。第一阻挡膜被置于硅柱塞和电极装置之间。最后，将一高介电材料层置于第一阻挡膜的上面。该高介电材料包括至少一种杂质，并且第一阻挡膜被设置以阻止从高介电材料层到结区的杂质的通过。

## 附图说明

本发明的这些和其它的特性和优点在下面结合附图对本发明的详细说

明中将更详细的介绍。

本发明及其优点通过参考结合附图所作的如下说明可以更好的了解。

图 1 的剖视图表示了在一集成电路中所形成的一层叠电容器。

图 2 的剖视图表示了根据本发明的一实施例的在一集成电路中的一层  
5 叠电容器结构中的各层。

图 3 的流程图示出了根据本发明的一实施例中的与制造一具有一阻挡层的层叠电容器结构的方法有关的步骤。

图4的流程图示出了根据本发明的一实施例的与形成一层叠多晶硅柱塞有关的步骤。

图5的流程图示出了根据本发明的一实施例的与制造在层叠电容器结构中的一阻挡层的第二种方法有关的步骤。

- 5 将参照附图中所示的实施例详细说明本发明。在下面的说明中，为了对本发明提供一完整的了解而描述大量的细节。但是，很明显对于本领域的普通技术人员来说，无需这些或所有的细节也可实施本发明。在另外的情况中，将不详细描述已知的结构和步骤以免造成对本发明不必要的混淆。

- 10 为了在退火处理期间减小从在层叠电容器结构中的高介电材料层扩散到一底层结区的材料量，可在该层叠电容器结构中形成一阻挡层。这种阻挡层可有效的在退火处理期间阻止从多晶硅柱塞到高介电材料层中的掺杂剂和硅的扩散。换句话说，一阻挡层可以有效的阻止在一层叠电容器结构的层之间的杂质、掺杂剂和硅的扩散。

- 15 图2的剖视图示出了根据本发明的一实施例在一集成电路中的一层叠电容器结构中的各层。为了说明方便起见，放大了该层叠电容器结构的某些特征，而另外一些则未示出。一层叠电容器结构204可包括诸如一动态随机存取存储器(DRAM)之类的集成电路部分，并包括衬底206。如像本领域技术人员所了解的，衬底206通常是集成电路的衬底，或更通常是半导体晶片的衬底。衬底206典型地由硅所构成，还可包括与栅极结构204的构成，或更  
20 通常与栅极结构204是一部分的集成电路有关的各种其它层。例如，衬底206可包括绝缘层、导电层和诸如结区207之类的各种结区。在一实施例中，结区207可被掺杂。

- 25 在结区207的上面形成硅柱塞210。典型地由多晶硅，或“多晶硅”形成的硅柱塞210可以使用包括(但不限于)硼、磷、和砷的各种不同掺杂剂来掺杂。

在一实施例中，多晶硅柱塞210可被分层。也就是，多晶硅柱塞可由不同的掺杂或不掺杂多晶硅层所构成。下面将结合图4来说明用来形成一分层多晶硅柱塞210的过程。阻挡层222在多晶硅柱塞210的上面被形成。下面将讨论阻挡层222的功能。

- 30 二氧化硅层212围绕多晶硅柱塞210而安置。如下所述，二氧化硅层212被用来防止多晶硅柱塞210与诸如相邻部件或具有高介电常数的各层相接

触。底部电极 216 被安置在多晶硅柱塞 210 的上面。底部电极可基本上由例如 Pt、Ru、或  $\text{RuO}_2$  的任何金属材料所构成。在层叠电容器结构 204 中底部电极 216 的位置通常基本上由底部电极 216 物理地耦合到多晶硅柱塞 210 维持。在所述的实施例中，附着层 214 用来相对于多晶硅柱塞 210 固定底部电极 216。如图所示，附着层 214 还可至少部分地重叠在二氧化硅层 212 之上。

具有相对高介电常数材料的层，例如“高介电层”，被安置在底部电极 216 之上以将一顶部电极 220 与底部电极 216 相隔离。顶部电极 220 保形地被安置在高介电层 218 的上面。高介电层 218 通常被安置将底部电极 216 与顶部电极相隔离。

高介电层 218 通常包括诸如 PZT、BST 和 SBT 之类的材料。当这些材料扩散到衬底 206 的结区时，可以出现杂质，并且在该结区，例如结区 207，出现高结漏泄，因而影响了其中包括层叠电容器结构 204 的集成电路的总的特性。阻挡层 222 被设置以减小在高介电层 218 和层叠电容器结构 204 的其它层之间的扩散量。

在所述的实施例中，阻挡层 222 包括氮化物，例如氮氧化硅物，它被置于多晶硅柱塞 210 的晶粒边界。氮化物通常置于接近多晶硅柱塞 210 的顶部表面的阻挡层 222 的晶粒边界。阻挡层 222 的安置以降低在退火处理期间，例如在用来实现在层叠电容器结构 204 中的所期望的电介质特性的退火处理期间，通过多晶硅柱塞 210 扩散的杂质量，以及降低多晶硅柱塞 210 扩散出的杂质量。通常，在高温退火期间，例如在高于  $900\text{ }^{\circ}\text{C}$  的处理温度时阻挡层 222 保持它的完整性。也就是，阻挡层 222 保持一低接触电阻同时对于退火介电材料，例如退火高介电层 218 具有一大的处理窗口。

在层叠电容器结构 204 中的各层和子部件的所有尺寸，例如厚度通常可较宽的变化。在层叠电容器结构 204 中每一层的厚度可取决于所使用的层叠电容器结构 204 在其中的应用。例如，0.175 微米 DRAM 代的各层厚度要小于 0.25 微米 DRAM 代的各层厚度。在一实施例中，多晶硅柱塞可具有大约为 1000 埃至 10000 埃范围的厚度。

如早已述及的，在没有阻挡层或阻挡膜的层叠电容器结构中，在温度高于  $800\text{ }^{\circ}\text{C}$  的退火处理期间，掺杂多晶硅柱塞扩散出，或移出的掺杂剂量已知为在掺杂多晶硅柱塞中的掺杂剂总量的百分之五十以上，例如在百分之五十

到百分之七十的范围内。而使用阻挡层之后，掺杂多晶硅柱塞扩散出的掺杂剂总数可降低约3到10倍。也就是，当使用了阻挡层时扩散的杂质比未使用阻挡层时扩散的杂质要少3到10倍。

图3示出了一种方法流程图，表明了一种层叠电容器结构的制造方法，  
5 这种层叠电容器结构是如图2所示的根据本发明的实施例中的包括有阻挡层的层叠电容结构204。该方法302由步骤304开始，在步骤304中形成一衬底，例如形成一半导体晶片衬底。该衬底通常可由硅形成，并且典型地包括结区。该衬底可进一步包括与一集成电路的整个构成相关的其它层。这些层可包括(但不限于)导电层和氧化层。

10 在形成该衬底之后，在步骤306中形成一掺杂结区。然后进入步骤308，在步骤308中形成一二氧化硅层。该二氧化硅层可使用任何合适的方法来生长。在一实施例中，该二氧化硅层是使用化学汽相淀积技术来生长。在步骤310，一多晶硅柱塞在衬底上面被形成，或更详细地说是通过该氧化层而形成。在一实施例中，该多晶硅柱塞可使用任何合适的方法掺杂，例如本技术  
15 领域中普通技术人员所了解的继之以退火处理的原位掺杂或注入掺杂剂。另外任何合适的处理可用于该多晶硅柱塞，该多晶硅柱塞通常由本领域普通技术人员所了解的继之以使用一化学机械抛光(CMP)处理或凹进部分腐蚀处理的平面化的由一保形低压化学汽相淀积来形成的。虽然该多晶硅柱塞基本上是单一的多晶硅层，但在某些实施例中，该多晶硅柱塞也可由包括具有在其  
20 之间所构成的阻挡层的多个多晶硅层来替代，这将在下面结合图4来详细说明。

在形成多晶硅柱塞之后，形成一氧化层，例如在步骤312中在该多晶硅柱塞上面生长一氧化层。该氧化层可以是使用若干合适方法中的一种方法在该多晶硅柱塞的表面上，例如顶表面上生长的一二氧化硅层。通常，该氧化  
25 层可以在氧中快速高温氧化(RTO)来生长，其温度约为900至1100℃，例如约为925℃，其时间约为30至120秒，例如约为60秒。同时该氧化层的厚度可宽地变化，在一实施例中，该氧化层的厚度大约在40埃至100埃的范围。

从步骤312进行到步骤314，在步骤314中对在多晶硅柱塞上生长的氧化物层进行氮化处理。换句话说，氧化物被氮化。可使用任何合适的方法来  
30 氮化该氧化物，例如使用采用氨(NH<sub>3</sub>)的快速高温氮化(RTN)，其温度约为900至1100℃，例如1050℃，时间为约20至120秒的范围，例如约30秒。

当该氧化物层被氮化处理时,在该多晶硅柱塞的表面形成氮氧化合物,例如氮氧化硅和在该多晶硅柱塞的晶粒边界上形成氮化物,例如氮化硅。也就是,在该氧化层之间的界面上和在下面的多晶硅柱塞的晶粒边界处形成一氮氧化硅膜。通常,氮沿着该多晶硅柱塞的晶粒边界扩散。在某些实施例中,如当该多晶硅柱塞的厚度相对薄的例子中,当该氧化物层被氮化时,氮可以基本上渗透整个多晶硅柱塞。当氮基本上渗透到个多晶硅柱塞时,通过该多晶硅柱塞的垂直和横向扩散,例如掺杂剂和杂质的扩散可明显减小。

在步骤 314 中完成在该氧化物层上的氮化处理之后,在步骤 316 中剥去被氮化的氧化物层,或腐蚀掉被氮化的氧化物层,以在多晶硅柱塞的晶粒边界处暴露出氮化物。在多晶硅柱塞的表面处的晶粒边界处被暴露的氮化物形成一阻挡层,该阻挡层防止在垂直方向上通过该多晶硅柱塞的扩散。很显然该阻挡层还可降低在横向上的扩散量。

在步骤 318 中在多晶硅柱塞的上面形成一附着层,并且在步骤 320 中在该附着层的上面形成一底部电极。如上所述,该附着层在相应于衬底的位置上固定该底部电极。在形成该底部电极之后,例如在淀积和构图之后,在步骤 322 中在该底部电极的上面形成一绝缘层。该绝缘层通常由具有高介电常数的介电材料所构成,这是本领域中普通技术人员所了解的。

在一实施例中,高介电材料层在该底部电极上被保形地淀积并且在步骤 308 中形成二氧化硅部分。该高介电材料层用来将底部电极与在步骤 324 中在高介电材料层上面所形成,例如保形地淀积的顶部电极相隔离。在该顶部电极被形成之后,形成一层叠电容器结构的方法就完成。

参见图 4,图 4 中的步骤与构成根据本发明所述的一层叠多晶硅柱塞有关。换句话说,将说明图 3 的步骤 310 的一实施例。如前面所述,虽然一多晶硅柱塞可以基本上由一单个多晶硅层所构成,但一多晶硅柱塞也可具有一分层结构。详细地说,一多晶硅柱塞可由多个多晶硅层和在多晶硅层之间设置的多个阻挡层所构成。

在步骤 402,开始形成一分层多晶硅柱塞 310' 的处理,在步骤 402 中在该栅极氧化层的上面形成一多晶硅层。在步骤 404,在该多晶硅层的上面形成一氧化层,例如二氧化硅层。可以使用诸如在氧中的 RTO 之类的方法在该多晶硅层的表面生长氧化层,该 RTO 方法中的温度是在大约 900 °C 至 1100 °C 的范围,时间是在约 30 秒到 120 秒的范围。同时该氧化层的厚度可以是宽

的变化, 在一实施例中, 该氧化层的厚度在约 40 埃到 1000 埃的范围。

在步骤 404 中在该多晶硅层的上面形成氧化层之后, 在步骤 406 中在该氧化层上执行氮化处理。如上所述, 氧化物可使用诸如利用氨( $\text{NH}_3$ )的 RTN 之类的方法来氮化, 该 RTN 方法中的温度在约 900 °C 至 1100 °C 的范围, 时间在 20 秒至 120 秒范围。当该氧化层被氮化时, 在该多晶硅层的表面上形成氮氧化合物, 例如氮氧化硅, 和在该多晶硅层的晶粒边界上形成氮化物, 例如氮化硅。也就是, 在该氧化层和在底层多晶硅层之间的界面处形成一氮氧化硅膜。

在步骤 406 中完成了在该氧化物层上的氮化处理之后, 在步骤 408 中该氮化的氧化物层被腐蚀以在多晶硅层的晶粒边界处暴露氮化物。在该晶粒边界处, 特别在接近多晶硅层的顶部表面的晶粒边界处形成一阻挡膜或层, 该阻挡膜或阻挡层防止了在垂直方向上通过和进入该多晶硅层的扩散。该阻挡层还可减小在横向上的扩散量。

在步骤 410, 确定附加的多晶硅层是否在新的多晶硅层的上面构成。如果确定附加的多晶硅层已构成, 则表明一较厚的多晶硅柱塞是所希望的。在一实施例中, 一较厚的多晶硅层可用于在层叠电容器结构中提供多个阻挡层以进一步降低在该层叠电容器结构中的垂直和横向上的扩散。如果分层硅柱塞是希望的, 则另一多晶硅层被淀积在该前面淀积的多晶硅层的顶部表面处的晶粒边界之上, 因此, 也淀积在该阻挡层的上面。这种新的、“顶部”多晶硅层对于“夹在中间”的该第一阻挡层是有效的。

如果在步骤 412 中确定在所存在的多晶硅层上面形成至少一附加的多晶硅层, 则处理流程返回到步骤 404, 在步骤 404 中顶部新的多晶硅层上面形成一氧化层。另外, 当确定没有附加多晶硅层形成时, 则结束制造一分层多晶硅柱塞的处理。

在如上所述使用氮化处理的一多晶硅柱塞上面制造一阻挡层时, 通常可使用合适的过程来产生该阻挡层。例如, 在形成阻挡层中可使用化学汽相淀积(CVD)处理。图 5 示出了用来制造根据本发明一实施例的包含一阻挡层的栅极结构的有关第二种处理。该处理自步骤 502 开始, 在步骤 504 中形成一衬底。该衬底可以包括与该层叠电容是其中一部分的集成电路的形成有关的不同层。

形成该衬底之后, 在步骤 506 中形成掺杂结区。从步骤 506 处理流程进

入步骤 508，在步骤 508 中，在该衬底上面形成一氧化层。在步骤 510 中，通过该氧化层形成一多晶硅柱塞以与下面的掺杂结区相接触。在一实施例中，该多晶硅柱塞可使用任何适合的方法掺杂，例如使用继之以退火处理之后的，本领域技术人员所了解的原位掺杂或杂质注入。在一实施例中，该多晶硅柱塞包括在该多晶硅层之间设置有阻挡层的多个多晶硅层。

在步骤 512 中，使用 CVD 处理在该硅层上面设置一氮氧化物膜。如本领域技术人员所了解的，各种不同 CVD 处理包括低压化学汽相淀积(LPCVD)和等离子增强化学汽相淀积(PECVD)，可用来淀积氮氧化物膜。

在步骤 516 中，该氮氧化物层被剥离或被腐蚀，以在接近该多晶硅柱塞的顶部表面的晶粒边界处暴露氮化物。在晶粒边界处暴露的氮化物形成一阻挡层，该阻挡层防止了在一垂直方向上通过和来自该下面多晶硅柱塞的掺杂剂扩散。在步骤 518 中在该多晶硅柱塞的上面形成一附着层，并且在步骤 520 中在该附着层的上面形成一底部电极。

在形成底部电极之后，在步骤 522 中在该底部电极的上部形成一绝缘层。该绝缘层通常由具有高介电常数的介电材料所构成。在步骤 508 中形成在底部电极和二氧化硅层部分的上面保形淀积的高介电材料层。所安置的高介电材料层提供底部电极与在步骤 524 中在高介电材料层上面例如保形淀积形成的顶部电极之间的隔离。在顶部电极形成之后，完成了形成包括阻挡层的层叠电容器结构的第二处理。

虽然只描述了本发明的少数实施例，但应当理解的是在不违背本发明的精神和范围的前提下本发明可以若干其它的特殊构成来实施。例如，制造一层叠电容器结构所包含的步骤包括一被重排、被除去或被添加的阻挡层。通常，在不违背本发明的精神或范围的前提下可以重排，除去或添加本发明的这些方法中所包括的步骤。

已描述了包括一阻挡层适用于制造诸如动态随机存取存储器(DRAM)之类的集成电路的层叠电容器结构。但是，通常包括一阻挡层的层叠电容器结构还可适用于各种其它应用。

虽然描述了分别出现的作为在一栅极氧化物层上面所形成的二氧化硅层的二氧化硅的生长和用作在氮化处理中的二氧化硅的生长，但应了解的是，在一实施例中在不违背本发明的精神和范围的前提下，对两种目的而生长的二氧化硅基本是可以同时进行的。换句话说，在基本相同的时间，可以

在一多晶硅柱塞上面形成二氧化硅，而围绕多晶硅柱塞的二氧化硅也形成。

在制造一层叠电容器结构中所使用的材料可以较宽的改变。例如，所描述的适用于本发明的多晶硅柱塞可以掺杂也可以不掺杂，应了解的是其它类型的硅也可用来形成该柱塞。其它类型的硅包括(但不限于)非晶的或被溅射的硅。其它类型的硅可以是掺杂的也可是不掺杂的。

通常，一层叠多晶硅柱塞结构可以包括任何数量的不同多晶硅层。在该多晶硅柱塞中的多晶硅层数通常取决于整个所希望的柱塞的厚度，以及各层和阻挡层的厚度。该多晶硅柱塞的总厚度可宽范围变化。例如，该厚度可以在约 1000 埃至 1500 埃的范围。同样，在该柱塞中的多晶硅层和阻挡层的厚度也可较宽的变化。在一实施例中，每一多晶硅层的厚度可在约 100 埃至 500 埃的范围。

所描述的阻挡层是将一氧化层氮化处理然后腐蚀，或将一氮氧化物层利用诸如 CVD 之类的处理被淀积随后被腐蚀而制成的。但是，应当了解的是在不违背本发明的精神和范围的前提下任何合适的方法通常均可用来制成包括在分层硅结构中的晶粒边界处的氮的 STET 层。

另外，虽然所述的分层多晶硅柱塞包括使用氮化处理所形成的阻挡层，但在不违背本发明的精神和范围的前提下在一分层多晶硅柱塞中的阻挡层还可使用 CVD 处理来形成。因此，这些例子只是作为说明而不是作为限定的，本发明并不限于这里所给出的详细说明，而是以权利要求的范围以及它的整个等同物范围为准。

图 1

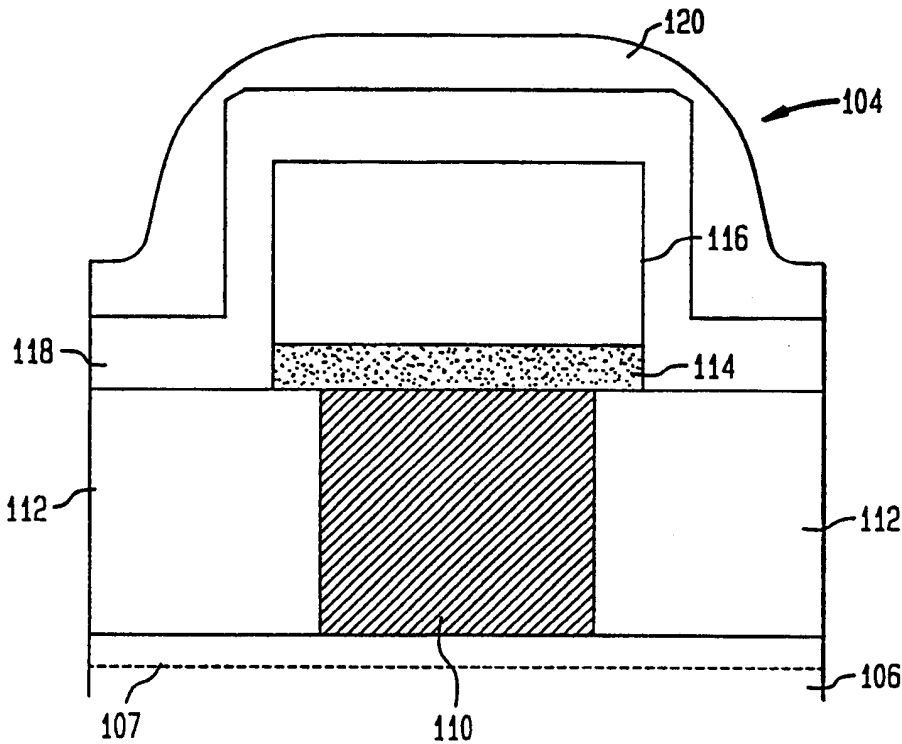


图 2

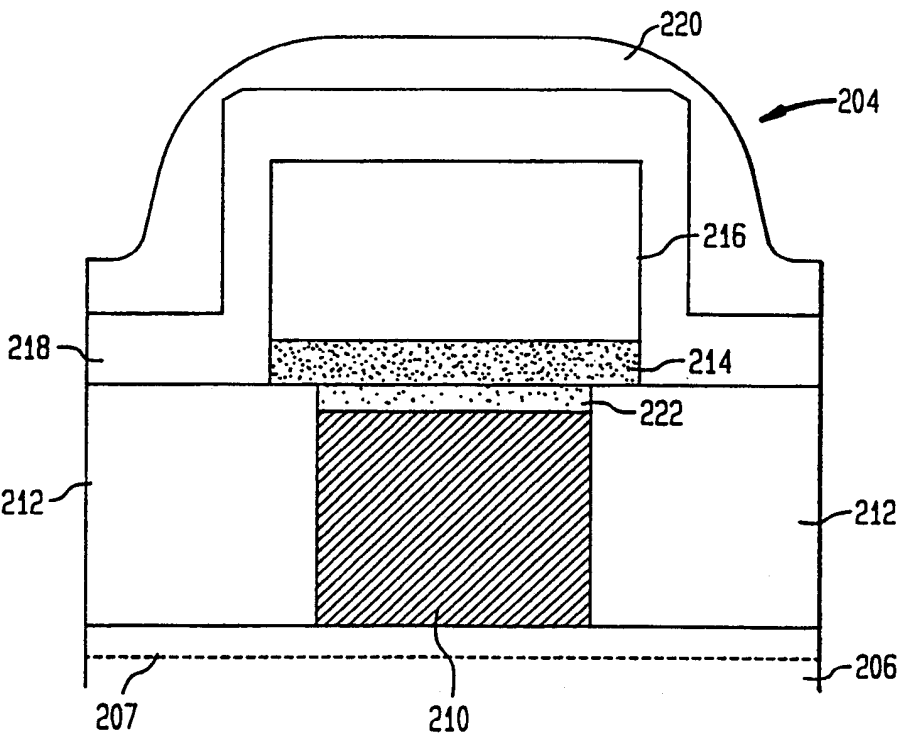


图 3

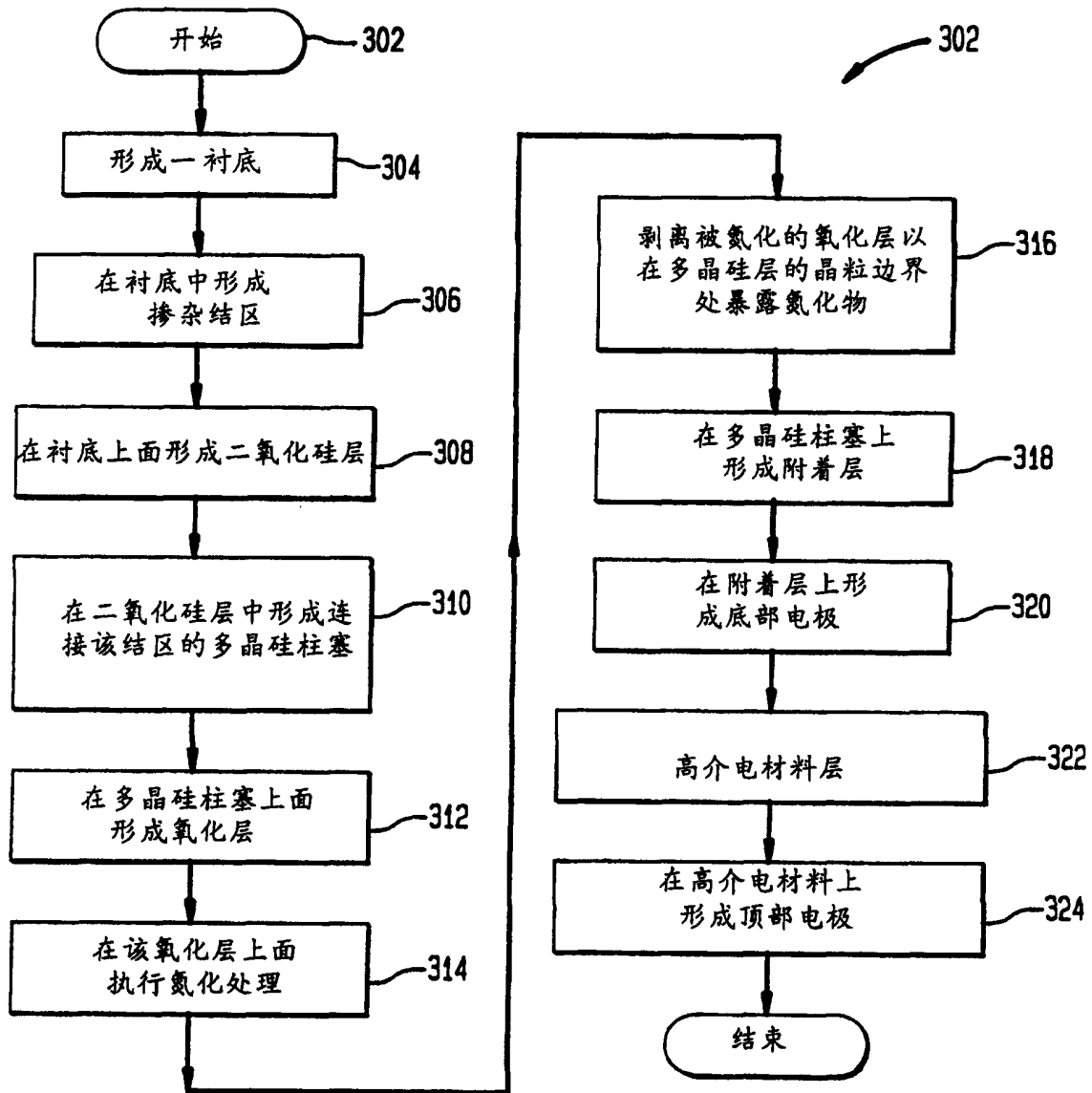


图 4

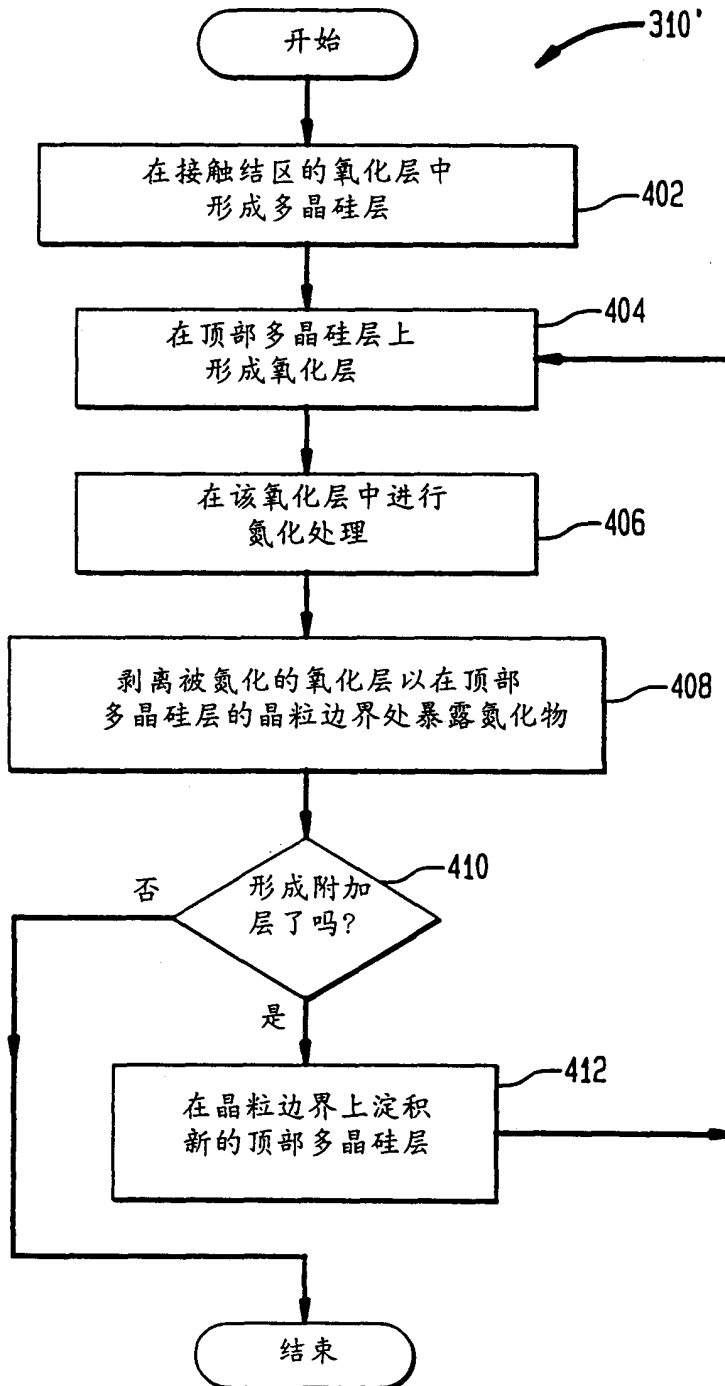


图 5

